高電力絶縁型 フライバック・コントローラ

特長

- **外部パワー MOSFET をドライブ**
- **電源電圧範囲：4.5V ～ 20V**
- **フライバック電圧は外付け部品によってのみ制限される**
- **1 次側巻線から出力電圧を直接検知 — オプトアイソレータ不要**
- **外部コンデンサにより設定される 50kHz ～ 250kHz のスイッチング周波数**
- ユーザー調整なしで中程度の精度のレギュレーションを実現
- 不連続モードでもレギュレーションを維持
- 外部 I_{SENSE} 抵抗
- 負荷補償（オプション）
- 低電圧ロックアウト（オプション）
- シャットダウン機能により I_Q を標準 50μA に低減
- 16 ピン GN および SO パッケージで供給

アプリケーション

- 絶縁型フライバック・スイッチング・レギュレータ
- 医療用計測器
- 計装用電源

概要

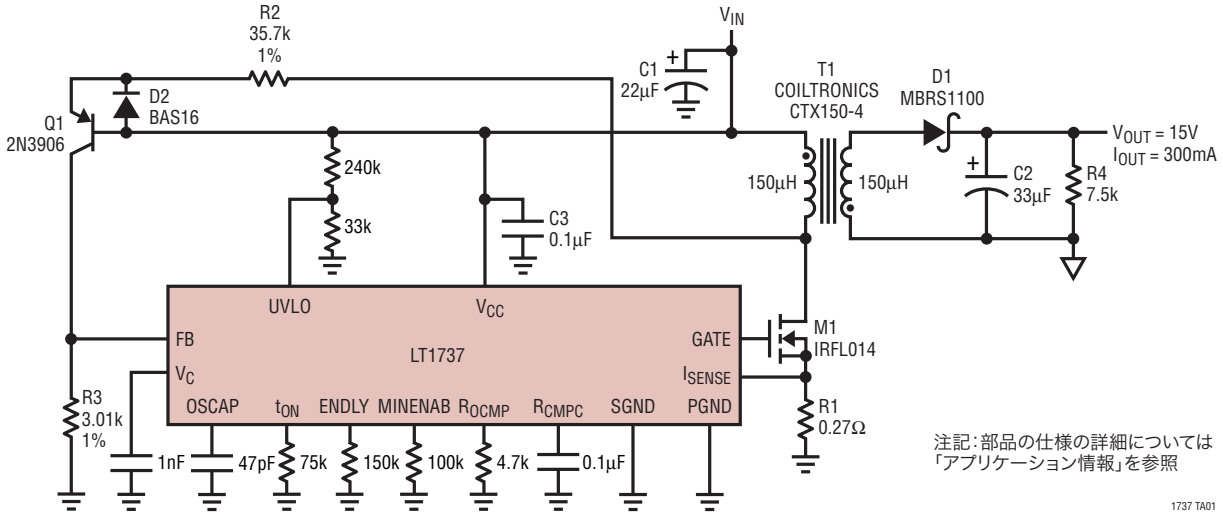
LT®1737は、特に絶縁型フライバック・トポロジー用に設計されたモノリシック・スイッチング・レギュレータ・コントローラです。外部MOSFETのゲートをドライブし、一般にDC電源電圧から電力供給を受けます。出力電圧の帰還情報は、3次トランス巻線、1次巻線、あるいは直接DC帰還など、様々な方法によって供給できます（「アプリケーション情報」を参照）。そのゲート・ドライブ能力は、適切な外部MOSFETおよび電源経路の他の部品を組み合わせて、最大数10ワットの負荷電力を供給可能です。

LT1737は、他の絶縁型フライバック・コントローラICには見られない多くの特長を備えています。電流モード・スイッチング方式を利用して、優れたACおよびDCのライン・レギュレーションを実現します。独自の制御回路により、ほとんどのアプリケーションで不連続モードでも適切なレギュレーションを維持できます。また、オプションの負荷補償回路により、ロード・レギュレーションを改善することができます。アプリケーションの入力電圧が低すぎると、オプションの低電圧ロックアウト・ピンが動作を停止させます。オプションの外部コンデンサによりソフト・スタート機能が実現されます。

、LTC、LTはリニアテクノロジー社の登録商標です。
他の全ての商標はそれぞれの所有者に所有権があります。

標準的応用例

12V～18Vから絶縁された15Vへのコンバータ

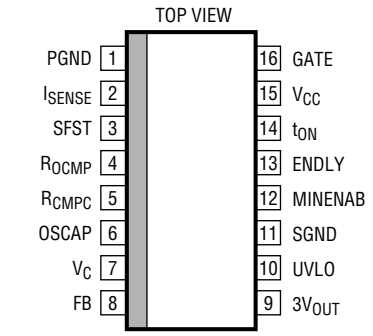


絶対最大定格

(Note 1)

V_{CC}電源電圧 22V
UVLOピンの電圧 ..... V_{CC}
I_{SENSE}ピンの電圧..... 2V
FBピンの電流..... ±2mA
動作接合部温度範囲
LT1737C .....0°C～100°C
LT1737I.....–40°C～125°C
保存温度範囲..... –65°C～150°C
リード温度(半田付け、10秒)..... 300°C

パッケージ / 発注情報



GN PACKAGE 16-LEAD PLASTIC SSOP
S PACKAGE 16-LEAD PLASTIC SO

T_{JMAX} = 125°C, θ_{JA} = 110°C/W (GN)
T_{JMAX} = 125°C, θ_{JA} = 110°C/W (SO)

ORDER PART NUMBER
LT1737CGN LT1737CS LT1737IGN LT1737IS
GN PART MARKING
1737 1737I

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

● は全動作温度範囲の規格値を意味する。それ以外はT_A=25℃での値。注記がない限り、V_{CC} = 14V、GATEはオープン、V_C = 1.4V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源							
$V_{CC(MIN)}$	Minimum Input Voltage		●		4.1	4.5	V
I_{CC}	Supply Current	V_C = Open	●		10	15	mA
	Shutdown Current	V_{UVLO} = 0V, V_C = Open	●		50	150	μA
帰還アンプ							
V_{FB}	Feedback Voltage			1.230	1.245	1.260	V
			●	1.220		1.270	V
I_{FB}	Feedback Pin Input Current				500		nA
g_m	Feedback Amplifier Transconductance	ΔI_C = ± 10μA	●	400	1000	1800	μmho
I_{SRC}, I_{SNK}	Feedback Amplifier Source or Sink Current		●	30	50	80	μA
V_{CL}	Feedback Amplifier Clamp Voltage				2.5		V
	Reference Voltage/Current Line Regulation	4.75V ≤ V_{IN} ≤ 18V	●		0.01	0.05	%/V
	Voltage Gain	V_C = 1V to 2V			2000		V/V
	Soft-Start Charging Current	V_{SFST} = 0V		25	40	50	μA
	Soft-Start Discharge Current	V_{SFST} = 1.5V, V_{UVLO} = 0V		0.8	1.5		mA
ゲート出力							
V_{GATE}	Output High Level	I_{GATE} = 100mA	●	11.5	12.1		V
		I_{GATE} = 500mA	●	11.0	11.8		V
	Output Low Level	I_{GATE} = 100mA	●		0.3	0.45	V
		I_{GATE} = 500mA	●		0.6	1.0	V
I_{GATE}	Output Sink Current in Shutdown, V_{UVLO} = 0V	V_{GATE} = 2V	●	1.2	2.5		mA
t_r	Rise Time	C_L = 1000pF			30		ns
t_f	Fall Time	C_L = 1000pF			30		ns

電気的特性

● は全動作温度範囲の規格値を意味する。それ以外はT_A＝25℃での値。注記がない限り、V_{CC} = 14V、GATEはオープン、V_C = 1.4V。

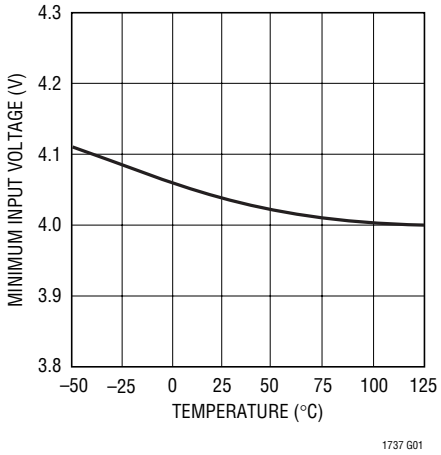
SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電流アンプ							
V_C	Control Pin Threshold	Duty Cycle = Min		0.90	1.12	1.25	V
			●	0.80		1.35	V
V_{ISENSE}	Switch Current Limit	Duty Cycle ≤ 30%		220	250	270	mV
		Duty Cycle ≤ 30%	●	200		280	mV
		Duty Cycle = 80%			220		mV
	$\Delta V_{ISENSE}/\Delta V_C$				0.30		mV
タイミング							
f	Switching Frequency	C_{OSCAP} = 100pF		90	100	115	kHz
			●	80		125	kHz
C_{OSCAP}	Oscillator Capacitor Value	(Note 2)		33		200	pF
t_{ON}	Minimum Switch On Time	R_{tON} = 50k			200		ns
t_{ED}	Flyback Enable Delay Time	R_{ENDLY} = 50k			200		ns
t_{EN}	Minimum Flyback Enable Time	R_{MENAB} = 50k			200		ns
R_t	Timing Resistor Value	(Note 2)		24		240	kΩ
	Maximum Switch Duty Cycle		●	85	90		%
負荷補償							
	Sense Offset Voltage				2	5	mV
	Current Gain Factor			0.80	0.95	1.05	mV
UVLO の機能							
V_{UVLO}	UVLO Pin Lockout Threshold		●	1.21	1.25	1.29	V
	UVLO Pin Shutdown Threshold				0.75		V
			●	0.4		0.95	V
I_{UVLO}	UVLO Pin Bias Current	V_{UVLO} = 1.2V		–0.25	+0.1	+0.25	μA
		V_{UVLO} = 1.3V		–4.50	–3.5	–2.50	μA
3V 出力の機能							
V_{REF}	Reference Output Voltage	I_{LOAD} = 1mA	●	2.8	3.0	3.2	V
	Output Impedance				10		Ω
	Current Limit		●	8	15		mA

Note 1：絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

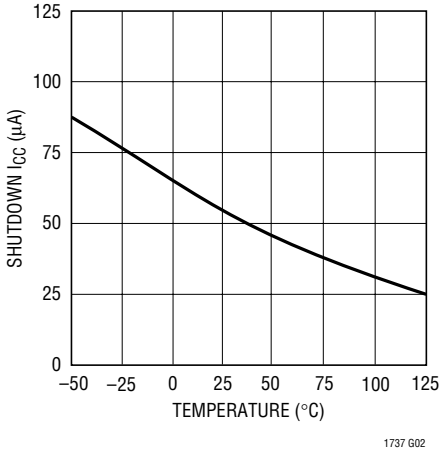
Note 2：設計保証される部品の値の範囲。

標準的性能特性

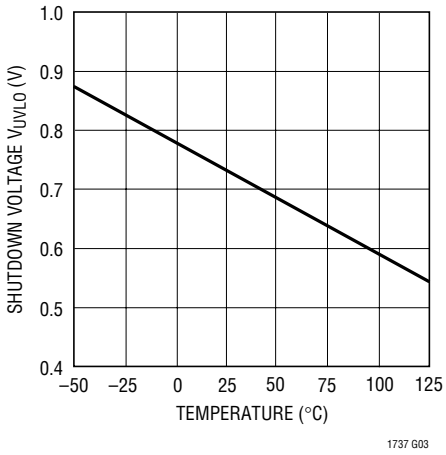
最小入力電圧と温度



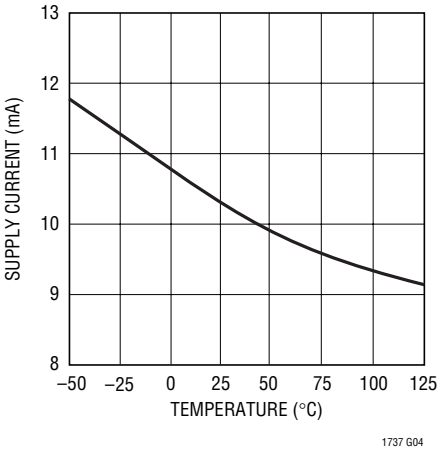
シャットダウン時のI_{CC}と温度



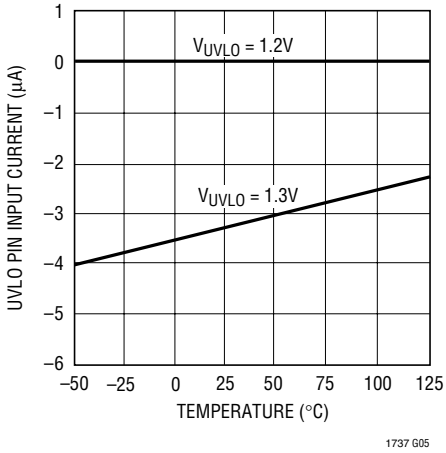
シャットダウン電圧(V_{UVLO})と温度



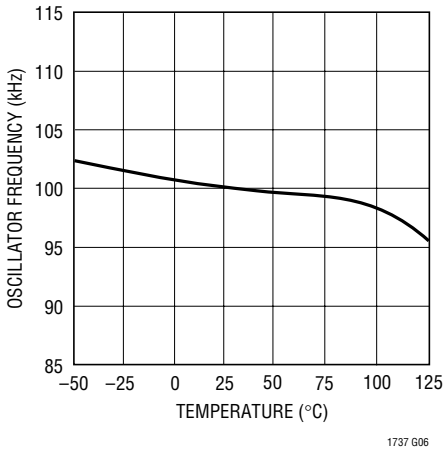
消費電流と温度



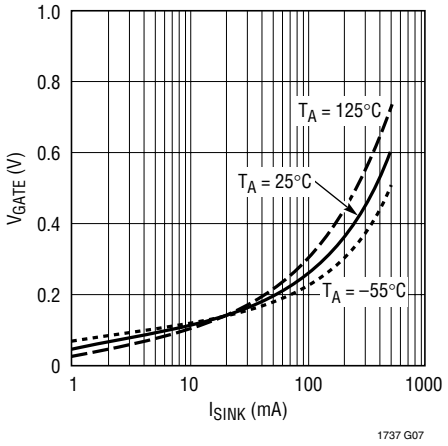
UVLOピンの入力電流と温度



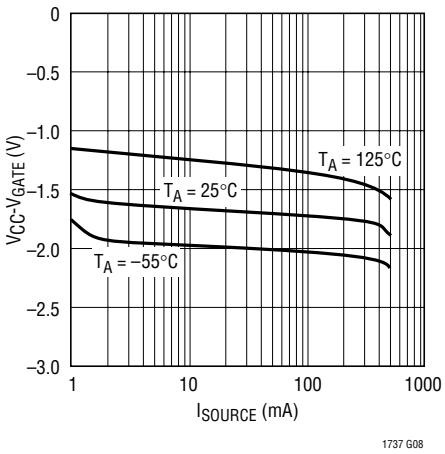
発振器周波数と温度



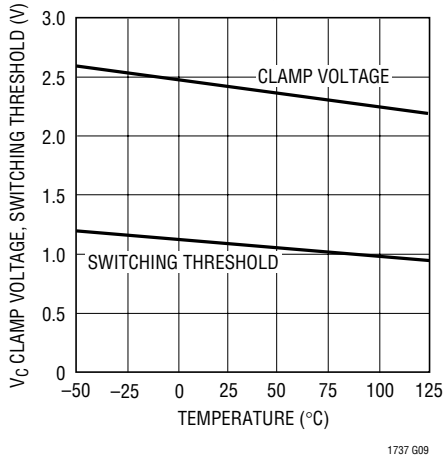
V_{GATE}とI_{SINK}



V_{CC}-V_{GATE}とI_{SOURCE}

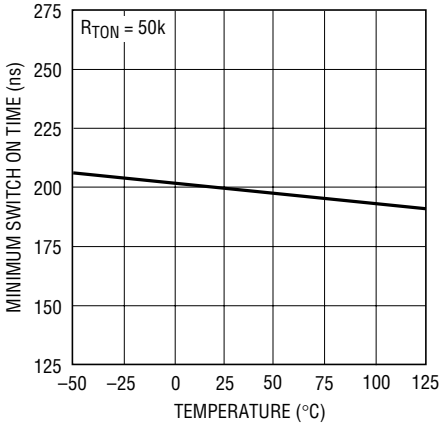


V_Cクランプ電圧、スイッチング・スレッショルドと温度



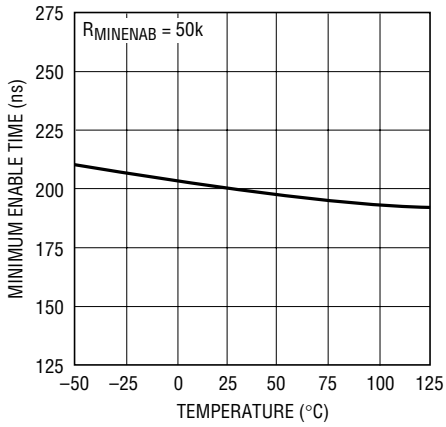
標準的性能特性

最小スイッチ・オン時間と温度



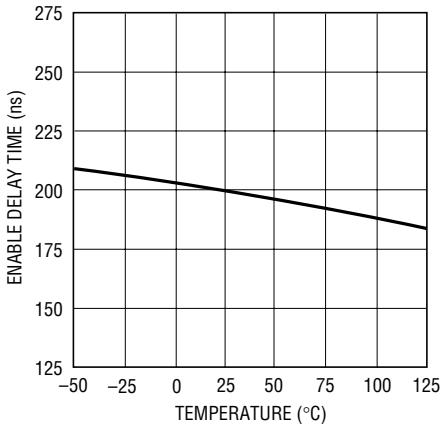
1737 G10

最小イネーブル時間と温度



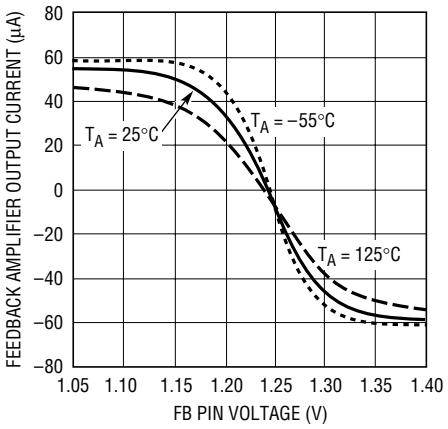
1737 G11

イネーブル遅延時間と温度



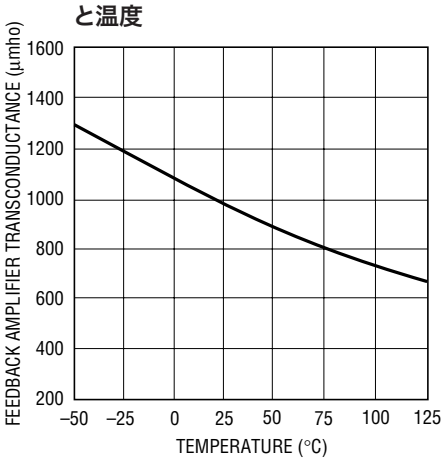
1737 G12

帰還アンプの出力電流とFBピンの電圧



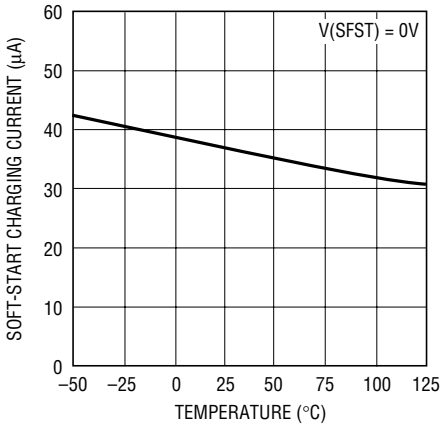
1737 G13

帰還アンプのトランスコンダクタンスと温度



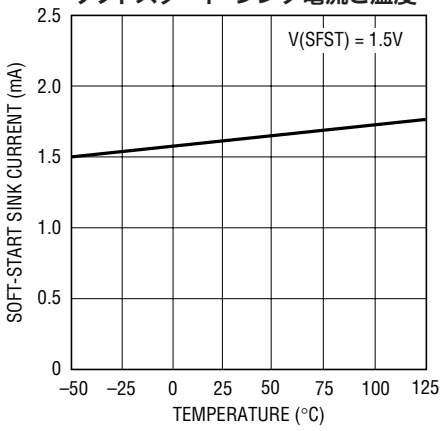
1737 G14

ソフトスタート充電電流と温度



1737 G15

ソフトスタート・シンク電流と温度



1737 G16

ピン機能

PGND（ピン1）：GATEノードの放電電流を流すパワー・グランド・ピン。これは通常、数10ナノ秒幅で数100mAの電流スパイクです。良質のグランド・プレーンに直接接続します。

ISENSE（ピン2）：外部センス抵抗でスイッチ電流を測定するピン。高速性能が不可欠なので、センス抵抗は非誘導性構造のものにします。高速の電流波形の歪みを避けるため、適切な接地方法も必要です。公称250mVに予め設定されたこのピンの内部リミットにより、スイッチ電流が制限されます。

SFST（ピン3）：ソフトスタート機能を実現するため、オプションの外部コンデンサを接続します。詳細については「アプリケーション情報」を参照してください。

R_{OCMP}（ピン4）：オプションの外部負荷補償抵抗の入力ピン。このピンを使用すると、2次巻線のインピーダンス、出力ショットキー・ダイオードのインピーダンス、および出力コンデンサのESRを含む、電力トランスの2次側回路の零ではない出力インピーダンスの補償が可能です。条件が厳しくないアプリケーションではこの抵抗は不要です。詳細についてはアプリケーション情報を参照してください。

R_{CMPC}（ピン5）：オプションの負荷補償用外部フィルタ・コンデンサ用のピン。ほとんどのアプリケーションでは、普通の0.1μFセラミック・コンデンサで十分です。詳細については「アプリケーション情報」を参照してください。

OSCAP（ピン6）：発振器のスイッチング周波数を設定する外部タイミング・コンデンサのピン。詳細については「アプリケーション情報」を参照してください。

V_C（ピン7）：帰還アンプの出力であり、電流コンパレータの入力でもある制御電圧ピン。ほとんどの場合、このノードとグランドの間にコンデンサを1個接続すれば、ループ全体の周波数補償が実現されます。

FB（ピン8）：外部フィードバック抵抗分割器の入力ピン。この分割比に内部バンドギャップ（V_{BG}）リファレンス電圧を乗じ、さらにトランスの実効巻数比を乗じたものが出力電圧の主要な決定要素です。帰還分割器のテブナン等価抵抗は約3kにします。詳細についてはアプリケーション情報を参照してください。

$3V_{OUT}$（ピン9）：公称3Vのリファレンスの出力ピン。これは多様な用途に利用できます。このノードは、保護のために内部で電流制限されており、数100pF以下の適度な容量性負荷、または0.1μF以上の非常に大きな容量性負荷のいずれかをドライブすることが意図されています。詳細についてはアプリケーション情報を参照してください。

UVLO（ピン10）：これは2機能ピンで、低電圧ロックアウトとシャットダウンの両機能を実現します。このピンをグランド近くまで引き下げると、デバイスがシャットダウンし、消費電流が数10μAに減少します。

さらに、V_{IN}とグランドの間の外部抵抗分割器をこのピンに接続して、低電圧ロックアウト機能を実現することができます。このピンのバイアス電流はUVLOコンパレータの状態に依存します。つまり、スレッショルドを超えるとバイアス電流が増加します。このため、バイアス電流の変化分と外部抵抗分割器のテブナン・インピーダンスを乗じたものに等しいヒステリシスの幅を生じます。したがって、ユーザはUVLO分割器のインピーダンスを調整して、望みのヒステリシス量を得ることができます。このピンからグランドに100pFのコンデンサを接続することを推奨します。詳細については「アプリケーション情報」を参照してください。

SGND（ピン11）：信号グランド・ピンはクリーンなグランドです。内部リファレンス、発振器、そして帰還アンプはこのピンを基準にします。FBピン、OSCAPのコンデンサ、およびV_Cの補償コンデンサへのグランド接続経路には大きなグランド電流が流れないようにしてください。

MINENAB（ピン12）：最小イネーブル時間を設定する外部プログラミング抵抗のピン。詳細については「アプリケーション情報」を参照してください。

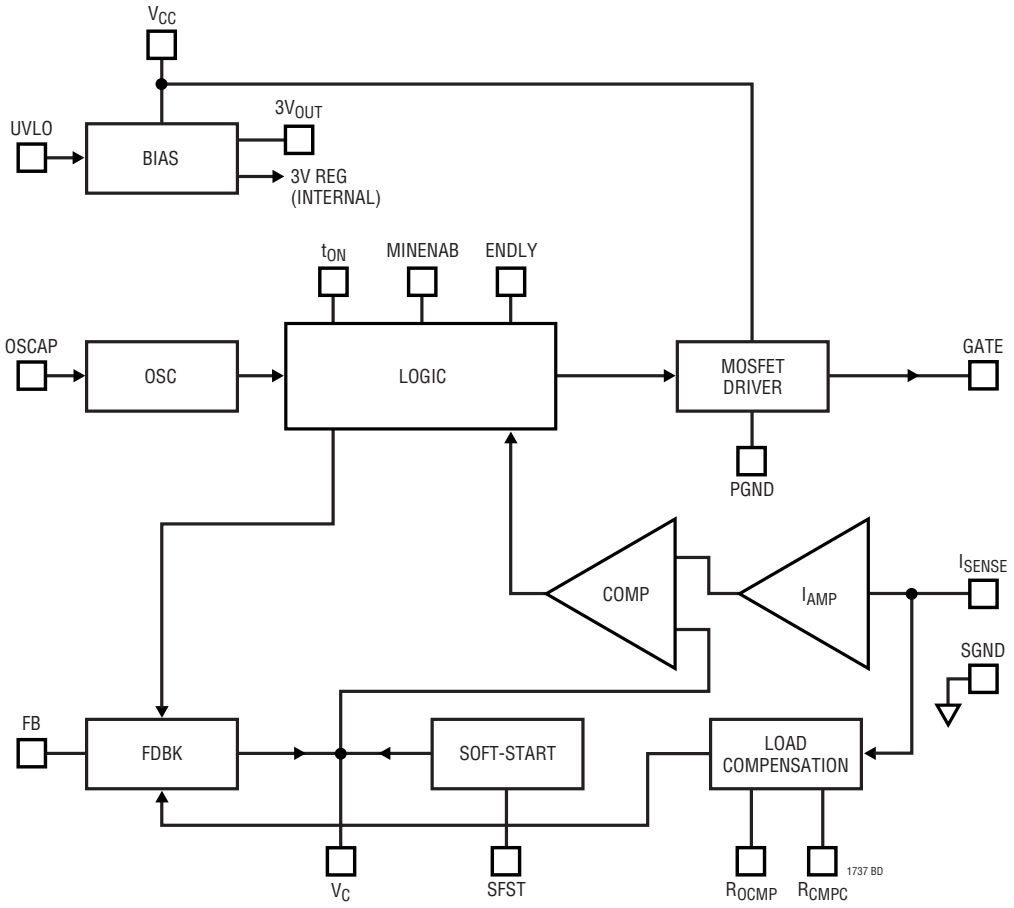
ENDLY（ピン13）：イネーブル遅延時間を設定する外部プログラミング抵抗のピン。詳細については「アプリケーション情報」を参照してください。

t_{ON}（ピン14）：スイッチの最小オン時間を設定する外部プログラミング抵抗のピン。詳細については「アプリケーション情報」を参照してください。

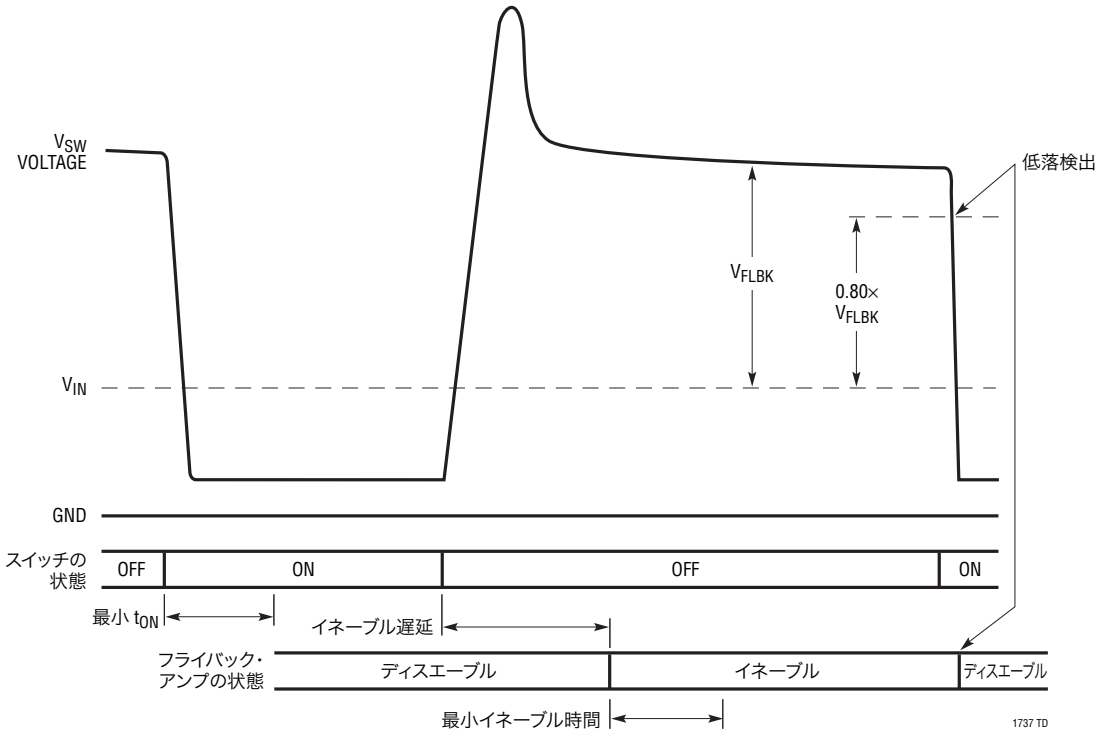
V_{CC}（ピン15）：LT1737の電源電圧。このピンは1μF以上でグランドにバイパスします。

GATE（ピン16）：外部パワーMOSFETスイッチのゲート・ドライブであり、大きなダイナミック電流が流れます。電磁放射と電圧スパイクを最小にするため、MOSFETへの配線はできるだけ短くしてください。理想的とは言えないレイアウトでリンギングを抑えるのに5Ω以上の直列抵抗が役立つことがあります。

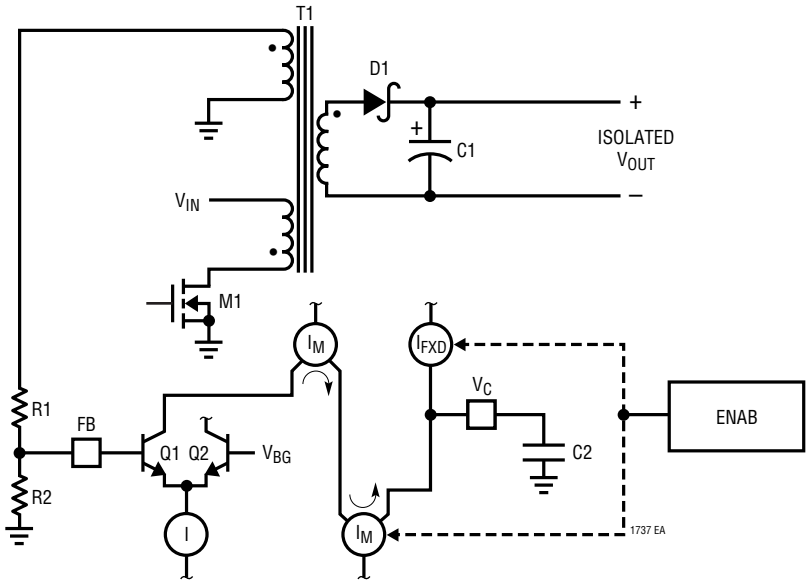
ブロック図


VCC
UVLO
BIAS
3VOUT
3V REG
(INTERNAL)
tON
MINENAB
ENDLY
OSCAP
OSC
LOGIC
MOSFET
DRIVER
GATE
PGND
COMP
IAMP
ISENSE
SGND
FB
FDBK
SOFT-START
LOAD
COMPENSATION
VC
SFST
ROCMP
RCMPC
1737 BD

タイミング図



フライバック・エラーアンプ



動作

LT1737は、特に絶縁型フライバック・トポロジー用に設計された、電流モードのスイッチング・コントローラICです。システムの全体像をブロック図に示します。そのブロックの多くは従来の設計に見られるものと同様で、内部バイアス・レギュレータ、発振器、ロジック、電流アンプとコンパレータ、ドライバと出力スイッチが含まれます。斬新な部分は特殊なフライバック・エラーアンプと負荷補償メカニズムです。また、フライバック制御の特別なダイナミック要件のために、ロジック・システムには従来の設計には見られない機能が追加されています。

LT1737は従来の電流モード・スイッチャと同様に動作しますが、主な相違点としてエラーアンプの種類が異なり、帰還情報をフライバック・パルスから得ます。スペースの関係上、ここでは電流モードのスイッチャ/コントローラや絶縁型フライバック・コンバータの基礎は繰り返しません。これらのテーマに関する豊富な情報源は「アプリケーション・ノートAN19」です。

エラーアンプ ー 擬似 DC 理論

フライバック・エラーアンプの簡略図を参照してください。動作は次のとおりです。MOSFET出力スイッチM1がオフすると、ドレイン電圧はV_{IN}レールを超えて上昇します。3番目の巻線に見られるこのフライバック・パルスの振幅は次式で与えられます。

$$V_{FLBK} = \frac{\left(V_{OUT} + V_F + I_{SEC} \bullet ESR\right)}{N_{ST}}$$

V_F = D1 の順方向電圧

I_{SEC} = トランスの 2 次側電流

ESR = 2 次側回路の全インピーダンス

N_{ST} = トランスの実効 2 次対 3 次の巻数比

次いでフライバック電圧は外部抵抗分割器R1/R2で分圧され、FBピンに供給されます。これは、差動トランジスタ・ペアQ1/Q2によって内部バンドギャップ・リファレンスと比較されます。Q1のコレクタ電流はミラー回路を介して、V_Cピンの固定電流源I_{FXD}から差し引かれます。外部コンデンサがこの正味電流を積分して、電流モードの遷移点を設定する制御電圧を供給します。

ループ全体の利得が比較的高いので、FBピンの電圧はバンドギャップ・リファレンスV_{BG}にほぼ等しくなります。したがって、V_{FLBK}とV_{BG}の関係は次のように表されます。

$$V_{FLBK} = \frac{\left(R1+R2\right)}{R2} V_{BG}$$

前のV_{FLBK}の式と組み合わせ、内部リファレンス、プログラム抵抗、トランスの巻数比、およびダイオードの順方向電圧降下の項を使うと、V_{OUT}の式は次のようになります。

$$V_{OUT} = V_{BG} \frac{\left(R1+R2\right)}{R2} \left(\frac{1}{N_{ST}}\right) - V_F - I_{SEC} \bullet ESR$$

さらに、零にならない2次側出力インピーダンスの効果があります。これについてはさらに詳しく説明します。「負荷補償の理論」を参照してください。このV_{OUT}の式の実際の適用については「アプリケーション情報」のセクションで説明されています。

ここまでは、フライバック・エラーアンプの動作を擬似的にDCとして扱ってきました。しかし、フライバック信号はDCレベルではなく、パルスです。フライバック・パルスが存在するときだけフライバック・アンプをイネーブルするしくみが必要です。これは、“ENAB”と記されたブロックを点線のように接続することで達成されます。フライバック・アンプをイネーブルまたはディスエーブルするにはタイミング信号が必要です。

エラーアンプ ー ダイナミック理論

正確なLT1737 の動作にはいくつかのタイミング信号が必要です。タイミング図を参照してください。

出力スイッチの最小オン時間

LT1737はフライバック・パルス動作を介して出力電圧を安定化します。出力スイッチが全くオンしないとフライバック・パルスは存在せず、出力電圧の情報は利用できません。このため不規則なループ応答が生じ、起動やラッチアップの問題が生じるでしょう。そこで採用された解決策は、各発振サイクルにおいて絶対必要な最小時間だけは出力スイッチを必ずオンすることです。つまり、レギュレーションを維持するために最小負荷が必要になります。詳細については「アプリケーション情報」を参照してください。

動作

イネーブル遅延

出力スイッチが閉じるときにフライバック・パルスが現れます。ただし、トランスの1次側電圧の波形が出力電圧に近くなるまでにはある有限の時間が必要です。これは、幾分かはMOSFETのドレイン・ノードの有限の立ち上がり時間の影響ですが、もっと重要なのはトランスの漏れインダクタンスの影響です。後者は出力電圧に直接は関係せずに1次側に電圧スパイクを生じます。（帰還アンプ回路が内部で安定するためにも、少しの時間が必要です。）

これらの現象に対して耐性をもたせるため、スイッチのオフ命令と帰還アンプのイネーブルの間に一定の遅延を設けます。これはイネーブル遅延と呼ばれます。イネーブル遅延時間の終わりまでに漏れスパイクが十分安定しない場合は、レギュレーション誤差が生じることがあります。詳細については「アプリケーション情報」を参照してください。

低落検出

帰還アンプが一旦イネーブルされると、今度はそれをディスエーブルするために何らかのメカニズムが必要です。これは、（FBを基準にした）フライバック電圧をV_{BG}の公称80%である固定リファレンスと比較する低落検出コンパレータで行われます。フライバック波形がこのレベルより下に下がると、帰還アンプがディスエーブルされます。この動作は連続モードと不連続モードの両方で提供されます。

最小イネーブル時間

一度イネーブルされた帰還アンプは、「最小イネーブル時間」と呼ばれる一定の最小時間の間はイネーブルされたまま留まります。これにより、特に出力電圧が異常に低いとき（たとえば起動時に）ロックを防ぎます。最小イネーブル時間により、V_Cノードは、低落検出システムが正常動作を示すレベルまで電流モード遷移点を押し上げることができます。多くの場合、「最小イネーブル時間」は出力電圧のレギュレーションが失われる軽負荷レベルを決定します。詳細については「アプリケーション情報」を参照してください。

可変イネーブル時間の効果

以上の説明から、フライバック・アンプがその周期の一部分でのみイネーブルされることは明らかです。これは、前述の固定「最小イネーブル時間」から、およそスイッチ・オフ時間からイネーブル遅延時間を差し引いた最大時間の間で変動します。可変イネーブル時間はフライバック・アンプ動作の特定パラメータに直接影響します。これらのパラメータには、実効トランスコンダクタンスとV_Cノードのスルーレートが含まれます。

負荷補償理論

LT1737はフライバック・パルスを使って絶縁出力電圧の情報を得ます。出力整流器、トランスの2次側、および出力コンデンサの実際に零にならないインピーダンスを通って流れるトランスの2次側電流により誤差が生じる可能性があります。

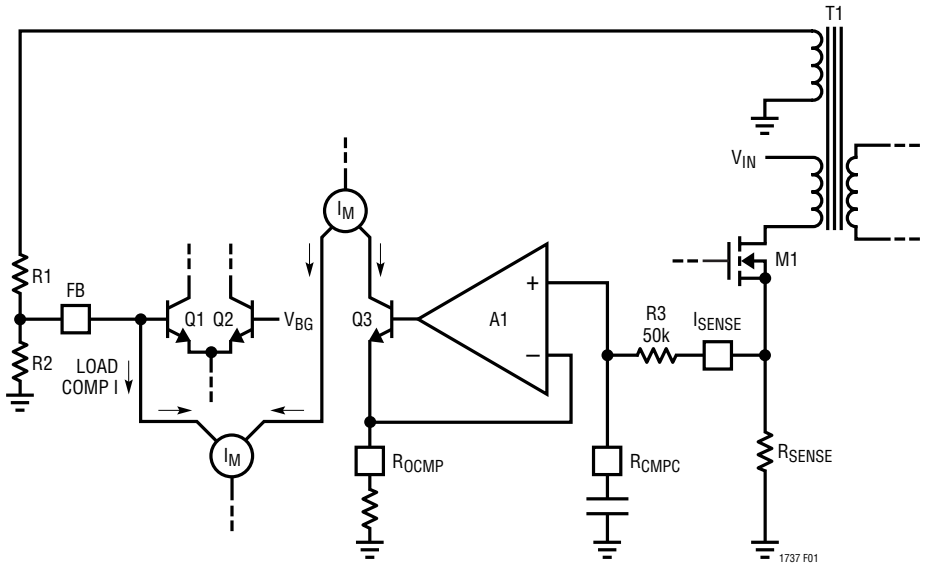


図1. 負荷補償図

動作

これは、前に「I_{SEC} • ESR」の式で表されています。ただし、この式を実効出力インピーダンスに変換した方が一般に便利です。2次電流はデューティ・サイクルのオフ部分でだけ流れるので、実効出力インピーダンスは一括した2次インピーダンスとOFFデューティ・サイクルの逆数を乗じたものに等しくなります。つまり、

$$R_{OUT} = ESR\left(\frac{1}{DC_{OFF}}\right)$$ ここで、

R_{OUT} = 実効的な電源出力インピーダンス

ESR = 一括した 2 次インピーダンス

DC_{OFF} = OFF デューティ・サイクル

これをONデューティ・サイクルの項で表すと、$DC_{OFF} = 1 – DC$なので、

$$R_{OUT} = ESR\left(\frac{1}{1-DC}\right)$$

DC = ON デューティ・サイクル

さほど重要ではないアプリケーションや、出力負荷電流が比較的一定のままである場合、この出力インピーダンス誤差は許容できると判断され、外部FB抵抗分割器は公称予測誤差を補償するように調整されます。もっと要求の厳しいアプリケーションでは、出力インピーダンス誤差は負荷補償機能を使って最小化することができます。

負荷補償機能を実現するために、平均出力スイッチ電流に比例する電圧が作られます。この電圧は外部R_{OCMP}抵抗両端に印加され、その結果生じたFBピンの電圧を下げるように作用します。出力負荷が増加すると平均スイッチ電流が増加し、出力電圧レギュレーションを大まかに維持します。これよってR_{OCMP}抵抗の電流が増加し、それに応じたフライバック電圧振幅の増加をもたらします。

電源効率Effが比較的一定であると仮定すると、

出力電力 = Eff • 入力電力

$V_{OUT} \bullet I_{OUT} = Eff \bullet V_{IN} \bullet I_{IN}$

平均1次側電流は出力電流を使って次のように表されます。

$$I_{IN} = \left(\frac{V_{OUT}}{V_{IN} \bullet Eff}\right) \bullet I_{OUT}$$

効率と電圧の項を単一の変数に結合すると、

$I_{IN} = K1 \bullet I_{OUT}$、ここで、

$$K1 = \left(\frac{V_{OUT}}{V_{IN} \bullet Eff}\right)$$

スイッチ電流は外部センス抵抗で電圧に変換され、R_{CMPC}の外部コンデンサとR3で形成されるローパス・フィルタで平均化されます。次にこの電圧はオペアンプA1とトランジスタQ3によって外部R_{OCMP}抵抗の両端に印加されます。これによりQ3のコレクタに電流が発生し、この電流はミラー回路を介してFBノードから差し引かれます。この動作により、均衡に達するのに必要なR1/R2帰還分割器の上端の電圧が実効的に増加します。したがって、V_{OUT}の目標値の実効的な変化は次のとおりです。

$$\Delta V_{OUT} = \left(K1 \bullet \Delta I_{OUT}\right)\left(\frac{R_{SENSE}}{R_{OCMP}}\right) \bullet (R1||R2) \text{ or}$$

$$\frac{\Delta V_{OUT}}{\Delta I_{OUT}} = K1\left(\frac{R_{SENSE}}{R_{OCMP}}\right) \bullet (R1||R2)$$

公称出力インピーダンスを相殺する値は、上記の式をR_{OUT}に等置して得られます。

$$R_{OUT} = K1\left(\frac{R_{SENSE}}{R_{OCMP}}\right) \bullet (R1||R2) \text{ および}$$

$$R_{OCMP} = K1\left(\frac{R_{SENSE}}{R_{OUT}}\right) \bullet (R1||R2) \text{ ここで、}$$

K1 = 上記のように V_{IN}、V_{OUT}、および効率に関係する次元のない変数

R_{SENSE} = 外部センス抵抗

R_{OUT} = 未補償の出力インピーダンス

(R1||R2) = R1 および R2 の並列インピーダンス

この式を実際に適用してR_{OCMP}抵抗の適切な値を求める方法については「アプリケーション情報」のセクションで説明されています。

アプリケーション情報

トランス設計の検討項目

トランスの仕様と設計は、LT1737をうまく使用する上で、おそらく最も重要な部分です。高周波数用絶縁型電源トランスの設計を扱った通常の注意事項に加えて、以下の情報が役立ちます。

巻数比

出力電圧を設定するのに外部帰還抵抗の比を使うので、与えられたアプリケーションに合うように比較的自由にトランスの巻数比を選べます。つまり、“1.736:1.0”のような面倒な巻数比を避けることが出来ます。対照的に、たとえば1:1、2:1、3:2などの簡単な整数比を使えるので、全巻線数と相互インダクタンスをもっと自由に設定できます。そこで巻数比は所期のデューティ・サイクルに基づいて選択できます。ただし、入力電源電圧にフライバック・パルスを2次側から1次側へ換算した電圧を加えた値（漏れスパイク電圧を含む）が、外部MOSFETの許容される降伏電圧定格を超えないように注意してください。

漏れインダクタンス

トランスの漏れインダクタンス（1次側または2次側のいずれか）は、出力スイッチがオフした後にスパイクを生じます。これは負荷電流が大きくなるほど顕著になります。蓄積された大きなエネルギーが消費されなければならないからです。多くの場合、出力スイッチのノードでの過電圧による降伏を避けるため、「スナバ」回路が必要です。スナバの設計に関しては、「アプリケーション・ノートAN19」を参照してください。

フライバック・パルスがイネーブル遅延時間を超える状況では、出力電圧レギュレーションがいくらか影響を受けます。帰還システムの入力範囲は意図的に制限されていますが（FBノードを基準にしておよそ±50mV）、これにより高電圧漏れスパイクが取り除かれるので、実際の使用上有利であることを認識してください。つまり、漏れスパイクの振幅が数ボルトになると、更に振幅が増加しても帰還システムにはほとんど影響しません。したがって、漏れスパイクの期間ができるだけ短くなるように、（MOSFETの降伏条件を守りながら）無理のない範囲で出来るだけ高い電圧にクランプするようにスナバ回路を調整することが一般に推奨されています。

およその目安として、（相互インダクタンスの）数パーセント以下の総漏れインダクタンスの場合にはスナバ回路が必要なことがありますが、漏れスパイクの振る舞いによるレギュレーション誤差はほとんどあるいは全く現われません。数パーセントから10%程度までの漏れインダクタンスではレギュレーション誤差が増加します。

大きな負荷電流で突然制御を失う可能性があるので、できれば10%以上の大きな漏れインダクタンスは避けるべきです。この奇妙な状態は、漏れスパイクがフライバック波形のあまりにも大きな部分を占めるに至ったため、漏れスパイク自体が真のフライバック信号であるかのように処理回路が誤認すると発生します。次いで、潜在的に安定な状態に落ち込み、そのため漏れスパイクの上端が制御ポイントになり、それに続く漏れスパイクのエッジが低落検出回路をトリガします。このため、一般に出力電圧が正しい値の1/3〜2/3の小さな値に突然低下します。負荷電流が十分減少すれば、システムは通常の状態に瞬時に復帰するでしょう。漏れインダクタンスの大きなトランスを使用するときは、以下のワーストケースで潜在的な双安定性をチェックすることが重要です。

1. 予測される最大負荷電流で試作電源を動作させる。

2. 出力を一時的に短絡する。

3. 通常状態に復帰することを観察する。

出力電圧が異常に低い値に固定するようであれば、システムに問題があります。これは通常、オシロスコープでV_{SW}波形を同時にモニタして、漏れスパイクの挙動を直接に観察することで分かります。最後の注意として、双安定性の作用に対してシステムがどれだけ影響を受けやすいかはある程度負荷I/V特性に依存します。抵抗性（つまりI = V/Rの特性に従う）負荷は、双安定性の影響を最も受けやすくなります。また、CMOS的特性（つまり$I = V^2/R$）を示す負荷は影響を受けにくくなります。

2 次側漏れインダクタンス

前述の一般的な漏れインダクタンスの影響に加えて、特に2次側の漏れインダクタンスは付加的な現象を示します。この漏れインダクタンスはトランスの2次側に誘導性分割器を形成します。この分割器は帰還系で使用される1次側基準のフライバック・パルスの大きさを減らします。

アプリケーション情報

これにより、同様の比率で出力電圧の目標値が増加します。漏れスパイクの特性とは異なり、この現象は負荷には依存しないことに注意してください。2 次側漏れインダクタンスが（製造上のバラツキも含めて）相互インダクタンスの一定の割合であるかぎり、帰還抵抗分割器の比率を調整して対応できます。

巻線抵抗の影響

1次側または2次側の抵抗成分は全体の効率（P_{OUT}/P_{IN}）を減少させます。2次側の抵抗成分は実効出力インピーダンスを増加させ、（少なくとも負荷補償をする前は）ロード・レギュレーションを劣化させます。

バイファイラ巻き

バイファイラ巻きや同様の巻線技術が、漏れインダクタンスの問題を最小限に抑えるのに有効です。ただし、これは1次-2次の静電容量を増やして1次-2次の降伏電圧を制限するので、2線巻きがいつも実際的であるとは限らないことに注意してください。

最後に、弊社はトランスの選択・設計をお手伝いします。

帰還抵抗分割器の値の選択

「動作」のセクションで導いたV_{OUT}の式を整理すると、R1/R2の比を表す次式が得られます。

$$\frac{(R1+R2)}{R2}=\frac{(V_{OUT}+V_F+I_{SEC}\bullet ESR)}{V_{BG}}N_{ST}$$ ここで、

V_{OUT} = 望みの出力電圧

V_F = スイッチング・ダイオードの順方向電圧

$I_{SEC}\bullet ESR$ = 2 次側抵抗損失

V_{BG} = データシート上のリファレンス電圧値

N_{ST} = 2 次対 3 次の実効巻数比

前式はR1とR2の比のみを定義し、個々の値は与えません。ただし、バイアス電流の相殺や他の理由から抵抗分割器のテブナン・インピーダンスは約3kにすべきであることから、2つの未知数に対する第2式が得られます。

R_{COMP} 抵抗値の選択

「動作」のセクションで、実効出力インピーダンスR_{OUT}と、その補償に必要な外部抵抗値R_{OCMP}の式を導きました。

$$R_{OUT}=ESR\left(\frac{1}{1-DC}\right)$$

$$R_{OCMP}=K1\left(\frac{R_{SENSE}}{R_{OUT}}\right)(R1||R2)$$

したがって、R_{OCMP}の値は理論的に決めることができますが、通常は実際に経験則を用いる方がベターです。これは、必要な入力変数のいくつかは正確に予測することが困難だからです。たとえば、上記のESRの項にはトランスの2次側のESRが含まれますが、その実効ESR値は単なるDC巻線抵抗ではなく、高周波動作に依存します。同様にK1は、V_{IN}とV_{OUT}の比に効率（の逆数）を乗じたものとして単に表現されていますが、理論的な効率の推算は単純な計算ではありません。以下の実験方法を推奨します。

実際に使用予定の2次部品を使用して所期の電源を試作します。負荷補償機能を無効にするために一時的にR_{CMPC}ピンを接地します。出力電圧の変動を測定しながら、予測される出力電流負荷の範囲で電源を動作させます。この変動を単一のR_{OUT}値として近似します（直線近似）。V_{IN}、V_{OUT}、および測定した（微分）効率からK1定数の値を計算します。次に、式で示されているようにこれらをR_{SENSE}と組み合わせてR_{OCMP}の値を求めます。

R_{OCMP}からグランドへこの値に近い抵抗を接続して結果を検証します。R_{CCMP}ピンのグランドへの短絡接続を外し、必要な0.1μFのフィルタ・コンデンサをグランドに接続します。この新しい補償を付加した状態で出力インピーダンスを測定します。必要なら元のR_{OCMP}値を変更して実効的な補償を増減します。

アプリケーション情報

発振器のコンデンサ値の選択

LT1737のスイッチング周波数は、OSCAPピンとグランドの間に外部コンデンサを接続して設定します。推奨値は200pF～33pFで、50kHz～250kHzのスイッチング周波数を発生します。外部コンデンサとスイッチング周波数の関係を図2に示します。浮遊容量とノイズの混入の可能性を小さくするために、このコンデンサはできるだけICの近くに配置し、OSCAPノードの長さと面積を最小にします。

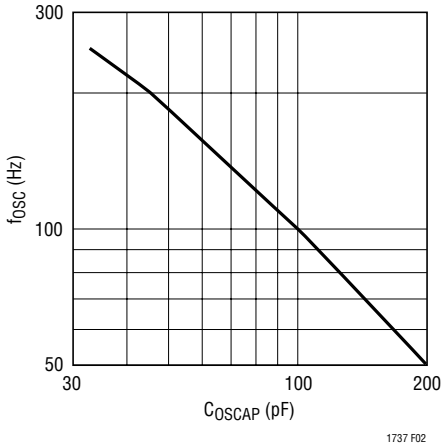


図2. f_{OSC}とOSCAPの値

タイミング抵抗値の選択

外部抵抗でプログラムする3つの内部「ワン・ショット」の時間（最小オン時間、イネーブル遅延時間および最小イネーブル時間）があります。これらは全て絶縁型フライバック制御手法の一部であり、それらの機能の概要は既に「動作」のセクションで説明されています。これらの機能の観測された時間と外部抵抗値を図3に示します。

次の情報はこれらのタイミング値の選択や最適化に役立ちます。

最小オン時間

この時間は通常のスイッチ電流制限が無視される時間の長さを定義します。この機能は、ゲート/ソース間容量の急速充電に起因する、外部パワーMOSFETのソース・ノードでしばしば見られる立ち上がりエッジの電流スパイクに対する耐性を与えます。

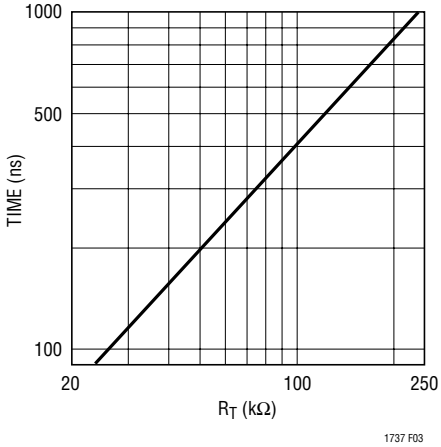


図3.「ワン・ショット」時間とプログラム抵抗

この電流スパイクはトランスの1次側の実際の電流レベルを示さず、特に軽負荷で不規則な電流モード・スイッチング動作を生じます。

ただし、LT1737は軽負荷でも「サイクル・スキップ」をしないことに注意する必要があります。したがって、最小オン時間により最小供給電力が制限され、その結果、レギュレーションを維持するために必要な最小負荷条件が設定されます（「最小負荷に関する検討事項」を参照）。同様に、最小オン時間は短絡時の動作にも直接影響を与えます（「最大負荷/短絡回路に関する検討事項」を参照）。

ユーザは通常これらの負荷に対する影響を最小にとどめるため、最小オン時間を短く設定しようとします。（結局、最小オン時間を小さくしようとすると理想的な場合の零（つまり最小値なし）に近づきます。）しかし、特定のアプリケーションでは、MOSFETのスイッチング電流スパイクを考慮してもっと長い時間が必要でしょう。

イネーブル遅延時間

この機能により、ゲート・ドライバ・ノードをオフしてから帰還アンプが次にイネーブルされるまで、プログラムされた遅延が与えられます。高負荷時、トランスの漏れインダクタンスのために、MOSFETがオフした後、1次側に電圧スパイクが観察されることがあります。このスパイクは実際の出力電圧を示すものではありません（図4Bを参照）。帰還アンプのイネーブルを遅らせることにより、このシステムはほとんど全ての電圧スパイクを効果的に無視することができ、適切な出力電圧のレギュレーションを維持します。したがって、イネーブル遅延時間は予想される最大漏れスパイクの時間の長さに設定します。

アプリケーション情報

これは、最小負荷での出力電圧レギュレーションに関係する可能性があります（「最小負荷に関する検討事項」を参照）。

イネーブル遅延時間の機能の2番目の利点は軽負荷時に生じます。そのような状態では、トランスに蓄積されたエネルギーは少量です。フライバック波形は穏やかになり、時には実際の2次側出力電圧を示す前に終わってしまいます（図4Cを参照）。したがって、軽負荷でのフライバック波形の「無関係な」部分を無視するためにも、イネーブル遅延時間は十分長く設定します。

さらに、サイズが大きくてオフへの遷移が非常に低速のMOSFETをゲート出力がドライブする必要がある場合があります。そのような場合には、長い遷移に適応するようにイネーブル遅延時間を増やすことができます。

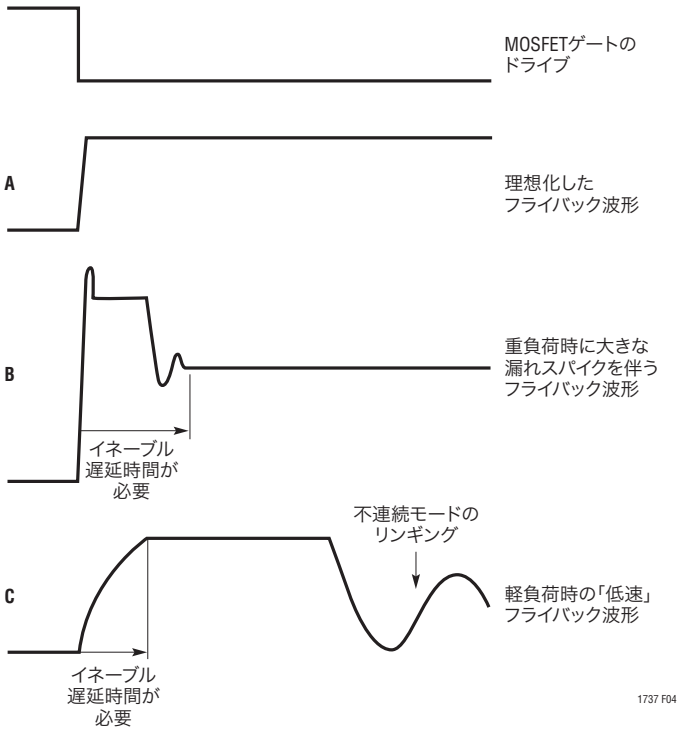


図4

最小イネーブル時間

この機能は予想されるフライバック・パルスの最小時間幅を設定します。その第1の目的は、起動時の問題を回避するために、V_Cノードに最小ソース電流を提供することです。

$$\text{平均「起動」}V_C\text{電流} = \frac{\text{最小イネーブル時間}}{\text{スイッチング周波数}} \bullet I_{SRC}$$

最小イネーブル時間は軽負荷時にも関係してきます（「最小負荷の検討」を参照）。最小イネーブル時間は最小負荷動作の観点からは制限が最も少ないので、かなり短く設定したくなります。ただし、「信頼できる」最小始動電流（たとえば公称1μA）を供給するために、最小イネーブル時間はスイッチング周期（スイッチング周波数の逆数）の2%以上に設定してください。

電流センス抵抗に関する検討事項

外部の電流センス抵抗により、検討対象の特定のアプリケーションに合わせて電流制限動作を最適化できます。電流センス抵抗を数オームから数10ミリオームまで変化させると、ピーク・スイッチ電流は数分の1アンペアから数10アンペアに変化します。電流センス抵抗の値が小さいときは、適切に回路が動作するように特に注意を払う必要があります。

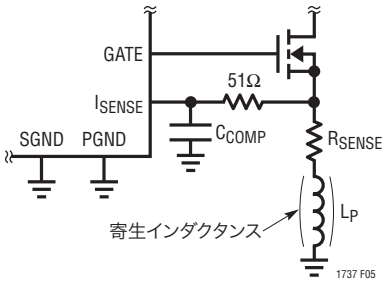
たとえば、ピーク・スイッチ電流が10Aならば、0.025Ωのセンス抵抗が必要です。このセンス抵抗での瞬時ピーク電力は2.5Wで、それに応じた定格のものが必要です。LT1737にはこの抵抗への検出ラインが1本あるだけです。したがって、センス抵抗のグランド側の接続に何らかの寄生抵抗があると、見かけ上の値が増加します。0.025Ωのセンス抵抗の場合、1mΩの寄生抵抗でもピーク・スイッチ電流が4%減少します。したがって、プリント回路の銅箔配線やスルーホールは必ずしも無視できません。

さらに寄生インダクタンスにも配慮が必要です。電流センス抵抗に直列のインダクタンスが電流波形の高周波成分を強調します。特に、MOSFETのゲート・スイッチング・スパイクや数MHzのリンギングがかなり増幅されることがあります。かなりひどい場合には、不規則な動作をひき起こすことがあります。たとえば、理想的な0.025mΩのセンス抵抗に直列に3nHの寄生インダクタンス（自由空間での長さ0.1インチの導線に相当）が存在すると仮定します。$f = R/(2\pi L)$、つまり1.3MHzにゼロが形成されます。

アプリケーション情報

この周波数を超えると、センス抵抗はインダクタのように振舞います。

いくつかの手法を使ってこの潜在的寄生インダクタンスの問題を緩和することができます。まず、電流検出の目的に使用する抵抗は本来非誘導性構造のものでなければなりません。この抵抗を切れ目のないグランド・プレーン上に直接実装し、グランド側への接続を最小にすると、寄生インダクタンスを最小にできます。値の小さなセンス抵抗の場合、前述した熱に対する配慮により複数の抵抗を並列に接続してこれを実現することができます。並列接続は寄生インダクタンスを下げるのに寄与します。最後に、誘導性のゼロの作用を無効にするために、電流センス抵抗とLT1737のI_{SENSE}ピンの間にポールを置く必要があるかもしれません（図5を参照）。抵抗としては51Ωの値を推奨します。コンデンサは、特定の用途やレイアウトに応じて実験で選びます。うまく高周波測定技術を使えば、コンデンサ値を変えながらI_{SENSE}ピンの波形をオシロスコープで直接観察することができます。



センス抵抗のゼロ：

$$f = \frac{R_{SENSE}}{2\pi L_P}$$

補償回路のポール：

$$f = \frac{1}{2\pi(51\Omega)C_{COMP}}$$

相殺するための容量：

$$C_{COMP} = \frac{L_P}{R_{SENSE}(51\Omega)}$$

図5

ソフトスタート機能

LT1737にはオプションのソフトスタート機能が備わっており、SFSTピンとグランドの間に外部コンデンサを接続するとイネーブルされます。内部回路により、V_Cピンの制御電圧がSFSTピンの電圧を超えるのを防ぎます。

ソフトスタート機能は、V_{CC}への電源が取り去られた時、または低電圧ロック・アウトかサーマルシャットダウン（過温度）が生じた時に起動します。次に、SFSTノードはグランドより約V_{BE}だけ高いレベルまで急速に放電されます。（V_Cピン制御ノードのスイッチング・スレッショルドは、V_{BE}に数100mVを加えた値に意図的に設定されていることに注意してください。）この状態が取り除かれると、40μAの電流によってSFSTノードが約3Vに向かって充電されます。したがって、たとえば0.1μFソフト・スタート・コンデンサにより、V_Cノードの立ち上がり速度が0.4V/msに制限されます。

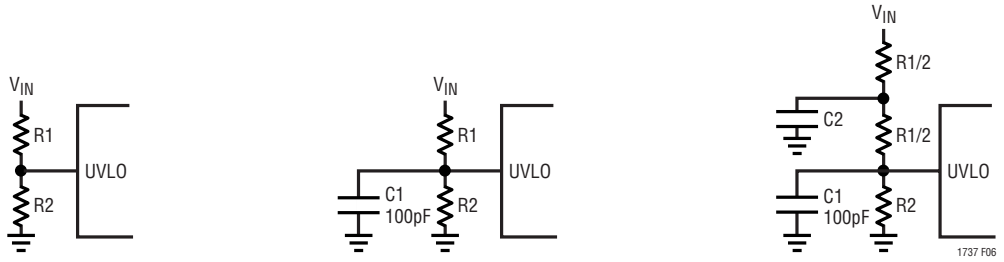
UVLO ピン機能

UVLOピンは低電圧ロックアウトとシャットダウンの両機能を実現します。これは、2つの機能に異なった電圧スレッショルドを使うことによって達成されます。シャットダウン機能はグランドより約V_{BE}だけ上（25°Cで0.75V、温度に対して大きく変動）ですが、UVLO機能はバンドギャップ電圧の近く（1.25V、温度に対して比較的安定）です。入力電源とグランドの間の外部抵抗分割器を使用して、プログラム可能な低電圧ロックアウトを実現できます（図6aを参照）。

このピンのもうひとつの特徴は、このピンの入力バイアス電流が内部UVLOコンパレータの状態によって変化することです。このピンの電圧がUVLOスレッショルドよりも高くなると、デバイスから供給されるバイアス電流が増加します。この正帰還により信頼性の高いスイッチング動作のためのヒステリシス・バンドが生じます。ヒステリシスの大きさは外部UVLO抵抗分割器のテブナン・インピーダンスに比例するのでプログラムできます。大まかな経験則として、約4kのインピーダンスごとに約1%のヒステリシスを生じます。（これは約1.25Vのスレッショルドと3μAのバイアス電流のシフトに基づいています。）

どんなに良質なグランド・プレーン・レイアウトでも、スイッチング・ノード（MOSFETのドレイン）が数fF（フェムト・ファラッド）の浮遊容量によってUVLOピンに結合するのは普通です。正確なUVLO動作を保証するために、図6bに示すようなこのピンからグランドへの100pFコンデンサを推奨します。これは通常、カップリング・ノイズを数mVに抑えます。ただし、ヒステリシスの動作が非常に遅くなるので、UVLOのフィルタ・コンデンサは数100pFよりもあまり大きくしないでください。更にフィルタが必要な場合、たとえば高速の電源リップルを減衰させるには、図6cのトポロジーを推奨します。抵抗R1が2等分されています。これにより、高周波数でのUVLOピンのノード・インピーダンスを比較的変化させずに、高速の電源リップルをコンデンサでフィルタするノードが与えられます。

アプリケーション情報



(6a)「標準的」UVLO 分割器トポロジー

(6b) UVLO ノードにフィルタ・コンデンサを直接接続

(6c) 高周波リップルをフィルタする推奨トポロジー

図6

周波数補償

ループの周波数補償はエラーアンプの出力（V_Cピン）からグランドへコンデンサを接続して行います。従来の電流モード・スイッチャ・コントローラでしばしば必要な追加の直列抵抗は通常は必要なく、有害なことさえあります。この追加抵抗によって従来実現されてきた位相マージンの改善は、ゼロのない2次側回路インピーダンスで通常既に達成されており、このインピーダンスはゼロをループ応答に加えます。

さらに従来の電流モード・スイッチャとは対照的に、V_Cピンのリップルは一般にLT1737では問題ではありません。クランプされた帰還アンプのダイナミック特性により効果的なトラック/ホールド型応答が実現されるので、V_C電圧はフライバック・パルスの間は変化しますが、次のサイクルの「スイッチ・オン」部分では「ホールド」されます。この動作により、電流コンパレータの検出動作（電流モード・スイッチング）の間、V_C電圧は自然に安定に保たれます。

出力電圧の誤差源

通常の非絶縁型スイッチング電源ICの出力電圧誤差の実質的な要因は一般には2つだけです（V_{OUT}と内部のICリファレンスに接続される内部または外部の抵抗分割器ネットワーク）。ダイナミックかつ絶縁された方法で出力電圧を検出するLT1737には、対処すべき追加の潜在的誤差源があります。これらの誤差のいくつかは出力電圧に比例し、他は絶対的なmV感度に固定されています。以下、潜在的誤差源とその実効的な寄与を列挙します。

内部電圧リファレンス

もちろん、内部のバンドギャップ電圧リファレンスは完璧ではありません。25°Cと全温度範囲の両方での誤差が既に仕様に含まれています。

プログラミング抵抗

出力電圧はユーザが設定する帰還抵抗分割器の比で決まります。その抵抗比が理想値と異なる程度に比例して出力電圧が影響を受けます。高精度のシステムでは1%部品が必要です。

ショットキー・ダイオードの電圧降下

LT1737は1サイクルのフライバック部分の期間にトランスの1次側から出力電圧を検出します。したがって、この検出された電圧には整流器（通常はショットキー・ダイオード）の順方向電圧降下V_Fが含まれます。したがって、このダイオードの公称V_Fを帰還抵抗分割器の計算に含めます。ショットキー・ダイオードのロット間のバラツキおよび周囲温度の変動が出力電圧のシフトやドリフトとして現れます。

2 次側漏れインダクタンス

トランスの2次側の漏れインダクタンスは、実効的な2次対3次の巻数比（N_S/N_T）を理想値から下げます。これにより、同様の比率で出力電圧の目標値が増加します。2次側漏れインダクタンスが部品間でどの程度一定であるかに従って、帰還抵抗比の調節によってこの問題に対応できます。

アプリケーション情報

出力インピーダンスの誤差

出力整流器、トランスの2次側、および出力コンデンサの実際に零にならないインピーダンスを通って流れるトランスの2次側電流によってさらに誤差が生じます。2次電流はデューティ・サイクルのオフ部分でだけ流れるので、実効出力インピーダンスは一括した“DC”2次インピーダンスとOFFデューティ・サイクルの逆数を乗じたものに等しくなります。出力負荷電流が比較的一定であるか、アプリケーションの要求が厳しくなければ、誤差は許容できると判断することができ、帰還抵抗分割器の比は公称予測誤差に対して調整することができます。もっと要求の厳しいアプリケーションでは、出力インピーダンス誤差は負荷補償機能を使用して最小化することができます（「負荷補償理論」を参照）。

最小負荷に関する検討事項

LT1737は間接的な出力電圧検出技術を利用する前世代のスイッチャ/コントローラよりも一般に良い低負荷性能を発揮します。具体的には、フライバック・パルスの「消滅」を検出する回路を備えているので、不連続モードでも良好な動作をサポートします。にもかかわらず、依然として極低負荷動作での制限は残ります。これは、最小スイッチ・オン時間と最小イネーブル時間に関係します。次の理論的な導出では不連続モードの動作を想定しています。

「動作」のセクションで概略を説明しましたが、LT1737では最小出力スイッチ・オン時間t_{ON}が使われます。この値をV_{IN}およびスイッチング周波数と組み合わせて、最小供給電力の式を得ることができます。

$$\text{最小電力} = \frac{1}{2}\left(\frac{f}{L_{PRI}}\right)\left(V_{IN} \bullet t_{ON}\right)^2 = V_{OUT} \bullet I_{OUT}$$

次に、この式により最小出力電流の制限が与えられます。

$$I_{OUT(MIN)} = \frac{1}{2}\left(\frac{f}{L_{PRI} \bullet V_{OUT}}\right)\left(V_{IN} \bullet t_{ON}\right)^2 \text{ ここで、}$$

f = スイッチング周波数

L_{PRI} = トランスの 1 次側インダクタンス

V_{IN} = 入力電圧

V_{OUT} = 出力電圧

t_{ON} = 出力スイッチの最小オン時間

別の制限は最小イネーブル時間に関係しています。LT1737はフライバック・パルスから出力電圧の情報を得ます。内部の最小イネーブル時間のパルスがフライバック・パルスを超える場合、レギュレーションが失われます。この状態の開始点は、フライバック・パルスの幅をフライバックイネーブル遅延t_{ED}と最小イネーブル時間t_{EN}の和に等しく設定することにより決定することができます。負荷に供給される最小電力は次式のようになります。

$$\text{最小電力} = \frac{1}{2}\left(\frac{f}{L_{SEC}}\right)\left[V_{OUT} \bullet \left(t_{EN} + t_{ED}\right)\right]^2 = V_{OUT} \bullet I_{OUT}$$

これにより最小出力の制限が得られます。

$$I_{OUT(MIN)} = \frac{1}{2}\left(\frac{f \bullet V_{OUT}}{L_{SEC}}\right)\left(t_{ED} + t_{EN}\right)^2 \text{ ここで、}$$

f = スイッチング周波数

L_{SEC} = トランスの 2 次側インダクタンス

V_{OUT} = 出力電圧

t_{ED} = イネーブル遅延時間

t_{EN} = 最小イネーブル時間

一般に、入出力電圧およびトランスのインダクタンスの詳細に従って、上記の制限の一つが他より強く制限することに注意してください。つまり、特定のアプリケーションにおける最小負荷電流は、出力スイッチの最小オン時間で制限されるか、または最小フライバック・パルス時間で制限されます。（最後の注意として、L_{PRI}とL_{SEC}はそれぞれ1次側または2次側から見たトランスのインダクタンスを指します。この一般的な取り扱いによって、トランス巻数比が1でない場合でもこれらの式を使うことができます。）

アプリケーション情報

最大負荷 / 短絡回路に関する検討事項

LT1737は電流モードのコントローラです。電流コンパレータへの入力としてV_Cノードの電圧を使います。このコンパレータはサイクル毎にピーク電流に達すると出力スイッチをオフします。したがって、V_Cノードの内部クランプ（公称2.5V）が出力スイッチのピーク電流制限として機能します。

オンのスイッチ・デューティ・サイクルが40%未満の場合、V_Cピンの2.5VはI_{SENSE}ピンの250mVの値に相当します。デューティ・サイクルが40%を超える場合、内部のスロープ補償回路が実効的なI_{SENSE}電圧の制限を引き下げます。たとえば、80%のデューティ・サイクルでは、公称I_{SENSE}電圧制限は220mVです。この動作がスイッチ電流制限の仕様になります。利用可能な最大出力電力はスイッチ電流制限で決められ、その電流制限は内部のスロープ補償動作のためにデューティ・サイクルにいくらか依存します。

過電流状態は同じメカニズムで処理されます。出力スイッチがオンし、急速にピーク電流に達し、スイッチがオフします。出力スイッチは有効期間の小部分でだけオンするので、電力損失が制御されます。

特定の条件下では電流制限が失われることがあります。LT1737は通常、電流遷移点に関係なく、最小スイッチ・オン時間を示すことに注意してください。この最小オン時間で表されるデューティ・サイクルが、（1次側を基準とした）2次側巻線電圧を入力電圧で割った比率よりも大きい場合、ピーク電流は公称値に制御されず、サイクル毎にいくらか高いレベルに持ち上げられます。数式で表すと、短絡制御を維持するのに必要な条件は次のようになります。

$$t_{ON} \bullet f < \frac{\left(V_F + I_{SC} \bullet R_{SEC}\right)}{V_{IN} \bullet N_{SP}}$$ ここで、

t_{ON} = 出力スイッチの最小オン時間

f = スイッチング周波数

I_{SC} = 短絡出力電流

V_F = I_{SC} での出力ダイオードの順方向電圧

R_{SEC} = トランスの 2 次側の抵抗成分

V_{IN} = 入力電圧

N_{SP} = 2 次対 1 次の巻数比（N_{SEC}/N_{PRI}）

障害は一般に入力電圧に2次対1次の巻数比を掛けた積が比較的大きいアプリケーションや、最小スイッチ・オン時間が比較的長いアプリケーションでだけ発生します。（さらに、トランスの漏れインダクタンス、AC巻線損失、出力スイッチ電圧降下などいくつかの実装時の影響が加わると、この単純な理論的計算は控えめな予測となります。）

熱に関する検討事項

最悪の入力電圧状態でもダイ温度が過度に上昇しないように注意を払う必要がります。16ピンSOパッケージの定格は100°C/Wで、16ピンGNパッケージは110°C/Wです。

平均電源電流は単に仕様の項で与えられた静止電流とゲート・ドライブ電流の和です。ゲート・ドライブ電流は次のように計算できます。

$I_G = f \bullet Q_G$ 、ここで、

Q_G = 全ゲート電荷

f = スイッチング周波数

（注記：全ゲート電荷は多くの場合C_{GD}のミラー効果によって支配されるので、$C_{GS} \bullet V_G$よりも複雑になります。さらに、両コンデンサは実際には非線形です。さいわい、ほとんどのMOSFETのデータシートは、動作条件に従って直接合計ゲート電荷を与える数値とグラフを記載しています。）外部のゲート直列抵抗で消費されるわずかな電力を除いては、ほとんど全てのゲート・ドライブ電力はデバイス内部で消費されるので、デバイスの全損失は次のように計算されます。

$P_{D(TOTAL)} = V_{CC} (I_Q + \bullet f \bullet Q_G)$、ここで、

I_Q = 静止電流（仕様から）

Q_G = 全ゲート電荷

f = スイッチング周波数

V_{CC} = LT1737 の電源電圧

スイッチ・ノードに関する検討事項

最大効率を得るため、ゲート・ドライブの立ち上がり時間と立ち下がり時間はできるだけ短くしてあります。輻射や高周波共振の問題を防ぐため、ICに接続する部品、特に電力経路（1次側と2次側）の適切なレイアウトが不可欠です。

アプリケーション情報

Bフィールド（磁界）輻射は、MOSFETのリード、出力ダイオード、および出力バイパス・コンデンサのリードをできるだけ短くすることにより最小にできます。Eフィールド輻射は、全て同様のトレースの長さと面積を最小にすることにより低く保てます。プレーン間のカップリング防ぐため、スイッチャ回路の下には常にグランド・プレーンを使います。

高速スイッチング電流経路を回路図で図7に示します。ノイズのないスイッチングと最小のEMIを保証するには、これらの経路のリード長を最小にすることが不可欠です。入力コンデンサ、トランスの1次側、およびMOSFETからなる経路と、トランスの2次側、出力ダイオード、および出力コンデンサからなる経路には、「ナノ秒」の立ち上がり/立ち下がり時間のエッジが現れます。これらの経路はできるだけ短くしてください。

ゲート・ドライブ抵抗に関する検討事項

LT1737内部のゲート・ドライブ回路は、実用的なできるだけ低い出力インピーダンス（ほんの数Ω）を持つように設計されています。パワーMOSFETの全ゲート容量とそのゲートにつながる経路のインダクタンスによって、強いLC共振が潜在的に生じます。このため、ICのGATEピンからMOSFETの物理的なゲートまでの経路はできるだけ短くし、良好なレイアウトとグラン・ドプレーンを使用して寄生インダクタンスを最小にします。

アプリケーションによっては、直列ゲート・ドライブ抵抗を付加すると、この潜在的なLC共振（一般に数10MHz）を抑えるのに有効です。おそらく最小で数Ωの値を推奨します。それよりも大きな値（一般に数10Ω）は更に共振を抑えます。ただし、この抵抗値が大きくなりすぎると、ゲート電圧の立ち上がり時間が許容できないレベルまで増加し、緩やかなスイッチング動作のために効率が犠牲となります。

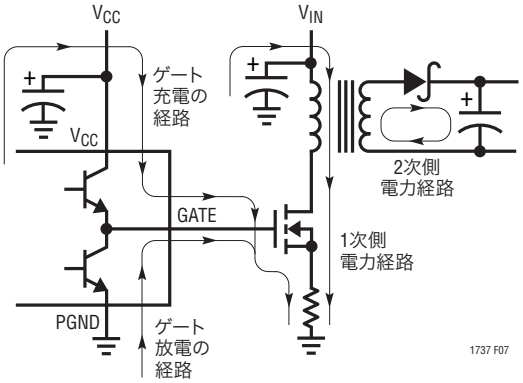


図7. 高速電流スイッチング経路

標準的応用例

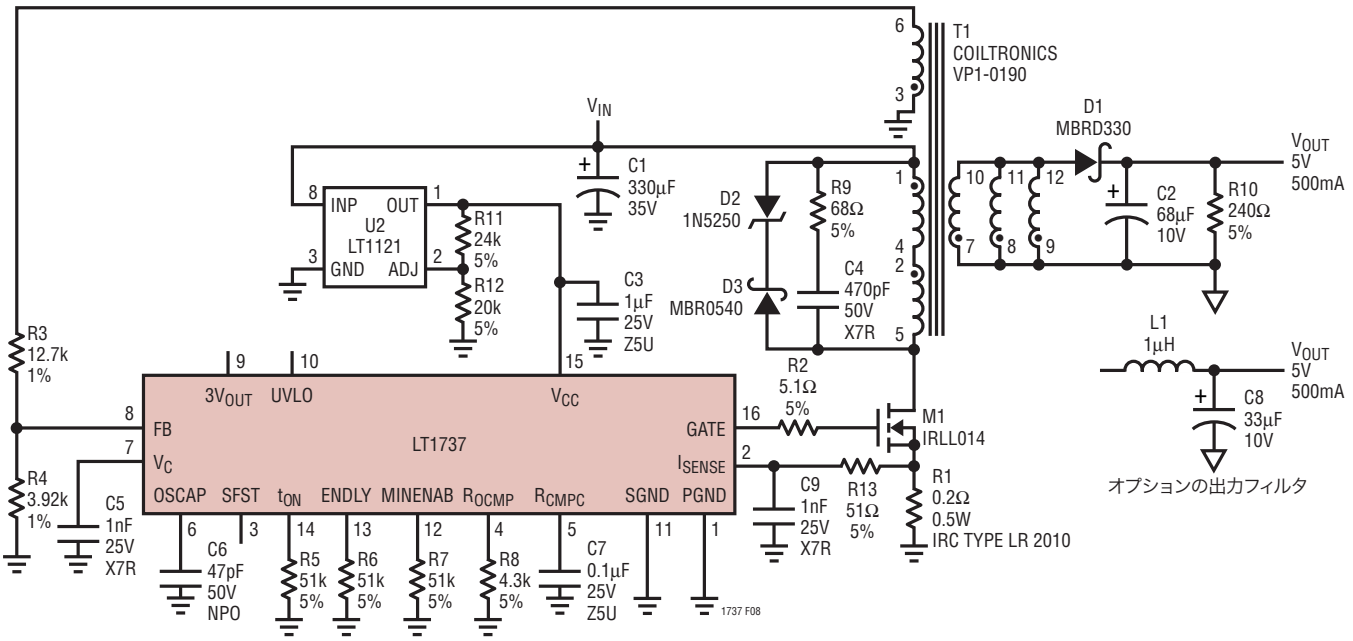
3 巻線トランスを使った基本アプリケーション

LT1737のコンパクトな低電力アプリケーションを図8に示します。トランスT1はCoiltronicsの汎用のVERSA-PAK™ #VP1-0190です。出荷時、これは6つの独立した理想的には全く同一の巻線からなっています。この用途では、2つの巻線を1次側で直列に重ね、3つの巻線を2次側で並列に配置します。この構成によって、全体の効率を最大にしながら、2：1の1次対2次の巻数比を実現します。残りの1次側巻線は、帰還のために、グランドを基準にしたフライバック電圧波形を1次側に発生させます。

このデザインは、8V～25Vの範囲の入力電圧を受け入れて、絶縁された5Vを出力します。LT1737とMOSFET M1の過電圧を防ぐため、LT1121低損失リニア・レギュレータが採用されています（U2）。抵抗分割器R11/R12がU2の出力を公称8.25Vに設定します。（したがって、数100ミリボルトの損失電圧が入力電源範囲の最下部で見られます。）LT1737のGATEピンの正方向に変化するドライブ電位は、V_{CC}電源ピンより標準2V程度下なので、ロジック・レベルMOSFETがM1に指定されています。

コンデンサC6は約200kHzのスイッチング周波数を設定します。トランスと2次側回路部品のための最適な負荷補償は抵抗R8で設定します。抵抗R10は約20mAの保証最小負荷を与え、ほぼ出力電圧レギュレーションを維持します。ソフトスタートとUVLOの機能は図に示されているとおり使用されていません。

VERSA-PAKはCoiltronics社の商標登録です。



C1: SANYO ALUMINUM ELECTROLYTIC (35CV331GX)
C2: SANYO POSCAP (10TPC68M)
C8: SANYO POSCAP (10TPA33M)
D1: MOTOROLA 30V, 3A SCHOTTKY RECTIFIER
D2: 20V, 500mW ZENER DIODE
D3: MOTOROLA 40V, 0.5A SCHOTTKY RECTIFIER
L1: COILCRAFT DO1608C-102 1µH, 0.05Ω INDUCTOR
M1: INT'L RECTIFIER IRLL014 60V, 0.2Ω LOGIC LEVEL N-CH MOSFET
U2: LINEAR TECHNOLOGY MICROPOWER LDO REGULATOR

図8. 8V～25Vから絶縁された5Vへのコンバータ

標準的応用例

入力電圧と負荷電流に対する電源全体の効率および出力レギュレーションを図9と図10に示します。利用可能な出力電流は入力電圧の関数であり、8Vの入力での650mAから25Vの入力での1100mAまで変化します。

出力スイッチング・ノイズが気になる場合、示されているようなオプションの出力L/Cフィルタを追加することができます。図11のオシロスコープ写真は、オプションのフィルタによる出力電圧リップルの劇的な減少を示しています。

注記：Q1、U2およびM1のブレークダウン電圧定格を上げ、必要に応じてトランスの巻数を調節することにより、このトポロジーの入力電圧範囲を高く拡張することは理論的には可能です。ただし、入力電圧が増加するにつれ、LT1737が必要とする比較的固定された消費電流によりますます多くの無駄な熱がリニア・レギュレータU2内で発生するので、この手法は一般に望ましくありません。このような場合には、LT1737の近い「いとこ」であるLT1725を推奨します。

LT1725はLT1737に非常によく似ていますが、大きなヒステリシスを持った低電圧ロックアウト（UVLO）回路を内蔵しており、V_{CC}電圧をモニタします。3巻線トランスと組み合わせてデバイスの電力と出力電圧帰還情報の両方を与えると、数100ボルトに達する入力電圧から「トリクル充電」によるスタートアップが可能になります。したがって、LT1725は、48V～72Vの「テレコム」入力電圧から、または数100ボルトまでのACライン入力からさえ動作するのに十分適しています。詳細はLT1725のデータシートを参照してください。

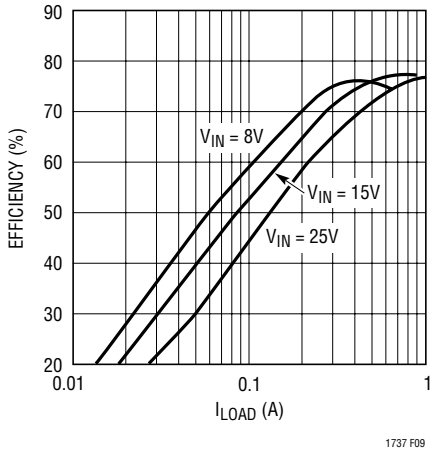


図9. 効率とI_{LOAD}

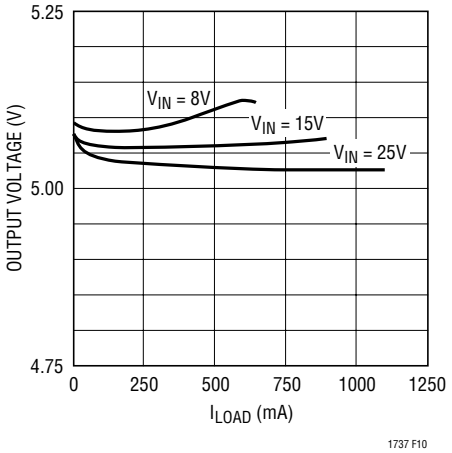
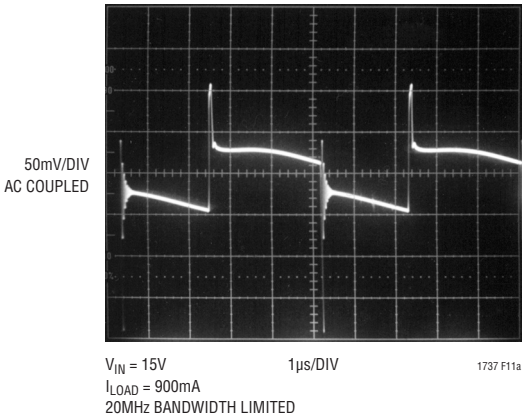


図10. 出力レギュレーション

L/Cフィルタなし



L/Cフィルタ付き

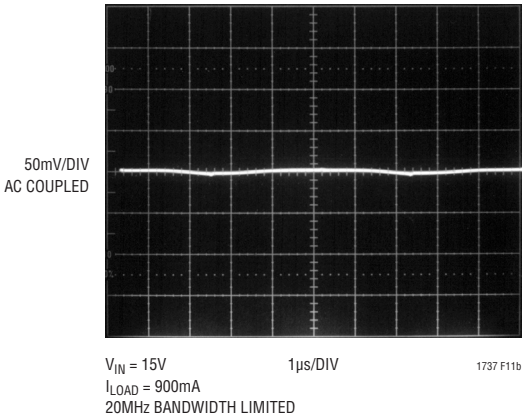


図11

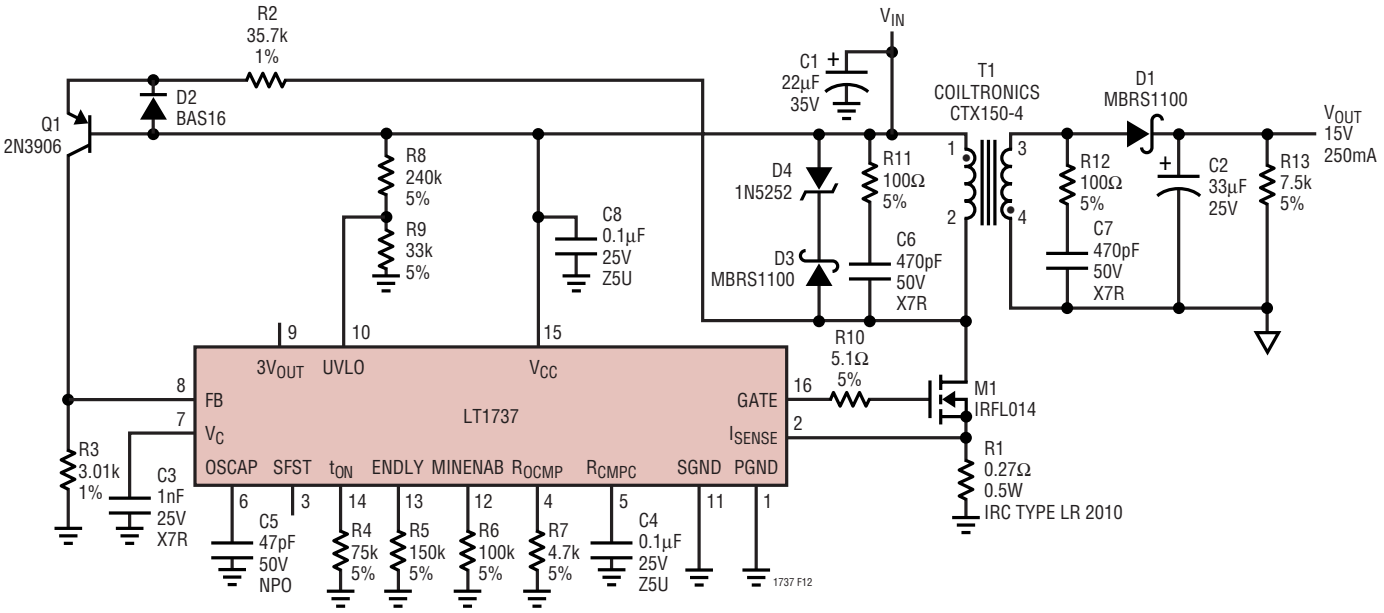
標準的応用例

2 巻線トランスを使ったアプリケーション

前の応用例は3巻線トランスを利用し、3次巻線は帰還情報だけを伝えます。追加回路を採用して帰還情報を与えることができ、それによって、トランスを2巻線トポロジーに減らすことが可能になります。（トランスに関連したコストとサイズの節約は、これをしばしば好ましい代替方法にします。さらに、様々なメーカーが、多くの場合1:1のトランスとして応用可能な常備品の2重巻き磁気部品を提供しています。）

2重巻きトロイド（Coiltronics #CTX150-4 OCTA-PAC™）で動作するように構成したLT1737を図12に示します。フライバックのグランドを基準にしたバージョンの電圧波形は、この場合部品Q1、R2、R3およびD2によって与えられます。

OCTA-PACはCoiltronics社の商標です。



C1: AVX TPS TANTALUM (TPSE226M035R0300)
C2: AVX TPS TANTALUM (TPSE336M025R0200)
D1, D3: MOTOROLA 100V, 1A SCHOTTKY DIODE
D2: SIGNAL DIODE
D4: 24V, 500mW ZENER DIODE

M1: INT'L RECTIFIER 60V, 0.2Ω N-CH MOSFET

図12. 12V～18Vから絶縁された15Vへのコンバータ

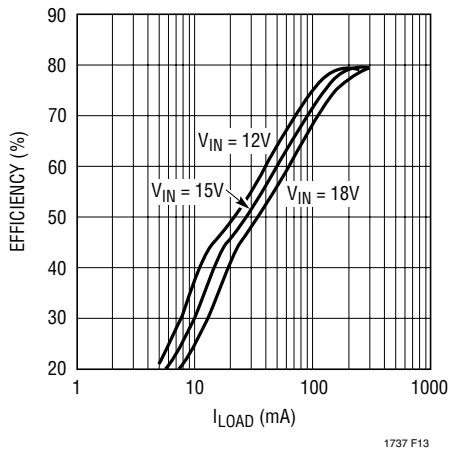


図13. 効率とI_{LOAD}

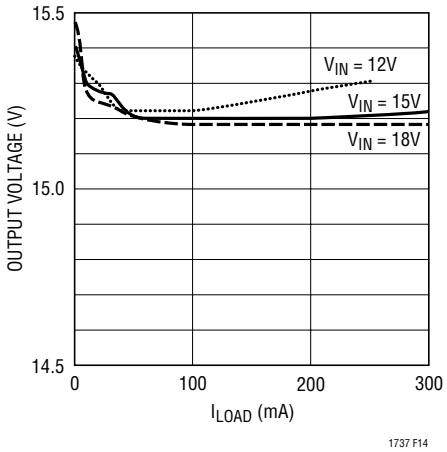


図14. ロード・レギュレーション

標準的応用例

（ダイオードD2は、MOSFET M1が「オン」状態のときQ1の逆エミッタ/ベース・ブレークダウンを防ぎます。）MOSFET M1のドレインの正味フライバック電圧からQ1のV_{BE}を差し引いた電圧がR2によって電流に変換され、次いでR3で電圧に戻されます。つまり、数式で表すと次のようになります。

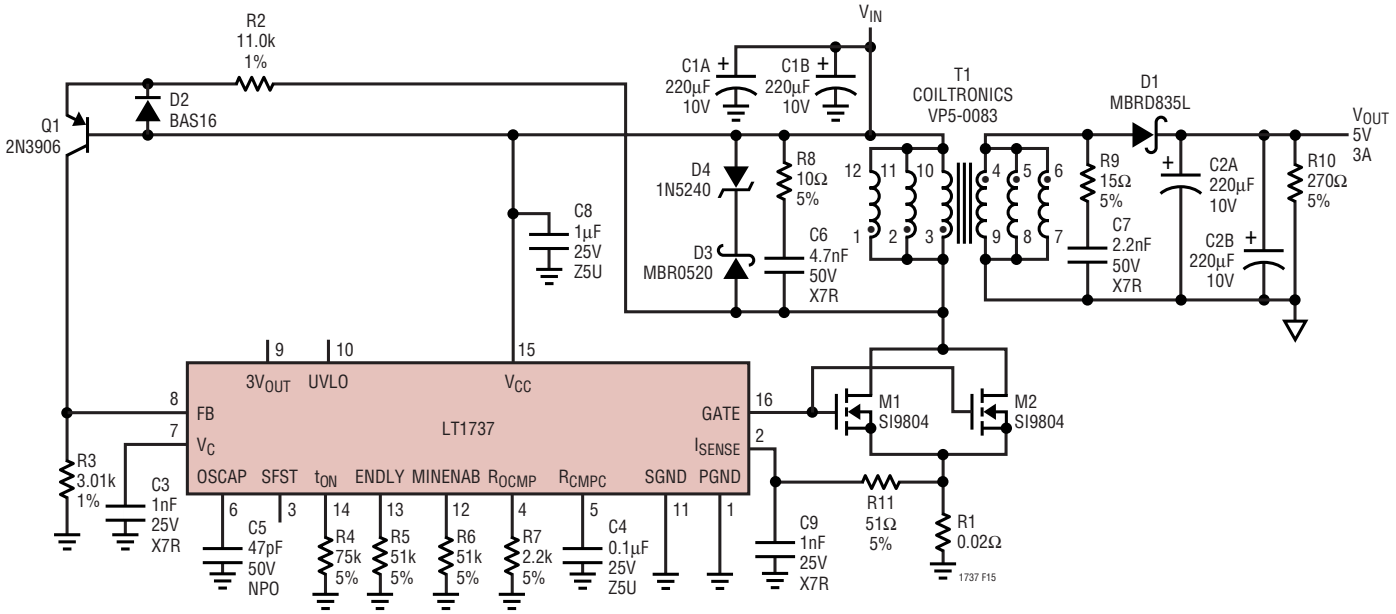
$$V_{FB} = \left(V_{FLBK} - V_{BE}\right)\left(\frac{R3}{R2}\right)$$

抵抗R13は電源出力へ初期予備負荷を与え、軽負荷でのレギュレーションを改善します。抵抗分割器R8/R9は、低電圧ロックアウトのスレッショルドをターンオンの場合公称10.4Vに、ターンオフの場合それより約600mV下に設定します。入力電圧と負荷電流に対する電源全体の効率と出力レギュレーションを、図13と図14で見ることができます。

5V 入力のアプリケーション

LT1737はバイポーラ・テクノロジーのデバイスで、4.5Vの最小入力電源電圧まで動作するように規定されています。そのGATEピンはグランドの近くまで“L”にドライブしますが、その“H”の能力は約2V_{BE}の空き高の要件によって制限されます。したがって、ワーストケース4.5Vの電源で動作するとき、GATE出力は公称3Vほどまでしかドライブしません。幸いにも、このレベルのゲート電圧で性能が規定されたMOSFETが今では提供されています。

図15に示されている回路は、4.5V～5.5Vの入力から絶縁された5V出力を供給します。2個のSi9804低ゲート電圧MOSFETが並列接続されており、ピーク12Aまでの1次側電流を扱います。この回路は前の例のものより大きな出力電力を供給します。



C1A-B, C2A-B: SANYO POSCAP (10TPB220M)
D1: MOTOROLA 35V, 8A SCHOTTKY DIODE
D2: SIGNAL DIODE
D3: MOTOROLA 20V, 0.5A SCHOTTKY DIODE
D4: 10V, 500mW ZENER DIODE
M1, M2: SILICONIX/VISHAY 25V, 0.023Ω N-CH MOSFET
R1: 5 × 0.10Ω, 1W (IRC LR2512)
T1: COILTRONICS TRANSFORMER

図15. 4.5V～5.5Vから絶縁された5Vへのコンバータ

標準的応用例

したがって、それは物理的にもっと大きなトランスを必要とします。最大サイズのVERSA-PAC（VP5-0083）が使われています。1次側と2次側の両方で3つの巻線が並行に配置されています。

V_{IN} = 公称5Vでの負荷電流に対する電源全体の効率と出力レギュレーションを、図16と図17で見ることができます。

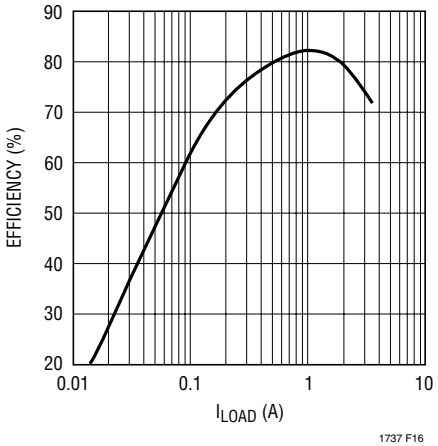


図16. 効率とI_{LOAD}

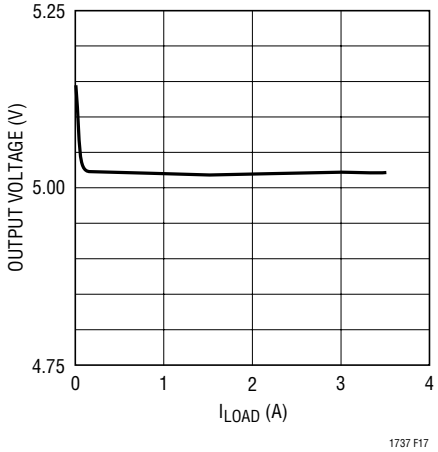


図17. ロード・レギュレーション

非絶縁型アプリケーション

LT1737は絶縁型フライバック・アプリケーションに役立つように設計されていますが、非絶縁型アプリケーションのサポートも可能であることに注意することは有益です。これらは連続的に疑似DC帰還信号をFBピンに与えることによって行われます。（デバイスはフライバック波形が無限に長いかのように振る舞います。）図18はちょうどこのようなシステムを示しています。

SEPICトポロジーが示されており、8V～16Vの入力が非絶縁の12V出力に変換されます。従来の帰還抵抗分割器（R3/R4）がFBピンをドライブします。（コンデンサC7は出力電圧の高周波数リップルをフィルタするのに役立ちます。）V_Cノードの1個のコンデンサ（C9）に並列に接続されたR/Cネットワーク（R11/C5）の組み合わせが必要なループ補償を与えます。負荷補償機能は不要なので、R_{OCMP}ピンはオープンのままで、R_{CMPC}ピンは接地されます。LT1121低損失レギュレータはR12/R13抵抗分割器によって公称8.25V出力にプログラムされており、このため、LT1737はM1（ロジック・レベルMOSFET）をドライブすることができます。最小オン時間をプログラムする抵抗R5は33kに設定され、必要な出力の予備負荷を最小にします。最小イネーブル時間は定常状態の動作には直接影響しませんが、プログラミング抵抗R7は高速スタートアップのために100kに設定されています。イネーブル遅延抵抗は同様に24kに設定されています。

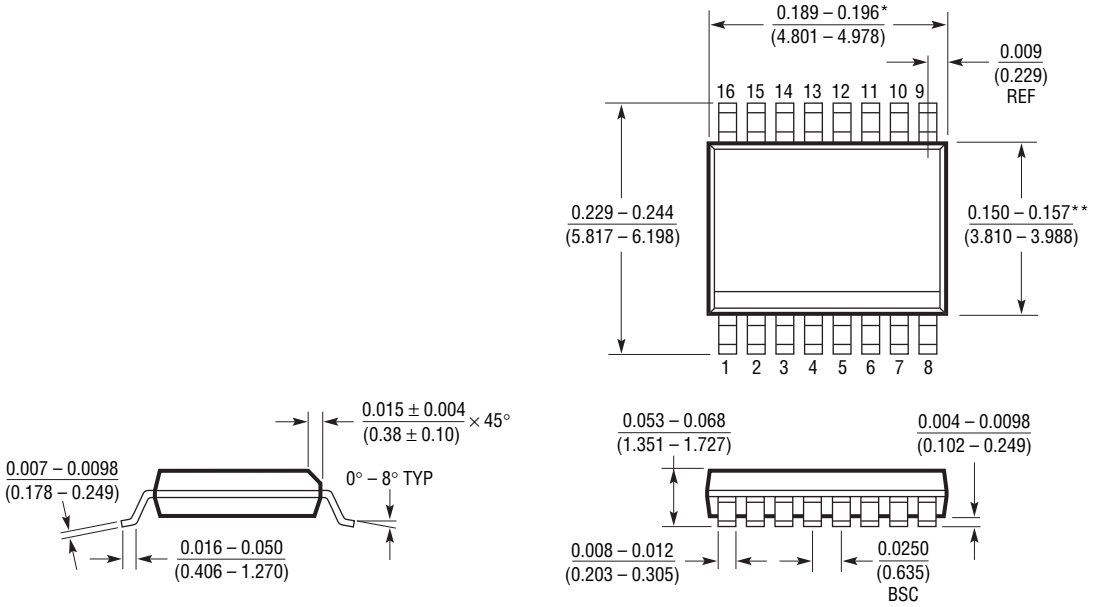
入力電圧と負荷電流に対する電源全体の効率を図19で見ることができます。この応用例は非絶縁型トポロジーを利用しているので、ロード・レギュレーションは問題ではありません。それは無負荷から最大負荷まで標準0.2%（25mV）です。

他の非絶縁型スイッチング・トポロジーは同様に実装することができます。たとえば、昇圧および非絶縁型フライバックはそれ自体そのまま示しています。（非絶縁型フライバック・トポロジーは負の出力電圧を発生するのにも使うことができます。この場合、LT1737の絶縁型アプリケーションと同様、帰還はトランスの1次側から得られる動的波形です。）

パッケージ

注記がない限り寸法はインチ(ミリメートル)。

GNパッケージ
16ピン・プラスチックSSOP(細型0.150)
(LTC DWG # 05-08-1641)



* 寸法にはモールドのバリを含まない。
モールドのバリは各サイドで0.006"(0.152mm)を超えないこと

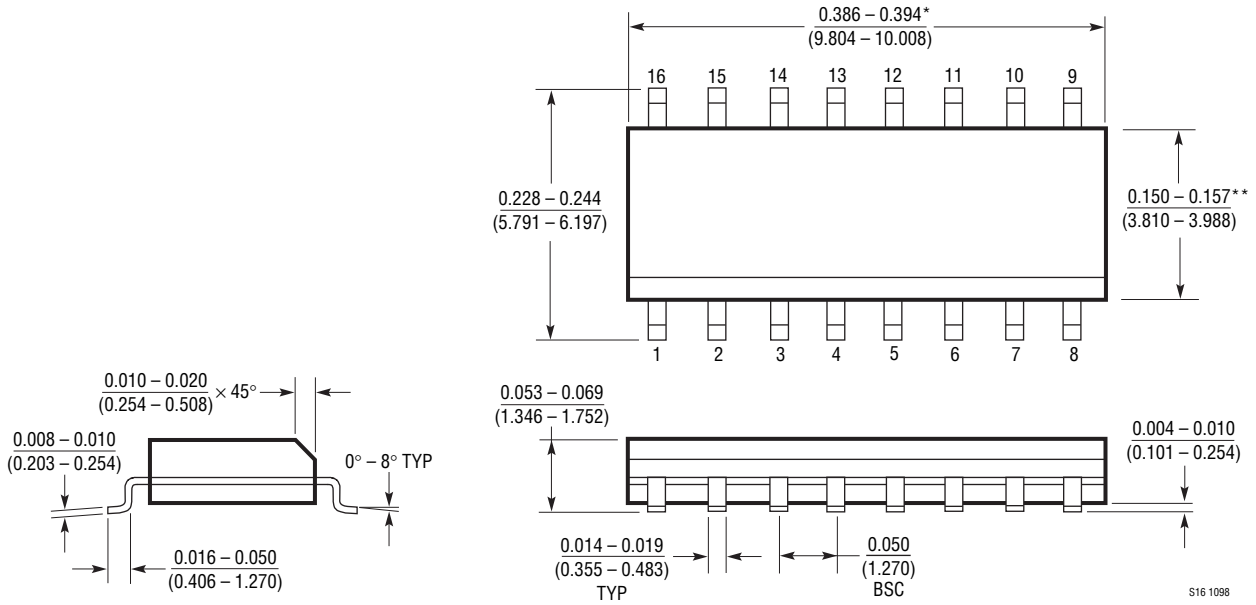
** 寸法にはリード間のバリを含まない。リード間のバリは
各サイドで0.010"(0.254mm)を超えないこと

GN16 (SSOP) 1098

パッケージ

注記がない限り寸法はインチ(ミリメートル)。

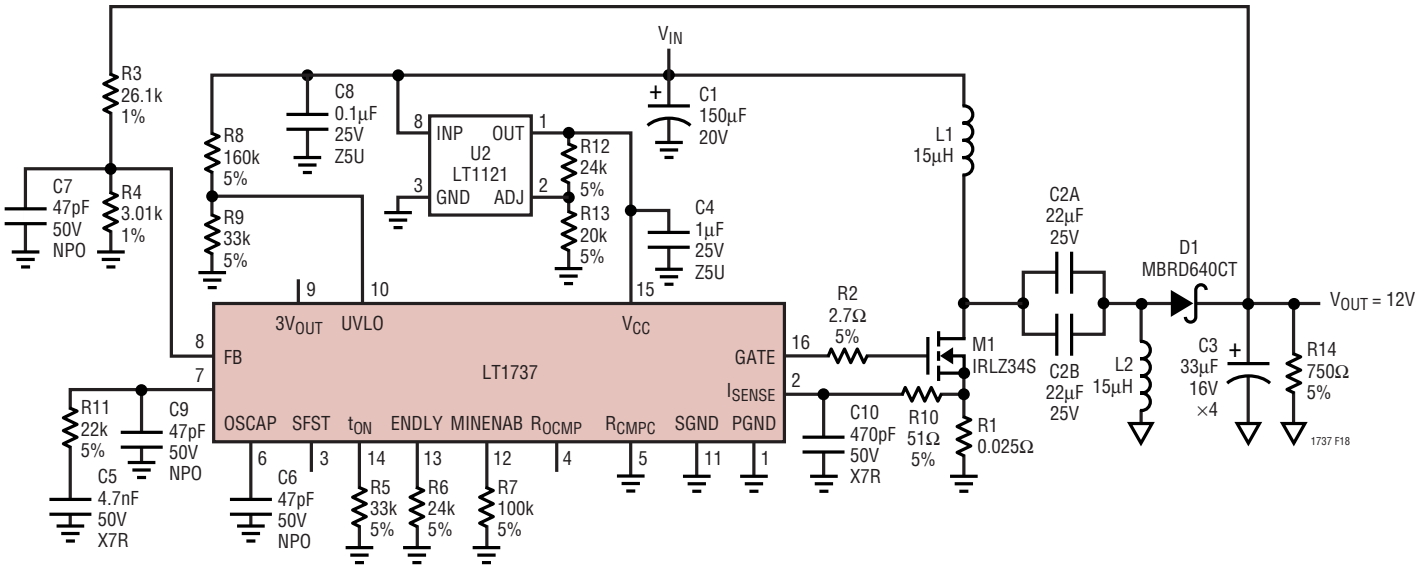
Sパッケージ
16ピン・プラスチック・スモール・アウトライン(細型0.150)
(LTC DWG # 05-08-1610)



*寸法にはモールドのバリを含まない。
モールドのバリは各サイドで0.006"(0.152mm)を超えないこと
**寸法にはリード間のバリを含まない。リード間のバリは
各サイドで0.010"(0.254mm)を超えないこと

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例



C1: SANYO OS-CON (20SV150M)
C2A-B: TOKIN Y5V (IE226ZY5U-C505)
C3: SANYO POSCAP (16TPC33M)
D1: MOTOROLA 40V, 6A SCHOTTKY DIODE

L1, L2: COILTRONICS UP4B-150 INDUCTOR
M1: INT'L RECTIFIER IRLZ34S 60V, 0.05Ω LOGIC LEVEL N-CH MOSFET
R1: IRC 4 × 0.1Ω, 1W (LR2512)

図18. 8V～60Vから12Vへの非絶縁型コンバータ

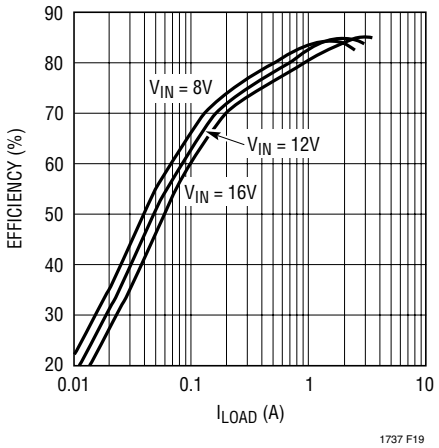


図19. 効率とI_{LOAD}

関連製品

製品番号	説明	注釈
LT1424-5	絶縁型フライバック・スイッチング・レギュレータ	V_{IN} = 3V～20V、I_Q = 7mA
LT1424-9	絶縁型フライバック・スイッチング・レギュレータ	V_{IN} = 3V～20V、I_Q = 7mA
LT1425	絶縁型フライバック・スイッチング・レギュレータ	外部アプリケーション抵抗を使う汎用デバイス
LT1533	超低雑音、1Aスイッチング・レギュレータ	V_{IN} = 2.7V～23V、低いEMIおよびスイッチング高調波
LT1725	汎用絶縁型フライバック・コントローラ	テレコムやACラインの入力電圧に最適
LT1738	超低ノイズDC/DCコントローラ	低いEMIおよびスイッチング高調波

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03- 5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp

LT/LT 0605 REV A • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2000