

特徴

- 超高速：20mVオーバードライブで7ns
5mVオーバードライブで8.5ns
- レール・トゥ・レール入力
- レール・トゥ・レール・コンプリメンタリ出力
(TTL/CMOSコンパチブル)
- 2.7V、5V、±5V電源で規定
- 低消費電力：コンパレータ当たり5mA
- 出力ラッチ
- 位相反転なく電源レールを超えて入力をドライブ可能
- LT1713：8ピンMSOPパッケージ
- LT1714：16ピン細型SSOPパッケージ

アプリケーション

- 高速自動試験装置
- スwitching・レギュレータ用電流センス
- 水晶発振回路
- 高速サンプリング回路
- 高速A/Dコンバータ
- 回路パルス幅変調器
- ウィンドウ・コンパレータ
- 拡張範囲V/Fコンバータ
- 高速パルス高/幅弁別器
- ライン・レシーバ
- 高速トリガ

概要

LT[®]1713/LT1714は、レール・トゥ・レール入力、レール・トゥ・レールコンプリメンタリ出力、そして出力ラッチを備えたUltraFast[™]7ns、シングル/デュアルコンパレータです。3Vおよび5V電源に対して最適化されており、2.4V～12Vの単一電源または±2.4V～±6Vの両電源電圧範囲で動作します。

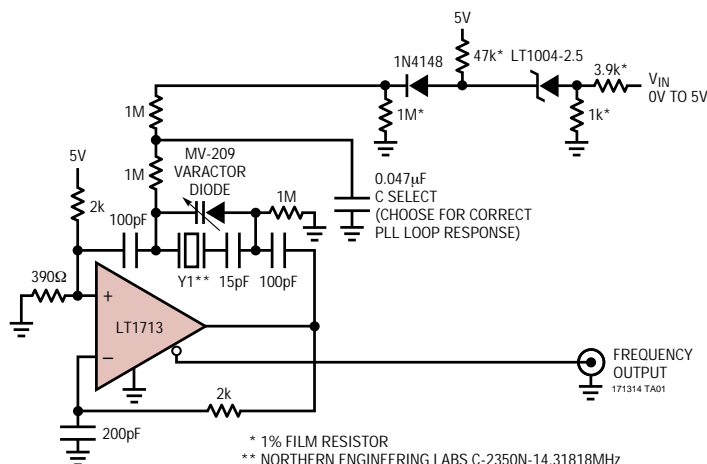
LT1713/1714は各種システムで使いやすい設計になっています。電源電圧の柔軟性の高さに加えて、レール・トゥ・レール入力同相範囲は両方の電源レールを超えて100mVまで拡張され、出力は入力が更にレールを超えた場合に位相反転が生じないように保護されています。また、レール・トゥ・レール入力が相対するレール電位になっても、入力電流が大きく増加することはありません。レール・トゥ・レールの整合のとれたコンプリメンタリ出力は、直接TTLまたはCMOSロジックにインタフェースし、GNDから0.5V以内で10mAをシンクし、V⁺から0.7V以内で10mAをソースすることができます。

LT1713/LT1714は、出力でデータを保持するために内部にTTL/CMOSコンパチブルなラッチを持っています。ラッチはラッチ・ピンがハイの間、データを保持します。ラッチ・ピンのヒステリシスは、低速またはノイズが多いラッチ信号に対する保護を提供します。LT1713は8ピンMSOPパッケージで供給され、LT1714は16ピン細型SSOPパッケージで供給されます。

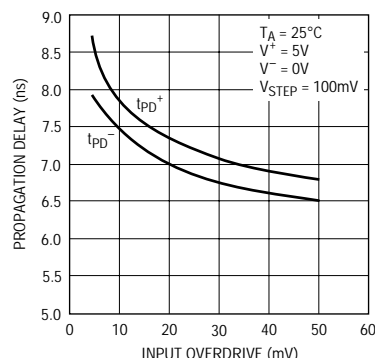
LT、LTC、LTはリニアテクノロジー社の登録商標です。
 UltraFastはリニアテクノロジー社の登録商標です。
 RAIL-TO-RAILはモトローラ(株)の登録商標です。

標準的応用例

4倍NTSCサブキャリアの電圧調整型水晶発振器



LT1713/LT1714の伝播遅延と
 入力オーバードライブ



LT1713/LT1714

絶対最大定格 (Note1)

電源電圧	
$V^+ \sim V^-$	12.6V
$V^+ \sim \text{GND}$	12.6V
$V^- \sim \text{GND}$	- 10V ~ 0.3V
差動入力電圧	$\pm 12.6\text{V}$
ラッチ・ピン電圧	7V
入力およびラッチ電流	$\pm 10\text{mA}$

出力電流(連続)	$\pm 20\text{mA}$
動作温度範囲	- 40 ~ 85
規定温度範囲(Note2)	- 40 ~ 85
接合部温度	150
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒)	300

パッケージ/発注情報

<p>MS8 PACKAGE 8-LEAD PLASTIC MSOP</p> <p>$T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 250^\circ\text{C}/\text{W}$</p>	ORDER PART NUMBER	<p>GN PACKAGE 16-LEAD PLASTIC SSOP</p> <p>$T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 120^\circ\text{C}/\text{W}$</p>	ORDER PART NUMBER
	LT1713CMS8 LT1713IMS8		LT1714CGN LT1714IGN
	MS8 PART MARKING		GN PART MARKING
	LTRD LTUK		1714 1714I

インダストリアルおよびミリタリ・グレードはお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。注記がない限り、 $V^+=2.7\text{V}$ または 5V 、 $V^-=0\text{V}$ 、 $V_{CM}=V^+/2$ 、 $V_{LATCH}=0.8\text{V}$ 、 $C_{LOAD}=10\text{pF}$ 、 $V_{OVERDRIVE}=20\text{mV}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V^+	Positive Supply Voltage Range		2.4		7	V
V_{OS}	Input Offset Voltage (Note 4)	$R_S = 50\Omega$, $V_{CM} = V^+/2$		0.5	4	mV
		$R_S = 50\Omega$, $V_{CM} = V^+/2$ (Note 11)			5	mV
		$R_S = 50\Omega$, $V_{CM} = 0\text{V}$		0.7		mV
		$R_S = 50\Omega$, $V_{CM} = V^+$		1		mV
$\Delta V_{OS}/\Delta T$	Input Offset Voltage Drift			5		$\mu\text{V}/^\circ\text{C}$
I_{OS}	Input Offset Current			0.1	1	μA
					2	μA
I_B	Input Bias Current (Note 5)		-7	-1.5	2	μA
			-15		5	μA
V_{CM}	Input Voltage Range (Note 9)		-0.1		$V^+ + 0.1$	V
CMRR	Common Mode Rejection Ratio	$V^+ = 5\text{V}$, $0\text{V} \leq V_{CM} \leq 5\text{V}$	60	70		dB
		$V^+ = 5\text{V}$, $0\text{V} \leq V_{CM} \leq 5\text{V}$	58			dB
		$V^+ = 2.7\text{V}$, $0\text{V} \leq V_{CM} \leq 2.7\text{V}$	57	70		dB
		$V^+ = 2.7\text{V}$, $0\text{V} \leq V_{CM} \leq 2.7\text{V}$	55			dB

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。注記がない限り、 $V^+=2.7V$ または $5V$ 、 $V^-=0V$ 、 $V_{CM}=V^+/2$ 、 $V_{LATCH}=0.8V$ 、 $C_{LOAD}=10pF$ 、 $V_{OVERDRIVE}=20mV$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PSRR ⁺	Positive Power Supply Rejection Ratio	$2.4V \leq V^+ \leq 7V$, $V_{CM} = 0V$	● 65 60	80		dB dB
PSRR ⁻	Negative Power Supply Rejection Ratio	$-7V \leq V^- \leq 0V$, $V^+ = 5V$, $V_{CM} = 5V$	● 65 60	80		dB dB
A _V	Small-Signal Voltage Gain (Note 10)			1.5 3		V/mV
V _{OH}	Output Voltage Swing HIGH	$I_{OUT} = 1mA$, $V^+ = 5V$, $V_{OVERDRIVE} = 50mV$ $I_{OUT} = 10mA$, $V^+ = 5V$, $V_{OVERDRIVE} = 50mV$	● $V^+ - 0.5$ ● $V^+ - 0.7$	$V^+ - 0.2$ $V^+ - 0.4$		V V
V _{OL}	Output Voltage Swing LOW	$I_{OUT} = -1mA$, $V_{OVERDRIVE} = 50mV$ $I_{OUT} = -10mA$, $V_{OVERDRIVE} = 50mV$	● 0.20 ● 0.35	0.4 0.5		V V
I ⁺	Positive Supply Current (Per Comparator)	$V^+ = 5V$, $V_{OVERDRIVE} = 1V$	●	5	6.5 8.0	mA mA
I ⁻	Negative Supply Current (Per Comparator)	$V^+ = 5V$, $V_{OVERDRIVE} = 1V$	●	3	4.0 4.5	mA mA
V _{IH}	Latch Pin High Input Voltage		● 2.4			V
V _{IL}	Latch Pin Low Input Voltage		●		0.8	V
I _{IL}	Latch Pin Current	$V_{LATCH} = V^+$	●		10	μA
t _{PD}	Propagation Delay (Note 6)	$\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$ $\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$ $\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 5mV$	●	8.0 9.0	11.0 12.5	ns ns ns
Δt _{PD}	Differential Propagation Delay (Note 6)	$\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$		0.5	3	ns
t _r	Output Rise Time	10% to 90%		4		ns
t _f	Output Fall Time	90% to 10%		4		ns
t _{LPD}	Latch Propagation Delay (Note 7)			8		ns
t _{SU}	Latch Setup Time (Note 7)			1.5		ns
t _H	Latch Hold Time (Note 7)			0		ns
t _{DPW}	Minimum Latch Disable Pulse Width (Note 7)			8		ns
f _{MAX}	Maximum Toggle Frequency	$V_{IN} = 100mV_{p,p}$ Sine Wave		65		MHz
t _{JITTER}	Output Timing Jitter	$V_{IN} = 630mV_{p,p}$ (0dBm) Sine Wave, $f = 30MHz$		15		ps _{RMS}

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。注記がない限り、 $V^+=5V$ 、 $V^-=-5V$ 、 $V_{CM}=0V$ 、 $V_{LATCH}=0.8V$ 、 $C_{LOAD}=10pF$ 、 $V_{OVERDRIVE}=20mV$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V ⁺	Positive Supply Voltage Range		● 2.4		7	V
V ⁻	Negative Supply Voltage Range (Note 3)		● -7		0	V
V _{OS}	Input Offset Voltage (Note 4)	$R_S = 50\Omega$, $V_{CM} = 0V$ $R_S = 50\Omega$, $V_{CM} = 0V$ $R_S = 50\Omega$, $V_{CM} = -5V$ $R_S = 50\Omega$, $V_{CM} = 5V$	●	0.5 0.7 1	3 4	mV mV mV mV
ΔV _{OS} /ΔT	Input Offset Voltage Drift		●	5		μV/°C
I _{OS}	Input Offset Current		●	0.1	1 2	μA μA
I _B	Input Bias Current (Note 5)		● -7 -15	-1.5	2 5	μA μA

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。注記がない限り、 $V^+ = 5V$ 、 $V^- = -5V$ 、 $V_{CM} = 0V$ 、 $V_{LATCH} = 0.8V$ 、 $C_{LOAD} = 10pF$ 、 $V_{OVERDRIVE} = 20mV$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM}	Input Voltage Range		-5.1		5.1	V
CMRR	Common Mode Rejection Ratio	$-5V \leq V_{CM} \leq 5V$	62 60	70		dB dB
PSRR ⁺	Positive Power Supply Rejection Ratio	$2.4V \leq V^+ \leq 7V$, $V_{CM} = -5V$	68 65	80		dB dB
PSRR ⁻	Negative Power Supply Rejection Ratio	$-7V \leq V^- \leq 0V$, $V_{CM} = 5V$	65 60	80		dB dB
A_V	Small-Signal Voltage Gain (Note 10)	$1V \leq V_{OUT} \leq 4V$, $R_L = \infty$	1.5	3		V/mV
V_{OH}	Output Voltage Swing HIGH (Note 8)	$I_{OUT} = 1mA$, $V_{OVERDRIVE} = 50mV$ $I_{OUT} = 10mA$, $V_{OVERDRIVE} = 50mV$	4.5 4.3	4.8 4.6		V V
V_{OL}	Output Voltage Swing LOW (Note 8)	$I_{OUT} = -1mA$, $V_{OVERDRIVE} = 50mV$ $I_{OUT} = -10mA$, $V_{OVERDRIVE} = 50mV$		0.20 0.35	0.4 0.5	V V
I^+	Positive Supply Current (Per Comparator)	$V_{OVERDRIVE} = 1V$		5.5	7.5 9.0	mA mA
I^-	Negative Supply Current (Per Comparator)	$V_{OVERDRIVE} = 1V$		3.5	4.5 5.0	mA mA
V_{IH}	Latch Pin High Input Voltage		2.4			V
V_{IL}	Latch Pin Low Input Voltage				0.8	V
I_{IL}	Latch Pin Current	$V_{LATCH} = V^+$			10	μA
t_{PD}	Propagation Delay (Note 6)	$\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$ $\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$ $\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 5mV$		7 8.5	10 12	ns ns ns
Δt_{PD}	Differential Propagation Delay (Note 6)	$\Delta V_{IN} = 100mV$, $V_{OVERDRIVE} = 20mV$		0.5	3	ns
t_r	Output Rise Time	10% to 90%		4		ns
t_f	Output Fall Time	90% to 10%		4		ns
t_{LPD}	Latch Propagation Delay (Note 7)			8		ns
t_{SU}	Latch Setup Time (Note 7)			1.5		ns
t_H	Latch Hold Time (Note 7)			0		ns
t_{DPW}	Minimum Latch Disable Pulse Width (Note 7)			8		ns
f_{MAX}	Maximum Toggle Frequency	$V_{IN} = 100mV_{P-P}$ Sine Wave		65		MHz
t_{JITTER}	Output Timing Jitter	$V_{IN} = 630mV_{P-P}$ (0dBm) Sine Wave, $f = 30MHz$		15		psRMS

Note1: 絶対最大定格とは、それを超えると、デバイスの信頼性に影響を及ぼす可能性がある値です。

Note2: LT1713C/LT1714Cは、0 ~ 70 で規定された動作が保証されます。これらは、-40 ~ 85 でも規定された動作をするように設計され、特性付けられておりますが、その温度での試験やQAサンプリングはされておられません。LT1713/LT1714は、-40 ~ 85 で規定された動作が保証されます。

Note3: 負電源電圧はGNDピン電圧を超えてはいけません。また、正電源と負電源間にかかる最大電圧は、12Vを超えてはいけません。

Note4: 入力オフセット電圧(V_{OS})は、まず一方の出力を $V^+/2$ とし、次いで他方を $V^+/2$ として測定した2つの電圧の平均として定義されます。

Note5: 入力バイアス(I_b)は、2つの入力電流の平均として定義されます。

Note6: 伝播遅延(t_{PD})は、実際の V_{OS} にオーバドライブを加えて測定します。差動伝播遅延は次式で定義します： $t_{PD} = t_{PD}^+ - t_{PD}^-$ 。負荷容量は10pFです。テスト・システムの都合上、LT1713/LT1714の伝播遅延は、 $\pm 5V$ 電源の時にはグランドへ、また2.7Vや5Vの単電源ではその中間電位へ、1k Ω 負荷を繋いで規定します。

Note7: ラッチ伝播遅延(t_{LPD})は、ラッチ解除から出力が応答するまでの遅延時間です。ラッチ・セットアップ時間(t_{SU})は、ラッチ信号が投入される前に入力信号が安定でいなければならない時間です。ラッチ・ホールド時間(t_H)は、ラッチが投入された後、入力信号が安定でいなければならない時間です。ラッチ・ディスエーブル・パルス幅(t_{DPW})は、入力での新しいデータをラッチするための、ラッチ・イネーブル・ピンの負パルス幅です。

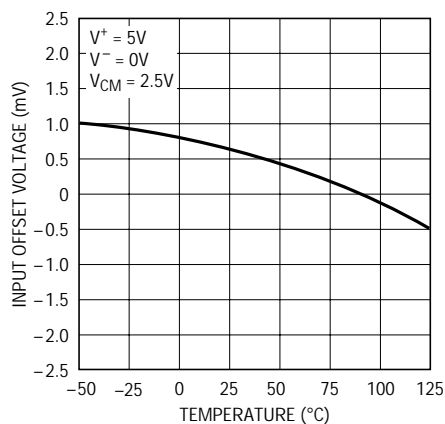
電気的特性

Note8: 出力電圧振幅は、 $V^+ = 5V$ 、 $V^- = 0V$ でテストし、特性付けされています。その値は、 $V^- = -5V$ の場合でも同じであるように設計されています。
 Note9: 入力電圧範囲は、更に厳しい $V^+ = 5V$ 、 $V^- = -5V$ の条件の下でテストされています。LT1713/LT1714は、 $V^- = 0V$ の場合でも同じであるように設計されています。

Note10: LT1713/LT1714の電圧利得は、 $V^+ = 5V$ 、 $V^- = -5V$ のみ、テストされています。単電源 $V^+ = 5V$ 、並びに $V^+ = 2.7V$ での電圧利得は、設計的に、また相關的に保証されます。
 Note11: $V^+ = 2.7V$ 、全温度範囲での入力オフセット電圧は、設計的に、また特性付けにより保証されます。

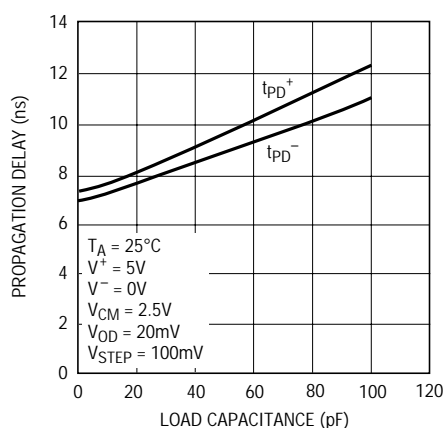
標準的性能特性

入力オフセット電圧と温度



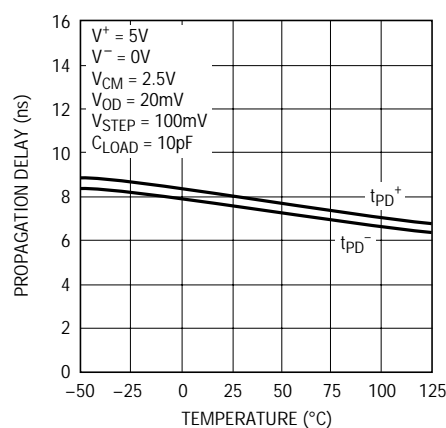
171314 G01

伝播遅延と負荷容量



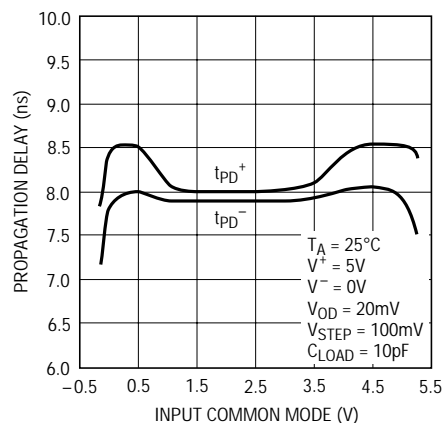
171314 G02

伝播遅延と温度



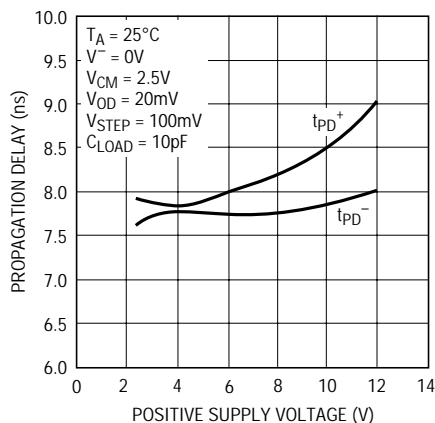
171314 G03

伝播遅延と入力コモンモード電圧



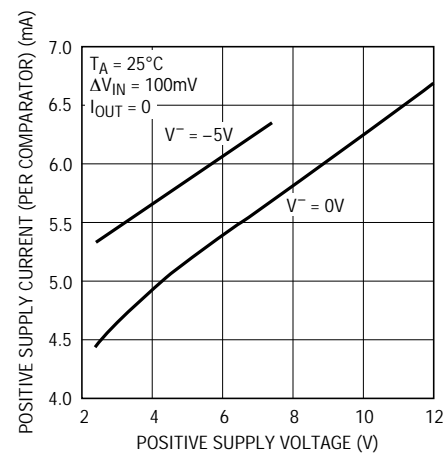
171314 G04

伝播遅延と正電源電圧



171314 G05

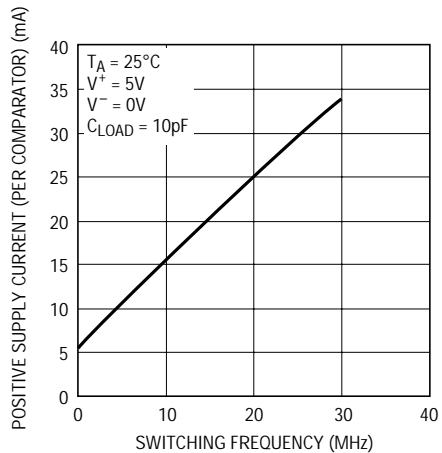
正電源電流と正電源電圧



171314 G06

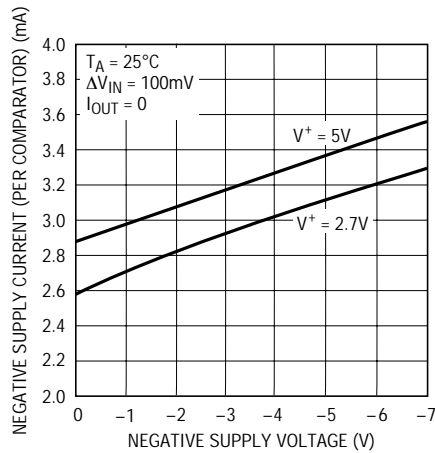
標準的性能特性

正電源電流とスイッチング周波数



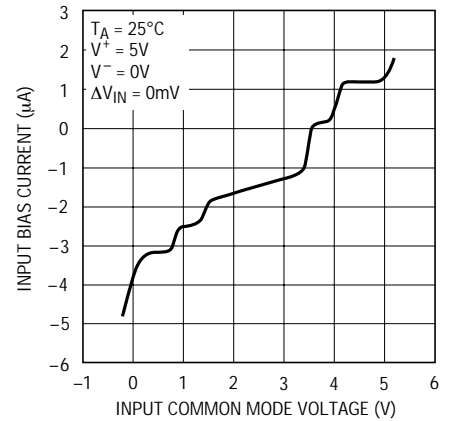
171314 G07

負電源電流と負電源電圧



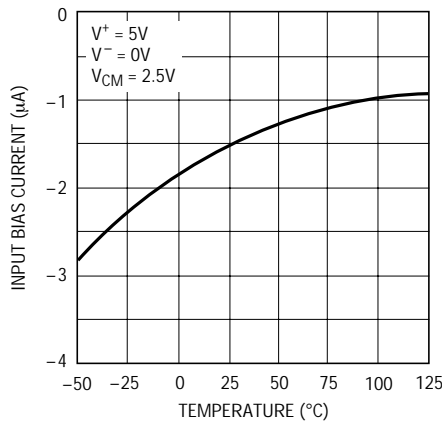
171314 G08

入力バイアス電流と
入力共通モード電圧



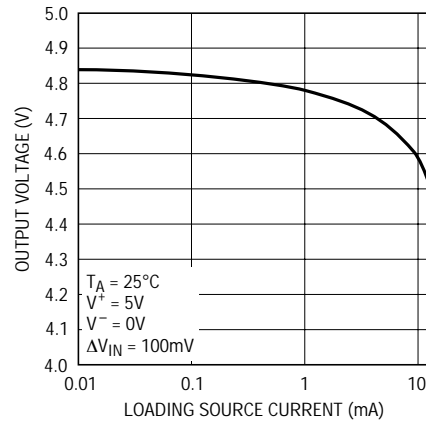
171314 G09

入力バイアス電流と温度



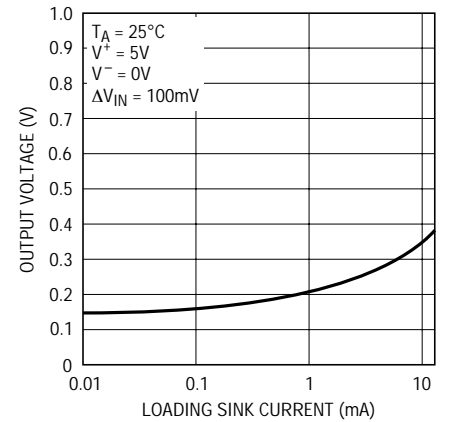
171314 G10

出力高電圧とソース電流



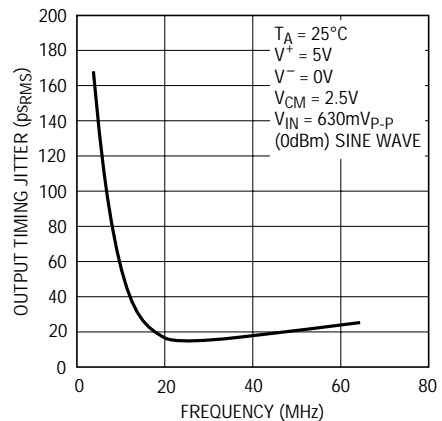
171314 G11

出力低電圧とシンク電流



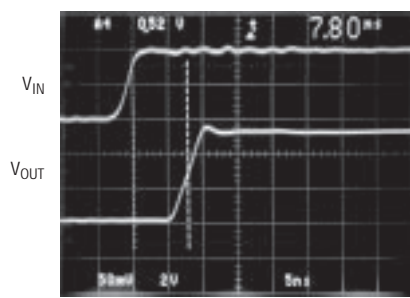
171314 G12

出力タイミング・ジッタと
スイッチング周波数



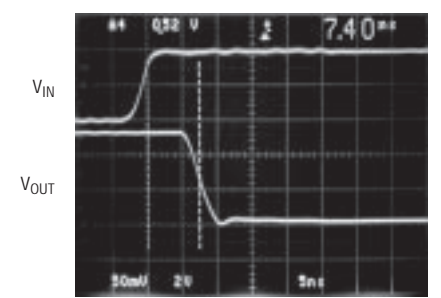
171314 G13

出力立ち上がりエッジ(5V電源)



171314 G14

出力立ち下がりエッジ(5V電源)



171314 G15

ピンの機能

LT1713

V^+ (1ピン): 正電源電圧。通常、5V。

+ IN (2ピン): 非反転入力。

- IN (3ピン): 反転入力。

V^- (4ピン): 負電源電圧。通常、0Vまたは -5V。

LATCH ENABLE (5ピン): ラッチ・イネーブル入力。

ハイ・ロジックで出力をラッチします。

GND (6ピン): グランド電源電圧。通常、0V。

Q (7ピン): 非反転出力。

\bar{Q} (8ピン): 反転出力。

LT1714

- IN A (1ピン): Aチャンネル・コンパレータの反転入力。

+ IN A (2ピン): Aチャンネル・コンパレータの非反転入力。

V^- (3、6ピン): 負電源電圧。通常、-5V。3ピンと6ピンは外部で接続してください。

V^+ (4、5ピン): 正電源電圧。通常、5V。4ピンと5ピンは外部で接続してください。

+ IN B (7ピン): Bチャンネル・コンパレータの非反転入力。

- IN B (8ピン): Bチャンネル・コンパレータの反転入力。

LATCH ENABLE B (9ピン): Bチャンネル・コンパレータのラッチ・イネーブル入力。ハイ・ロジックで出力Bをラッチします。

GND (10ピン): Bチャンネル・コンパレータのグランド電源電圧。通常、0V。

Q B (11ピン): Bチャンネル・コンパレータの非反転出力。

\bar{Q} B (12ピン): Bチャンネル・コンパレータの反転出力。

\bar{Q} A (13ピン): Aチャンネル・コンパレータの反転出力。

Q A (14ピン): Aチャンネル・コンパレータの非反転出力。

GND (15ピン): Aチャンネル・コンパレータのグランド電源電圧。通常、0V。

LATCH ENABLE A (16ピン): Aチャンネル・コンパレータのラッチ・イネーブル入力。ハイ・ロジックで出力Aをラッチします。

アプリケーション情報

コモンモードの考察

LT1713/LT1714は、 $\pm 5V$ 電源の時に $-5.1V \sim 5.1V$ のコモンモード範囲で規定されます。また、 $5V$ 単電源の場合には、 $-0.1V \sim 5.1V$ のコモンモード範囲です。更に一般的な言い方をすれば、実際の電源電圧によらずに、コモンモード範囲は、負電源以下 $100mV$ から正電源以上 $100mV$ までです。コモンモードの制限の条件は、出力が小振幅の差動入力信号にでも正確に応答することです。

いずれかの入力信号がコモンモードの制限外になった時、サブストレートで形成される内部PNダイオードがオンし、ダイを通じて相当量の電流フローを生じます。入力と電源レール間のショットキー・クランプ・ダイオードはこのサブストレート・ダイオードがオンすることを防ぎ、過剰なオーバドライブ状態からの復帰を促進します。

入力バイアス電流

入力バイアス電流は、 $5V$ 電源電圧の場合には出力を $2.5V$ にして測定されます。どのレール・トゥ・レール差動入力段でもそうですが、LT1713/LT1714のバイアス電流は、コモンモードのレベルによってデバイスへ、またはデバイスから流出入します。入力回路はNPNペアまたはPNPペアから構成されます。負レール近傍の入力に対してはNPNペアが無効となり、入力バイアス電流はデバイスから流出します。正レール近傍の入力に対してはPNPペアが無効となり、この電流はデバイスへ流入します。両電源レールから十分に離れた入力に対しては、入力バイアス電流はNPNとPNPバイアス電流の組み合わせとなります。差動入力電圧が増加すると、各ペアの入力電流の一方は増加し、他方は減少します。大振幅の差動入力電圧は、入力段がさまざまな動作領域に入るため、異なる入力電流を生じます。システム動作上の、これらの入力電流変動の影響を軽減するため、入力ソースの抵抗を低くしてください。

ラッチ・ピン・ダイナミックス

LT1713/LT1714コンパレータの内部ラッチは、各ラッチ・ピンがハイの時、入力データ(ラッチした出力)を保持します。ラッチ・ピンが未接続の場合にはおよそロー状態に保持されますが、フロースルーの状態が必要な場合にはグランドに接続した方が良いでしょう。ラッチ・ピンはTTLまたはCMOS出力で駆動されるように設計されています。内部には約 $100mV$ のヒステリシスがあり、緩やかな、またはノイズが多い入力信号がラッチの動作に影響することはありません。LT1714の場合、もし一方のコンパレータだけが特定の時間、使用されるのであれば、同じパッケージ内の2つのコンパレータ間で干渉することがないように、他方のコンパレータをラッチすることが最良の方法です。

高速の設計技術

十分な設計努力により、比較的容易にLT1713/LT1714を使用できます。ほとんどの高速コンパレータでは、発振を防ぐために、PCBレイアウトと設計に慎重に注意することが重要です。最も一般的な問題には、電源が低インピーダンスであることを保証する必要性から、電源のバイパスが含まれます。電源配線とPCBトレースの抵抗成分および誘導成分はすぐに許容レベルを上回ってしまい、このために電源電流の変動によって電源電圧も変動します。この電源電圧の変動はしばしば、不適當な動作を引き起こします。更に、バイパスが施されていない電源に接続された隣接デバイス同士が、電源インピーダンスを解して互いに干渉し合います。バイパス・コンデンサは、デバイス直近でエネルギーを局所的に蓄えるので、この問題へ簡単な解決方法を与えます。つまり、電源インピーダンスを低く保ちます。

バイパス・コンデンサは出来る限り、LT1713/LT1714の電源ピンに近くおいて下さい。 $0.1\mu F$ のセラミック・コンデンサのような良好な高周波特性を持つコンデンサと、 $4.7\mu F$ のタンタル・コンデンサのような大容量のコンデンサの並列使用を推奨します。

アプリケーション情報

安易な配線ルートや高ソースインピーダンスもまた、問題の一般的な原因です。配線は出来る限り短くし、そして不要な結合を防ぐために、入力側の配線の傍に出力側の配線をする事は避けてください。出力配線が数インチよりも長い場合には、発生する恐れのある反射を取り除くために適当な終端インピーダンス(代表的に100 ~ 400)を設けてください。また、ソースインピーダンスは出来る限り低くしてください。1k よりもずっと低くすることが好まれます。

入力と出力の配線は、お互いに分離してください。図1に示す“多層PCBレイアウト用の体系的なLT1714の表側

メタル層”のように、この分離を行うために電源配線が使用できます。同図は、配線、ピンからのスルーホール、そしてGN16パッケージのLT1713/LT1714並びに隣接するX7R 0805バイパス・コンデンサのランド・パッドを含んだ表側メタル・エッチです。V⁺、V⁻、そしてGND全ての配線が、入力を出力からシールドします。2つのV⁻ピンは内部でつながっていますが、シールドと同様の機能も行うために、お互いに外部で接続してください。2つのV⁺ピンについても同様です。2つのGNDピンは内部で接続されていませんが、殆どのアプリケーションでは、双方ともグランド・プレーンに直接に接続されます。

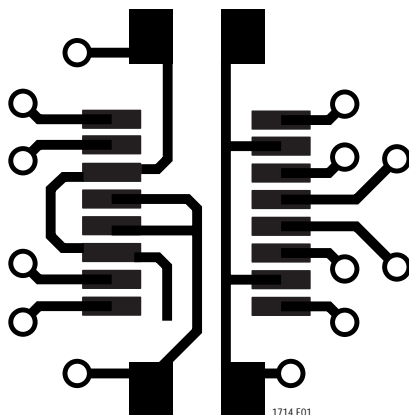


図1 . 多層PCBレイアウト用の体系的なLT1714の表側メタル層

アプリケーション情報

ヒステリシス

発振を防ぐために有用な別の技術は、ヒステリシスとしても知られる、出力から入力へ正帰還を与えることです。しかし、ヒステリシス・レベルが増加すると、デバイス感度が入力電圧レベルまで落ちます。従って、正帰還の量は特定のシステム要件に合うように調整すべきで

ず。LT1713/LT1714は、レール・トゥ・レール入力ならびにコンプリメンタリ出力であるため、アプリケーションのヒステリシスに関しては全く、柔軟です。特に、コモンモードの概念に関係なく、片方、または両方の出力から相当する入力へ帰還抵抗を接続できます。いくつかの構成を図2に示します。

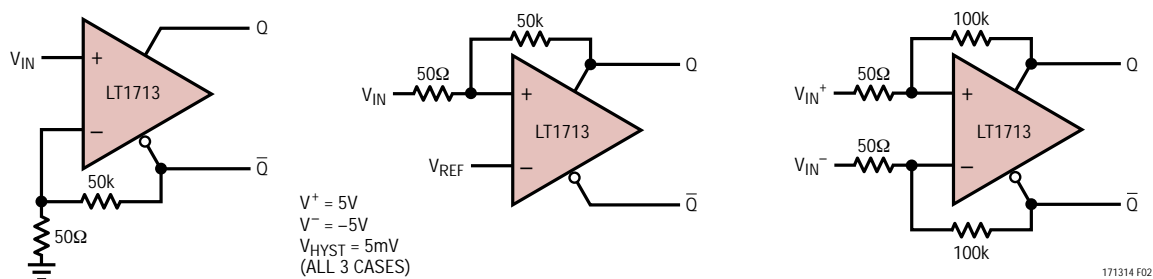


図2 . ヒステリシスを用いた構成例

標準的アプリケーション

2線式、75Mbaud、フルデュプレックス・インターフェース

75Mbaudに良い結果が得られる、LT1714を使用した簡潔な完全双方向・差動2線式インターフェースを図3に示します。単方向ならびに双方向通信の条件の下でのアイ・パターンを図4と図5に示します。図4の単方向動作のような本来の性能ではないですが、それでも同時双方向動作の性能も非常に良いものです。これはLT1714の入力電圧範囲が上下の電源レールを100mV超えることが出来るからであり、回路はグランド電位を中心として完全な±3V(上下にV_Sずつ)で動作します。

回路は記載された抵抗値で良好に動作しますが、他の組み合わせも使用できます。まず最初は、ツイスト・ペア・ケーブルの特性インピーダンスZ₀です。抵抗網の入力インピーダンスは、以下の式で得られる特性インピーダンスに整合する必要があります。

$$R_{IN} = 2 \cdot R_0 \cdot \frac{R1 \parallel (R2 + R3)}{R_0 + 2 \cdot [R1 \parallel (R2 + R3)]}$$

記載の抵抗値から、それは120 Ω となります。Theveninの等価ソース電圧は次式で得られます。

$$V_{TH} = V_S \cdot \frac{(R2 + R3 - R1)}{(R2 + R3 + R1)} \cdot \frac{R_0}{R_0 + 2 \cdot [R1 \parallel (R2 + R3)]}$$

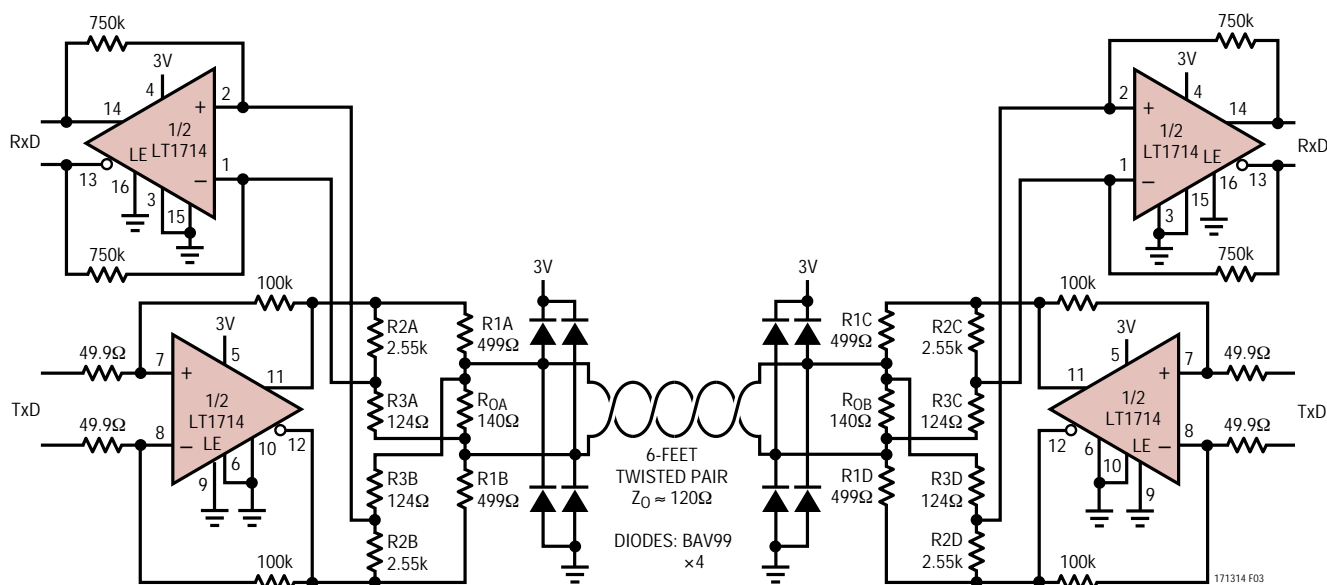


図3 . 2線式、75Mbaud、フルデュプレックス・インターフェース

標準的アプリケーション

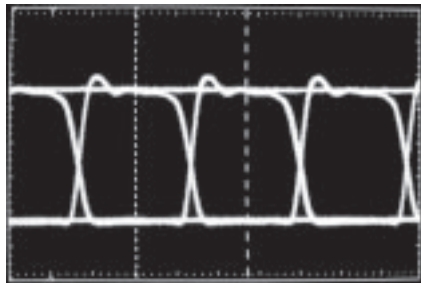


図4．単方向で動作する図3の回路の性能。アイ・パターンは広く開口しています。

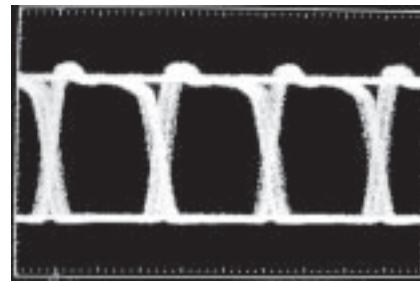


図5．同時双方向(フルデュプレックス)で動作した性能。クロストークがノイズとなっています。アイ・パターンはわずかに閉じていますが、それでも性能は良好です

記載の抵抗値では、これは0.0978の減衰量となります。(ライン上の実際の電圧は120 のZ₀のために、再度、半分になります。)この減衰量が重要な理由は、受信系のR2-R3抵抗分割器で比率を決める鍵になるからです。この分割器は、受信機がローカル送信機の大きな信号を排除し、代わりにリモート送信機減衰した信号を感知することを可能にします。前記の式で、R2とR3はまだ十分に吟味されていないことにご留意ください。それはそれらが和としてのみ、得られるからです。ここで設計者は、各々の値に更に拘束を持たせられます。R2-R3分割比を前述の減衰要因の半分に等しくしてください。

$$R3/R2 = 1/2 \cdot 0.0976^1.$$

既にR2+R3は(必要な120 を得るために、R₀、R1、そしてR2+R3の両端にかかる入力インピーダンスを割り当てることによって)2.653kとして設計されているので、そこでR2とR3は各々、2529 と123.5 となります。最も近い1%抵抗値は、R2が2.55kで、R3が124 です。

電圧制御型水晶発振器

最初の頁のアプリケーションは基本的な水晶発振器の変形であり、出力周波数の電圧制御が可能です。このような電圧制御型水晶発振器(VCXO)はしばしば、安定した搬送波のわずかな変更が必要な箇所に用いられます。この例は、位相ロックに適当な4×NTSCサブキャリア調整できる発振器を提供することを明確に意図していま

す。LT1713は水晶発振器として組みられています。バラクタ・ダイオードで調整入力からバイアスします。調整用ネットワークが置かれ、14.31818MHz中心周波数近傍の適度に対照的で広い調整範囲が、0Vから5Vの駆動で得られます。掲載の選択されたコンデンサが、調整帯域を設定します。それは、位相ロックのアプリケーションにおいてループ応答を補足するために選ばれるべきです。図6は、調整入力電圧対周波数偏差のプロットです。4×NTSCの14.31818MHz中心周波数からの調整偏差は、0Vから5Vの入力に対して±240ppmを超えます。

1 2.55k+124Ω=2.674kの実際の値ではなく、R2+R3=2.653kの設計値を使用した場合

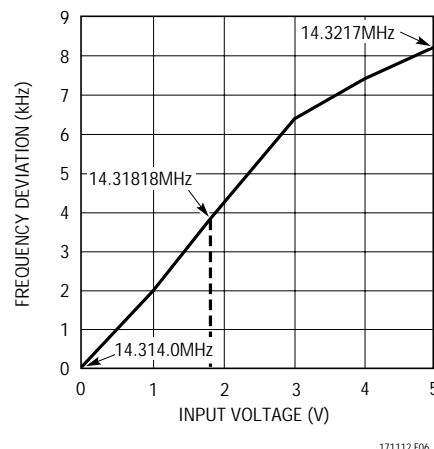


図6．最初の頁のアプリケーション回路の制御電圧対出力周波数。中心周波数からの調整偏差は±240ppmを超えます。

標準的アプリケーション

方形波/正弦波出力、1MHz、直列共振水晶発振器
 古典的な1MHzの直列共振水晶発振器を図7に示します。水晶は直列共振の時に低インピーダンスで、正帰還接続が直列共振周波数での発信をもたらします。他方の経路のRC帰還は、回路が安定なDC動作点を見つけて発振を停止しないようにしています。コンパレータ出力は1MHzの方形波(図8の上側)であり、5V電源の時に28p_SRMS、3V電源の時に40p_SRMSよりも良いジッタが得られています。水晶の一端であるコンパレータの2ピンでは、小さな高周波グリッチがあることを除けば、きれいな正弦波となっています(図8の真ん中)。このグリッチは、水晶の容量成分を通して引き戻されるコンパレータ出力の高速エッジによるものです。正弦波の振幅の安定

性は、正弦波が元々、方形波をフィルタリングしたものであるという事実から保証されます。このため、正弦波発振器に関連する通常の振幅制御ループは不要です²。正弦波は、高速、低雑音のLT1806オペアンプでフィルタされ、バッファされます。グリッチを除去するためにLT1806は、Q=5、A_V=1の1MHz中心周波数を有するバンドパス・フィルタの構成です。図8の下側にその出力を示します。歪みは各々、2次高調波で - 70dBc、3次高調波で - 60dBcが得られています。

² 振幅はコンパレータ出力振幅の直線関数で、電源依存性があり、そのため調整可能です。ここでの重要な違いは、いかなる振幅安定化や制御ループの追加も、従来の非発振がクリッピングかという問題回避の作業には直面しないことです。

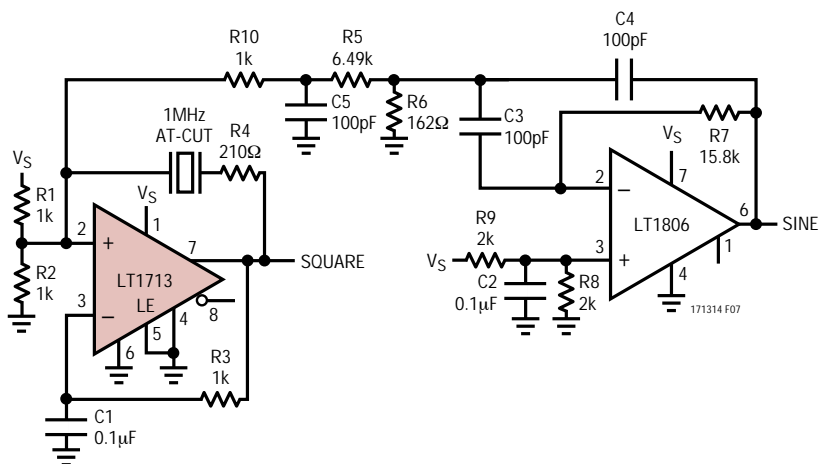


図7．直列共振水晶発振器構成のLT1713コンパレータ。LT1806オペアンプはf_C=1MHz、Q=5のバンドパスの構成です。

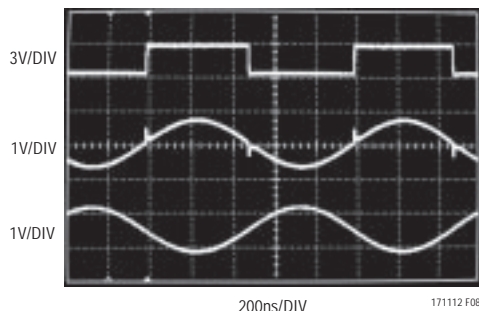
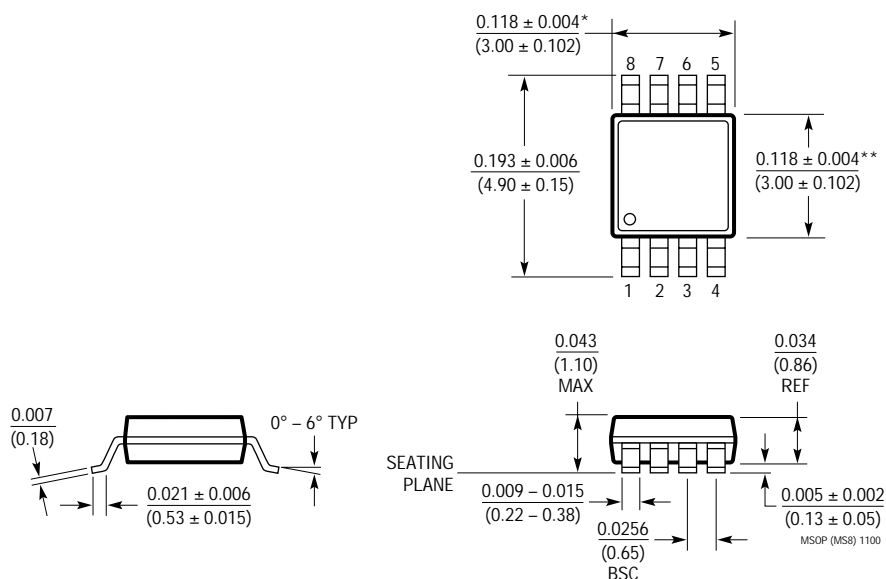


図8．V_S=3Vの時の発振波形。上部：コンパレータ出力、中央：LT1713のピン2への水晶の帰還(グリッチに注意)、下部：LT1806によってバッファ・反転され、Q=5でバンドパスフィルタリングされたもの。

パッケージ 注記がない限り寸法はインチ(ミリメートル)

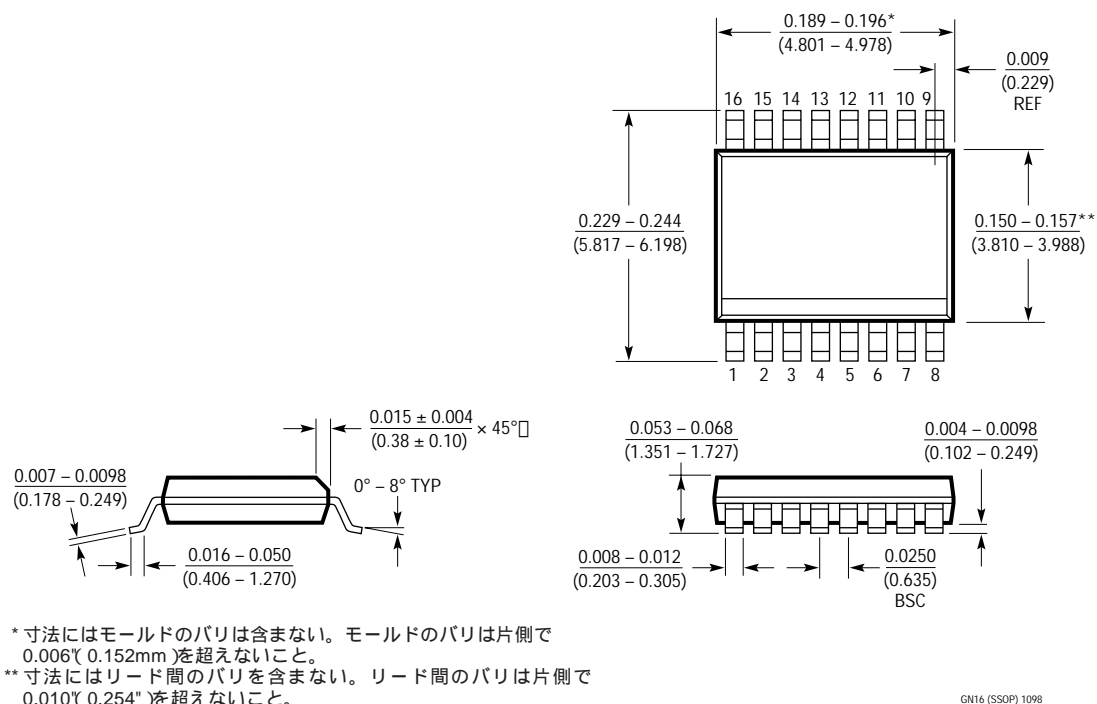
MS8パッケージ
8ピン・プラスチックMSOP
(LTC DWG # 05-08-1660)



*寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。モールドのバリ、突出部、またはゲートのバリは片側で0.006”(0.152mm)を超えないこと。
**寸法にはリード間のバリまたは突出部を含まない。リード間のバリまたは突出部は片側で0.006”(0.152mm)を超えないこと。

パッケージ 注記がない限り寸法はインチ(ミリメートル)

GNパッケージ
16ピン・プラスチックSSOP(細型0.150)
(LTC DWG # 05-08-1641)



標準的アプリケーション

LT1714を使用した、レール・トゥ・レールのパルス幅変調器

効率改善と回路規模の削減のために2値変調方式を使用しています。出力ドライバ・トランジスタの消費電力を抑えることで達成しています。通常のクラスA/クラスABのアンプでは、電圧効果と電流フローが出力トランジスタで同時に存在し、 $V \cdot I$ に比例した電力ロスが発生します。2値変調方式では、バイポーラまたはFETいずれ

かの出力トランジスタがオン・オフされ、電圧効果は電流フローと同時に発生しません。図9の回路は2値変調方式の例で、この場合、パルス幅変調となっています。

LT1809は、良好な線形レール・トゥ・レール電圧ランプを作るための積分器の構成です。ランプの極性は、R4につながるLT1714のコンパレータAの出力で決まります。LT1809からの帰還と結合されたLT1714のコンパ

標準的アプリケーション

レータAにあるR1での深いヒステリシスが、そのデバイス同士がお互いに永久に反転するようにし、結果として1MHzの三角波を生じます。どのパルス幅変調器でも、通常の最初の半分はこの構成ですが、この独特な方法の長所は、レール・トゥ・レールがフルスケールのアナログ入力を与えることです。一旦、三角波が得られると、パルス幅変調器の残りの部分は簡単で、LT1714の2番目を使用して単純な比較をすることで続きます。三角波と比較的に緩やかに変動するアナログ信号(観点によって、変調されるものでもあり、変調をかけるものでもある)はコンパレータBに入力され、その出力はアナログ入力電圧のPWM表現となります。つまり、より高いアナログ入力電圧は、より広い出力パルスを生じます。従って、出力レベルの平均時間は、アナログ入力電圧に

比例します。この2値出力は、例えば固有のローパス特性を持たせて、モータやスピーカのワインディング電流を直接的に制御するパワー・トランジスタに入力できます。但し、出力パワー・トランジスタの相互への影響には注意する必要があります。

パルス幅変調信号の直線性は、その出力に簡単な2極のRCフィルタを接続することで確認できます(図9を参照してください)。その復調された信号をオシロスコープ上で観測し、元々の入力信号と比較します。スペクトラム・アナライザと1kHzのリファレンス信号を使ってこの回路の歪を測定したところ、5V単電源の時、3.5Vp-pでは - 50dBα (0.3%) よりも良好で、5Vp-pにクリップした時に - 30dBα (3%) に劣化しました。

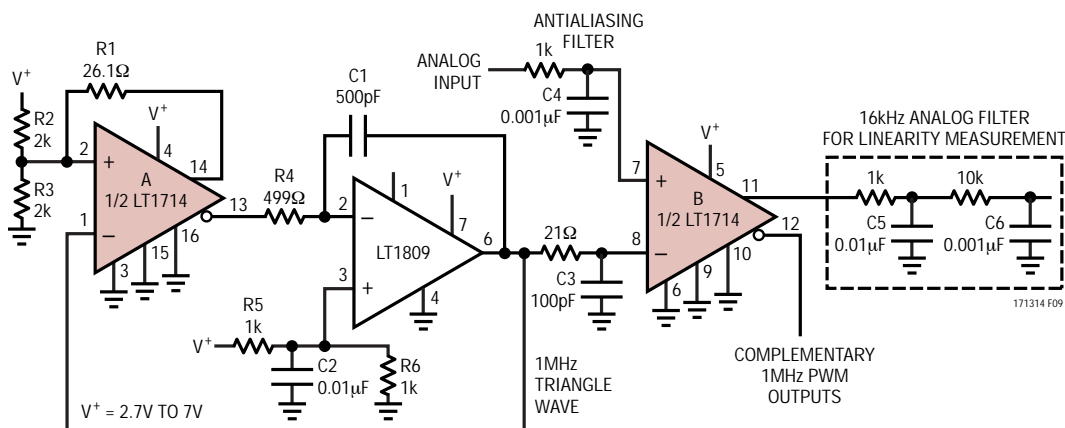


図9. レール・トゥ・レール、1MHz、パルス幅変調器

関連製品

製品番号	説明	注釈
LT1016	超高速、高精度コンパレータ	業界標準10nsコンパレータ
LT1116	12ns、単一電源、グランド・センス・コンパレータ	LT1016の単一電源版
LT1394	7ns、超高速、単一電源コンパレータ	6mA、単一電源コンパレータ
LT1671	60ns、低消費電力、単一電源コンパレータ	450uA、単一電源コンパレータ
LT1711/LT1712	シングル/デュアル、4.5ns、3V/5V/±5V、レール・トゥ・レールコンパレータ	LT1713/1714の高速版
LT1719	4.5ns、単一電源3V/5Vコンパレータ	レール・トゥ・レール出力、4mAコンパレータ
LT1720/LT1721	デュアル/クワッド、4.5ns、単一電源コンパレータ	LT1719のデュアル/クワッド版