

2フェーズ、5ビットVID 電流モード、高効率、同期整流式 降圧スイッチング・レギュレータ

特長

- 1個のコントローラで2つの出力段を制御:非同調により所要入力容量と電源誘導ノイズを低減
- 2つの5ビット・デスクトップVIDコード:
LTC1709-8:VRM8.4(1.3V~3.5VのV_{OUT})
LTC1709-9:VRM9.0(1.1V~1.85VのV_{OUT})
- 電流モード制御による最良の電流分担
- 真のリモートセンス差動アンプ
- パワーグッド出力インジケータ
- OPTI-LOOP™補償によりC_{OUT}を最小化
- プログラム可能な固定周波数:150kHz~300kHz
- 出力電圧精度±1%
- 広いV_{IN}範囲:4V~36V動作
- 調整可能なソフトスタート電流ランプ
- 内部電流フォールドバックと短絡シャットダウン
- 過電圧ソフトラッチにより誤トリップを排除
- 低シャットダウン電流:20μA
- 36ピン細型SSOPパッケージ

アプリケーション

- ワークステーション
- インターネット・サーバー
- 大規模メモリ・アレイ
- DC電力配分システム

概要

LTC®1709-8/LTC1709-9は、固定周波数アーキテクチャで2つの全Nチャネル外部パワーMOSFET段をドライブする、2フェーズ、VIDプログラム可能な同期整流式降圧スイッチング・レギュレータ・コントローラです。この2フェーズ・コントローラは、150kHz~300kHzの周波数で位相の異なる2つの出力段をドライブし、入力コンデンサと出力コンデンサの両方でRMSリップル電流を減少させます。2フェーズ・テクニックにより効果的に基本周波数を2倍にし、各チャネルを効率のために最適な周波数で動作させ過渡応答も改善します。サマール・デザインも簡略化されています。

内部差動アンプは、高電流アプリケーションで要求される安定化電源の正および負出力端子の真のリモートセンスを提供します。

RUN/SSピンは、ソフトスタート機能と時限短絡シャットダウン回路(オプション)を備えています。過電流ラッチオフがディスエーブルされる際には、電流フォールドバックが短絡状態の間MOSFETの損失を制限します。OPTI-LOOP補償により、広範な出力容量とESR値に対して過渡応答を最適化することができます。LTC1709-8/LTC1709-9は、それぞれVRM8.4およびVRM9.0に準拠する2種類のVIDテーブルを実装しています。

△、LTCおよびLTはリニアテクノロジー社の登録商標です。OPTI-LOOPはリニアテクノロジー社の商標です。

標準的応用例

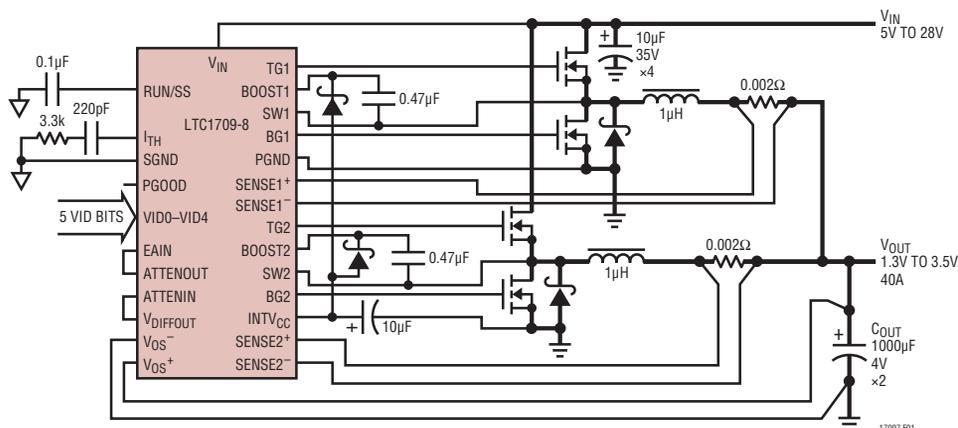


図1. 高電流2フェーズ降圧コンバータ

LTC1709-8/LTC1709-9

絶対最大定格

(Note 1)

入力電源電圧 (V_{IN})36V ~ -0.3V
トップサイド・ドライバ電圧 (BOOST1, 2)42V ~ -0.3V
スイッチ電圧 (SW1, 2)36V ~ -5V
SENSE1 ⁺ 、SENSE2 ⁺ 、SENSE1 ⁻ 、 SENSE2 ⁻ 電圧 (1.1) $INTV_{CC}$ ~ -0.3V
EAIN、 V_{OS}^+ 、 V_{OS}^- 、EXTV _{CC} 、INTV _{CC} 、RUN/SS、 V _{BIAS} 、ATTENIN、ATTENOUT、PGOOD、 VID0-VID4の電圧7V ~ -0.3V
ブースト・ドライバ電圧 (BOOST-SW)7V ~ -0.3V
PLLFLTR、PLLIN、V _{DIFFOUT} の電圧INTV _{CC} ~ -0.3V
I _{TH} の電圧2.7V ~ -0.3V
ピーク出力電流 < 1 μ s (TGL1, 2, BG1, 2)3A
INTV _{CC} RMS出力電流50mA
動作周囲温度範囲 (Note 2)-40°C ~ 85°C
接合部温度 (Note 3)125°C
保存温度範囲-65°C ~ 150°C
リード温度 (半田付け、10秒)300°C

パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
RUNN/SS	1	36 NC
SENSE1 ⁺	2	35 TG1
SENSE1 ⁻	3	34 SW1
EAIN	4	33 BOOST1
PLLFLTR	5	32 V _{IN}
PLLIN	6	31 BG1
NC	7	30 EXTV _{CC}
I _{TH}	8	29 INTV _{CC}
SGND	9	28 PGND
V _{DIFFOUT}	10	27 BG2
V _{OS-}	11	26 BOOST2
V _{OS+}	12	25 SW2
SENSE2 ⁻	13	24 TG2
SENSE2 ⁺	14	23 PGOOD
ATTENOUT	15	22 V _{BIAS}
ATTENIN	16	21 VID4
VID0	17	20 VID3
VID1	18	19 VID2

G PACKAGE
36-LEAD PLASTIC SSOP
T_{JMAX} = 125°C, θ_{JA} = 90°C/W

ORDER PART NUMBER

LTC1709EG-8
LTC1709EG-9

インダストリアルおよびミリタリ・グレードのデバイスについてはお問い合わせください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{IN} = 15V、V_{BIAS} = 5V、V_{RUN/SS} = 5V。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
メイン制御ループ							
V _{EAIN}	Regulated Feedback Voltage	I _{TH} Voltage = 1.2V (Note 4)	●	0.792	0.800	0.808	V
V _{SENSEMAX}	Maximum Current Sense Threshold	V _{SENSE-} = 5V	●	62	75	88	mV
I _{INEAIN}	Feedback Current	(Note 4)			-5	-50	nA
V _{LOADREG}	Output Voltage Load Regulation	(Note 4)					
		Measured in Servo Loop, ΔI_{TH} Voltage: 1.2V to 0.7V	●		0.1	0.5	%
		Measured in Servo Loop, ΔI_{TH} Voltage: 1.2V to 2V	●		-0.1	-0.5	%
V _{REFLNREG}	Reference Voltage Line Regulation	V _{IN} = 3.6V to 30V (Note 4)			0.002	0.02	%/V
V _{OVL}	Output Overvoltage Threshold	Measured at V _{EAIN}	●	0.84	0.86	0.88	V
UVLO	Undervoltage Lockout	V _{IN} Ramping Down		3	3.5	4	V
g _m	Transconductance Amplifier g _m	I _{TH} = 1.2V, Sink/Source 5 μ A (Note 4)			3		mmho
g _{mOL}	Transconductance Amplifier Gain	I _{TH} = 1.2V, (g _m xZ _L ; No Ext Load) (Note 4)			1.5		V/mV
I _q	Input DC Supply Current	(Note 5)					
	Normal Mode	EXTV _{CC} Tied to V _{OUT} , V _{OUT} = 5V			470		μ A
	Shutdown	V _{RUN/SS} = 0V			20	40	μ A
I _{RUN/SS}	Soft-Start Charge Current	V _{RUN/SS} = 1.9V		-0.5	-1.2		μ A
V _{RUN/SS}	RUN/SS Pin ON Arming	V _{RUN/SS} Rising		1.0	1.5	1.9	V

170989f

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 15\text{V}$ 、 $V_{BIAS} = 5\text{V}$ 、 $V_{RUN/SS} = 5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{RUN/SSLO}$	RUN/SS Pin Latchoff Arming	$V_{RUN/SS}$ Rising from 3V		4.1	4.5	V
I_{SCL}	RUN/SS Discharge Current	Soft Short Condition $V_{EAIN} = 0.5\text{V}$, $V_{RUN/SS} = 4.5\text{V}$	0.5	2	4	μA
I_{SDLHO}	Shutdown Latch Disable Current	$V_{EAIN} = 0.5\text{V}$		1.6	5	μA
I_{SENSE}	Total Sense Pins Source Current	Each Channel: $V_{SENSE1-}, 2- = V_{SENSE1+}, 2+ = 0\text{V}$	-85	-60		μA
DF_{MAX}	Maximum Duty Factor	In Dropout	98	99.5		%
$TG1, 2 t_r$	Top Gate Transition Time:	(Note 6)				
	Rise Time	$C_{LOAD} = 3300\text{pF}$		30	90	ns
$TG1, 2 t_f$	Fall Time	$C_{LOAD} = 3300\text{pF}$		40	90	ns
$BG1, 2 t_r$	Bottom Gate Transition Time:	(Note 6)				
	Rise Time	$C_{LOAD} = 3300\text{pF}$		30	90	ns
$BG1, 2 t_f$	Fall Time	$C_{LOAD} = 3300\text{pF}$		20	90	ns
$TG/BG t_{1D}$	Top Gate Off to Bottom Gate On Delay Synchronous Switch-On Delay Time	$C_{LOAD} = 3300\text{pF}$ Each Driver (Note 6)		90		ns
$BG/TG t_{2D}$	Bottom Gate Off to Top Gate On Delay Top Switch-On Delay Time	$C_{LOAD} = 3300\text{pF}$ Each Driver (Note 6)		90		ns
$t_{ON(MIN)}$	Minimum On-Time	Tested with a Square Wave (Note 7)		180		ns
内部V_{CC}レギュレータ						
V_{INTVCC}	Internal V_{CC} Voltage	$6\text{V} < V_{IN} < 30\text{V}$, $V_{EXTVCC} = 4\text{V}$	4.8	5.0	5.2	V
$V_{LDO INT}$	INT V_{CC} Load Regulation	$I_{CC} = 0$ to 20mA, $V_{EXTVCC} = 4\text{V}$		0.2	1.0	%
$V_{LDO EXT}$	EXT V_{CC} Voltage Drop	$I_{CC} = 20\text{mA}$, $V_{EXTVCC} = 5\text{V}$		80	160	mV
V_{EXTVCC}	EXT V_{CC} Switchover Voltage	$I_{CC} = 20\text{mA}$, EXT V_{CC} Ramping Positive	●	4.5	4.7	V
V_{LDOHYS}	EXT V_{CC} Switchover Hysteresis	$I_{CC} = 20\text{mA}$, EXT V_{CC} Ramping Negative		0.2		V
VIDパラメータ						
V_{BIAS}	Operating Supply Voltage Range		2.7		5.5	V
R_{ATTEN}	Resistance Between ATTENIN and ATTENOUT Pins	LTC1709-8 LTC1709-9		20 10		$k\Omega$ $k\Omega$
$ATTEN_{ERR}$	Resistive Divider Error	LTC1709-8: VID4 = 0; LTC1709-9	●	-0.25	0.25	%
		LTC1709-8: VID4 = 1	●	-0.35	0.25	%
R_{PULLUP}	VID0-VID4 Pull-Up Resistance	(Note 8)		40		$k\Omega$
VID_{THLOW}	VID0-VID4 Logic Threshold Low				0.4	V
VID_{THHIGH}	VID0-VID4 Logic Threshold High		1.6			V
VID_{LEAK}	VID0-VID4 Leakage	$V_{BIAS} < VID0-VID4 < 7\text{V}$		0.1	1	μA
発振器およびフェーズロック・ループ						
f_{NOM}	Nominal Frequency	$V_{PLLFLTR} = 1.2\text{V}$	190	220	250	kHz
f_{LOW}	Lowest Frequency	$V_{PLLFLTR} = 0\text{V}$	120	140	160	kHz
f_{HIGH}	Highest Frequency	$V_{PLLFLTR} \geq 2.4\text{V}$	280	320	360	kHz
R_{PLLIN}	PLLIN Input Resistance			50		$k\Omega$
$I_{PLLFLTR}$	Phase Detector Output Current					
	Sinking Capability	$f_{PLLIN} < f_{OSC}$		-15		μA
	Sourcing Capability	$f_{PLLIN} > f_{OSC}$		15		μA
R_{RELPHS}	Controller 2-Controller 1 Phase			180		Deg

LTC1709-8/LTC1709-9

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 15\text{V}$ 、 $V_{RUN/SS} = 5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PGOOD 出力						
V_{PGL}	PGOOD Voltage Low	$I_{PGOOD} = 2\text{mA}$		0.1	0.3	V
I_{PGOOD}	PGOOD Leakage Current	$V_{PGOOD} = 5\text{V}$			± 1	μA
V_{PG}	PGOOD Trip Level, Either Controller	V_{EAIN} with Respect to Set Output Voltage V_{EAIN} Ramping Negative V_{EAIN} Ramping Positive	-6 6	-7.5 7.5	-9.5 9.5	% %
差動アンプ/オペアンプの利得ブロック						
A_{DA}	Gain		0.995	1	1.005	V/V
$CMRR_{DA}$	Common Mode Rejection Ratio	$0\text{V} < V_{CM} < 5\text{V}$	46	55		dB
R_{IN}	Input Resistance	Measured at V_{OS+} Input		80		$\text{k}\Omega$

Note 1: 絶対最大定格は、それを超えるとデバイスの寿命を損なう可能性がある値。

Note 2: LTC1709EGは $0^\circ\text{C} \sim 70^\circ\text{C}$ の性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作温度範囲に対する仕様は、設計、特性評価、および統計プロセス・コントロールとの相関によって保証されている。

Note 3: T_J は、次式に基づき周囲温度 T_A と電力損失 P_D から計算される。

$$T_{J1709EG}: T_J = T_A + (P_D \cdot 85^\circ\text{C/W})$$

Note 4: LTC1709-8/LTC1709-9は V_{ITH} を規定電圧にサーボ制御する帰還ループでテストされ、 V_{EAIN} を測定する。

Note 5: スイッチング周波数で発生するゲート電荷により動作時消費電流は高くなる。「アプリケーション情報」を参照。

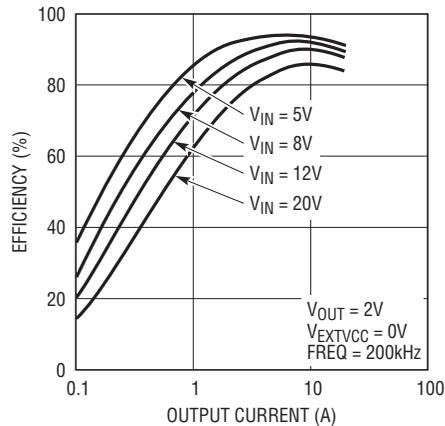
Note 6: 立ち上がり時間および立ち下がり時間は、10%レベルと90%レベルを使用して測定される。遅延時間は50%レベルを使用して測定される。

Note 7: 最小オン時間の条件は、 I_{MAX} の40%以上のインダクタのピーク・トゥ・ピーク・リップル電流に対応する（「アプリケーション情報」のセクションの「最小オン時間に関する検討事項」を参照）。

Note 8: VID入力に接続されている各内部プルアップ抵抗は、損傷やクランピングなしで $VIDV_{CC}$ 電源より高い入力電圧を許容する直列ダイオードも持っている（「アプリケーション情報」のセクションを参照）。

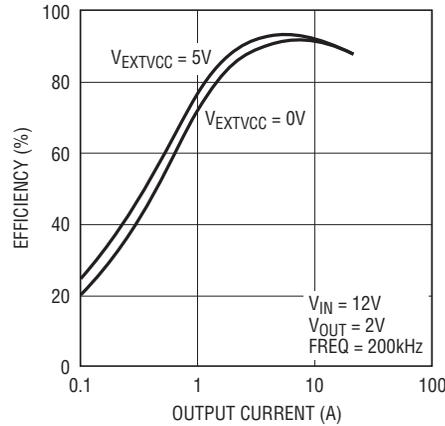
標準的性能特性

効率と出力電流 (図12)



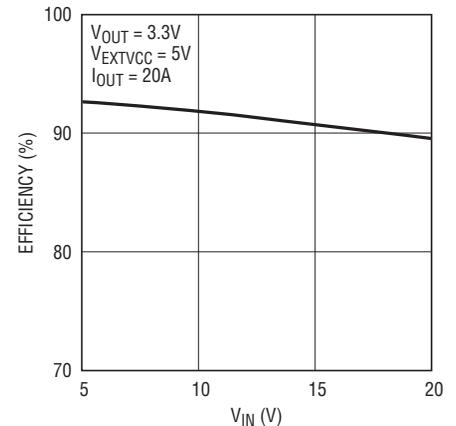
170989 G01

効率と出力電流 (図12)



170989 G02

効率と入力電流 (図12)

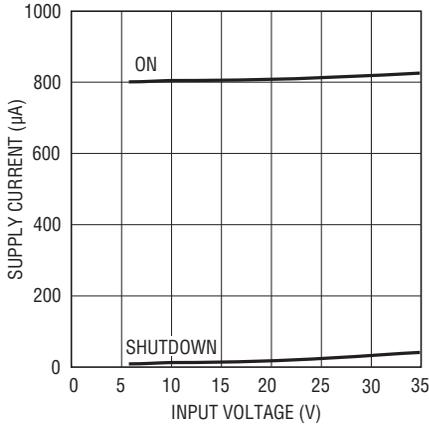


170989 G03

170989f

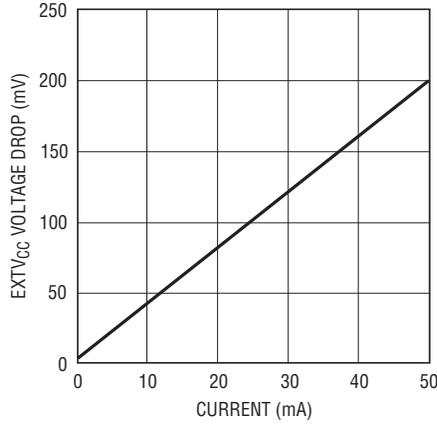
標準的性能特性

消費電流と入力電圧およびモード (図12)

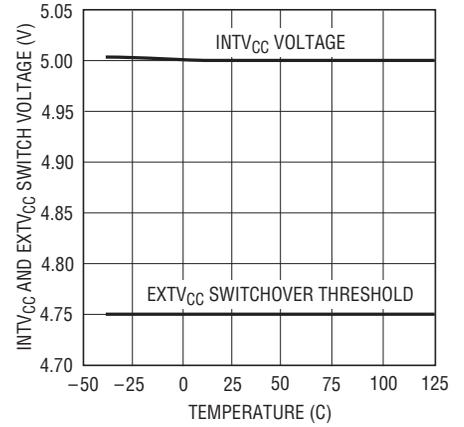


170989 G04

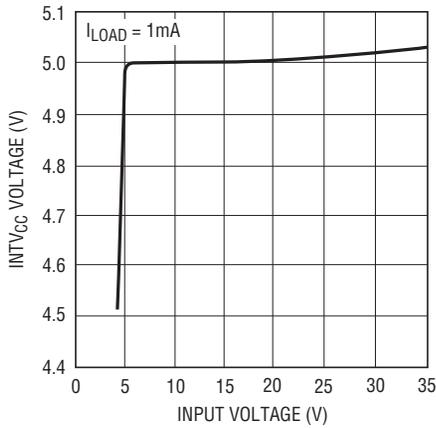
EXTV_{CC}の電圧降下



INTV_{CC}およびEXTV_{CC}の切り替え電圧と温度

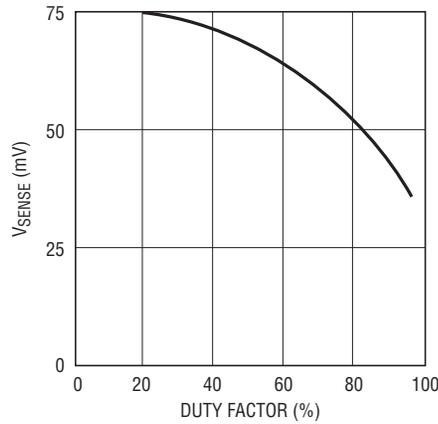


内部5V LDOのライン・レギュレーション



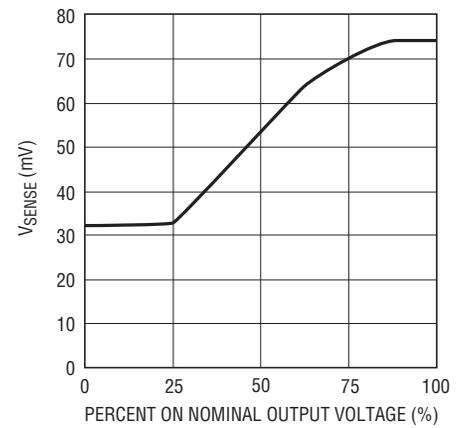
170989 G07

最大電流検出スレッシュホールドとデューティ・ファクタ



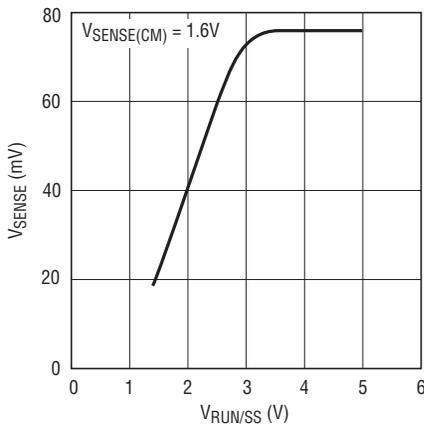
170989 G08

最大電流検出スレッシュホールドと公称出力電圧(フォールドバック)のパーセント



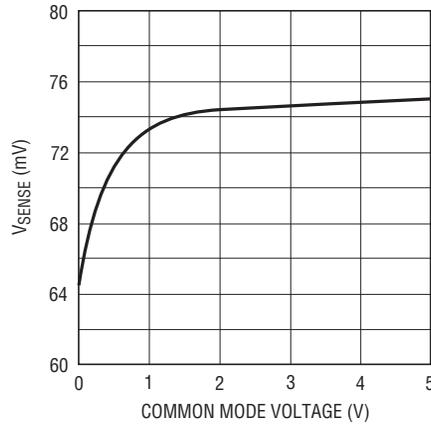
170989 G09

最大電流検出スレッシュホールドとV_{RUN/SS}(ソフトスタート)



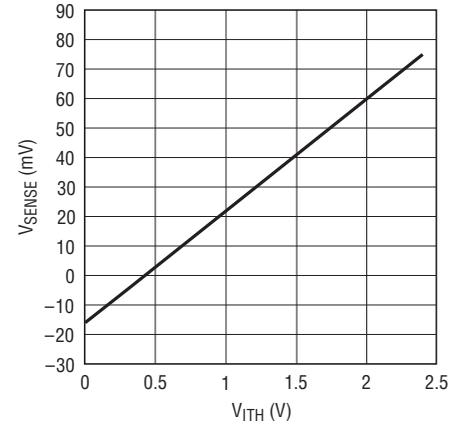
170989 G10

最大電流検出スレッシュホールドとセンス同相電圧



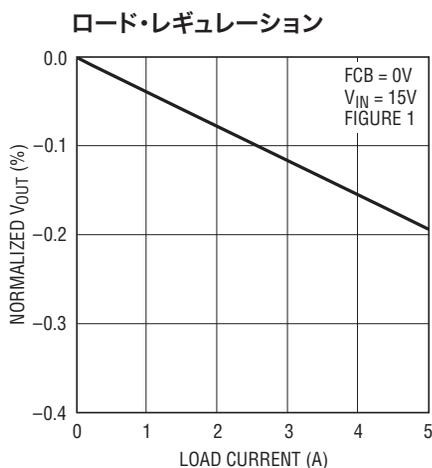
170989 G11

電流検出スレッシュホールドとI_{TH}の電圧

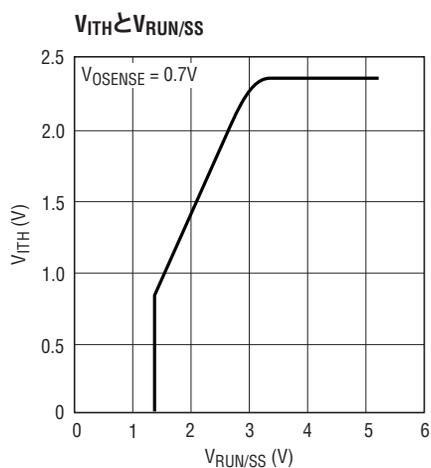


170989 G12
170989F

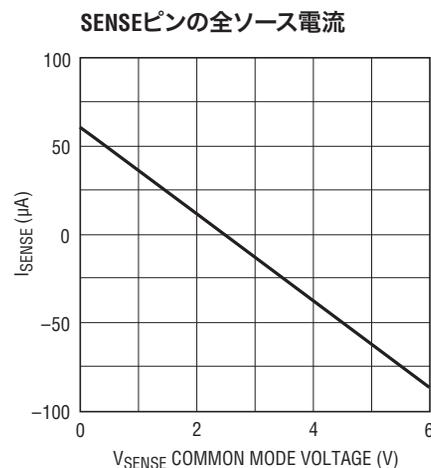
標準的性能特性



1629 G13

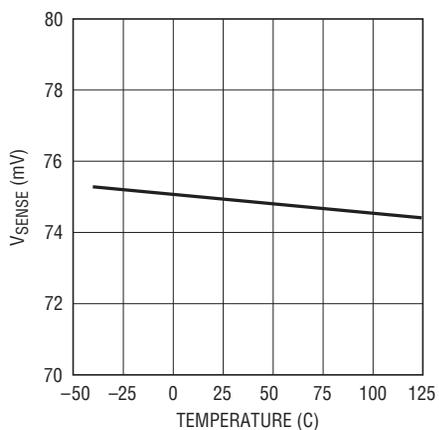


1629 G14



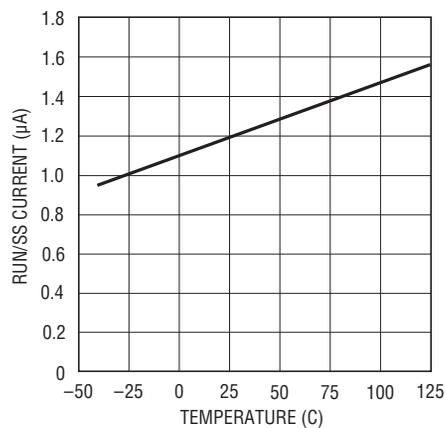
1629 G15

最大電流検出スレッシュホールドと温度



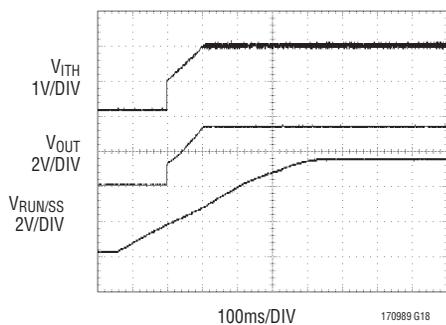
170989 G16

RUN/SSの電流と温度



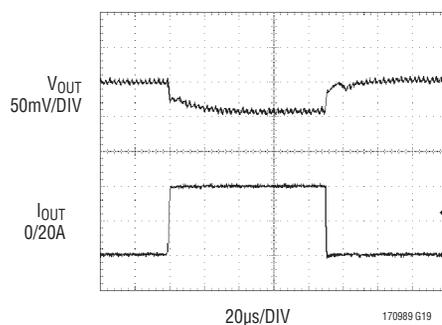
170989 G17

ソフトスタート(図12)



170989 G18

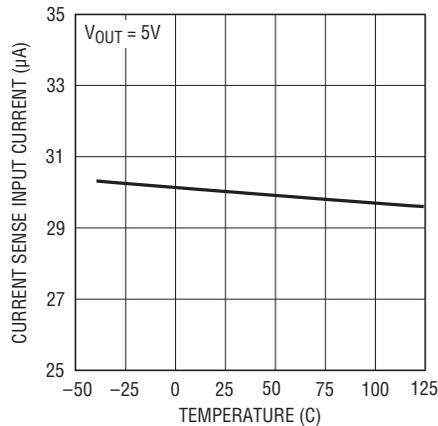
負荷ステップ(図12)



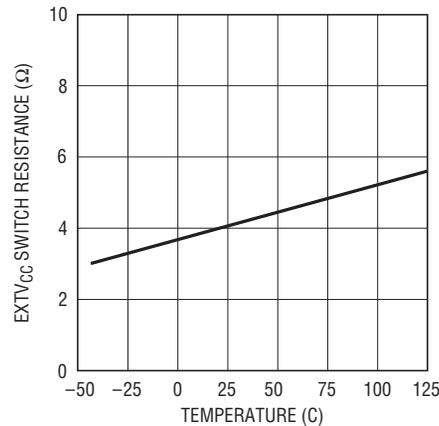
170989 G19

標準的性能特性

電流検出ピンの入力電流と温度

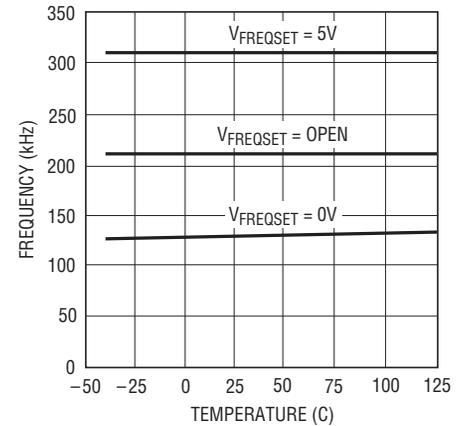


170989 G20

EXTV_{CC}スイッチ抵抗と温度

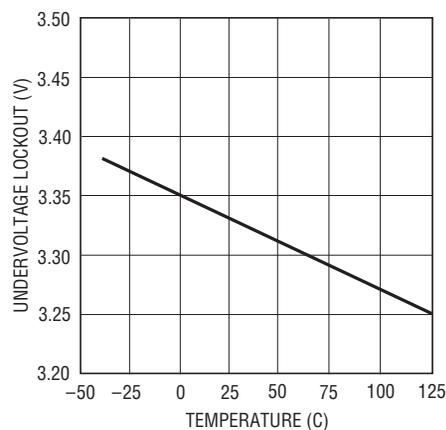
170989 G21

発振器周波数と温度

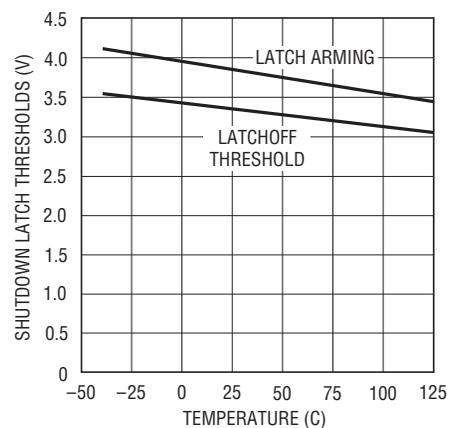


170989 G22

低電圧ロックアウトと温度



シャットダウン・ラッチ・スレッシュホールドと温度



170989 G24

ピン機能

RUN/SS (ピン1): ソフトスタート、実行制御入力および短絡検出タイマの組み合わせ。このピンからグランド間のコンデンサにより、最大電流出力までのランプ時間を設定します。このピンの電圧を0.8V未満にすると、デバイスはすべての内部回路をシャットダウンします。シャットダウン時には、すべての機能がディスエーブルされます。

SENSE1⁺、SENSE2⁺ (ピン2、14): 各差動電流コンパレータへの(+)入力。I_{TH}ピン電圧およびSENSE⁻ピンとSENSE⁺ピン間の内部オフセットは、R_{SENSE}とともに電流トリップ・スレッシュホールドを設定します。

SENSE1⁻、SENSE2⁻ (ピン3、13): 差動電流コンパレータの(-)入力。

EAIN (ピン4): 帰還電圧を内部0.8Vリファレンス電圧と比較するエラー・アンプへの入力。このピンは、通常は差動アンプの出力(DIFFOUT)に接続されている抵抗分割器に接続されません。

PLLFLTR (ピン5): フェーズロック・ループのローパス・フィルタをこのピンに接続します。また、このピンをACまたはDC電圧源でドライブして、内部発振器の周波数を変えることができます。

170989f

ピン機能

PLLIN (ピン6) : 位相検出器への外部同期入力。このピンは50k Ω の抵抗により内部でSGNDに終端されています。フェーズロック・ループは、コントローラ1の立ち上がりトップ・ゲート信号をPLLIN信号の立ち上がりエッジに同期させます。

NC (ピン7、36) : 接続しないでください。

I_{TH} (ピン8) : エラー・アンプの出力で、スイッチング・レギュレータの補償点。両方の電流コンパレータのスレッシュホールドは、この制御電圧に応じて増加します。このピンの通常の電圧範囲は0V~2.4Vです。

SGND (ピン9) : 信号グランド。このピンは両方のコントローラに共通です。個別にPGNDピンに配線してください。

V_{DIFFOUT} (ピン10) : 差動アンプの出力。このピンは、真の出力電圧リモートセンスを提供します。通常、V_{DIFFOUT}は出力電圧を設定する外部抵抗分割器をドライブします。

V_{OS}⁻、V_{OS}⁺ (ピン11、12) : オペアンプへの入力。電子的にスイッチ・イン/アウト可能な内部高精度抵抗によって、これを差動アンプまたは汎用オペアンプとして構成できます。

ATTENOUT (ピン15) : VIDプログラミング・コードに従って抵抗分割器により分圧された電圧帰還信号。

ATTENIN (ピン16) : VID制御の抵抗分割器への入力。

VID0 – VID4 (ピン17、18、19、20、21) : VID制御ロジック入力ピン。

V_{BIAS} (ピン22) : VID制御回路用の電源ピン。

PGOOD (ピン23) : オープンドレインのロジック出力。EAINピンの電圧が設定ポイントから $\pm 7.5\%$ の範囲を外れると、PGOODの電圧はグランドに引き下げられます。

TG2、TG1 (ピン24、35) : トップNチャンネルMOSFETの大電流ゲート・ドライブ。これらは、スイッチ・ノード電圧SWに重畳されたINTV_{CC}に等しい電圧振幅を持つフローティング・ドライバの出力です。

SW2、SW1 (ピン25、34) : インダクタへのスイッチ・ノード接続。これらのピンでの電圧振幅は、グランドよりショットキー・ダイオード(外部)の電圧降下分だけ低い電圧からV_{IN}までです。

BOOST 2、BOOST 1 (ピン26、33) : トップサイド・フローティング・ドライバへのブートストラップされた電源。外部コンデンサがBOOSTピンとSWピンの上に接続され、ショットキー・ダイオードがBOOSTピンとINTV_{CC}ピンの間に接続されます。

BG2、BG1 (ピン27、31) : ボトムNチャンネルMOSFETの大電流ゲート・ドライブ。これらのピンの電圧振幅はグランドからINTV_{CC}までです。

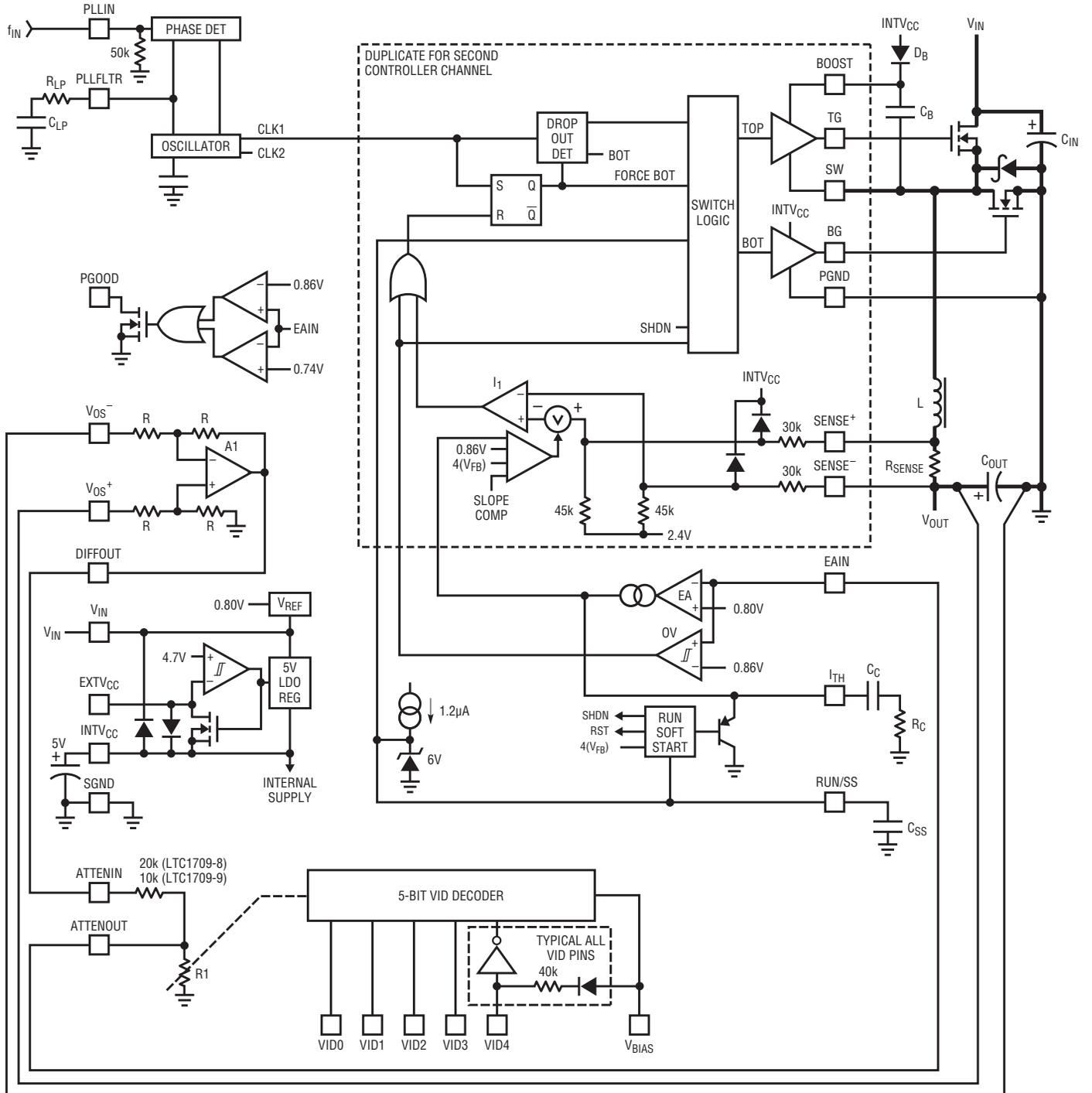
PGND (ピン28) : ドライバの電源グランド。ボトムNチャンネルMOSFETのソースとC_{IN}の(–)端子に接続します。

INTV_{CC} (ピン29) : 内部の低損失5Vリニア・レギュレータおよびEXTV_{CC}スイッチの出力。ドライバと制御回路にはこの電圧源から電力が供給されます。デバイスのすぐ近くに配置された1 μ Fセラミック・コンデンサと最小4.7 μ Fの追加タンタルまたは他の低ESRコンデンサで、電源グランドにデカップリングします。

EXTV_{CC} (ピン30) : 内部スイッチへの外部電源入力。EXTV_{CC}の電圧が4.7Vを超えると、このスイッチが閉じ、内部低損失レギュレータをバイパスしてINTV_{CC}に給電します。「アプリケーション情報」にある「EXTV_{CC}の接続」のセクションを参照してください。このピンの電圧が7Vを超えてはいけません。V_{EXTVCC} \leq V_{IN}となるようにしてください。

V_{IN} (ピン32) : 主電源ピン。デバイスの信号グランド・ピンの近くでデカップリングします。

機能図



170989 FBD

動作 (「機能図」参照)

メイン制御ループ

LTC1709は電流分担機能を備えた定周波数、電流モード降圧アーキテクチャを採用しています。通常動作中は、発振器がRSラッチをセットすると、サイクルごとにトップMOSFETがオンし、メイン電流コンパレータ I_1 がRSラッチをリセットするとオフします。 I_1 がRSラッチをリセットするピーク・インダクタ電流は、エラー・アンプEAの出力である I_{TH} ピンの電圧によって制御されます。差動アンプA1は出力コンデンサの両端で検出される差動電圧に等しい信号を生成しますが、内部の信号グラウンド(SGND)リファレンスを改めてこの信号の基準とします。EAINピンは、VIDロジック入力ピン(VID0~VID4)の決定に従ってDIFFOUTの電圧帰還信号の一部を受け取り、EAがこれを内部リファレンス電圧と比較します。負荷電流が増加すると、0.8Vのリファレンスに対してEAINピンの電圧がわずかに低下し、それによって平均インダクタ電流が新たな負荷電流と一致するまで I_{TH} の電圧が上昇します。トップMOSFETがオフした後、残りの時間はボトムMOSFETがオンします。

トップMOSFETドライバは、通常は外付けショットキー・ダイオードを通して、各オフ・サイクル中に再充電されるフローティング・ブートストラップ・コンデンサ C_B からバイアスされます。しかし、 V_{IN} が V_{OUT} に近い電圧まで低下すると、ループがドロップアウト状態に入り、トップMOSFETを連続してオンしようとする場合があります。ドロップアウト検出器はこの状態を検出し、トップMOSFETを10サイクルごとに約400ns間オフして、ブートストラップ・コンデンサ C_B を再充電します。

メイン制御ループは、ピン1(RUN/SS)を“L”にするとシャットダウンします。RUN/SSを解放すると、1.2 μ Aの内部電流源がソフトスタート・コンデンサ C_{SS} を充電できます。 C_{SS} が1.5Vに達すると、メイン制御ループは I_{TH} の電圧が最大値の約30%にクランプされた状態でイネーブルされます。 C_{SS} が引き続き充電されると I_{TH} は徐々に解放され、通常動作が再開できます。RUN/SSピンが“L”のとき、LTC1709の全機能がシャットダウンされます。 C_{SS} が4.1Vに充電されたとき V_{OUT} がその公称値の70%に達していなかった場合は、「アプリケーション情報」のセクションで述べるとおり過電流ラッチオフを起動することができます。

低電流動作

LTC1709は連続PWM制御モードで動作します。これにより低出力電流での動作時の過渡応答が最適化されますが、周期の後半にかなりの負のインダクタ電流が流れます。リップル電流のレベルは、インダクタ値、入力電圧、出力電圧および動作周波数によって決まります。

周波数同期

フェーズロック・ループにより、内部発振器はPLLINピンを通して外部ソースに同期することができます。また、PLLFLTRピンでの位相検出器の出力は、0V~2.4VのDC電圧入力に相当する140kHz~310kHzの周波数で動作する発振器のDC周波数制御入力でもあります。ロックされると、PLLはトップMOSFETのターンオンを同期信号の立ち上がりエッジに揃えます。PLLINがオープンになっていると、PLLFLTRピンは“L”になり、発振器の周波数を最小にします。

入力コンデンサからのピーク電流が実効的に2分割されるので、入力容量のESR要件と効率の損失が大幅に低減し、電力損失はRMS電流の二乗に比例します。2段構成の単一出力電圧の実装によって入力経路の電力損失を75%低減でき、入力コンデンサの所要RMS電流定格が大幅に低下します。

INTV_{CC}/EXTV_{CC}電源

トップとボトムのMOSFETドライバ、そして大部分のデバイス回路への電力は、INTV_{CC}から供給されます。EXTV_{CC}ピンをオープンにしておくと、内部5V低損失レギュレータがINTV_{CC}に電力を供給します。EXTV_{CC}ピンの電圧が4.7Vを超えると5Vレギュレータがオフし、内部スイッチがオンしてEXTV_{CC}をINTV_{CC}に接続します。これによって、「アプリケーション情報」のセクションで説明するとおり、レギュレータ自身または二次巻線の出力などの高効率の外部ソースからINTV_{CC}の電力を得ることができます。規定のINTV_{CC}の電流より多くの電流を必要とするアプリケーションでは、外部ショットキー・ダイオードを使用して、EXTV_{CC}からINTV_{CC}への電圧降下を最小限に抑えることができます。ゲート・ドライブ能力を高めるために、EXTV_{CC}に最大7Vの電圧を加えることができます。

動作 (「機能図」参照)

差動アンプ

このアンプは、真の差動出力電圧検出機能を備えています。 V_{OUT}^+ と V_{OUT}^- の両方を検出すれば、高電流アプリケーションや電氣的相互接続損失を生じるアプリケーションの安定化に寄与します。AMPMDピンにより、同相除去比の高い差動アプリケーションでは高精度な内部帰還抵抗を選択し、他のアプリケーションでは内部帰還抵抗を使用せずに実際のアンプ入力に直接接続することができます。AMPMDピンは、ユニティゲイン差動アプリケーションで内部高精度抵抗に接続するためには接地し、内部抵抗をバイパスしてアンプ入力を直接利用するためにはINTV_{CC}ピンに接続します。このアンプはユニティゲイン安定、2MHzの利得帯域幅、120dB以上の開ループ利得設計となっています。また、5V/μsの出力スルーレートをもち、標準で最大35mAの出力RMS電流で容量性負荷をドライブ可能です。このアンプは電流をシンクできないので、それを行うには抵抗性負荷を接続する必要があります。

パワーグッド (PGOOD)

PGOODピンは内部MOSFETのドレインに接続されています。出力電圧が帰還分圧器で決まる公称出力レベルの±7.5%の範囲を外れると、MOSFETがオンします。出力が公称値の

±7.5%以内になると、MOSFETは10μs以内にオフし、PGOODピンの電圧は外部抵抗により最大7Vのソースまで引き上げられます。

短絡検出

入力電源からの突入電流を制限するために、最初にRUN/SSコンデンサが使用されます。コントローラに(RUN/SSピンのコンデンサによって決まる)時間が与えられ、出力コンデンサが充電されて全負荷電流が供給されると、RUN/SSコンデンサは短絡タイムアウト回路として使用されます。出力電圧が公称出力電圧の70%未満に低下した場合、出力がひどい過電流や短絡状態にあると見なし、RUN/SSコンデンサが放電を開始します。この状態がかなり長い時間(RUN/SSコンデンサのサイズによって決まる)続くと、コントローラはRUN/SSピンの電圧が再度上昇するまでシャットダウンされます。この内蔵ラッチオフは、5Vで5μAを超える電流をRUN/SSピンに与えれば無効にできます。この電流によってソフトスタート時間が短縮し、ひどい過電流状態や短絡状態のときにRUN/SSの正味の放電が防止されます。出力電圧が公称レベルの70%未満になると、短絡ラッチオフ回路がイネーブルされていてもいなくても、フォールドバック電流制限がアクティブになります。

アプリケーション情報

基本的なLTC1709のアプリケーション回路を1ページ目の図1に示します。外付け部品を選択する際は、リップル電流要件に基づいて最初にインダクタを選択し、続いて計算したインダクタ電流のピーク値や最大電流制限を使用して抵抗 R_{SENSE1} 、 R_{SENSE2} を選択します。次に、パワーMOSFETとD1およびD2を選択します。動作周波数とインダクタは、主にリップル電流量に基づいて選択されます。最後に、(PolyPhase™動作により最小化される)入力リップル電流を扱うことができる C_{IN} を選択し、また(同様にPolyPhaseにより最小化される)出力リップル電圧と負荷ステップ仕様を満足する十分低いESRの C_{OUT} を選択します。電流モード・アーキテクチャは、出力段の間で内部機能による電流分担を行います。図1に示す回路は最大28Vの入力電圧で動作するように構成できます(外部MOSFETで制限される)。

出力電流に対応した R_{SENSE} の選択

R_{SENSE1} 、 R_{SENSE2} は要求されるピーク出力電流に基づいて選択します。LTC1709の電流コンパレータは、75mV/ R_{SENSE} の最大スレッシュホールドとSGNDから1.1(INTV_{CC})までの同相入力範囲を有しています。この電流コンパレータのスレッシュホールドはインダクタ電流のピークを設定するため、そのピーク値よりピーク・トゥ・ピーク・リップル電流 ΔI_L の半分だけ小さい最大平均出力電流 I_{MAX} が定まります。LTC1709および外付け部品の値のばらつきに対する余裕をもたせると、次式のようになります。

$$R_{SENSE} = 2(50\text{mV}/I_{MAX})$$

PolyPhaseはリアテクノロジーの登録商標です。

アプリケーション情報

動作周波数

LTC1709はフェーズ・ロック可能な固定周波数アーキテクチャを採用し、周波数は内部コンデンサによって決定されます。このコンデンサは、固定電流とPLLFLTRピンに印加された電圧に比例する電流を加えた電流で充電されます。詳しくはアプリケーション情報の「フェーズロック・ループと周波数同期」を参照してください。

PLLFLTRピンに加えられた電圧と周波数のグラフを図2に示します。動作周波数が高くなるにつれゲート電荷損失が増加し、効率が低下します（「効率に関する検討事項」を参照）。最大スイッチング周波数は約310kHzです。

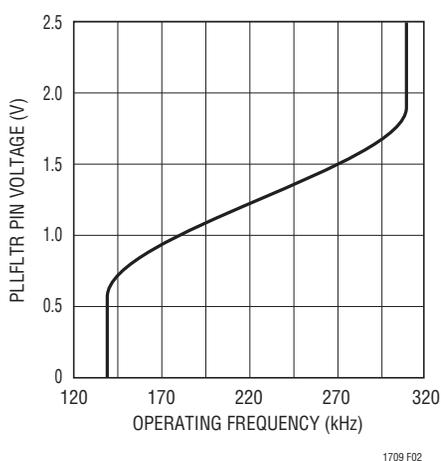


図2. 動作周波数とV_{PLLFLTR}

インダクタ値の計算と出力リップル電流

動作周波数が高いほど小さな値のインダクタとコンデンサを使用できるという意味で、動作周波数とインダクタの選択には相関関係があります。そうであれば、なぜ誰もが大きな値の部品を使った低周波数での動作を選ぶのでしょうか？ 答えは効率です。周波数が高いほど、MOSFETのゲート充電損失と遷移損失により一般に効率が低下します。この基本的なトレードオフに加えて、リップル電流と低電流動作に対するインダクタ値の影響も考慮しなければなりません。PolyPhaseのアプローチは、入力と出力の両方のリップル電流を低減し、より低い基本周波数で動作させるために個々の出力段を最適化することによって、効率を向上させます。

インダクタ値は、リップル電流に直接影響を及ぼします。個々のセクションN当たりのインダクタ・リップル電流 ΔI_L は、次式で示すようにインダクタンスまたは周波数が高いほど減少し、 V_{IN} または V_{OUT} が高いほど増加します。

$$\Delta I_L = \frac{V_{OUT}}{fL} \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

ここで、fは個々の出力段の動作周波数です。

2フェーズ・コンバータでは、出力コンデンサから見た正味のリップル電流は、リップル・キャンセレーションにより個々のインダクタ・リップル電流よりもはるかに少なくなります。正味の出力リップル電流の計算方法については、「アプリケーション・ノート77」を参照してください。

1フェーズ構成と2フェーズ構成の出力コンデンサから見た正味のリップル電流を図3に示します。デューティ・ファクタがx軸を10%~90%の間で変化するときの、固定出力電圧に対する出力リップル電流がプロットされています。出力リップル電流は、ゼロ・デューティ・ファクタでのインダクタ・リップル電流に対して正規化されています。退屈な計算の代わりにグラフを使用できるので、設計プロセスが簡素化されます。

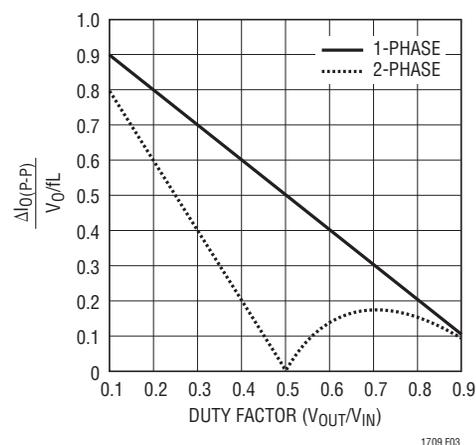


図3. 正規化出力リップル電流とデューティ・ファクタ [I_{RMS} ≈ 0.3(ΔI_o(p-p))]

アプリケーション情報

大きな ΔI_L の値が許容できれば、低いインダクタンスを使用できますが、出力電圧リップルは高くなります。リップル電流を設定するための妥当な出発点は、 $\Delta I_L = 0.4(I_{OUT})/2$ です。ここで、 I_{OUT} は全負荷電流です。入力電圧が最大のときに ΔI_L が最大になることを忘れないでください。個々のインダクタ・リップル電流は、インダクタ、入力電圧および出力電圧によって決まります。

インダクタ・コアの選択

$L1$ と $L2$ の値が分かれば、インダクタのタイプを選択しなければなりません。高効率コンバータは、一般に低コストの鉄粉コアで生じるコア損失では最適な性能が得られないため、より高価なフェライト、モリパーマロイ、またはKool M μ ®コアを使用しなければなりません。インダクタ値が一定の場合、実際のコア損失はコア・サイズには無関係ですが、選択したインダクタンスに大きく依存します。インダクタンスを大きくするとコア損失は低下します。残念ながら、インダクタンスを大きくするとワイヤの巻数を増やす必要があるため、銅損失は増加します。

フェライトによる設計ではコア損失がきわめて低く、高スイッチング周波数に適しているため、設計目標を銅損失と飽和を防ぐことに集中することができます。フェライト・コアの材料は“ハードに”飽和します。つまり、最大設計電流を越えるとインダクタンスが急激に消滅します。この結果、インダクタのリップル電流が急増し、それにより出力電圧リップルが増加します。**コアを飽和させないようにしてください。**

モリパーマロイ (Magnetics社製) は、トロイドに最適な低損失のコア材料ですが、フェライトよりも高価です。Magnetics社製で経済的なものがKool M μ です。トロイドは特に多層巻線が使用できるときに、空間効率が非常に高くなります。これらにはボビンがないため実装が困難です。しかし、さほど高さを増さない表面実装設計が可能です。

パワーMOSFET、D1およびD2の選択

LTC1709では、各コントローラに対して2個の外部パワーMOSFETを選択しなければなりません。トップ(メイン)スイッチ用のNチャンネルMOSFET 1個と、ボトム(同期)スイッチ用のNチャンネルMOSFET 1個です。

ピーク・トゥ・ピークのドライブ・レベルは、 $INTV_{CC}$ 電圧によって設定されます。この電圧は、始動時には通常5Vです(「EXTV $_{CC}$ の接続」を参照)。したがって、ほとんどのアプリケーションではロジックレベル・スレッショルドのMOSFETを

使用しなければなりません。唯一の例外は、入力電圧が低い($V_{IN} < 5V$)と予想される場合です。その場合は、サブロジックレベル・スレッショルドのMOSFET($V_{GS(TH)} < 1V$)を使用します。MOSFETの BV_{DSS} 仕様にも十分に注意してください。ほとんどのロジックレベルのMOSFETは30V以下に制限されています。

パワーMOSFETの選択基準には、オン抵抗 $R_{DS(ON)}$ 、逆伝達容量 C_{RSS} 、入力電圧、および最大出力電流が含まれます。LTC1709が連続モードで動作中のときは、各出力段のトップおよびボトムMOSFETのデューティ・ファクタは、次式で与えられます。

$$\text{メイン・スイッチのデューティ・サイクル} = \frac{V_{OUT}}{V_{IN}}$$

$$\text{同期スイッチのデューティ・サイクル} = \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right)$$

また、MOSFETの最大出力電流時の電力損失は次式で与えられます。

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)} + k(V_{IN})^2 \left(\frac{I_{MAX}}{2} \right) (C_{RSS})(f)$$

$$P_{SYNC} = \frac{V_{IN} - V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)}$$

ここで、 δ は $R_{DS(ON)}$ の温度依存性、 k はゲート・ドライブ電流に反比例する定数です。

どちらのMOSFETにも I^2R 損失の項がありますが、トップサイドNチャンネルの式では追加の遷移損失の項があり、これは入力電圧が最大のときに最大になります。 $V_{IN} < 20V$ では、高電流での効率是一般に大型MOSFETを使用すると向上します。一方、 $V_{IN} > 20V$ では、遷移損失が急激に増加し、実際には C_{RSS} が小さく $R_{DS(ON)}$ が大きいデバイスを使用する方が効率が高くなるポイントにまで達します。同期MOSFETの損失は、トップ・スイッチのデューティ・ファクタが低い高入力電圧時、または同期スイッチが周期のほぼ100%オンになる短絡時に最も大きくなります。

Kool M μ はMagnetics社の登録商標です。

アプリケーション情報

あるMOSFETの $(1+\delta)$ の項は、一般に正規化 $R_{DS(ON)}$ と温度の関係を示す曲線の形で与えられますが、低電圧MOSFETに対する近似値として $\delta=0.005/^\circ\text{C}$ を使用することができます。 C_{RSS} は通常MOSFETの特性で規定されています。メイン・スイッチの電力損失の式で、定数 $k=1.7$ を用いてこの2つの項が与える影響を推定することができます。

図1に示すショットキー・ダイオードD1およびD2は、2つの大型パワーMOSFETの導通間のデッドタイム中に導通します。これによって、ボトムMOSFETのボディ・ダイオードがデッドタイム中にオンして電荷を蓄積するのを防ぎ、効率を低下させる逆回復時間を不要にします。1A~3A(出力電流によって決まる)のショットキー・ダイオードは、平均電流が比較的小さいため、両方の動作領域にとって一般に妥当なものです。大きなダイオードでは、接合容量が大きいため遷移損失が増えることとなります。

C_{IN}およびC_{OUT}の選択

連続モードでは、各トップNチャネルMOSFETのソース電流は、デューティ・サイクルが V_{OUT}/V_{IN} の方形波になります。最大RMS電流に対応できる容量の低ESR入力コンデンサを使用しなければなりません。閉形式の式の詳細については、「アプリケーション・ノート77」を参照してください。出力電圧が固定され入力電圧が変動する2フェーズ構成での入力コンデンサのリップル電流を、図4に示します。入力リップル電流は、DC出力電流に対して正規化されています。このグラフを退屈な計算の代わりに使用することができます。最小入力リップル電流は、入力電圧が出力電圧の2倍のときに達成されます。

図4のグラフにおいて、次のときに2フェーズの局所的な最大入力RMSコンデンサ電流に達します。

$$\frac{V_{OUT}}{V_{IN}} = \frac{2k-1}{4}$$

ここで $k=1, 2$ です。

大きく変化させてもそれほど状況が改善されないため、一般にはこれらのワーストケース条件が設計に使用されます。多くの場合、コンデンサ・メーカーのリップル電流定格は、わずか

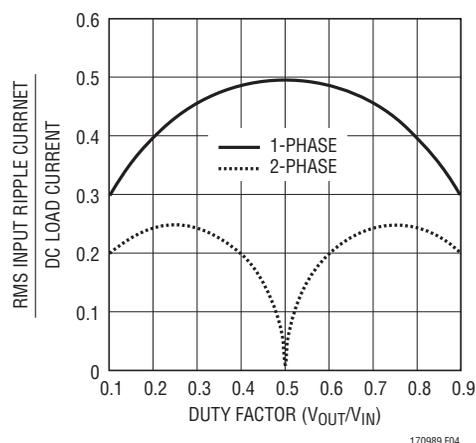


図4. 正規化されたRMS入力リップル電流と1および2出力段のデューティ・ファクタ

2000時間の寿命時間に基づいて規定されていることに注意してください。このため、コンデンサをさらにデレーティングする、つまり要件よりも高い温度定格のコンデンサを選択するようにしてください。設計でのサイズまたは高さの要件に適合させるため、何個かのコンデンサを並列に接続することもできます。疑問があれば必ずコンデンサ・メーカーに問い合わせてください。

効率の損失が入力RMS電流の二乗に比例することに注意してください。このため、1フェーズ設計と比較すると、2フェーズの実装では電力損失が75%少なくなります。2フェーズ・システムでは入力リップル電流が減少するため、バッテリー/入力保護ヒューズの抵抗分(使用されている場合)、PCボードのトレースおよびコネクタの抵抗損失も減少します。電流パルスの周波数が実効的に上昇するため、必要な入力容量はさらに1/2に低減されます。

C_{OUT} は要求される等価直列抵抗(ESR)に基づいて選択します。一般にESR要件を満足すれば、RMS電流定格は $I_{RIPPLE(P-P)}$ 要件をはるかに上回ります。定常状態の出力リップル(ΔV_{OUT})は次式で求められます。

$$\Delta V_{OUT} \approx \Delta I_{RIPPLE} \left(ESR + \frac{1}{16fC_{OUT}} \right)$$

アプリケーション情報

ここで、 f = 各出力段の動作周波数、 C_{OUT} = 出力容量、 ΔI_{RIPPLE} = インダクタのリップル電流です。

ΔI_L は入力電圧の関数なので、出力リップルは入力電圧に応じて変化します。 $\Delta I_L = 0.4 I_{OUT(MAX)}/2$ のとき、以下のように仮定すると、出力リップルは最大 V_{IN} で 50mV 未満になります。

$$C_{OUT} \text{の所要 ESR} < 4(R_{SENSE}) \text{ および}$$

$$C_{OUT} > 1/(16f)(R_{SENSE})$$

小型表面実装パッケージに収容された ESR が非常に低いコンデンサが出現してきたため、実装面積を物理的に非常に小さくすることができます。 I_{TH} ピンを使用してスイッチング・レギュレータ・ループを外部から補償できるので (OPTI-LOOP 補償)、出力コンデンサのタイプをより広範に選択できます。OPTI-LOOP 補償により、出力コンデンサの ESR の制限が実質的になくなります。各コンデンサ・タイプのインピーダンス特性は、理想的なコンデンサとはかなり異なっているため、設計段階で正確なモデリングまたはベンチ評価が必要です。

ニチコン、United Chemicon、三洋電機などのメーカーから高性能なスルーホール・コンデンサが入手できます。三洋電機やパナソニック製の SP 表面実装型の半導体誘電体コンデンサは、アルミニウム電解コンデンサの中で (ESR・サイズ) の積が最も低いものですが、価格が多少高くなっています。OS-CON 型コンデンサと並列に別のセラミック・コンデンサを接続して、インダクタンスの影響を低減することを推奨します。

表面実装アプリケーションでは複数のコンデンサを並列に接続して、そのアプリケーションの ESR または RMS 電流の要件に適合させる必要があります。表面実装型のアルミ電解コンデンサや乾式タンタル・コンデンサが提供されています。新しい特殊ポリマ表面実装コンデンサも ESR は非常に低いものの、単位ボリューム当たりの容量密度がはるかに低くなっています。タンタル・コンデンサの場合、スイッチング電源に使用するためのサージ試験が実施されていることが重要です。ケースの高さが 2mm ~ 4mm の表面実装タンタル・コンデンサの AVX TPS、AVX TPSV、または KEMET T510 シリーズが最適です。他のコンデンサ・タイプとしては、三洋製の OS-CON、ニチコン

PL シリーズ、そして Sprague 595D シリーズがあります。その他の推奨製品についてはメーカーにお問い合わせください。コンデンサを組み合わせれば、性能を最大限に高めながら全体的なコストとサイズが最小限に抑えられる場合がよくあります。

INTV_{CC}レギュレータ

内部 P チャネル低損失レギュレータは、 V_{IN} 電源ピンから INTV_{CC} ピンに 5V を生成します。INTV_{CC} レギュレータは、LTC1709 のドライバと内部回路に電力を供給します。INTV_{CC} ピン・レギュレータは、最大 50mA のピーク電流を供給でき、最小 4.7 μ F のタンタルまたは電解コンデンサでパワー・グランドにバイパスしなければなりません。MOSFET ゲート・ドライバには非常に高い瞬時電流が必要なので、デバイスのすぐ近くに 1 μ F セラミック・コンデンサを追加することが推奨されます。

大型 MOSFET が高周波でドライブされている高入力電圧アプリケーションでは、LTC1709 の最大接合部温度定格を超える恐れがあります。差動アンプ出力から流れる電流に加えて、電源電流はゲート電荷供給電流によって支配されます。「効率に関する検討事項」のセクションで述べるとおり、ゲート電荷は動作周波数に依存します。供給電流は、内部 5V レギュレータまたは EXT_{VCC} ピンを介して供給できます。EXT_{VCC} ピンに与えられる電圧が 4.7V 未満のときは、すべての INTV_{CC} 負荷電流は内部 5V リニア・レギュレータによって供給されます。この場合、デバイスの電力損失が $(I_{IN})(V_{IN} - INTV_{CC})$ だけ高くなるので、効率が低下します。接合部温度は、「電気的特性」の Note 3 に記載された等式を使用して推算することができます。たとえば、LTC1709 の V_{IN} の電流は次式のとおりの 24V 電源では 24mA 以下に制限されます。

$$T_J = 70^\circ\text{C} + (24\text{mA})(24\text{V})(85^\circ\text{C}/\text{W}) = 119^\circ\text{C}$$

EXT_{VCC} ピンを使用すると、接合部温度が以下の値まで低下します。

$$T_J = 70^\circ\text{C} + (24\text{mA})(5\text{V})(85^\circ\text{C}/\text{W}) = 80.2^\circ\text{C}$$

最大接合部温度を超えないようにするには、コントローラが連続モードにおいて最大 V_{IN} で動作しているときの入力消費電流を測定し、電力損失を計算する必要があります。

アプリケーション情報

EXTV_{CC}の接続

LTC1709は、EXTV_{CC}ピンとINTV_{CC}ピンの間に接続されるPチャネルMOSFETスイッチを内蔵しています。EXTV_{CC}に印加される電圧が4.7Vを超えると、内部レギュレータがオフし、内部スイッチが閉じて、EXTV_{CC}ピンをINTV_{CC}ピンに接続することにより、内部電源とMOSFETゲートをドライブする電源をICに供給します。EXTV_{CC}に印加される電圧が4.5Vを超えている限り、スイッチは閉じたままです。これにより、MOSFETドライブおよび制御回路の電源は通常動作時(4.7V < V_{EXTVCC} < 7V)は出力から、また出力が安定化されていないとき(起動時、短絡時など)は、内部レギュレータから供給できます。図示のアプリケーション回路を使用するときは、EXTV_{CC}ピンに7Vを超える電圧を印加してはならず、EXTV_{CC} < V_{IN}+0.3Vとなるようにしてください。V_{IN}電源がないときに、外部電圧源をEXTV_{CC}ピンに接続する場合は、電流がV_{IN}に逆流するのを防止するために、LTC1709のV_{IN}ピンと直列にダイオードを、そしてEXTV_{CC}ピンとV_{IN}ピンの間にショットキー・ダイオードを配置することができます。

ドライブ電流および制御電流によるV_{IN}の電流は、デューティ・ファクタ/効率の比率でスケール調整されるので、出力からINTV_{CC}に電力を供給すれば効率を大幅に改善できます。5Vレギュレータの場合、これはEXTV_{CC}ピンを直接V_{OUT}に接続することを意味します。ただし、3.3Vレギュレータなどの低電圧レギュレータの場合、出力からINTV_{CC}への電力を得るために回路を追加する必要があります。

EXTV_{CC}に対して可能な4つの接続方法を以下にまとめます。

1. EXTV_{CC}をオープンにする(または接地する)。こうすると、内部5VレギュレータからINTV_{CC}に電力が供給されるので、入力電圧が高いときに効率が大幅に低下します。
2. EXTV_{CC}をV_{OUT}に直接接続する。これは5Vレギュレータでは通常の接続であり、効率が最も高くなります。
3. EXTV_{CC}を外部電源に接続する。5V~7Vの外部電源が利用できれば、これを使用してEXTV_{CC}に電力を供給し、MOSFETゲート・ドライブの要件を満足させることができます。
4. EXTV_{CC}を出力から得られる昇圧ネットワークに接続する。3.3Vレギュレータなどの低電圧レギュレータでは、出力から得た電圧を4.7V超7V未満に昇圧してEXTV_{CC}に接続することにより、さらに効率を改善できます。これは図5aに示す誘導性昇圧巻線、または図5bに示す容量性チャージポンプによって実行可能です。チャージポンプには、磁気回路がシンプルという利点があります。

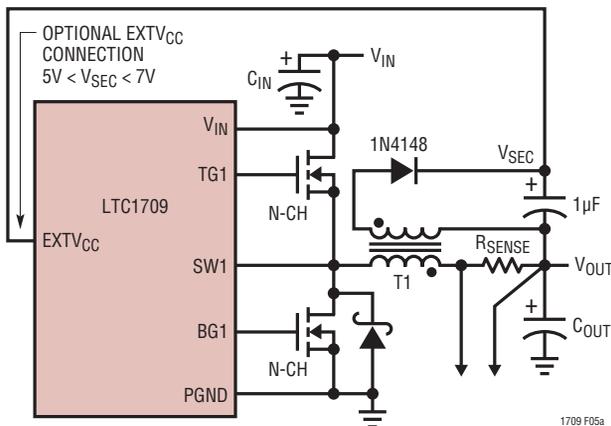


図5a. EXTV_{CC}の接続による二次出力ループ

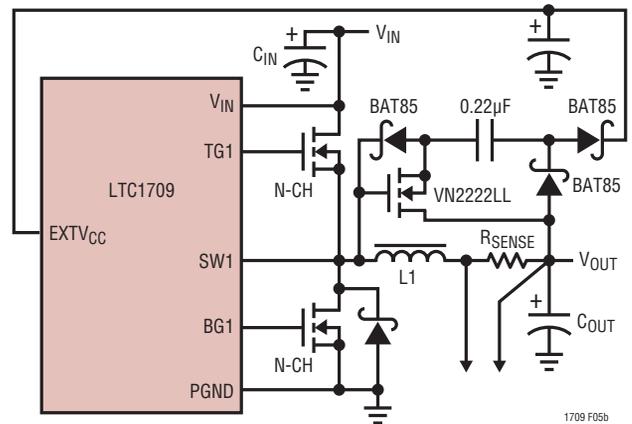


図5b. EXTV_{CC}用の容量性チャージポンプ

アプリケーション情報

トップサイドMOSFETドライバ電源(C_B、D_B) (「機能図」参照)

外部ブートストラップ・コンデンサC_{B1}およびC_{B2}はBOOST 1およびBOOST 2ピンに接続されており、トップサイドMOSFETにゲート・ドライブ電圧を供給します。SWピンが“L”のとき、「機能図」のコンデンサC_BがINTV_{CC}からダイオードDBを介して充電されます。トップサイドMOSFETがオンすると、ドライバは望みのMOSFETのゲート・ソース間にC_Bの電圧を印加します。これによってMOSFETが導通し、トップサイド・スイッチがオンします。スイッチ・ノード電圧SWがV_{IN}に上昇し、BOOSTピンは(V_{IN}+V_{INTVCC})に上昇します。昇圧コンデンサC_Bの値は、トップサイドMOSFETの全入力容量の30~100倍にする必要があります。D_Bの逆ブレイクダウン電圧は、V_{IN(MAX)}より大きくなければなりません。

最適なゲート・ドライブ振幅レベルを定めるときの最終的な判定要素は、入力消費電流です。変更を加えた場合に入力電流が減少すれば、効率は改善されています。入力電流が変化しない場合は、効率も変わっていません。

出力電圧

LTC1709は真の出力電圧リモートセンス能力を備えています。電圧検出用の接続は、密接に結合された共通のPCトレース・ペアを介して、負荷から差動アンプの入力に戻さなければなりません。差動アンプは電源経路とグランド経路の両方におけるDC電圧降下を補正します。差動アンプの出力信号は分割され、エラー・アンプによって高精度な内部0.8V電圧リファレンスと比較されます。

出力電圧のプログラミング

出力電圧は、表1に定めるようにVID0~VID4のロジック入力ピンを使用してデジタル設定します。VIDロジック入力により、高精度(0.25%)な内部帰還抵抗分割器が設定されます。LTC1709-8の出力電圧は1.30V~3.5Vの範囲で50mVおよび100mVステップで設定され、LTC1709-9の出力電圧は1.10V~1.85Vの範囲で25mVステップで設定されます。

ATTENOUTピンとグランド間には可変抵抗R1があり、この抵抗値は5本のVID入力ピン(VID0~VID4)によって制御されます。ATTENINピンとATTENOUTピン間のもう1本の抵抗R2を加えて抵抗分割器が完成します。したがって、出力電圧は(R1+R2)のR1に対する比率により設定されます。

表1. VIDによる出力電圧のプログラミング

VID4	VID3	VID2	VID1	VID0	LTC1709-8	LTC1709-9
					VRM8.4	VRM9.0
0	0	0	0	0	2.05V	1.850V
0	0	0	0	1	2.00V	1.825V
0	0	0	1	0	1.95V	1.800V
0	0	0	1	1	1.90V	1.775V
0	0	1	0	0	1.85V	1.750V
0	0	1	0	1	1.80V	1.725V
0	0	1	1	0	1.75V	1.700V
0	0	1	1	1	1.70V	1.675V
0	1	0	0	0	1.65V	1.650V
0	1	0	0	1	1.60V	1.625V
0	1	0	1	0	1.55V	1.600V
0	1	0	1	1	1.50V	1.575V
0	1	1	0	0	1.45V	1.550V
0	1	1	0	1	1.40V	1.525V
0	1	1	1	0	1.35V	1.500V
0	1	1	1	1	1.30V	1.475V
1	0	0	0	0	3.50V	1.450V
1	0	0	0	1	3.40V	1.425V
1	0	0	1	0	3.30V	1.400V
1	0	0	1	1	3.20V	1.375V
1	0	1	0	0	3.10V	1.350V
1	0	1	0	1	3.00V	1.325V
1	0	1	1	0	2.90V	1.300V
1	0	1	1	1	2.80V	1.275V
1	1	0	0	0	2.70V	1.250V
1	1	0	0	1	2.60V	1.225V
1	1	0	1	0	2.50V	1.200V
1	1	0	1	1	2.40V	1.175V
1	1	1	0	0	2.30V	1.150V
1	1	1	0	1	2.20V	1.125V
1	1	1	1	0	2.10V	1.100V
1	1	1	1	1	No_CPU/ Shutdown*	No_CPU/ Shutdown*

* は、インテル仕様で規定される出力電圧の定義がないコードを表す。
LTC1709はこのコードを有効な入力と解釈し、次のように出力電圧を生成する。
LTC1709-8 (11111) = 2V
LTC1709-9 (11111) = 1.075V

アプリケーション情報

各VIDのデジタル入力は、 V_{BIAS} からダイオードに直列に接続した40k抵抗によりプルアップされます。したがって、デジタル“L”入力を得るには接地する必要があり、デジタル“H”入力を得るには、フロートさせるか V_{BIAS} に接続することができます。デジタル入力が V_{BIAS} より上にドライブされると、デジタル入力の損傷またはクランプを防止するために直列ダイオードが使用されます。デジタル入力はCMOS電圧レベルを受け入れます。

V_{BIAS} はVIDセクション用の電源電圧です。通常は $INTV_{CC}$ に接続しますが、他のソースからドライブすることもできます。別のソースからドライブする場合は、そのソースは2.7V~5.5Vの範囲内にあり、LTC1709をイネーブルする前にアクティブになっていなければなりません。

ソフトスタート/実行機能

RUN/SSピンには、1) 実行/シャットダウン、2) ソフトスタート、および3) 無効設定可能な短絡ラッチオフ・タイマの3つの機能があります。ソフトスタートは、コントローラの電流制限 $I_{TH(MAX)}$ を徐々に増加させることによって、入力電源のサージ電流を低減します。ラッチオフ・タイマは、非常に短い、極端な負荷過渡状態によって過電流ラッチがトリップするのを防止します。RUN/SSピンに小さなプルアップ電流(5 μ A以上)を与えて、過電流ラッチが動作しないようにします。これらの機能がどのように動作するかについて以下に説明します。

1.2 μ Aの内部電流源がソフトスタート・コンデンサ C_{SS} を充電します。RUN/SSの電圧が1.5Vに達すると、コントローラは動作を開始できます。RUN/SSの電圧が1.5Vから3.0Vに上昇すると、内部電流制限も25mV/ R_{SENSE} から75mV/ R_{SENSE} に上昇します。出力電流制限はゆっくりランプアップし、さらに1.4秒/ μ Fをかけて最大電流に達します。出力電流がこのようにゆっくりランプアップするので、入力電源から要求される起動サージ電流が減少します。RUN/SSの電圧がグランド・レベルになると、およそ次の遅延時間後に起動します。

$$t_{DELAY} = \frac{1.5V}{1.2\mu A} C_{SS} = (1.25s/\mu F) C_{SS}$$

出力電流がランプアップするための時間は、次ようになります。

$$t_{RAMP} = \frac{3V - 1.5V}{1.2\mu A} C_{SS} = (1.25s/\mu F) C_{SS}$$

RUN/SSピンの電圧を0.8V未満にすると、LTC1709は低電流シャットダウン状態($I_Q < 40\mu A$)になります。RUN/SSピンは、図6に示すように直接ロジックでドライブ可能です。図6のダイオードD1によって起動遅延は短くなりますが、 C_{SS} をゆっくりランプアップさせてソフトスタート機能を実行することができます。RUN/SSピンは6Vのツェナー・クランプを内蔵しています(「機能図」を参照)。

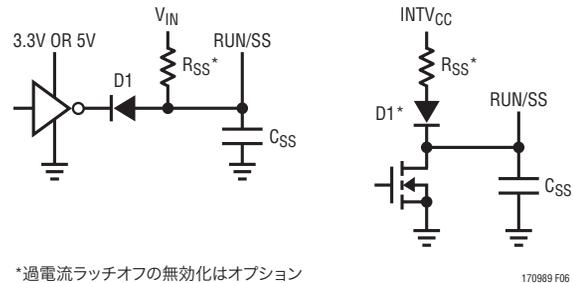


図6. RUN/SSピンのインタフェース

フォールト条件: 過電流ラッチオフ

RUN/SSピンには過電流状態が検出されるとコントローラをラッチオフする機能もあります。両方のコントローラの突入電流を制限するために、RUN/SSコンデンサ C_{SS} が最初に使用されます。コントローラが起動し、出力コンデンサを充電して最大負荷電流を流すのに十分な時間が与えられてから、RUN/SSコンデンサが短絡タイマとして使用されます。 C_{SS} が4.1Vに達した後、出力電圧が公称値の70%未満に低下すると、出力が過電流状態にあると見なして C_{SS} が放電を開始します。この状態がかなり長い時間(C_{SS} のサイズによって決まる)続くと、RUN/SSピンの電圧が再度上昇するまでコントローラはシャットダウンします。起動時に過負荷状態が発生した場合、この時間は次式で概算できます。

$$t_{LO1} \approx (C_{SS} \cdot 0.6V)/(1.2\mu A) = 5 \cdot 10^5 (C_{SS})$$

アプリケーション情報

起動後に過負荷状態が発生した場合、 C_{SS} の電圧は充電し続けるので、ラッチオフするまでにさらに時間がかかります。

$$t_{L02} \approx (C_{SS} \cdot 3V) / (1.2\mu A) = 2.5 \cdot 10^6 (C_{SS})$$

図6に示すとおり、この内蔵過電流ラッチオフは、RUN/SSピンにプルアップ抵抗(R_{SS})を接続すれば無効にすることができます。この抵抗はソフトスタート時間を短縮し、ひどい過電流状態や短絡状態のときにRUN/SSコンデンサが放電しないようにします。図の場合のように、 V_{IN} から $5\mu A$ の電流を引き出すと、電流ラッチオフは常に無効になります。図6に示すとおり、このプルアップ抵抗をINTV_{CC}に接続しているダイオードは、コントローラがシャットダウンしている間、余分な消費電流をなくすとともに、INTV_{CC}の負荷を排除してコントローラの起動を妨げないようにします。

電流ラッチオフをなぜ無効にすべきなのでしょう？ 設計の試作段階では、ノイズのピックアップやレイアウトの不備に関する問題があり、保護回路がコントローラをラッチオフする可能性があります。この機能を無効にすると、回路とPCレイアウトのトラブルシューティングが可能です。内部短絡およびフォールドバック電流制限は有効なままで、電源システムを障害から保護します。設計が完了した後、フォールドバック電流制限だけに頼るか、あるいはプルアップ抵抗を取り除いてラッチオフ機能をイネーブルするかどうかを決めることができます。

ソフトスタート・コンデンサ C_{SS} の値は、出力電圧、出力容量、および負荷電流の特性に応じてスケール調整する必要があります。最小のソフトスタート容量は、次式で与えられます。

$$C_{SS} > (C_{OUT})(V_{OUT})(10^{-4})(R_{SENSE})$$

ほとんどのアプリケーションには、 $C_{SS}=0.1\mu F$ の最小推奨ソフトスタート・コンデンサで十分です。

フェーズロック・ループと周波数同期

LTC1709は、内部電圧制御発振器と位相検出器から成るフェーズロック・ループを内蔵しています。これによって、トップMOSFETのターンオンを外部ソースの立ち上がりエッジにロックさせることができます。電圧制御発振器の周波数範囲は、中心周波数 f_0 の $\pm 50\%$ です。PLLFLTRピンに印加される

1.2Vの電圧は、約220kHzの周波数に相当します。LTC1709の公称動作周波数範囲は140kHz~310kHzです。

使用される位相検出器は、外部発振器と内部発振器の間に0度の位相シフトを与えるエッジに反応するデジタルタイプです。このタイプの位相検出器は、VCO中心周波数の高調波に近い入力周波数ではロックアップしません。PLLのホールドイン範囲(Δf_H)は、次のようにキャプチャ範囲(Δf_C)と等しくなります。

$$\Delta f_H = \Delta f_C = \pm 0.5 f_0 \text{ (150kHz-300kHz)}$$

位相検出器の出力は、PLLFLTRピンの外部フィルタ・ネットワークを充放電する電流源のコンプリメンタリ・ペアです。図7に簡略ブロック図を示します。

外部周波数(f_{PLLIN})が発振器周波数 f_{OSC} より高い場合、電流は継続的にソースされ、PLLFLTRピンをプルアップします。外部周波数が f_{OSC} より低いときは、継続的に電流がシンクされ、PLLFLTRピンをプルダウンします。外部周波数と内部周波数が同じでも、位相差がある場合は、電流源が位相差に相当する時間の長さだけオンします。したがって、PLLFLTRピンの電圧は、外部発振器と内部発振器の位相および周波数が同じになるまで調整されます。この安定動作点で、位相コンパレータ出力がオープンし、フィルタ・コンデンサ C_{LP} がその電圧を保持します。LTC1709のPLLINピンは、そのピンの近くにあるロジック・ゲートなどの低インピーダンス・ソースからドライブしなければなりません。

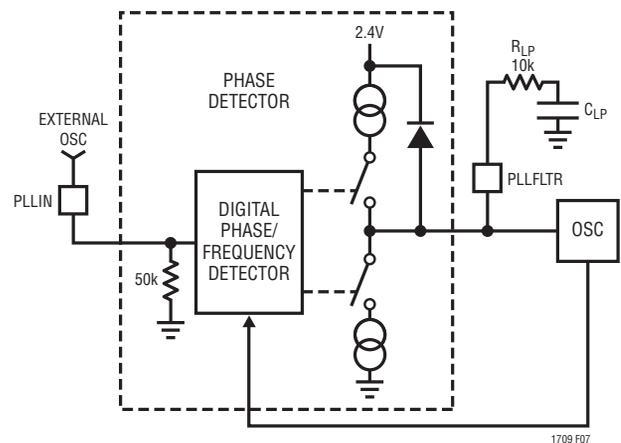


図7. フェーズロック・ループのブロック図

アプリケーション情報

ループ・フィルタ部品 (C_{LP} 、 R_{LP}) は、位相検出器からの電流パルスを平滑して、電圧制御発振器に安定した入力を提供します。フィルタ部品 C_{LP} と R_{LP} は、ループがどれくらい速くロックされるかを決定します。一般に、 $R_{LP} = 10k\Omega$ 、 $C_{LP} = 0.01\mu F \sim 0.1\mu F$ です。

最小オン時間に関する検討事項

最小オン時間 $t_{ON(MIN)}$ は、LTC1709 がトップ MOSFET をオンすることのできる最小時間です。これは内部タイミング遅延と、トップ MOSFET をオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限値に接近する可能性があるため、次の条件を満たすように注意する必要があります。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN}(f)}$$

デューティ・サイクルが最小オン時間で適応可能な値より低くなると、LTC1709 はサイクル・スキップを開始するので、可変周波数動作になります。出力電圧は連続的に安定化されませんが、リップル電流とリップル電圧は増加します。

LTC1709 の最小オン時間は、一般に 200ns 未満です。ただし、ピーク検出電圧が低下すると、最小オン時間は徐々に増加します。これは、軽負荷時のリップル電流が小さい強制連続アプリケーションでは、特に重要な問題です。この状況で、デューティ・サイクルが最小オン時間の制限値より低下した場合、かなりの量のサイクル・スキップが発生し、それに応じて大きなリップル電流と電圧リップルが生じる恐れがあります。

アプリケーションが最小オン時間の制限値付近で動作する可能性がある場合、最小オン時間の要件に適合させるために、十分なリップル振幅を供給できるほどインダクタンス値が低いインダクタを選択しなければなりません。**原則として、各位相のインダクタ・リップル電流は $V_{IN(MAX)}$ で $I_{OUT(MAX)}$ の 15% 以上に保持してください。**

電圧ポジショニング

電圧ポジショニングは、ワーストケースの過渡負荷条件の下でピーク・トゥ・ピーク出力電圧変動を最小にするために使用できます。制御ループの開ループ DC 利得は、最大負荷ステップ

仕様に依って低減されます。電圧ポジショニングは、エラー・アンプの動作電圧の midpoint、つまり 1.2V (図 8 参照) に等しいテブナン等価電圧源を持つ抵抗分割器を I_{TH} ピンに接続することによって、容易に LTC1709 に追加できます。

抵抗性負荷は、エラー・アンプのリニア制御範囲を維持しながら DC ループ利得を低減します。過渡負荷に起因するワーストケースのピーク・トゥ・ピーク出力電圧変動は、理論的には半減させることができます。また、特定のアプリケーションについては出力容量も低減できます。詳細な説明は「デザイン・ソリューション 10」または LTC1736 のデータシートに記載されています。(www.linear-tech.co.jp 参照)

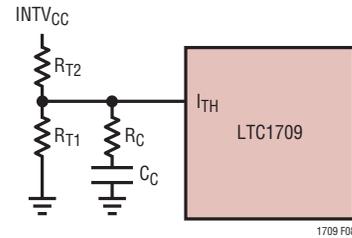


図 8. LTC1709 に適用したアクティブ電圧ポジショニング

効率に関する検討事項

スイッチング・レギュレータのパーセント効率は、出力電力 ÷ 入力電力 × 100% に等しくなります。個々の損失を解析して、効率を制限する要素がどれであり、また何が変化すれば最も効率が改善されるかを判断できることがよくあります。パーセント表示の効率は次式で表すことができます。

$$\text{効率 (\%)} = 100\% - (L1 + L2 + L3 + \dots)$$

ここで、L1、L2 などは入力電力に対するパーセントで表される個々の損失です。

回路にある電力を消費するすべての部品で損失が生じますが、LTC1709 の回路の損失の大部分は 4 つの主要な要因によって生じます。1) I^2R 損失、2) トップサイド MOSFET の遷移損失、3) INTVCC レギュレータ電流、および 4) LTC1709 の V_{IN} 電流 (差動アンプ出力の負荷を含む) です。

アプリケーション情報

1) I^2R 損失は、ヒューズ(使用している場合)、MOSFET、インダクタ、電流センス抵抗、入出力コンデンサのESRの各DC抵抗から予測されます。連続モードでは、Lや R_{SENSE} に平均出力電流が流れますが、トップサイドMOSFETと同期MOSFET間で「こま切れ」にされます。2つのMOSFETの $R_{DS(ON)}$ がほぼ同じである場合は、片方のMOSFETの抵抗とLの抵抗、 R_{SENSE} およびESRを加算するだけで I^2R 損失を求めることができます。たとえば、それぞれの $R_{DS(ON)}=10m\Omega$ 、 $R_L=10m\Omega$ 、および $R_{SENSE}=5m\Omega$ の場合、全抵抗は $25m\Omega$ になります。これにより、5V出力の場合に出力電流が各出力段につき3Aから15Aに増加すると損失は2%~8%になります。また、3.3V出力では各出力段につき損失は3%~12%になります。効率は外付け部品と出力電力レベルが同じ場合は、 V_{OUT} の2乗に反比例して変化します。高性能デジタル・システムでますます要求される低出力電圧と大電流の相乗効果により、スイッチング・レギュレータ・システムの損失要因の重要性は単に2倍ではなく4倍になります。

2) 遷移損失はトップサイドMOSFETだけに生じ、しかも高入力電圧(通常、12V以上)で動作しているときに限って大きくなります。遷移損失は次式から推定できます。

$$\text{遷移損失} = (1.7) V_{IN}^2 I_{O(MAX)} C_{RSS} f$$

3) $INTV_{CC}$ の電流はMOSFETドライバと制御回路の電流の和です。MOSFETドライバ電流はパワーMOSFETのゲート容量をスイッチングすることによって流れます。MOSFETのゲートが“L”から“H”、そして再び“L”に切り替わるたびに、 $INTV_{CC}$ からグラウンドに微小電荷 dQ が移動します。それによって生じる dQ/dt は $INTV_{CC}$ から流出する電流であり、一般に制御回路の電流よりはるかに大きくなります。連続モードでは $I_{GATECHG} = (Q_T + Q_B)$ です。ここで、 Q_T と Q_B はそれぞれトップサイドMOSFETとボトムMOSFETのゲート電荷です。

出力から得られるソースから $EXTV_{CC}$ スイッチ入力を介して $INTV_{CC}$ に電力を供給すると、ドライバおよび制御回路に必要な V_{IN} 電流は、(デューティ・サイクル)/(効率)の比率でスケール調整されます。たとえば、20Vから5Vのアプリケーションでは、10mAの $INTV_{CC}$ 電流は約3mAの V_{IN} 電流になります。これによって、中間電流損失が10%以上(ドライバが V_{IN} から直接電力を供給されている場合)からわずかに数パーセントに減少します。

4) V_{IN} 電流には次の2つの要素があります。1つは「電気的特性表」に記載されているDC電源電流であり、MOSFETドライバと制御回路の電流は含まれません。もう1つは差動アンプ出力から引き出される電流です。通常、 V_{IN} 電流による損失は小さく(0.1%未満)なります。

銅トレースや内部バッテリー抵抗など、他の「隠れた」損失は、携帯用システムではさらに5%~10%の効率低下を生じる可能性があります。これらの「システム」レベルの損失をシステム設計に含めることが非常に重要です。バッテリーの内部抵抗による損失と入力ヒューズの抵抗による損失は、スイッチング周波数において C_{IN} の電荷蓄積を適切に行いESRを非常に小さくすることによって、最小限に抑えることができます。50W電源は、一般に最大ESRが $10m\Omega \sim 20m\Omega$ で容量が最小 $200\mu F \sim 300\mu F$ のコンデンサを必要とします。通常、LTC1709の2フェーズ・アーキテクチャでは、必要な入力容量は競合製品の半分になります。デッドタイム中のショットキー・ダイオードの導通損失やインダクタ・コア損失などのその他の損失は、一般に追加される全損失の2%未満です。

過渡応答のチェック

レギュレータのループ応答は、負荷過渡応答を観察することによってチェックできます。スイッチング・レギュレータは、DC(抵抗性)負荷電流のステップにตอบสนองするのに数サイクルを要します。負荷ステップが発生すると、 V_{OUT} は $\Delta I_{LOAD}(ESR)$ だけシフトします。ESRは C_{OUT} の等価直列抵抗です。さらに、 ΔI_{LOAD} により C_{OUT} の充放電が始まって帰還誤差信号を生成し、レギュレータを電流変化に適応させて V_{OUT} を定常値に戻します。この回復期間に(安定性に問題があることを示す)過度のオーバシュートやリングが生じないか V_{OUT} をモニタすることができます。 I_{TH} ピンにより制御ループ動作を最適化できるだけでなく、DC結合およびACフィルタされた閉ループ応答のテスト・ポイントも得られます。このテスト・ポイントでのDCステップ、立ち上がり時間、およびセトリングは、閉ループ応答を正確に反映します。2次特性が支配的なシステムを想定すれば、位相マージンや減衰係数は、このピンで見られるオーバシュートの割合を使って評価することができます。このピンの立ち上がり時間を調べることによって帯域幅も推定できます。図1の回路に示す I_{TH} ピンの外付け部品は、ほとんどのアプリケーションにおいて妥当な出発点となります。

アプリケーション情報

I_{TH} の直列RC-CCフィルタにより、支配的なポールゼロ・ループ補償が設定されます。これらの値は、最終的なPCレイアウトを完了し、特定の出力コンデンサの種類と容量値を決定した後で、過渡応答を最適化するために多少は(推奨値の0.2~5倍)変更することができます。さまざまな種類と値によって、ループの利得と位相が決まるので、まず出力コンデンサを決定する必要があります。立ち上がり時間が $2\mu\text{s}$ 未満の全負荷電流の20%~80%の出力電流パルスによって出力電圧と I_{TH} ピンの波形が発生し、それにより、帰還ループを閉じたまま全体的なループの安定性を判断することができます。出力電流のステップ変化によって生じる初期出力電圧ステップは帰還ループの帯域幅以内でない場合があるので、位相マージンを決定するのにこの信号を使用することはできません。このため、 I_{TH} ピンの信号を調べる方が適切です。この信号は帰還ループ内にあり、フィルタを通して補償された制御ループ応答です。ループの利得は R_C を大きくすると増加し、ループの帯域幅は C_C を小さくすると拡大します。 C_C を減少させるのと同じ比率で R_C を増加させると、ゼロ周波数は変化しないので、帰還ループの最も重要な周波数範囲で、位相が一定に保たれます。出力電圧のセトリング動作は閉ループ・システムの安定性に関係し、電源の実際の全体的性能を表します。

自動車に関する検討事項:シガレット・ライタへの接続

バッテリー駆動デバイスを携帯するようになると、シガレット・ライタから電源をとって、バッテリーを節約するだけでなく、動作中

にバッテリー・パックの再充電までやれたらと考えるのは当然です。ただし、接続する前に以下の点に注意してください。まず、最悪状態の電源に接続することになります。自動車のメイン・バッテリー・ラインは、負荷ダンプ、バッテリーの逆接続、ダブル・バッテリーなど、多くの好ましくない過渡電位を発生させる温床です。

バッテリー・ケーブルがしっかり接続されていないと負荷ダンプが生じます。ケーブルの接続が外れると、オルタネータのフィールドが崩壊して、減衰するのに数100msを要する60Vもの正の高電圧スパイクが発生する可能性があります。バッテリーの逆接続はその言葉通りであり、ダブル・バッテリーは、牽引トラックの運転手が12Vより24Vにした方が冷えたエンジンを手早くジャンプ・スタートできることに気づいた結果発生します。

図9に示す回路は、自動車の電源ラインの故障からDC/DCコンバータを保護する最も簡単な方法です。直列ダイオードはバッテリーの逆接続中に電流が流れるのを防止し、過渡サプレッサは負荷ダンプ中に入力電圧をクランプします。過渡サプレッサはダブル・バッテリー動作時には導通してはなりませんが、それでも入力電圧はコンバータのブレイクダウン電圧より下にクランプする必要があることに注意してください。LT1709の最大入力電圧は36Vですが、ほとんどのアプリケーションではMOSFETの BV_{DSS} によって30Vに制限されます。

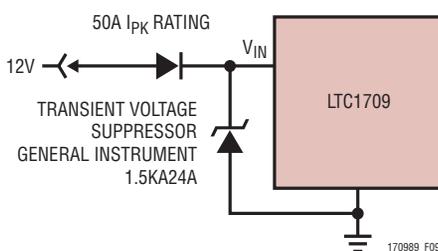


図9. 車載アプリケーションでの保護

アプリケーション情報

設計例

設計例として、 $V_{IN}=5V$ (公称)、 $V_{IN}=5.5V$ (最大)、 $V_{OUT}=1.8V$ 、 $I_{MAX}=20A$ 、 $T_A=70^\circ C$ 、および $f=300kHz$ と仮定します。

30%のリプル電流を仮定して、まずインダクタンス値を選択します。リプル電流の最大値は最大入力電圧で生じます。PLLFLTRピンをINTV_{CC}ピンに接続すると300kHz動作になります。30%リプル電流の場合、最小インダクタンスは次式のとおりです。

$$L \geq \frac{V_{OUT}}{f(\Delta I)} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \\ \geq \frac{1.8V}{(300kHz)(30\%) \left(\frac{20A}{2} \right)} \left(1 - \frac{1.8V}{5.5V} \right) \\ \geq 1.35\mu H$$

1.5 μH のインダクタで27%のリプル電流が生じます。ピーク・インダクタ電流は、最大DC値にリプル電流の半分を加えた値(つまり11.4A)になります。最小オン時間は以下のとおり最大 V_{IN} で生じます。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN}f} = \frac{1.8V}{(5.5V)(300kHz)} = 1.1\mu s$$

R_{SENSE} 抵抗値は、最大電流検出電圧の規定値を使用し、ある程度の許容誤差を考慮して算出することができます。

$$R_{SENSE} = \frac{50mV}{11.4A} \approx 0.004\Omega$$

トップサイドMOSFETの電力損失は容易に推定できます。たとえば、Siliconix Si4420DYを使用すると、 $R_{DS(ON)}=0.013\Omega$ 、 $C_{RSS}=300pF$ となります。高い周囲温度における T_J (推定値) $=110^\circ C$ での最大入力電圧では次のようになります。

$$P_{MAIN} = \frac{1.8V}{5.5V} (10)^2 \left[1 + (0.005)(110^\circ C - 25^\circ C) \right] \\ 0.013\Omega + 1.7(5.5V)^2 \left(\frac{20A}{2} \right) (300pF) \\ (300kHz) = 0.65W$$

高い周囲温度および約 $50^\circ C$ の接合部温度上昇時の通常動作状態での同期MOSFETによるワーストケースの電力損失は次式のとおりです。

$$P_{SYNC} = \frac{5.5V - 1.8V}{5.5V} \left(\frac{20A}{2} \right)^2 (1.48)(0.013\Omega) \\ = 1.29W$$

グラウンドへの短絡によって、およそ次のようなフォールドバック電流が流れます。

$$I_{SC} = \frac{25mV}{0.004\Omega} + \frac{1}{2} \left[\frac{200ns(5.5V)}{1.5\mu H} \right] = 6.6A$$

高い周囲温度および約 $50^\circ C$ の接合部温度上昇時の短絡状態での同期MOSFETによるワーストケースの電力損失は次式のとおりです。

$$P_{SYNC} = \frac{5.5V - 1.8V}{5.5V} (6.6A)^2 (1.48)(0.013\Omega) \\ = 564mW$$

これは、最大負荷状態での標準電力損失の半分より小さい値です。なお、負荷は短絡状態でこれ以上電力を消費しないので、全システムの電力損失は99%以上減少します。

このアプリケーションのデューティ・ファクタは次のとおりです。

$$DF = \frac{V_O}{V_{IN}} = \frac{1.8V}{5V} = 0.36$$

アプリケーション情報

図4を使用すると、RMSリップル電流は次のようになります。

$$I_{\text{RMS}} = (20\text{A})(0.23) = 4.6\text{A}_{\text{RMS}}$$

したがって、リップル電流定格が4.6A_{RMS}の入力コンデンサが必要です。

出力コンデンサのリップル電流は、インダクタごとに算出済みのインダクタ・リップルを使用して、算出されたデューティ・ファクタとともに図3から得られた係数を掛けることによって算出されます。デューティ・ファクタが50%より小さいので、連続モードでの出力リップルは入力電圧が最大のときに最大になります。最大出力電流リップルは、次のようになります。

$$\begin{aligned} \Delta I_{\text{COUT}} &= \frac{V_{\text{OUT}}}{f_L} (0.3) \text{ at } 33\% \text{ DF} \\ \Delta I_{\text{COUTMAX}} &= \frac{1.8\text{V}}{(300\text{kHz}) 1.5\mu\text{H}} 0.3 \\ &= 1.2\text{A}_{\text{RMS}} \\ V_{\text{OUTRIPPLE}} &= 20\text{m}\Omega (1.2\text{A}_{\text{RMS}}) = 24\text{mV}_{\text{RMS}} \end{aligned}$$

PCボード・レイアウトのチェックリスト

PCボードをレイアウトするときには、以下のチェックリストを使用してLTC1709が正しく動作するよう配慮しなければなりません。これらの項目は図10のレイアウト図にも示しています。レイアウトでは、以下の項目をチェックしてください。

1) 信号グラウンドと電源グラウンドは分離されていますか？ LTC1709の信号グラウンド・ピンは、個別にC_{OUT}の(−)プレートに戻す必要があります。電源グラウンドはボトムNチャネルMOSFETのソース、ショットキー・ダイオードのアノード、およびC_{IN}の(−)プレートに戻します。リードはできるだけ短くしてください。

2) LTC1709のV_{OS}⁺ピンは負荷ポイントに接続されていますか？ LTC1709のV_{OS}[−]ピンは負荷のリターンに接続されていますか？

3) SENSE[−]およびSENSE⁺は最小限のPCトレース間隔で一緒に配線されていますか？ SENSE⁺ピンとSENSE[−]ピンの間のフィルタ・コンデンサは、できる限りLTC1709に近づけて配置します。電流センス抵抗にはケルビン接続を使用して高精度な電流検出ができるようにします。

4) C_{IN}の(+)プレートはトップサイドMOSFETのドレインにできるだけ近づけて接続されていますか？ このコンデンサはMOSFETにAC電流を供給します。入力コンデンサ、トップおよびボトムMOSFET、およびショットキー・ダイオードによって形成される入力電流経路をPCボードの同じ側に密なループで維持して、誘導および放射EMIを最小限に抑えてください。

5) INTV_{CC}の1μFセラミック・デカップリング・コンデンサはINTV_{CC}ピンと電源グラウンド・ピンの間でピンに近づけて接続されていますか？ このコンデンサはMOSFETドライバのピーク電流を伝達します。デバイスに隣接して配置できるように小さい容量値が推奨されます。

6) スイッチング・ノードSW1 (SW2)を敏感な小信号ノードから離してください。理想的には、スイッチ・ノードはLTC1709から最も遠ざけて配置します。

7) ロジック・ゲートなどの低インピーダンス・ソースを使用してPLLINピンをドライブし、リードをできるだけ短くしてください。

図10の回路図に、2フェーズ・スイッチング・レギュレータの全分岐電流を示します。電流波形を調べると、高スイッチング電流経路を物理的に小さくしておくことがなぜ重要かが明らかになります。これらの「ループ」から、まさに無線局が信号を送信するように強い電磁界が放射されます。出力コンデンサのグラウンドは入力コンデンサの負端子に戻し、共通グラウンド経路をどのスイッチ電流経路とも共有させないようにします。回路の左半分は、スイッチング・レギュレータが生成する「ノイズ」を発生させます。非常に大きなスイッチング電流が流れるので、同期MOSFETとショットキー・ダイオードのグラウンド終端は、絶縁された短いPCトレースを使って入力コンデンサの負のプレートに戻します。入力コンデンサの負のプレートからの独立した分離された経路を使用して、デバイスの電源グラウンド・ピン(PGND)と信号グラウンド・ピン(SGND)に接続します。この方法により、スイッチング・レギュレータの全周期にわたって、高電流パルスにより生成される固有の信号が有限のインピーダンスを持つ他の電流経路をとらないようにします。外部OPTI-LOOP補償は最適化されていないPCレイアウトには過補償となり、この設計手順は推奨しません。

アプリケーション情報

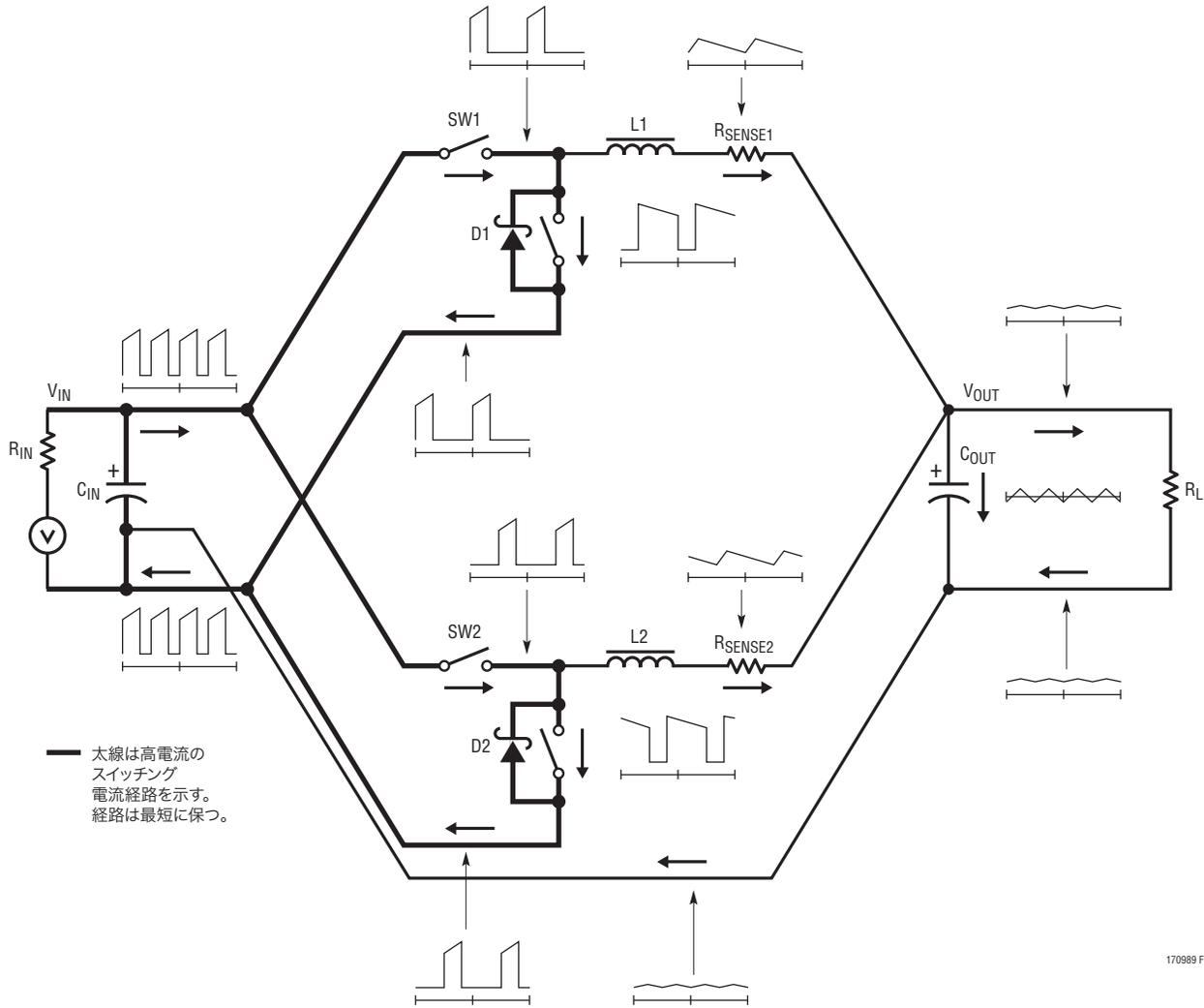


図10. マルチフェーズ・スイッチング・レギュレータの瞬時電流経路の流れ

2フェーズ・コントローラによる入力および出力RMSリップル電流の低減方法の図による説明

マルチフェーズ電源は、入力コンデンサと出力コンデンサの両方でリップル電流を大幅に低減します。RMS入力リップル電流は使用される位相数で割られ、実効リップル周波数は使用される位相数が掛けられます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。出力リップルの振幅も使用される位相数だけ小さくなり、実効リップル周波数は使用される位相数だけ高くなります。図11にこの原理を示します。

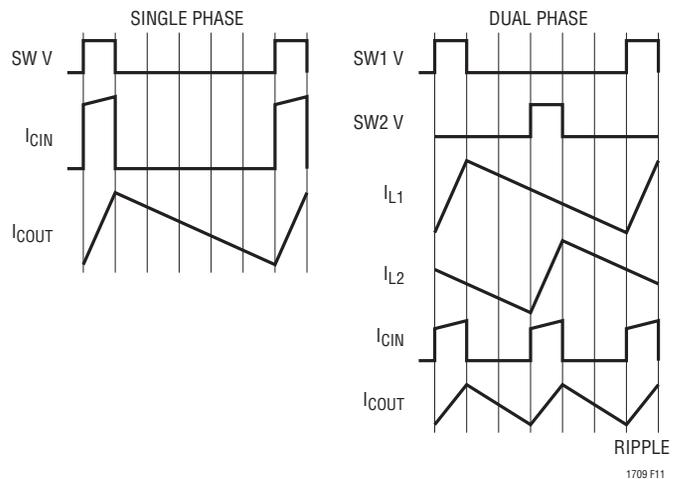


図11. 1フェーズおよび2フェーズの電流波形

170989f

アプリケーション情報

1段の設計におけるワーストケースのRMSリップル電流は、出力電圧の2倍の入力電圧でピークに達します。2段の設計におけるワーストケースのRMSリップル電流では、入力電圧の1/4と3/4のピーク出力が生じます。RMS電流を計算すると、各段の電流が均衡している限り、より大きな実効デューティ・ファクタが得られ、ピーク電流レベルは分割されます。1段のスイッチング・レギュレータのRMS電流の計算方法の詳細については、「アプリケーション・ノート19」を参照してください。図3と図4は、追加のフェーズを使用することによって入力電流と出力電流を低減する方法を示しています。この2フェーズ・コンバータでは、入力電流のピークが半分に減少して周波数が2倍になります。したがって、入力コンデンサの要件は理論的には1/4に低減されます。優れた低ESR特性を持つセラミック入力コンデンサを使用することができます。

図4は、入力容量から引き出されるRMS入力電流と入出力電圧比によって決まるデューティ・サイクルの関係を示しています。1フェーズ・システムのピーク入力RMS電流レベルは、2つの段の間での電流分割により2フェーズ・ソリューションで50%低減します。

2フェーズ・ソリューションで興味深いのは、1フェーズ設計において入力コンデンサに対してワーストケース・リップル電流を生じる V_{IN} が($V_{OUT}=V_{IN}/2$)、2フェーズ設計では入力電流リップルを生じないことです。

出力リップル電流は、同じインダクタンス値を使用した1フェーズ・ソリューションに比べて大幅に少なくなります。これは、 $(V_{IN}-V_{OUT})/L$ の充電電流からボトムMOSFETがオンしている段の V_{OUT}/L の放電電流項をトップMOSFETがオンになっている段から減じるためです。出力リップル電流は次のようになります。

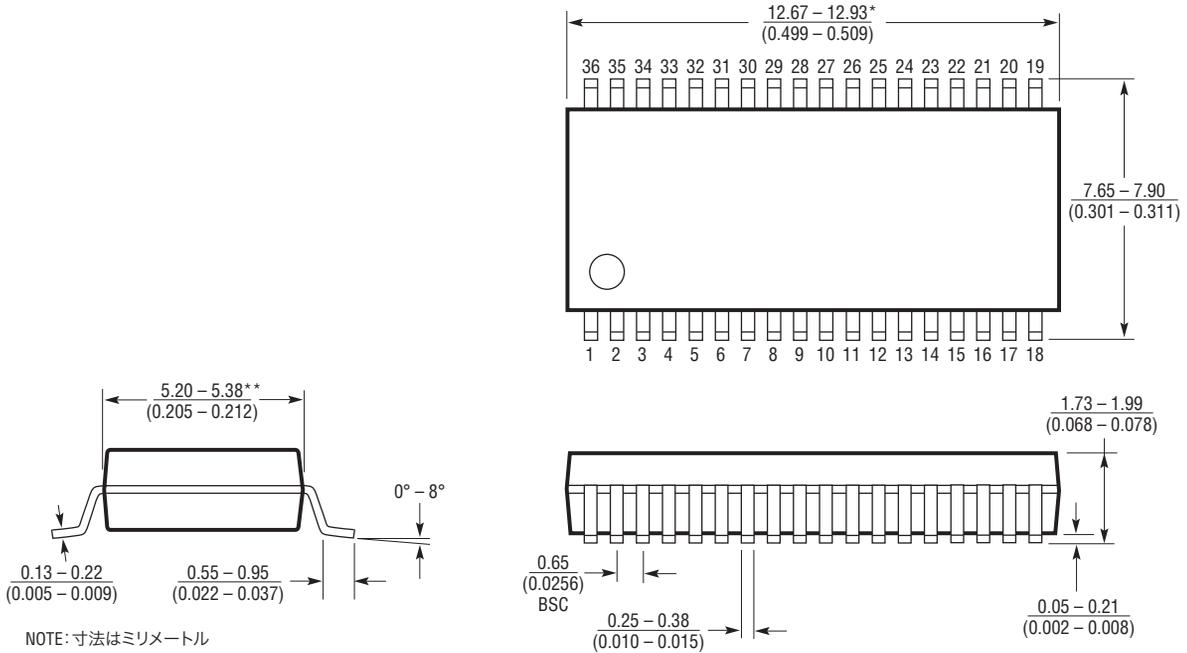
$$\Delta I_{RIPPLE} = \frac{2V_{OUT}}{fL} \left[\frac{|1-2D|(1-D)}{|1-2D|+1} \right]$$

ここで、Dはデューティ・ファクタです。

入力および出力リップル周波数は、使用される段の数だけ増加するので、出力容量の要件が緩和されます。図3と図4に示すように、 V_{IN} がほぼ $2(V_{OUT})$ に等しいとき、非常に小さい入力および出力リップル電流が得られます。

パッケージ 注記がない限り、寸法はインチ(ミリメートル)

Gパッケージ
36ピン・プラスチックSSOP(0.209)
 (LTC DWG # 05-08-1640)



NOTE: 寸法はミリメートル
 *寸法にはモールドのバリを含まない
 モールドのバリは各サイドで0.152mm(0.006")を超えないこと
 **寸法にはリード間のバリを含まない
 リード間のバリは各サイドで0.254mm(0.010")を超えないこと

G36 SSOP 1098

LTC1709-8/LTC1709-9

標準的応用例

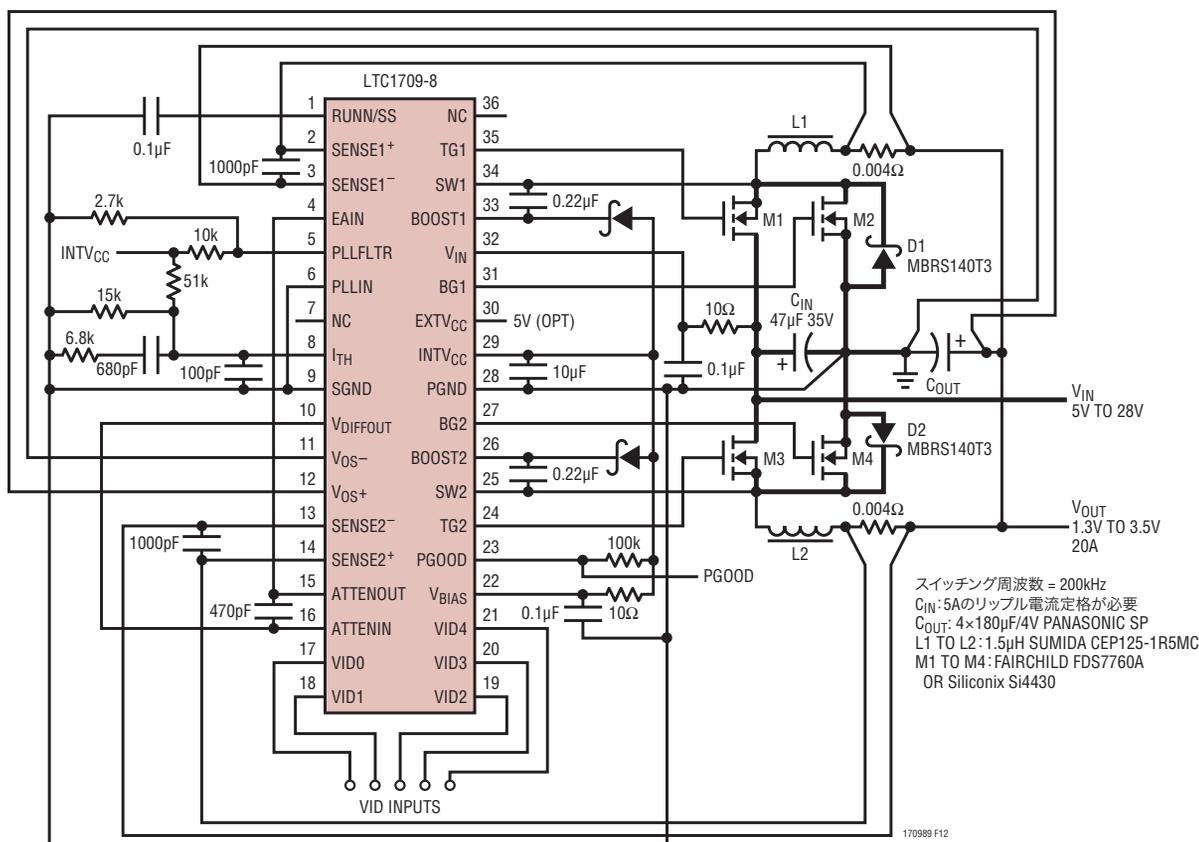


図12. アクティブ電圧ポジショニング機能付きの1.3V~3.5V/20A電源

関連製品

製品番号	説明	注釈
LTC1438/LTC1439	デュアル高効率、低ノイズの同期整流式降圧スイッチング・レギュレータ	POR、補助レギュレータ
LTC1538-AUX	デュアル高効率、低ノイズの同期整流式降圧スイッチング・レギュレータ	補助レギュレータ、5Vスタンバイ・レギュレータ
LTC1436A-PLL	高効率、低ノイズの同期整流式降圧スイッチング・レギュレータ	Adaptive Power™モード、24ピンSSOP
LTC1628/LTC1628-PG	デュアル高効率、2フェーズ同期整流式降圧スイッチング・レギュレータ	定周波数、スタンバイ、5Vおよび3.3V LDO
LTC1629/LTC1629-PG	PolyPhase高効率コントローラ	最大12フェーズまで拡張可能、G-28パッケージ、最大120A
LTC1929/LTC1929-PG	2フェーズ高効率コントローラ	最大40Aまでの可変出力、G-28パッケージ
LTC1702/LTC1703	デュアル高効率、2フェーズ同期式降圧スイッチング・レギュレータ	550kHz、25MHz GBW
LTC1708-PG	デュアル高効率、2フェーズ同期式降圧スイッチング・レギュレータ、5ビットVIDおよびパワーグッド表示付き	0.9V ≤ VOUT ≤ 2.0V、電流モードにより正確な電流分担を保証、3.5V ≤ VIN ≤ 36V
LTC1709	高効率、2フェーズ同期整流式降圧スイッチング・レギュレータ、5ビットVIDおよびフォールト・カップリング制御付き	1.3V ≤ VOUT ≤ 3.5V、電流モードにより正確な電流分担を保証、4V ≤ VIN ≤ 36V
LTC1709-7	高効率、2フェーズ同期整流式降圧スイッチング・レギュレータ、5ビット・モバイルVIDおよび3つの低電流モード付き	0.925V ≤ VOUT ≤ 2.0V、電流モードにより正確な電流分担を保証、4V ≤ VIN ≤ 36V
LTC1735	高効率同期整流式降圧コントローラ	Burst Mode™動作、16ピン細型SSOP、フォールト保護、3.5V ≤ VIN ≤ 36V
LTC1736	高効率同期整流式降圧コントローラ、5ビットVID付き	出力フォールト保護、パワーグッド、GN-24パッケージ、3.5V ≤ VIN ≤ 36V、0.925V ≤ VOUT ≤ 2V

Adaptive PowerとBurst Modeはリニアテクノロジー社の商標です。

170989F