

特長

- 50MSPS の更新速度
- ピン・コンパチブルな12ビット、14ビット、16ビットのデバイス
- 高スペクトル純度：1MHzの f_{OUT} で87dB SFDR
- 5pV-s グリッチ・インパルス
- 差動電流出力
- 20nsのセトリング時間
- 低消費電力：±5V電源で180mW
- TTL/CMOS(3.3Vまたは5V)入力
- 小型パッケージ：28ピンSSOP

アプリケーション

- セルラー基地局
- マルチキャリア基地局
- 無線通信
- 直接デジタル合成(DDS)
- xDSL モデム
- 任意波形生成
- 自動試験装置
- 計測

概要

LTC[®]1666/LTC1667/LTC1668は12/14/16ビットの50MSPS 差動電流出力DACで、レーザートリムされた薄膜抵抗の高性能BiCMOS プロセスで実現されています。斬新な電流ステアリング・アーキテクチャと高性能プロセスの組合せにより、卓越したAC性能とDC性能を達成しました。LTC1668は1MHzの出力信号周波数に対し87dBのSFDR(スプリアス・フリー・ダイナミック・レンジ)を有する市場初の16ビットDACです。

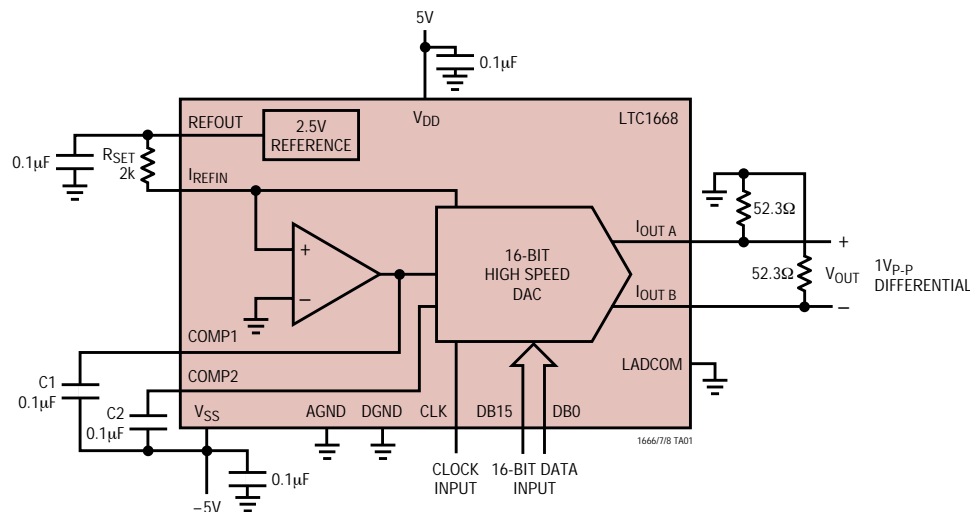
LTC1666/LTC1667/LTC1668は±5V電源で動作し、最大10mAのフルスケール出力電流を供給するように構成できます。DACの差動電流出力により、シングルエンドまたは真の差動動作が可能です。LTC1666/LTC1667/LTC1668は-1V~1Vの出力に対応しているので、コンバータの直線性を損なうことなく、出力を外部抵抗に直接接続して差動出力電圧を生成することができます。あるいは、出力を高速オペアンプの加算点またはトランスに接続することもできます。

LTC1666/LTC1667/LTC1668はピン互換性があり、28ピンSSOPで供給され、インダストリアル温度範囲で完全に規定されています。

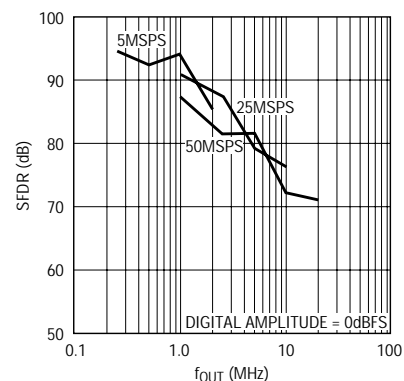
LT、LTC、LTはリニアテクノロジー社の登録商標です。

標準的応用例

LTC1668、16ビット、50MSPS DAC



LTC1668のSFDRと f_{OUT} および f_{CLOCK}



LTC1666/LTC1667/LTC1668

絶対最大定格 (Note1)

電源電圧 (V_{DD}).....	6V	消費電力	500mW
負電源電圧 (V_{SS}).....	- 6V	動作温度範囲	
全電源電圧 (V_{DD} から V_{SS}).....	12V	LTC1666C/LTC1667C/LTC1668C	0 ~ 70
デジタル入力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)	LTC1666I/LTC1667I/LTC1668I	- 40 ~ 85
アナログ出力電圧		保存温度範囲	- 65 ~ 150
($I_{OUT A}$ と $I_{OUT B}$).....	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)	リード温度 (半田付け、10秒)	300

パッケージ/発注情報

<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">G PACKAGE 28-LEAD PLASTIC SSOP $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 100^{\circ}C/W$</p>		<p>ORDER PART NUMBER</p> <p>LTC1666CG LTC1666IG</p>
<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">G PACKAGE 28-LEAD PLASTIC SSOP $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 100^{\circ}C/W$</p>	<p>ORDER PART NUMBER</p> <p>LTC1667CG LTC1667IG</p>	<p>ORDER PART NUMBER</p> <p>LTC1668CG LTC1668IG</p>

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。 $V_{DD} = 5V$ 、 $V_{SS} = -5V$ 、 $LADCOM = AGND = DGND = 0V$ 、 $I_{OUTFS} = 10mA$ 。

SYMBOL	PARAMETER	CONDITIONS	LTC1666			LTC1667			LTC1668			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC Accuracy (Measured at I_{OUTA} , Driving a Virtual Ground)												
	Resolution		●	12		14		16			Bits	
	Monotonicity			12		14		14			Bits	
INL	Integral Nonlinearity	(Note 2)			±1		±2		±8		LSB	
DNL	Differential Nonlinearity	(Note 2)			±1		±1	±1	±4		LSB	
	Offset Error			0.1	±0.2		0.1	±0.2	0.1	±0.2	% FSR	
	Offset Error Drift			5		5		5			ppm/°C	
GE	Gain Error	Internal Reference, $R_{IREFIN} = 2k$ External Reference, $V_{REF} = 2.5V$, $R_{IREFIN} = 2k$		2		2		2		2	% FSR	
				1		1		1		1	% FSR	
	Gain Error Drift	Internal Reference External Reference		50		50		50		50	ppm/°C	
			30		30		30		30	ppm/°C		
PSRR	Power Supply Rejection Ratio	$V_{DD} = 5V \pm 5\%$ $V_{SS} = -5V \pm 5\%$		±0.1		±0.1		±0.1		±0.1	% FSR/V	
				±0.2		±0.2		±0.2		±0.2	% FSR/V	
AC Linearity												
SFDR	Spurious Free Dynamic Range to Nyquist	$f_{CLK} = 25MSPS$, $f_{OUT} = 1MHz$ 0dB FS Output -6dB FS Output -12dB FS Output		76		78		78	87		dB	
								87			dB	
								83				dB
								85				dB
											81	
	Spurious Free Dynamic Range Within a Window	$f_{CLK} = 25MSPS$, $f_{OUT} = 1MHz$, 2MHz Span		85		86		86	96		dB	
							88			dB		
THD	Total Harmonic Distortion	$f_{CLK} = 25MSPS$, $f_{OUT} = 1MHz$ $f_{CLK} = 50MSPS$, $f_{OUT} = 5MHz$		-75		-77		-84	-77		dB	
								-78			dB	

LTC1666/LTC1667/LTC1668

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。 $V_{DD} = 5V$ 、 $V_{SS} = -5V$ 、 $LADCOM = AGND = DGND = 0V$ 、 $I_{OUTFS} = 10mA$ 。

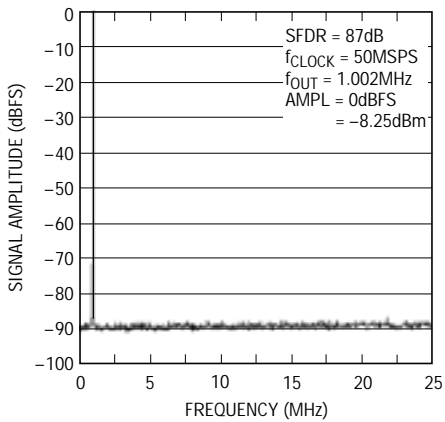
SYMBOL	PARAMETER	CONDITIONS	LTC1666/LTC1667/LTC1668			UNITS	
			MIN	TYP	MAX		
Analog Output							
I_{OUTFS}	Full-Scale Output Current		●	1	10	mA	
	Output Compliance Range	$I_{FS} = 10mA$	●	-1	1	V	
	Output Resistance; R_{IOUTA} , R_{IOUTB}	$I_{OUTA, B}$ to LADCOM	●	0.7	1.1	1.5	k Ω
	Output Capacitance			5		pF	
Reference Output							
	Reference Voltage	REFOUT Tied to I_{REFIN} Through 2k Ω		2.475	2.5	2.525	V
	Reference Output Drift				25		ppm/ $^{\circ}C$
	Reference Output Load Regulation	$I_{LOAD} = 0mA$ to 5mA			6		mV/mA
Reference Input							
	Reference Small-Signal Bandwidth	$I_{FS} = 10mA$, $C_{COMP1} = 0.1\mu F$			20		kHz
Power Supply							
V_{DD}	Positive Supply Voltage		●	4.75	5	5.25	V
V_{SS}	Negative Supply Voltage		●	-4.75	-5	-5.25	V
I_{DD}	Positive Supply Current	$I_{FS} = 10mA$, $f_{CLK} = 25Msps$, $f_{OUT} = 1MHz$	●		3	5	mA
I_{SS}	Negative Supply Current	$I_{FS} = 10mA$, $f_{CLK} = 25Msps$, $f_{OUT} = 1MHz$	●		33	40	mA
P_{DIS}	Power Dissipation	$I_{FS} = 10mA$, $f_{CLK} = 25Msps$, $f_{OUT} = 1MHz$ $I_{FS} = 1mA$, $f_{CLK} = 25Msps$, $f_{OUT} = 1MHz$			180	85	mW mW
Dynamic Performance (Differential Transformer Coupled Output, 50Ω Double Terminated, Unless Otherwise Noted)							
f_{CLOCK}	Maximum Update Rate		●	50	75		Msps
t_S	Output Settling Time	To 0.1% FSR			20		ns
t_{PD}	Output Propagation Delay				8		ns
	Glitch Impulse	Single Ended Differential			15		pV-s pV-s
t_r	Output Rise Time				4		ns
t_f	Output Fall Time				4		ns
i_{NO}	Output Noise				50		pA/v/Hz
Digital Inputs							
V_{IH}	Digital High Input Voltage		●	2.4			V
V_{IL}	Digital Low Input Voltage		●			0.8	V
I_{IN}	Digital Input Current		●			± 10	μA
C_{IN}	Digital Input Capacitance				5		pF
t_{DS}	Input Setup Time		●	8			ns
t_{DH}	Input Hold Time		●	4			ns
t_{CLKH}	Clock High Time		●	5			ns
t_{CLKL}	Clock Low Time		●	8			ns

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: LTC1666の場合、 $\pm 1LSB =$ フルスケールの $\pm 0.024\%$; LTC1667の場合、 $\pm 1LSB =$ フルスケールの $\pm 0.006\%$ = フルスケールの $\pm 61ppm$; LTC1668の場合、 $\pm 1LSB =$ フルスケールの $\pm 0.0015\%$ = フルスケールの $\pm 15.3ppm$ 。

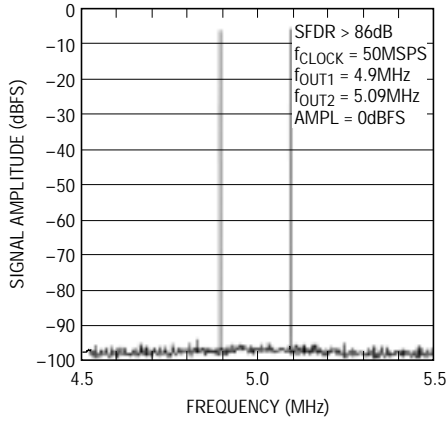
標準的性能特性 (LTC1668)

50MSPSでのシングル・トーンSFDR



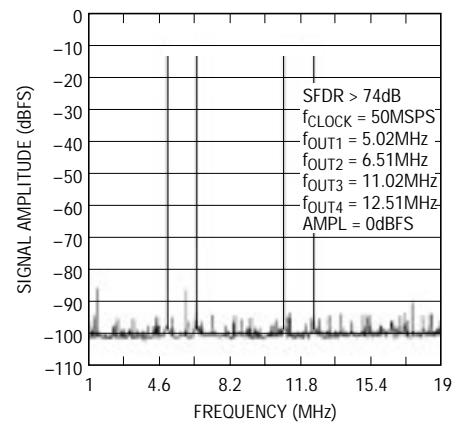
1666/7/8 G01

2トーンSFDR



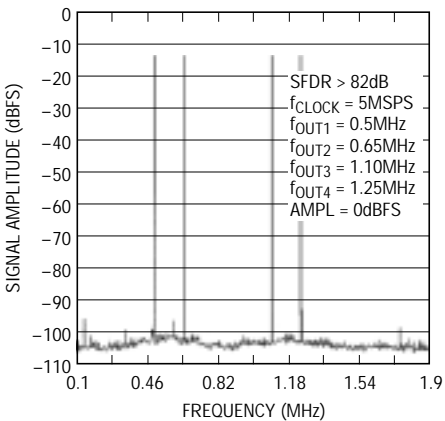
1666/7/8 G02

4トーンSFDR、 $f_{CLOCK} = 50MSPS$



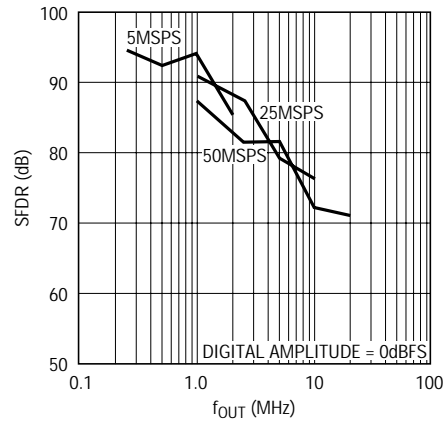
1666/7/8 G03

4トーンSFDR、 $f_{CLOCK} = 5MSPS$



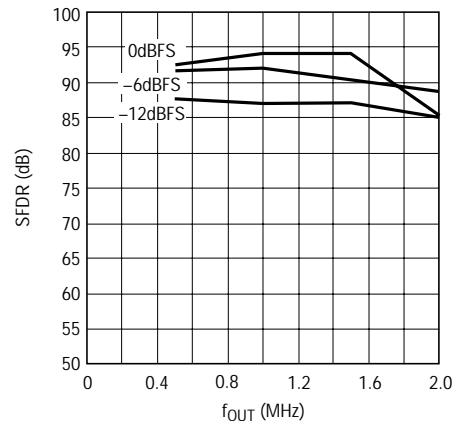
1666/7/8 G04

SFDRと f_{OUT} および f_{CLOCK}



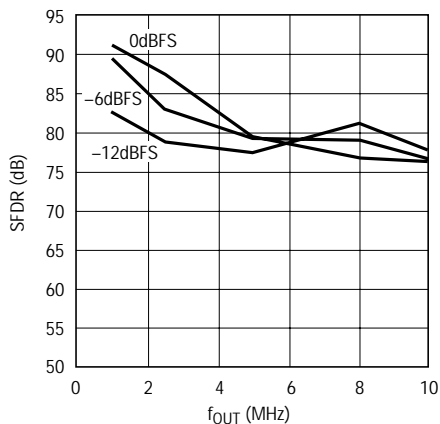
1666/7/8 G05

SFDRと f_{OUT} および $f_{CLOCK} = 5MSPS$ でのデジタル振幅 (dBFS)



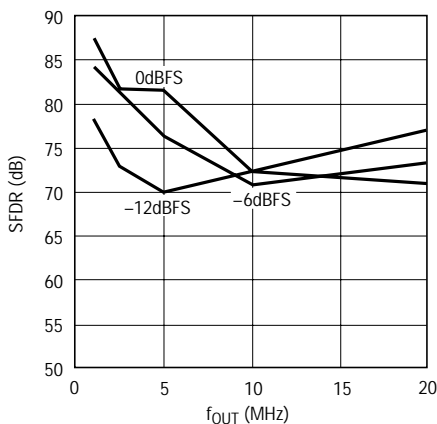
1666/7/8 G06

SFDRと f_{OUT} および $f_{CLOCK} = 25MSPS$ でのデジタル振幅 (dBFS)



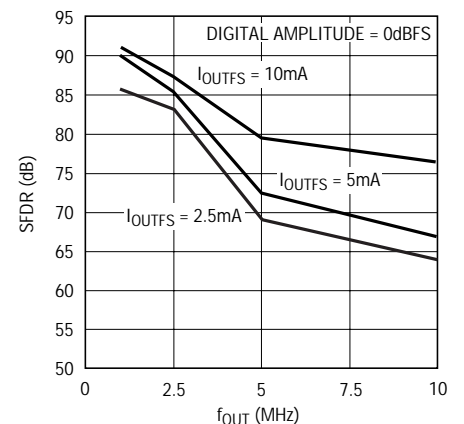
1666/7/8 G07

SFDRと f_{OUT} および $f_{CLOCK} = 50MSPS$ でのデジタル振幅 (dBFS)



1666/7/8 G08

SFDRと f_{OUT} および $f_{CLOCK} = 25MSPS$ での I_{OUTFS}

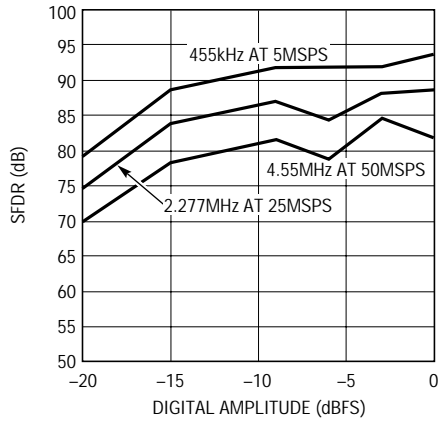


1666/7/8 G09

LTC1666/LTC1667/LTC1668

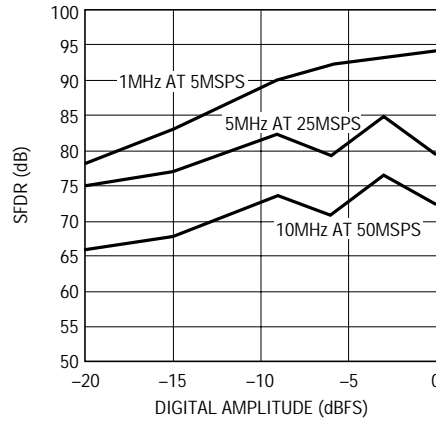
標準的性能特性 (LTC1668)

SFDRとデジタル振幅 (dBFS) および $f_{OUT} = f_{CLOCK}/11$ での f_{CLOCK}



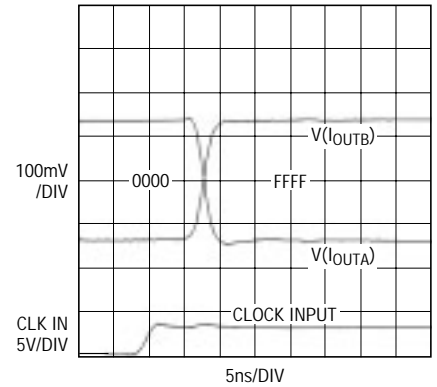
1666/7/8 G10

SFDRとデジタル振幅 (dBFS) および $f_{OUT} = f_{CLOCK}/5$ での f_{CLOCK}



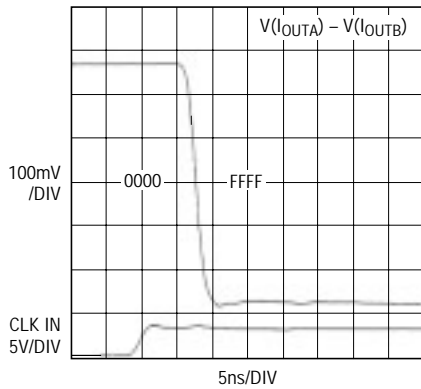
1666/7/8 G11

シングルエンド出力のフルスケール遷移



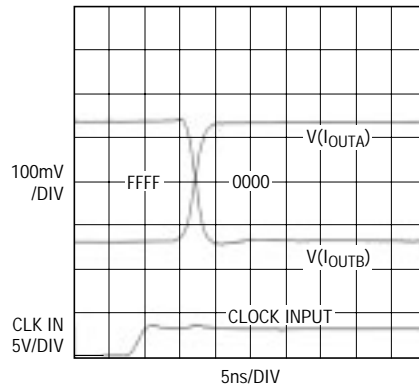
1666/7/8 G12

差動出力のフルスケール遷移



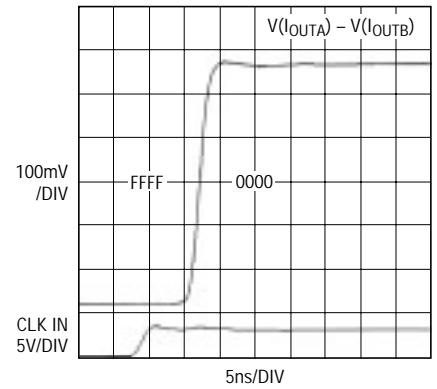
1666/7/8 G13

シングルエンド出力のフルスケール遷移



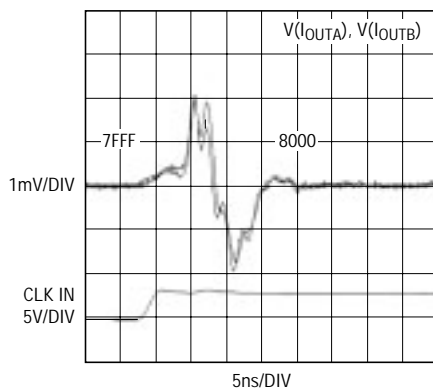
1666/7/8 G14

差動出力のフルスケール遷移



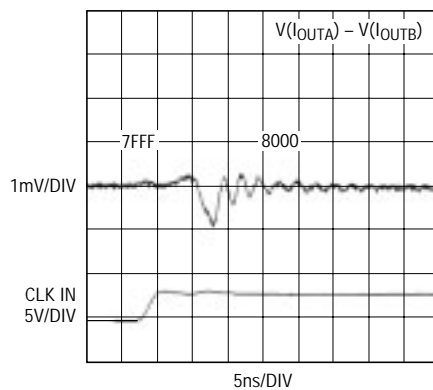
1666/7/8 G15

シングルエンドの中間スケール・グリッチ・インパルス



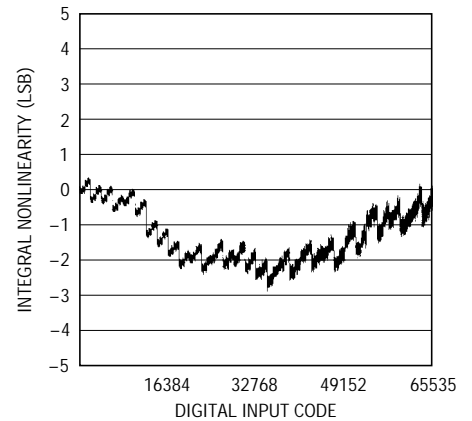
1666/7/8 G16

差動の中間スケール・グリッチ・インパルス



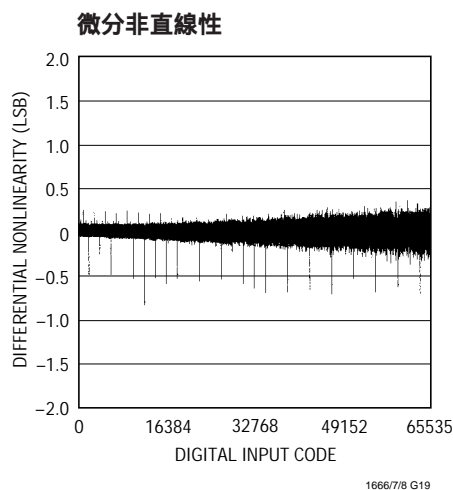
1666/7/8 G17

積分非直線性



1666/7/8 G18

標準的性能特性 (LTC1668)



ピン機能

LTC1666

REFOUT (ピン15) : 内部リファレンス電圧出力。公称値は2.5Vです。AGND への0.1 μ Fバイパス・コンデンサが必要です。

I_{REFIN} (ピン16) : リファレンス入力電流。公称値は、 $I_{FS} = 10\text{mA}$ の場合に1.25mA です。 $I_{FS} = I_{REFIN} \cdot 8$ です。

AGND (ピン17) : アナログ・グラウンド。

LADCOM (ピン18) : アッテネータ・ラダーの共通点。通常GND に接続します。

I_{OUTB} (ピン19) : 相補DAC出力電流。すべてのデータ・ビットが0のとき、フルスケール出力電流が発生します。

I_{OUTA} (ピン20) : DAC出力電流。すべてのデータ・ビットが1のとき、フルスケール出力電流が発生します。

COMP1(ピン21) : 電流源制御アンプの補償。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

COMP2 (ピン22) : 内部バイパス点。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

V_{SS} (ピン23) : 負電源電圧。公称値は -5V です。

DGND (ピン24) : デジタル・グラウンド。

V_{DD} (ピン25) : 正電源電圧。公称値は5V です。

CLK (ピン26) : クロック入力。データがラッチされ、クロックの正エッジで出力が更新されます。

DB11 ~ DB0 (ピン27、28、1 ~ 10) : デジタル入力データ・ビット。

LTC1666/LTC1667/LTC1668

ピン機能

LTC1667

REFOUT (ピン15) : 内部リファレンス電圧出力。公称値は2.5Vです。AGND への0.1 μ Fバイパス・コンデンサが必要です。

I_{REFIN} (ピン16) : リファレンス入力電流。公称値は、 $I_{FS} = 10\text{mA}$ の場合に1.25mA です。 $I_{FS} = I_{REFIN} \cdot 8$ です。

AGND (ピン17) : アナログ・グランド。

LADCOM (ピン18) : アッテネータ・ラダーの共通点。通常GND に接続します。

I_{OUTB} (ピン19) : 相補DAC出力電流。すべてのデータ・ビットが0のとき、フルスケール出力電流が発生します。

I_{OUTA} (ピン20) : DAC出力電流。すべてのデータ・ビットが1のとき、フルスケール出力電流が発生します。

COMP1(ピン21) : 電流源制御アンプの補償。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

COMP2 (ピン22) : 内部バイパス点。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

V_{SS} (ピン23) : 負電源電圧。公称値は -5V です。

DGND (ピン24) : デジタル・グランド。

V_{DD} (ピン25) : 正電源電圧。公称値は5V です。

CLK (ピン26) : クロック入力。データがラッチされ、クロックの正エッジで出力が更新されます。

DB13~DB0 (ピン27、28、1~12) : デジタル入力データ・ビット。

LTC1668

REFOUT (ピン15) : 内部リファレンス電圧出力。公称値は2.5Vです。AGND への0.1 μ Fバイパス・コンデンサが必要です。

I_{REFIN} (ピン16) : リファレンス入力電流。公称値は、 $I_{FS} = 10\text{mA}$ の場合に1.25mA です。 $I_{FS} = I_{REFIN} \cdot 8$ です。

AGND (ピン17) : アナログ・グランド。

LADCOM (ピン18) : アッテネータ・ラダーの共通点。通常GND に接続します。

I_{OUTB} (ピン19) : 相補DAC出力電流。すべてのデータ・ビットが0のとき、フルスケール出力電流が発生します。

I_{OUTA} (ピン20) : DAC出力電流。すべてのデータ・ビットが1のとき、フルスケール出力電流が発生します。

COMP1(ピン21) : 電流源制御アンプの補償。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

COMP2 (ピン22) : 内部バイパス点。0.1 μ Fのコンデンサで V_{SS} にバイパスします。

V_{SS} (ピン23) : 負電源電圧。公称値は -5V です。

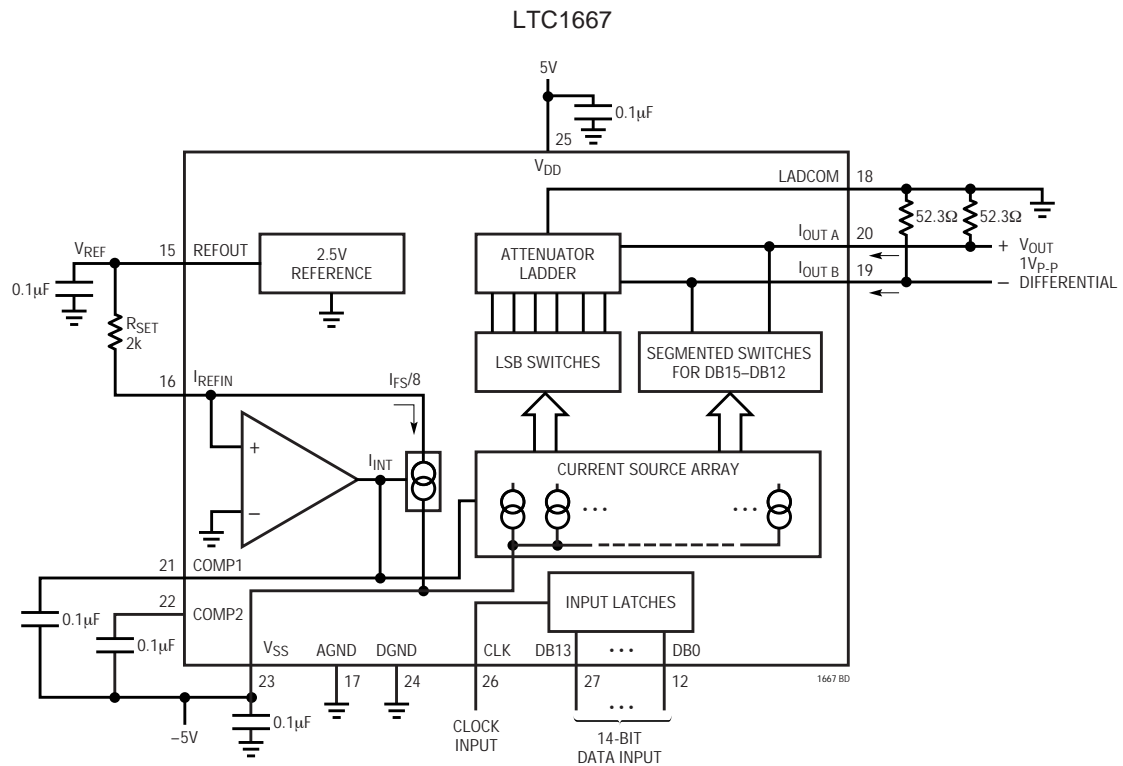
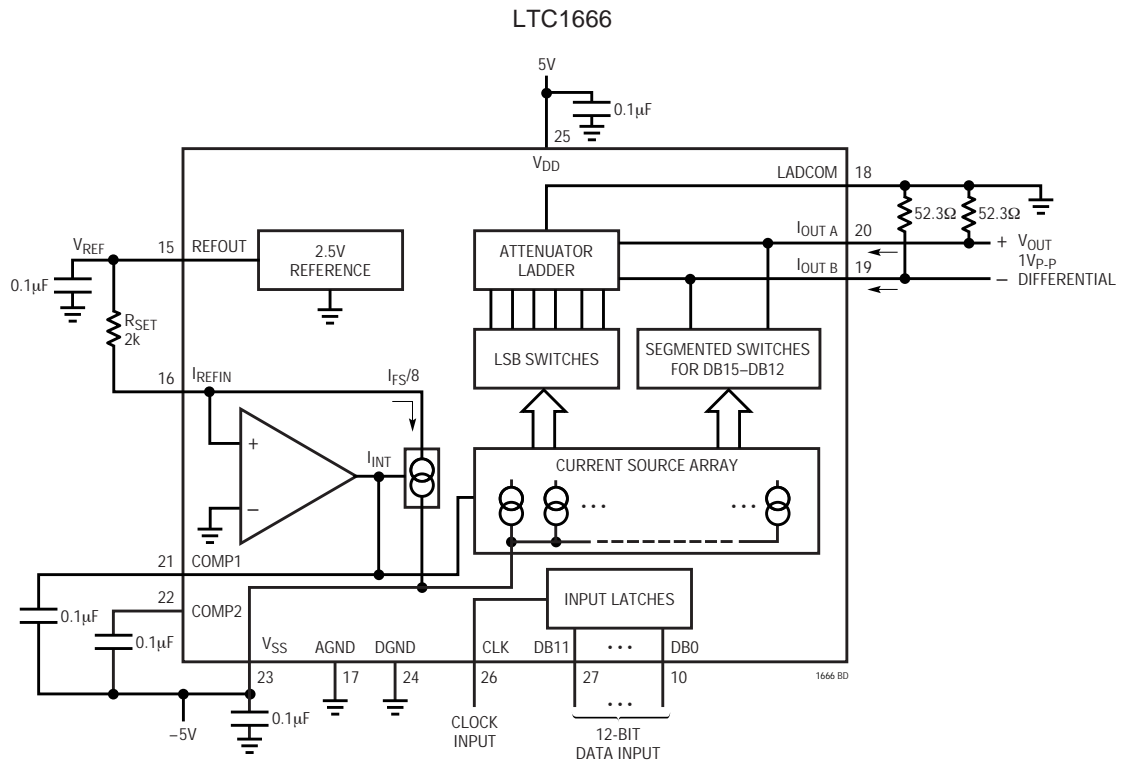
DGND (ピン24) : デジタル・グランド。

V_{DD} (ピン25) : 正電源電圧。公称値は5V です。

CLK (ピン26) : クロック入力。データがラッチされ、クロックの正エッジで出力が更新されます。

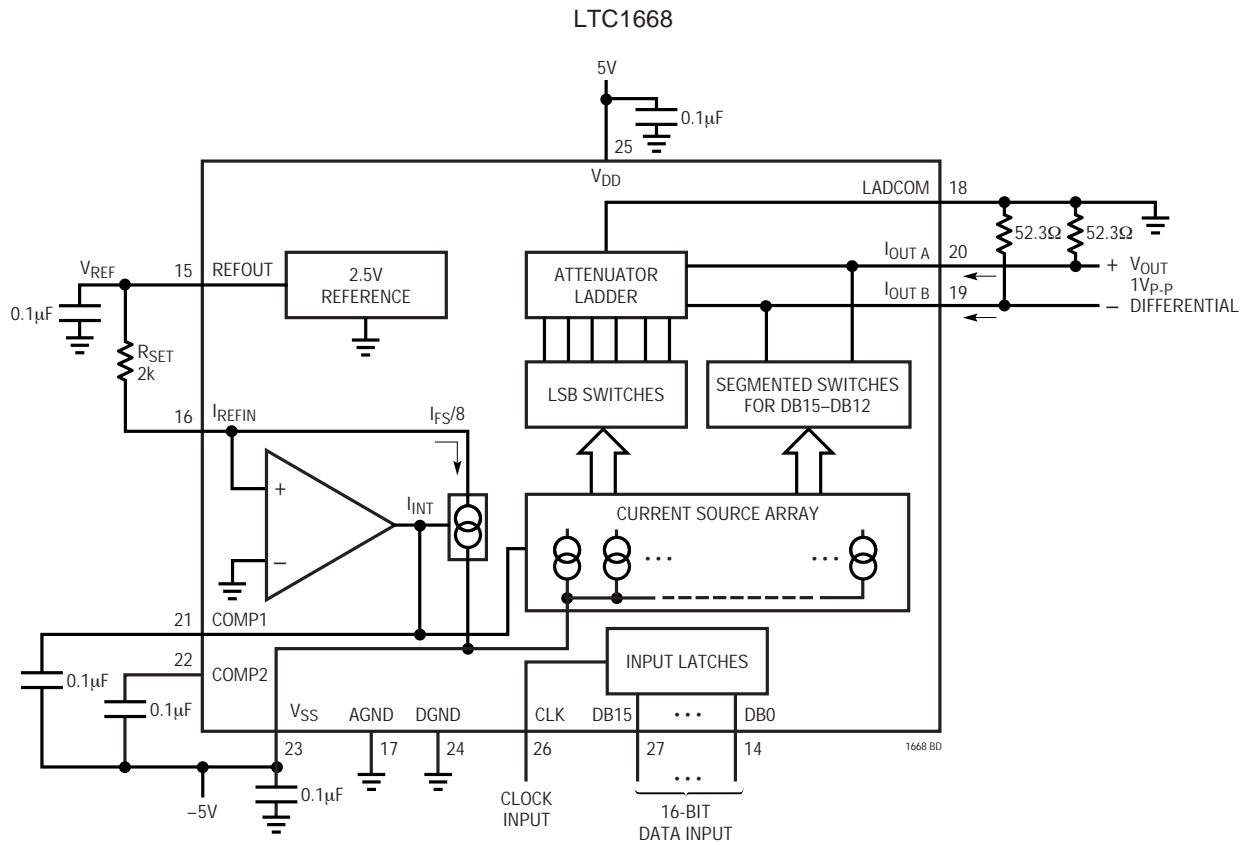
DB15~DB0 (ピン27、28、1~14) : デジタル入力データ・ビット。

ブロック図

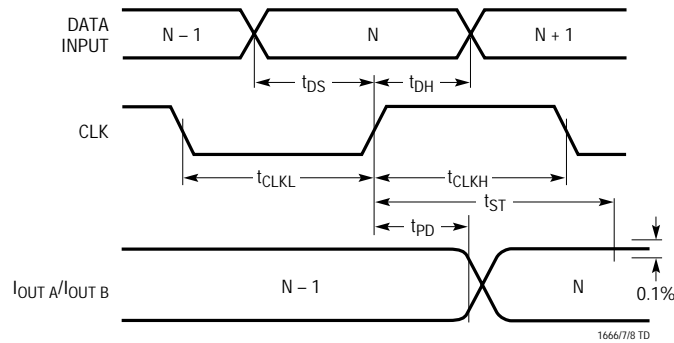


LTC1666/LTC1667/LTC1668

ブロック図



タイミング図



アプリケーション情報

動作原理

LTC1666/LTC1667/LTC1668は高速電流ステアリング方式の12/14/16ビットDACで、先進的BiCMOSプロセスで製造されています。高精度薄膜抵抗および十分に整合したバイポーラ・トランジスタにより、卓越したDC直線性と安定性を達成しています。低グリッチ電流スイッチング設計により、最大50MSPSのサンプル・レートで優れたAC性能を与えます。このデバイスは、2.5Vのバンドギャップ電圧リファレンスとエッジ・トリガ型ラッチを内蔵しており、数MHzまでの出力周波数で非常に広いダイナミック・レンジを必要とするDACアプリケーションの新しい標準を定めます。

ブロック図を参照すると、このDACには電流源アレイが備わっており、NMOS差動電流スイッチにより I_{OUTA} または I_{OUTB} へと切り換えられます。最上位4ビットは、重み付けが等しい15の電流セグメントで構成されています。残りの下位ビットは、電流スケールと差動抵抗アッテネータ・ラダーの組合せを用いて2進の重みが付けられます。すべてのビットとセグメントは、DC直線性を得るために電流ウェイトが正確に整合されており、また低グリッチ・インパルスおよび低スプリアス・トーンAC性能を達成するために、スイッチング・タイミングが正確に整合されています。

フルスケール電流 I_{OUTFS} の設定

フルスケールDAC出力電流 I_{OUTFS} は標準10mAで、最小1mAにまで調整可能です。REFOUTピンと I_{REFIN} ピンの間に抵抗 R_{SET} を接続すると、以下のように I_{OUTFS} が設定されます。

内部リファレンス制御ループ・アンプが内部電流源 I_{INT} をサーボ制御して I_{REFIN} を仮想グラウンドに保持するので、正確な値の電流が I_{REFIN} に流入し、シンクされます。 I_{INT} はDAC電流源のスケールされた複製であり $I_{OUTFS} = 8 \cdot (I_{INT})$ なので、次のようになります。

$$I_{OUTFS} = 8 \cdot (I_{REFIN}) = 8 \cdot (V_{REF} / R_{SET}) \quad (1)$$

たとえば、 $R_{SET} = 2k$ で $V_{REF} = REFOUT = 2.5V$ に接続されている場合、 $I_{REFIN} = 2.5/2k = 1.25mA$ で、 $I_{OUTFS} = 8 \cdot (1.25mA) = 10mA$ となります。

リファレンス制御ループにはCOMP1ピンに補償用のコンデンサが必要です。最適なAC性能を得るには、 C_{COMP1} を V_{SS} に接続し、パッケージのすぐ近くに(0.1"以内に)配置します。

固定リファレンス電圧アプリケーションの場合、 C_{COMP1} は $0.1\mu F$ 以上にします。リファレンス制御ループの小信号帯域幅は約 $1/(2\pi) \cdot C_{COMP1} \cdot 80$ なので、 $C_{COMP1} = 0.1\mu F$ では20kHzです。

リファレンスの動作

内蔵の2.5Vバンドギャップ電圧リファレンスは、REFOUTピンをドライブします。この電圧リファレンスは、REFOUTから I_{REFIN} に接続された1.25mAの負荷($I_{OUTFS} = 10mA$)に相当する2kの抵抗をドライブするよう調整され、仕様が規定されています。REFOUTの公称出力インピーダンスは6(つまり1mAにつき0.24%)なので、追加の外部負荷をドライブするにはバッファが必要です。REFOUTピンには補償用に $0.1\mu F$ のコンデンサが必要です。このコンデンサは内部リファレンスを使用しない場合でも、安定性のために必要です。

外部リファレンスの動作

外部リファレンスを使ってLTC1666/LTC1667/LTC1668のフルスケール電流を制御する方法を図1に示します。

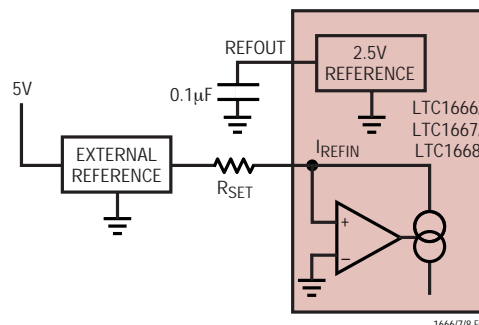


図1. LTC1666/LTC1667/LTC1668への外部リファレンスの利用

アプリケーション情報

フルスケール出力の調節

図2では、直列インタフェースのDACを使って I_{OUTFS} を設定しています。LTC1661はデュアルの10ビット V_{OUT} DACで、バッファ付き電圧出力が0 Vから V_{REF} までスイングします。

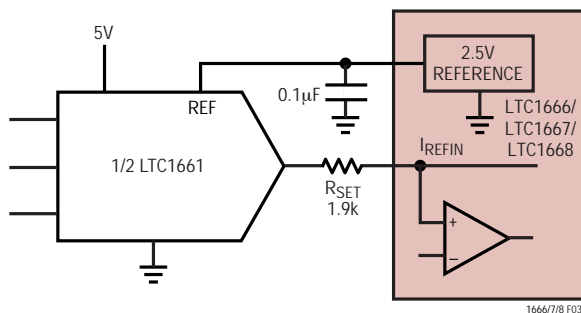


図2 . DACを使ったLTC1666/LTC1667/
LTC1668のフルスケール電流の調節

DACの伝達特性

LTC1666/LTC1667/LTC1668では、ストレート・バイナリ・デジタル・コーディングを使用します。コンプリメンタリ電流出力 ($I_{OUT A}$ と $I_{OUT B}$) は、0 ~ I_{OUTFS} の電流をシンクします。 $I_{OUTFS} = 10\text{mA}$ (公称値) の場合、 $I_{OUT A}$ は、全ビットが“L” (つまり、コード = 0) のときの0mAから、全ビットが“H” (たとえば、LTC1668の場合、コード = 65535) のときの10mAまでスイングします。 $I_{OUT B}$ は $I_{OUT A}$ の相補出力です。 $I_{OUT A}$ と $I_{OUT B}$ は、次式で与えられます。

LTC1666:

$$I_{OUT A} = I_{OUTFS} \cdot (\text{DAC Code}/4096) \quad (2)$$

$$I_{OUT B} = I_{OUTFS} \cdot (4095 - \text{DAC Code})/4096 \quad (3)$$

LTC1667:

$$I_{OUT A} = I_{OUTFS} \cdot (\text{DAC Code}/16384) \quad (4)$$

$$I_{OUT B} = I_{OUTFS} \cdot (16383 - \text{DAC Code})/16384 \quad (5)$$

LTC1668:

$$I_{OUT A} = I_{OUTFS} \cdot (\text{DAC Code}/65536) \quad (6)$$

$$I_{OUT B} = I_{OUTFS} \cdot (65535 - \text{DAC Code})/65536 \quad (7)$$

標準的なアプリケーションでは、LTC1666/LTC1667/LTC1668の差動出力電流は、抵抗性負荷を直接ドライブするか、またはトランスを通して同等の抵抗性負荷をドライブするか、あるいは電流 - 電圧コンバータの帰還抵抗をドライブします。 $I_{OUT A}$ と $I_{OUT B}$ の出力電流により発生する電圧出力は次のとおりです。

$$V_{OUT A} = I_{OUT A} \cdot R_{LOAD} \quad (8)$$

$$V_{OUT B} = I_{OUT B} \cdot R_{LOAD} \quad (9)$$

差動電圧は次のとおりです。

$$V_{DIFF} = V_{OUT A} - V_{OUT B} \quad (10)$$

$$= (I_{OUT A} - I_{OUT B}) \cdot (R_{LOAD})$$

$I_{OUT A}$ 、 $I_{OUT B}$ 、 I_{OUTFS} (LTC1668) に、上で得られた値を代入すると、次のようになります。

$$V_{DIFF} = \{(2 \cdot \text{DAC Code} - 65535)/65536\} \cdot 8 \cdot (R_{LOAD}/R_{SET}) \cdot (V_{REF}) \quad (11)$$

これらの式から差動モード動作の利点に分かります。第1に、 $I_{OUT A}$ と $I_{OUT B}$ の同相ノイズまたは誤差がすべてキャンセルされます。第2に、信号電力はシングルエンドの場合に比べて2倍となります。第3に、 $I_{OUT A}$ 倍および $I_{OUT B}$ 倍に増加する誤差およびノイズ (たとえばリファレンスや I_{OUTFS} ノイズ) は、AC信号波形が大部分の時間そこにとどまる中間スケール付近ですべてキャンセルされます。第4に、この伝達特性はバイポーラ (両極性) です。つまり、中間スケール入力では出力はゼロ出力付近で正・負に振れますが、これはACアプリケーションには好都合です。

項 (R_{LOAD}/R_{SET}) は、差動伝達特性およびシングルエンド伝達特性のどちらにも現れることに注意してください。これは、DACの利得誤差が R_{SET} に対する R_{LOAD} の比に依存し、利得誤差の温度係数が R_{SET} に対する R_{LOAD} の温度トラッキングの影響を受けることを意味します。 R_{LOAD} の絶対温度係数がDC非直線性に対して決定的に影響を与えることにも注意してください。DAC出力が0mAから10mAに変化すると、 R_{LOAD} 抵抗はわずかに加熱し、温度係数がかなり低いときでもINLの反りが発生して、16ビット・レベルではかなり大きくなる可能性があります。負荷抵抗の熱時定数は低速であるため、この影響は中周波数から高周波数のAC信号では現れません。

アナログ出力

LTC1666/LTC1667/LTC1668には、2つのコンプリメンタリ電流出力 ($I_{OUT A}$ と $I_{OUT B}$) があります (DAC伝達特性を参照)。 $I_{OUT A}$ と $I_{OUT B}$ の出力インピーダンス ($R_{I_{OUT A}}$ と $R_{I_{OUT B}}$) は、標準で1.1k から LADCOM です。(図3参照)

アプリケーション情報

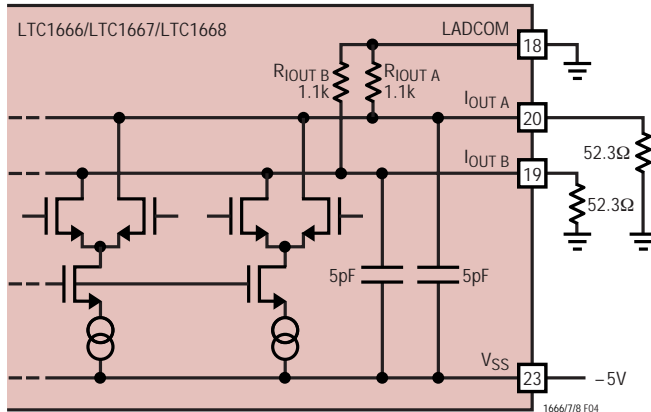


図3. 等価アナログ出力回路

LADCOM

LADCOMピンは、内部DACアッテネータ・ラダーの共通接続です。通常はこのピンをアナログ・グランドに接続しますが、より一般的には $I_{OUT A}$ および $I_{OUT B}$ の負荷抵抗と同じ電位に接続します。LADCOMピンには、 V_{SS} への約 $0.32 \cdot (I_{OUT FS})$ の定電流に、 $I_{OUT A}$ と $I_{OUT B}$ から抵抗 $R_{IOUT A}$ と抵抗 $R_{IOUT B}$ に流れる電流を加えた電流が流れません。

出力対応

規定された出力対応電圧範囲は $\pm 1V$ です。DC直線性仕様(INLおよびDNL)は、電流 - 電圧コンバータの仮想グラウンドに流入する $I_{OUT A}$ で調整され保証されていますが、一般に全出力対応範囲にわたって非常に良好です。1Vを超えると、DAC電流ステアリング・スイッチのインピーダンスが低下するので、出力電流が増加し始め、DCとACの両方の直線性が劣化します。-1V以下では、DACスイッチは、飽和領域からリニア領域への遷移点に近づきはじめます。このため、グリッチ・インパルスの増加および非直線性容量が原因で、最初にAC性能が低下します。AC歪み性能は、非直線性容量および他の大信号効果により、 $I_{OUT A}$ と $I_{OUT B}$ の振幅が $\pm 0.5V_{P-P}$ 以下のとき最適になります。一見、SFDRを最適化しようとして信号振幅を小さくするのは直感に反するよう思えるかもしれませんが、一般にAC性能に影響を及ぼす誤差ソースは付加的な電流として振舞うので、負荷インピーダンスを減らして信号電圧振幅を低下させると、大部分のスペリアス信号が同じ量だけ減少します。

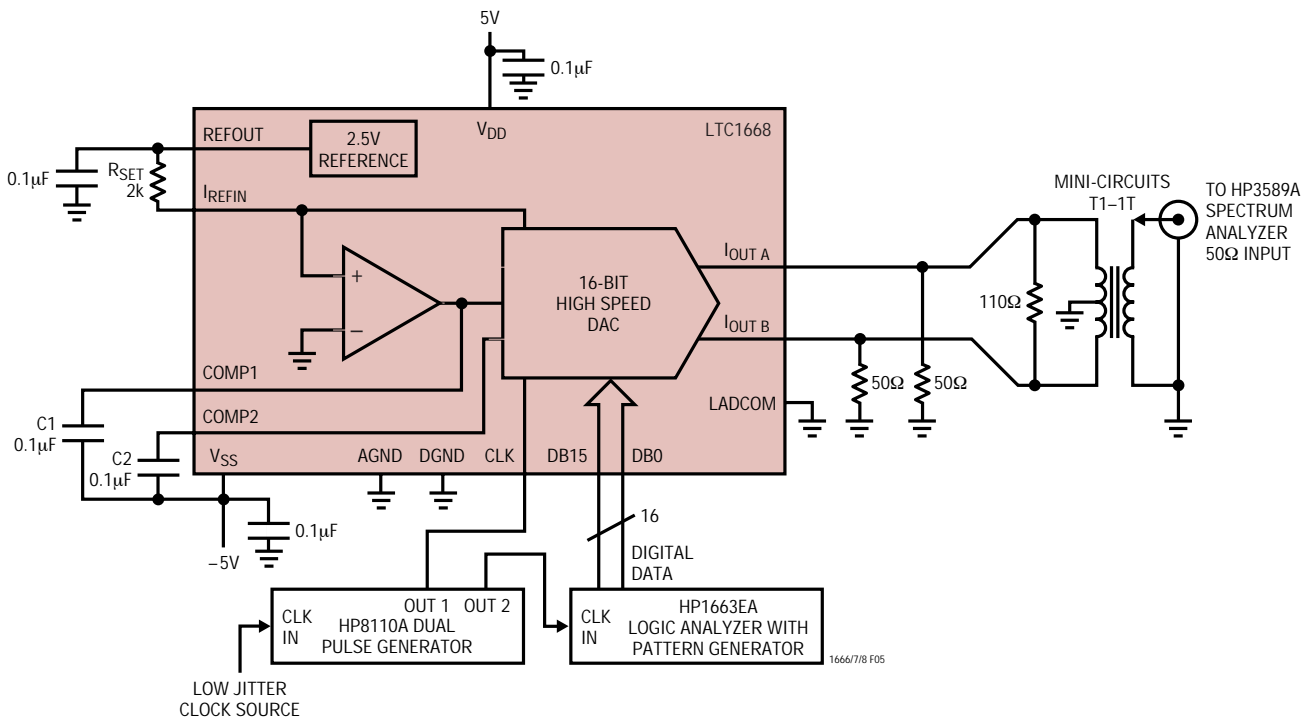


図4. AC特性評価用の設定(LTC1668)

アプリケーション情報

出力電流減少時の動作

LTC1666/LTC1667/LTC1668は、標準10mAから1mAまでのフルスケール出力電流 (I_{OUTFS}) で動作するように仕様が規定されています。これは、消費電力の低減やフルスケール値の調整に便利です。ただし、DC精度とAC精度は $I_{OUTFS} = 10\text{mA}$ でだけ規定されており、 I_{OUTFS} の値が小さくなるとDC精度とAC精度は大幅に低下します。 $I_{OUTFS} = 10\text{mA}$ のときのLTC1668の標準精度が16ビットから15ビット・レベルであるのに比べ、 $I_{OUTFS} = 1\text{mA}$ ではINLおよびDNLは一般に14ビットから13ビット・レベルまで低下します。 I_{OUTFS} を1mAから増加させると、精度は $1/I_{OUTFS}$ にほぼ比例して急激に改善します。AC性能 (SFDR) は、デジタル振幅の減少によるよりも、 I_{OUTFS} の減少によってはるかに大きな影響を受けることに注意してください(「標準性能特性」を参照)。したがって、通常、デジタル的な利得調節を大きくとって、 I_{OUTFS} は10mAに保つのが良策です。

出力構成

LTC1666/LTC1667/LTC1668では、特定のアプリケーションの要求条件に基づいて最適な出力構成を選択することができます。電圧出力は、外部負荷抵抗、トランス結合、またはオペアンプ電圧 - 電圧コンバータを使って生成することができます。シングルエンドのDAC出力構成では、出力を1つだけ (できれば I_{OUTA}) 使用してシングルエンド電圧出力を生成します。差動モードの構成では、式11に示すように、 I_{OUTA} と I_{OUTB} の間の電圧差を用いて出力電圧 V_{DIFF} を生成します。大部分のACアプリケーションでは、差動モードを使った方がはるかに良好な精度が得られます。DACチップはデジタル入力信号とアナログ出力間のインタフェース点なので、 I_{OUTA} と I_{OUTB} に若干のノイズが結合するのは避けられません。このデジタル・ノイズの大部分は同相であり、差動モード回路によってキャンセルされます。他の無視できないデジタル・ノイズ成分は、 V_{REF} ノイズまたは I_{OUTFS} ノイズとしてモデル化できます。シングルエンド・モードでは、 I_{OUTFS} ノイズはゼロ・スケールでは消失し、フルスケールで最大になります。差動モードでは、 I_{OUTFS} ノイズは、ゼロのアナログ出力に対応する中間スケール入力でもキャンセルされます。AC信号の多くは、平均に対するピークの比率が高い広帯域およびマルチトーン通信信号を含め、ほとんど中間スケール付近にとどまります。

差動トランス結合出力

通常、差動トランス結合出力構成により、最高のAC性能が得られます。一例を図5に示します。トランス結合の長所には、広い周波数範囲にわたる優れた同相歪みとノイズの除去能力、および絶縁やレベルシフトを伴う便利な差動 - シングルエンド変換があります。また、2倍もの電力を負荷に供給でき、適切なトランス巻数比の選択により、インピーダンスを整合させることができます。 I_{OUTA} と I_{OUTB} のDC電流経路を提供するために、トランスの1次側のセンタタップは接地されています。歪みを低くするには、 I_{OUTA} 電流と I_{OUTB} 電流のDC平均値を正確に一致させて、コアをバイアスしないようにします。これは、コアが小さい小型RFトランスでは特に重要です。図5の回路では、巻数比が1:1のMini-Circuits T1-1T RFトランスを使用しています。 I_{OUTA} と I_{OUTB} の負荷抵抗は50Ωの差動抵抗1本に相当し、巻数比が1:1なので、トランスからの出力インピーダンスは50Ωとなります。負荷抵抗はオプションであり、出力電力の半分を消費することに注意してください。ただし、実験室環境や長い伝送ラインをドライブする場合は、出力インピーダンスを50Ωにすることはきわめて望ましいことです。これはトランスの2次側に50Ω抵抗を置いて実現することもできますが、 I_{OUTA} と I_{OUTB} に負荷抵抗を接続するほうがトランスを流れる電流が減少するため望ましいといえます。約1MHz以下の信号周波数では、低歪みを維持するために必要なトランス・コアのサイズが大きくなり、さらに低い周波数では非実用的になります。

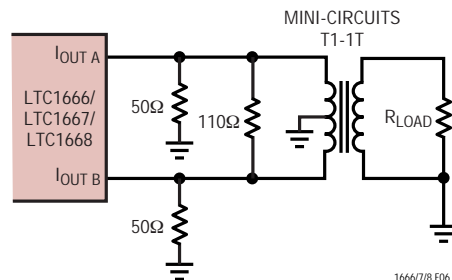


図5. 差動トランス結合出力

アプリケーション情報

抵抗負荷出力

差動抵抗負荷の出力構成を図6に示します。この構成は単純かつ経済的ですが、ドライブできるのはDAC出力に適したインピーダンス・レベルと振幅を持つ差動負荷だけです。

推奨するシングルエンド抵抗負荷構成は、本質的に差動抵抗負荷回路と同じであり、単にグランドを基準とした $I_{OUT A}$ 出力を使用します。未使用の $I_{OUT B}$ 出力は接地しないで、 $I_{OUT A}$ の R_{LOAD} に等価な負荷を与えるほうが適切です。こうすれば、 $I_{OUT B}$ は $I_{OUT A}$ と相補的な波形でスイングします。

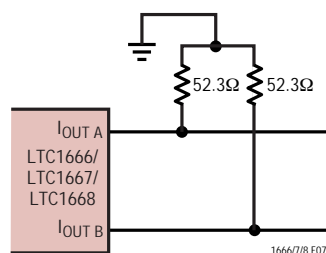


図6．差動抵抗負荷出力

オペアンプ電流 - 電圧コンバータ出力

オペアンプを使った差動 - シングルエンド・コンバータ回路を差動抵抗負荷出力に追加すると図7の回路になります。

利用可能なオペアンプは数MHzから直流に至る信号周波数で良好なAC歪み性能を与えることができるので、この回路は低周波数でトランス結合のアプリケーションの性能を補完することができます。オプションのコンデンサを使うと、フィルタリングに単一実ポールが追加され、オペアンプ入力の高周波信号振幅が制限されるので、歪みが減少します。回路はグランドを中心として $\pm 1V$ スイングします。

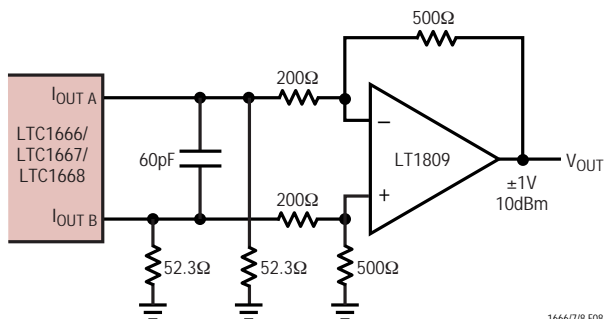


図7．差動 - シングルエンドのオペアンプ電流 - 電圧コンバータ

電流 - 電圧コンバータを使ってユニポーラのバッファ付き電圧出力を生成する、シングルエンド出力の簡略回路を図8に示します。この構成を使うと一般に最良のDC直線性性能が実現されますが、高周波数でのAC歪みは $U1$ のスルーイング性能によって制限されます。

デジタル・インタフェース

LTC1666/LTC1667/LTC1668は、クロック入力の立上りエッジでラッチされる16個の平行入力を備えています。これらの平行入力は、5Vまたは3.3VロジックのCMOSレベルを受け入れ、最大50MHzのクロック・レートを受け入れることができます。

タイミング図とブロック図を見ると、データ入力はクロックの立上りエッジで更新されるマスター・スレーブ・ラッチに接続されています。入力ロジック・スレッシュホールド(V_{IH} = 最小2.4V、 V_{IL} = 最大0.8V)は、全温度範囲にわたり3.3Vまたは5V CMOSレベルで有効です。保証セットアップ時間(t_{DS})は最小8ns、ホールド時間(t_{DH})は最小4nsです。クロックの“H”および“L”の最小時間は、それぞれ6nsおよび8nsで保証されています。この仕様により、LTC1666/LTC1667/LTC1668は50Msp(最小)までクロック駆動可能です。

最良のAC性能を得るには、データおよびクロック波形がクリーンで、アンダシュートやオーバシュートがないことが求められます。クロックおよびデータの相互接続線は、ツイスト・ペア、同軸、またはマイクロストリップでなければならず、適切なライン終端が重要です。DACへのデジタル入力信号をアナログAC電圧信号とみなすと、これらの入力信号には広い周波数範囲にわたってスペクトル成分が多く、一般に対象となる出力信号帯域を含んでいます。

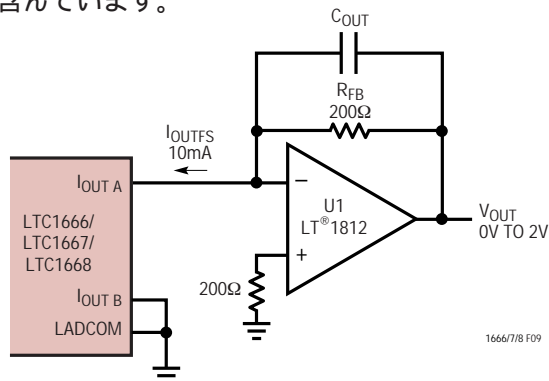


図8．シングルエンドのオペアンプ電流 - 電圧コンバータ

アプリケーション情報

したがって、デジタル信号がアナログ出力に直接結合されると、正確にデジタル入力パターンにしたがって変化するスプリアス・トーンが発生します。

ACアプリケーションで、特に高い出力周波数を生成するアプリケーションで、デバイスのノイズ・フロアの低下を避けるにはクロック・ジッタを最小限に抑えなければなりません。デジタル入力からクロック入力へのノイズ結合が発生すると、クロック信号とDAC波形の位相変調が生じ、スプリアス・トーンが発生するおそれがあります。一般にデジタル・データの遷移点は、クロックのアクティブな立上りエッジから十分離れたクロックの立下りエッジ付近に置くのが最善です。クロック信号にはサンプリング周波数とその高調波だけのスペクトル成分が含まれるので、一般にバンド内スプリアス・トーンの発生源ではありません。総合的に考えると、クロックをアナログ信号と同じように扱い、デジタル・データ入力信号とは別に配線するのが良いでしょう。クロックのトレースは、アナログ・グランド・プレーンまたは専用のグランド・プレーン・セクションの上に配線してください。クロック・ラインは、インピーダンスを正確に制御する必要があり、LTC1666/LTC1667/LTC1668の近くで適切に終端しなければなりません。

プリント回路ボードのレイアウトの検討 - 接地、バイパス、および出力信号の配線

高周波数デジタル・データ・ラインとダイナミック・レンジが広い広帯域アナログ信号が接近しているため、クリーンなプリント・ボード設計とレイアウトが絶対に必

要です。図11～図15は、LTC1668のためのAC評価回路用PCボード層です。グランド・プレーンは、図に示すようにデジタル・セクションとアナログ・セクションに分割します。バイパス・コンデンサはすべてトレース長が最短で、0.1μF以上の容量を持つ低ESRセラミック・コンデンサにします。

V_{SS} 、 V_{DD} 、REFOUTにバイパス・コンデンサが必要で、これらはすべてAGNDプレーンに接続します。COMP2ピンは出力電流スイッチング回路のノードに接続し、0.1μFのバイパス・コンデンサが必要です。COMP2ピンはCOMP1とともに V_{SS} にバイパスします。AGNDピンとDGNDピンはどちらもAGNDプレーンに直接接続し、通常AGNDプレーンとDGNDプレーン間の接続点はDGNDピンの近くにします。LADCOMは、AGNDプレーンに直接接続するか、またはAGNDにバイパスします。良好なAC CMRRを得るために、 $I_{OUT A}$ と $I_{OUT B}$ のトレースは互いに接近させ、短くし、十分整合させます。トランス出力のグランドは、絶縁するかAGNDプレーンに接続するか、どちらがシステムの性能を高めるかにしたがって、選択できるようにします。

推奨評価回路

図10は推奨評価回路DC245Aの回路図、図11～図15は回路ボード・レイアウトです。この回路は、さまざまな差動結合トランス出力と差動およびシングルエンドの抵抗負荷の出力構成に応じて、部品の選択とジャンパによりプログラムすることができます。

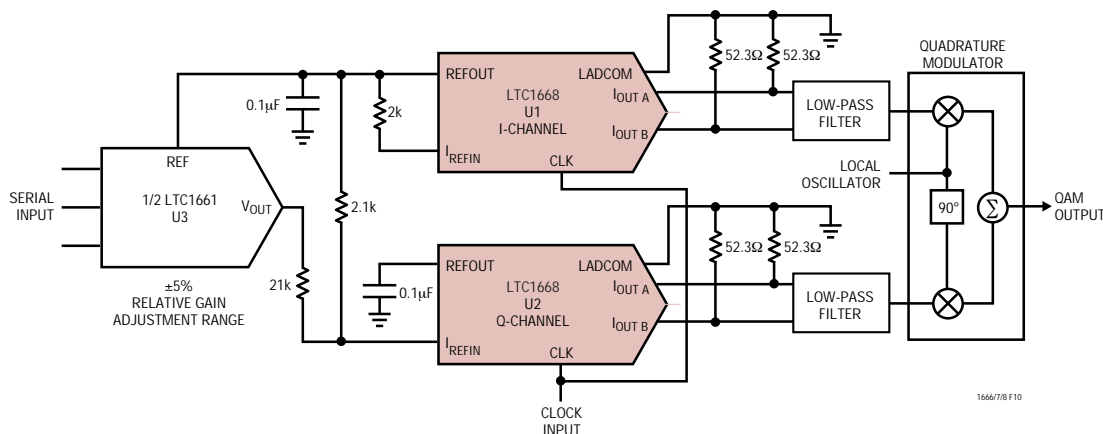


図9 . デジタル制御の電流対Qチャンネル利得調節付きLTC1668を使ったQAM変調

アプリケーション情報

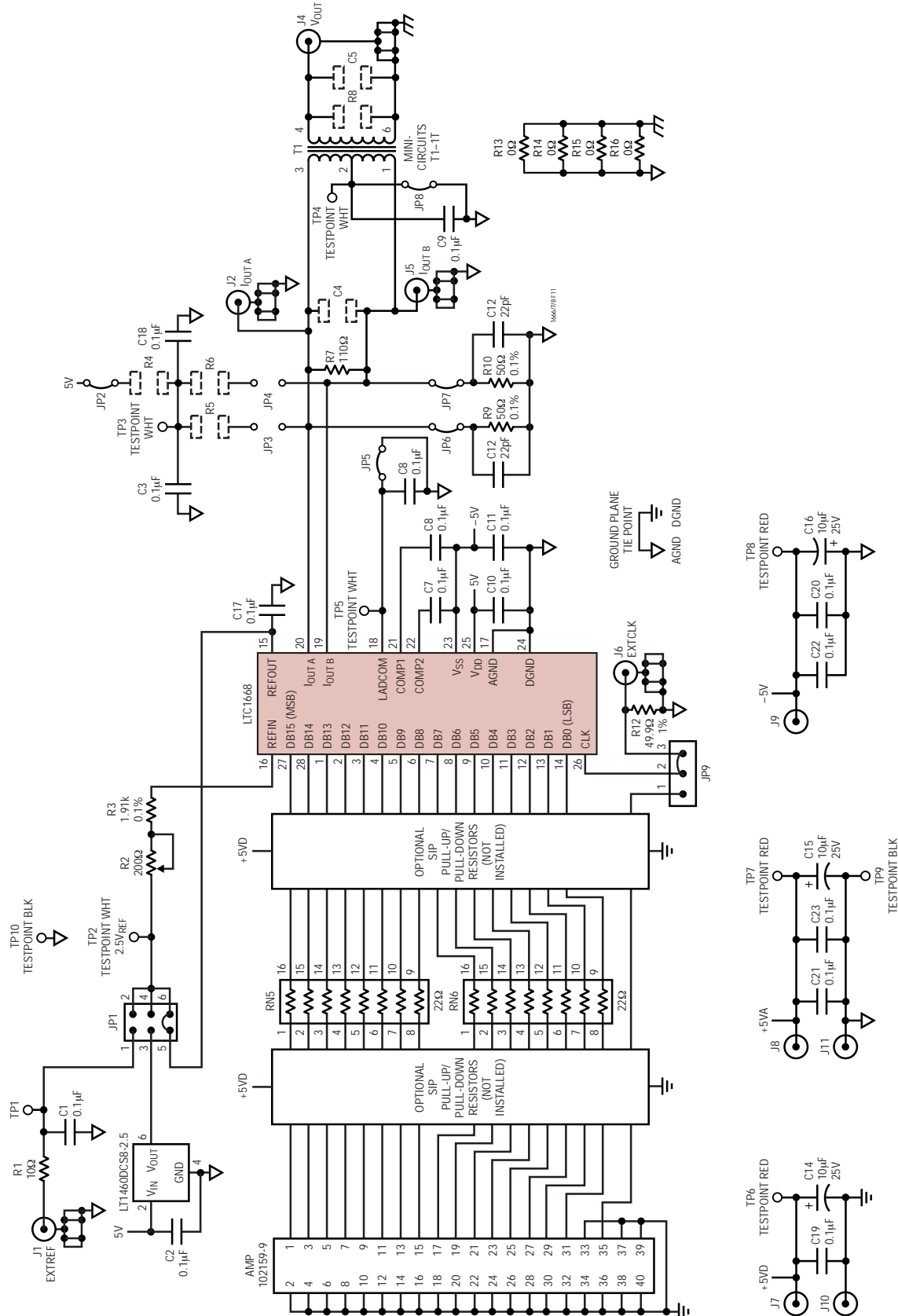


図10. 推奨評価回路

アプリケーション情報

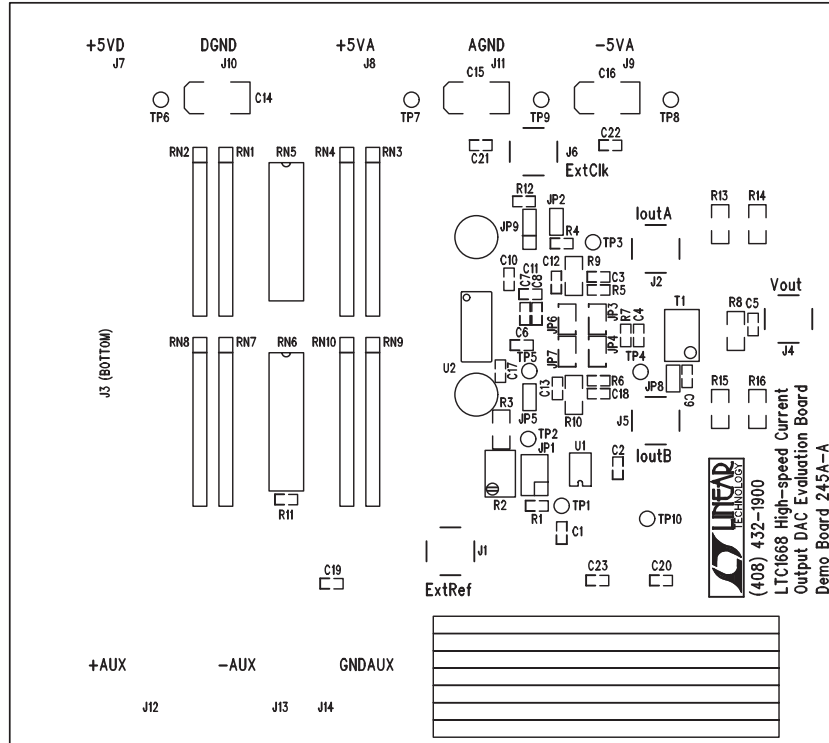


図11. 推奨評価回路ボードのシルクスクリーン

アプリケーション情報

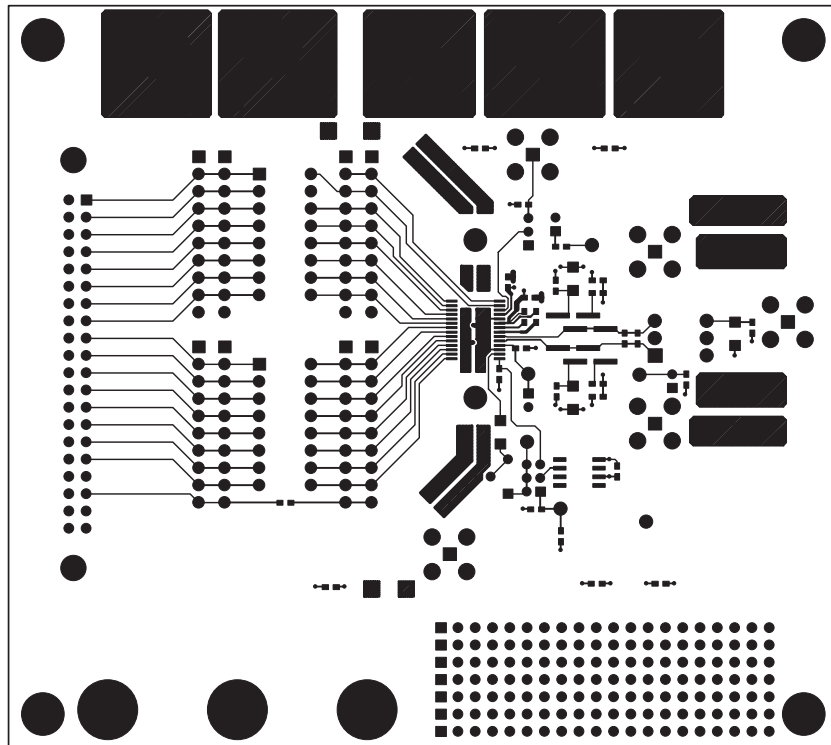


図12 . 推奨評価回路ボードの部品面

アプリケーション情報

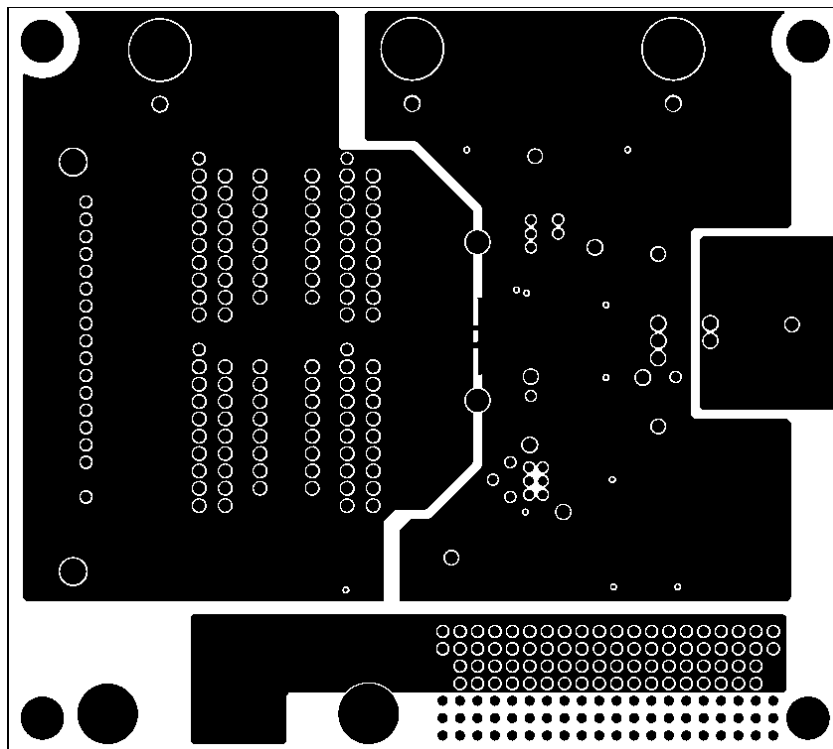


図13 . 推奨評価回路ボードのGNDプレーン

アプリケーション情報

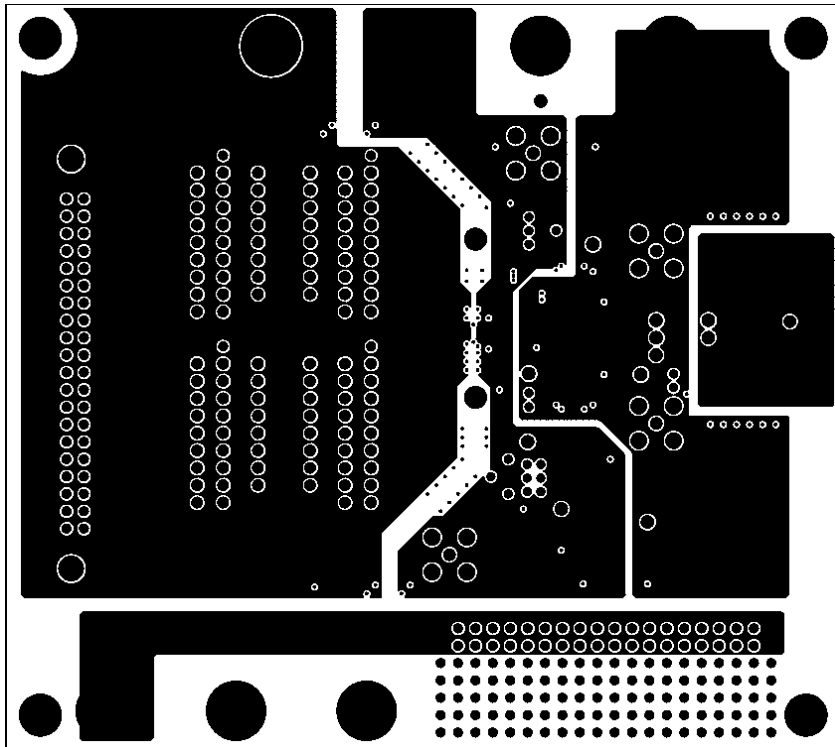


図14 . 推奨評価回路ボードの電源プレーン

アプリケーション情報

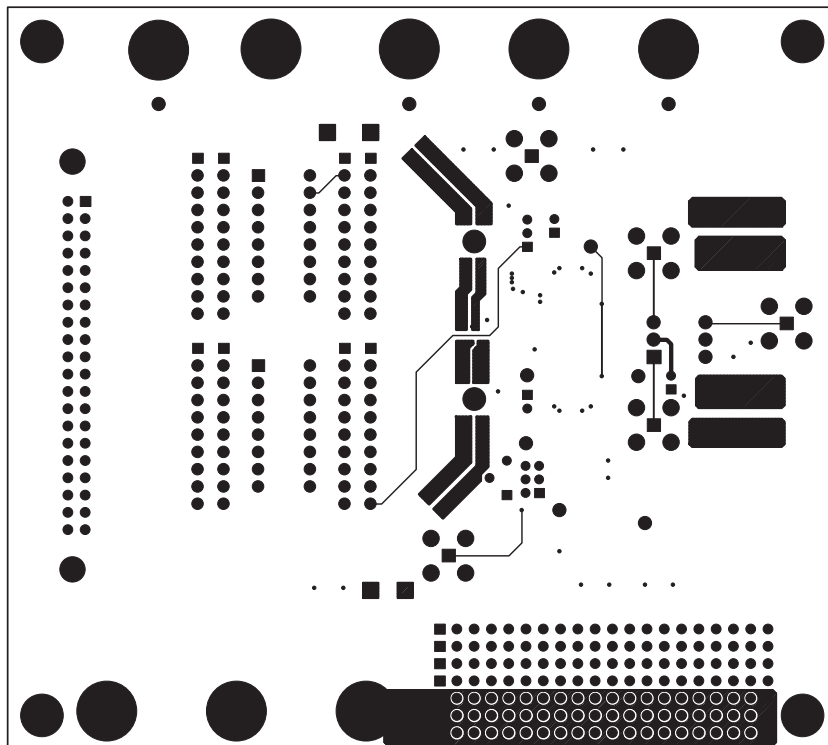
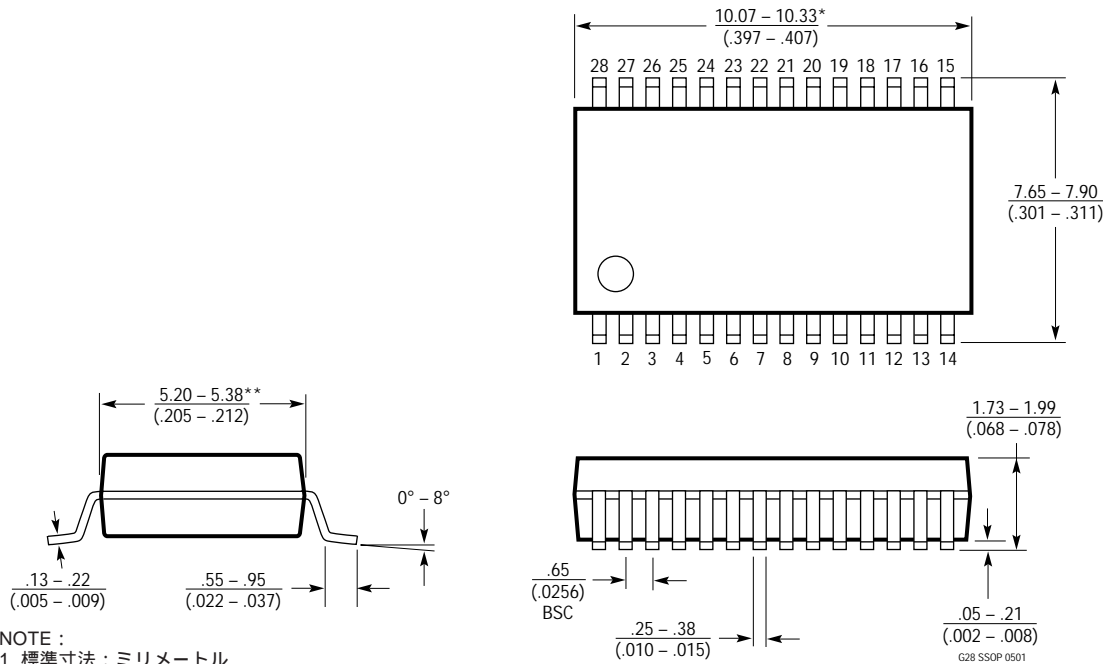


図15 . 推奨評価回路ボードの半田面

パッケージ寸法

Gパッケージ
28ピン・プラスチックSSOP(5.3mm)
(Reference LTC DWG # 05-08-1640)



NOTE :

- 標準寸法：ミリメートル
- 寸法は ミリメートル
(インチ)

3. 図は実寸とは異なる

*寸法にはモールドのバリを含まない。モールドのバリは各サイドで 0.152mm ($0.006''$)を超えないこと

**寸法にはリード間のバリを含まない。リード間のバリは各サイドで 0.254mm ($0.010''$)を超えてはならない

標準的応用例

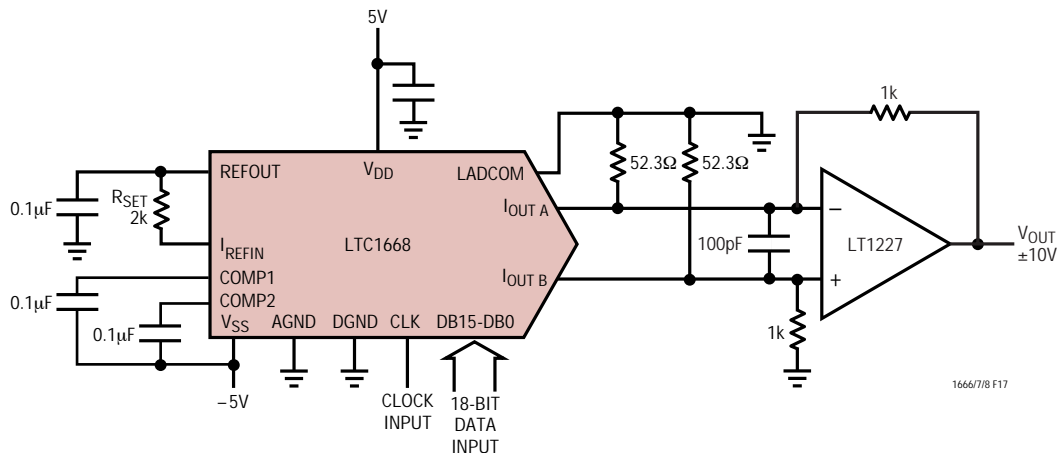


図16 . ±10Vの出力スイングと50MspsのDAC更新速度をもつ任意波形ジェネレータ

関連製品

製品番号	説明	注釈
ADCs		
LTC1406	8ビット、20Msps ADC	最大70MHzの入力に対するアンダーサンプリング機能
LTC1411	14ビット、2.5Msps ADC	
LTC1420	12ビット、10Msps ADC	5MHz f_{IN} で72dB SINAD
LTC1604/LTC1608	16ビット、333ksps/500ksps ADC	16ビット、ミッシング・コードなし、90dB SINAD、-100dB THD
DACs		
LTC1591/LTC1597	パラレル14/16ビット電流出力DAC	内蔵4象限抵抗
LTC1595/LTC1596	シリアル16ビット電流出力DAC	低グリッチ、最大±1LSBのINL、DNL
LTC1650	シリアル16ビット電圧出力DAC	低消費電力、グリッチ低減、4象限乗算 V_{OUT} DAC、±4.5V出力スイング、4μsのセトリング時間
LTC1655(L)	シリアル・インタフェース付きシングル16ビット V_{OUT} DAQ (SO-8)	5V(3V)単電源、レール・トゥー・レール出力振幅
LTC1657(L)	16ビット・パラレル電圧出力DAC	5V(3V)低消費電力、全温度で16ビット単調、乗算機能
AMPLIFIERS		
LT1809/LT1810	シングル/デュアルの180MHz、350V/μsオペアンプ	レール・トゥー・レールの入力と出力、低歪み
LT1812/LT1813	シングル/デュアルの100MHz、750V/μsオペアンプ	3.6mA電源電流、8nV/√Hz入力ノイズ電圧