

特長

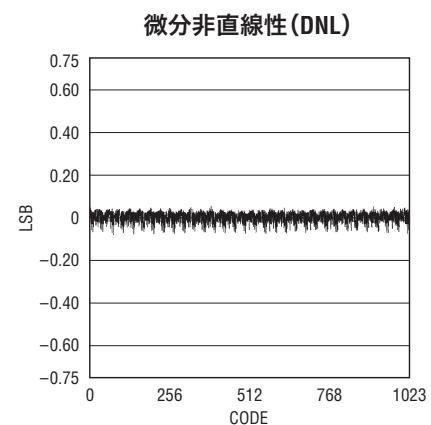
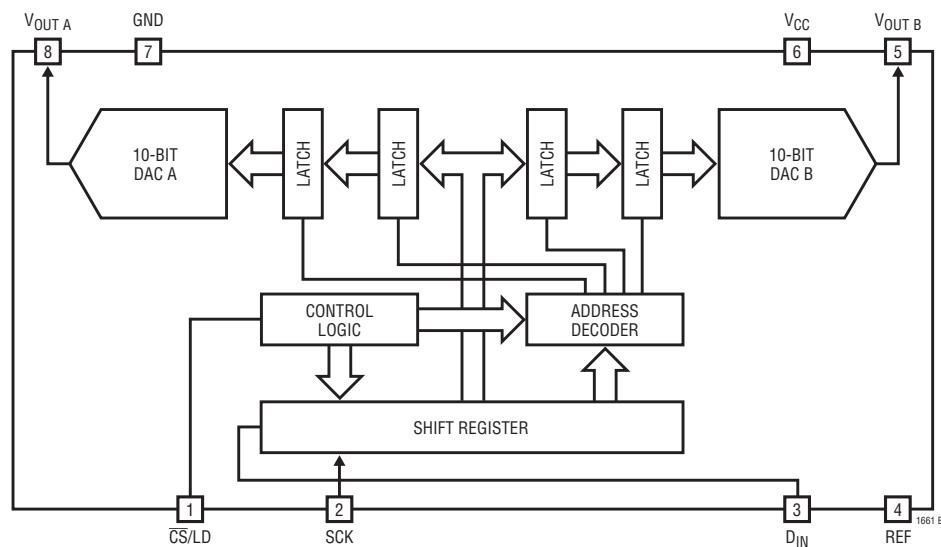
- 小型: 8ピンMSOPパッケージに2つの10ビットDAC—S0-8の半分の基板スペース
- マイクロパワー: DAC当たり $60\mu\text{A}$ スリープ・モード: バッテリの寿命を延ばす $1\mu\text{A}$
- 1000pF をドライブするレール・トゥ・レール電圧出力
- 広い電源範囲: 2.7V ~ 5.5V
- 個別または同時のDAC更新のためのダブルバッファ付き
- レシオメトリック 0V ~ V_{CC} 出力ではリファレンス範囲は電源を含む
- 全コードにわたってリファレンスの入力インピーダンスは一定 (標準 $260\text{k}\Omega$) — 外部バッファは不要
- シュミットトリガ入力を備えた3線シリアル・インターフェース
- 微分非直線性: $\leq \pm 0.75\text{LSB}$ (最大)

アプリケーション

- モバイル通信
- デジタル制御のアンプやアップテネータ
- 携帯用バッテリ駆動機器
- 製造のための自動較正
- リモート工業用装置

 LT, LTC, LTM, Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。

ブロック図



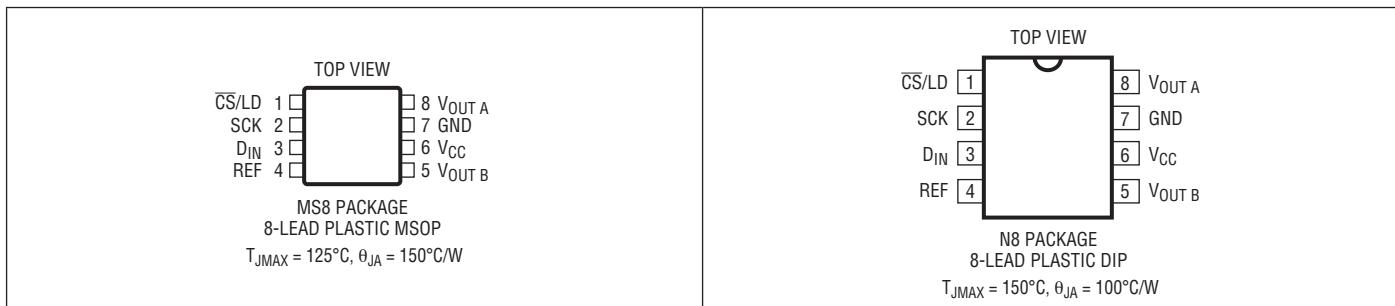
1661 G02

1661fa

絶対最大定格 (Note 1)

V_{CC} からGND	-0.3V~7.5V	動作温度範囲	
ロジック入力からGND	-0.3V~7.5V	LTC1661C	0°C~70°C
$V_{OUT\ A}, V_{OUT\ B}, V_{REF}$ からGND	-0.3V~ $V_{CC} + 0.3V$	LTC1661I	-40°C~85°C
最大接合部温度	125°C	リード温度(半田付け、10秒)	300°C
保存温度範囲	-65°C~150°C		

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC1661CMS8#PBF	LTC1661CMS8#TRPBF	LTDV	8-Lead Plastic MSOP	0°C to 70°C
LTC1661IMS8#PBF	LTC1661IMS8#TRPBF	LTDW	8-Lead Plastic MSOP	-40°C to 85°C
LTC1661CN8#PBF	LTC1661CN8#TRPBF	LTC1661CN8	8-Lead Plastic DIP	0°C to 70°C
LTC1661IN8#PBF	LTC1661IN8#TRPBF	LTC1661IN8	8-Lead Plastic DIP	-40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。
鉛ベースの非標準仕上げの製品の詳細については、弊社へお問い合わせください。

鉛フリー製品のマーキングの詳細については、<http://www.linear.com/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.7V\sim5.5V$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} に負荷なし。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
精度						
	Resolution		●	10		Bits
	Monotonicity	$1V \leq V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●	10		Bits
DNL	Differential Nonlinearity	$1V \leq V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●	± 0.1	± 0.75	LSB
INL	Integral Nonlinearity	$1V \leq V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●	± 0.4	± 2	LSB
V_{OS}	Offset Error	Measured at Code 20	●	± 5	± 30	mV
	V_{OS} Temperature Coefficient			± 15		$\mu\text{V}/^\circ\text{C}$
FSE	Full-Scale Error	$V_{CC} = 5V, V_{REF} = 4.096V$	●	± 1	± 12	LSB
	Full-Scale Error Temperature Coefficient			± 30		$\mu\text{V}/^\circ\text{C}$
PSR	Power Supply Rejection	$V_{REF} = 2.5V$		0.18		LSB/V

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} に負荷なし。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
リファレンス入力							
	Input Voltage Range		●	0	V_{CC}		V
	Resistance	Active Mode	●	140	260		$\text{k}\Omega$
	Capacitance		●		15		pF
I_{REF}	Reference Current	Sleep Mode	●		0.001	1	μA
電源							
V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7	5.5		V
I_{CC}	Supply Current	$V_{CC} = 5\text{V}$ (Note 3)	●		120	195	μA
		$V_{CC} = 5\text{V}$ (Note 3)	●		95	154	μA
		Sleep Mode (Note 3)	●		1	3	μA
DC性能							
	Short-Circuit Current Low	$V_{OUT} = 0\text{V}$, $V_{CC} = V_{REF} = 5\text{V}$, Code = 1023	●	10	25	100	mA
	Short-Circuit Current High	$V_{OUT} = V_{CC} = V_{REF} = 5\text{V}$, Code = 0	●	7	19	120	mA
AC性能							
	Voltage Output Slew Rate	Rising (Notes 4, 5) Falling (Notes 4, 5)			0.60		$\text{V}/\mu\text{s}$
	Voltage Output Settling Time	$T_o \pm 0.5\text{LSB}$ (Notes 4, 5)			30		μs
	Capacitive Load Driving				1000		pF
デジタルI/O							
V_{IH}	Digital Input High Voltage	$V_{CC} = 2.7\text{V}$ to 5.5V	●	2.4			V
		$V_{CC} = 2.7\text{V}$ to 3.6V	●	2.0			V
V_{IL}	Digital Input Low Voltage	$V_{CC} = 4.5\text{V}$ to 5.5V	●		0.8		V
		$V_{CC} = 2.7\text{V}$ to 5.5V	●		0.6		V
I_{LK}	Digital Input Leakage	$V_{IN} = \text{GND}$ to V_{CC}	●		± 10		μA
C_{IN}	Digital Input Capacitance	(Note 6)	●		10		pF

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{CC} = 4.5\text{V}$ to 5.5V							
t_1	D_{IN} Valid to SCK Setup		●	40			ns
t_2	D_{IN} Valid to SCK Hold		●	0			ns
t_3	SCK High Time	(Note 6)	●	30			ns
t_4	SCK Low Time	(Note 6)	●	30			ns
t_5	\bar{CS}/LD Pulse Width	(Note 6)	●	80			ns
t_6	LSB SCK High to \bar{CS}/LD High	(Note 6)	●	30			ns
t_7	\bar{CS}/LD Low to SCK High	(Note 6)	●	20			ns
t_9	SCK Low to \bar{CS}/LD Low	(Note 6)	●	0			ns
t_{11}	\bar{CS}/LD High to SCK Positive Edge	(Note 6)	●	20			ns
	SCK Frequency	Square Wave (Note 6)	●		16.7		MHz

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CC} = 2.7\text{V to } 5.5\text{V}$						
t_1	D_{IN} Valid to SCK Setup	(Note 6)	●	60		ns
t_2	D_{IN} Valid to SCK Hold	(Note 6)	●	0		ns
t_3	SCK High Time	(Note 6)	●	50		ns
t_4	SCK Low Time	(Note 6)	●	50		ns
t_5	\bar{CS}/LD Pulse Width	(Note 6)	●	100		ns
t_6	LSB SCK High to \bar{CS}/LD High	(Note 6)	●	50		ns
t_7	\bar{CS}/LD Low to SCK High	(Note 6)	●	30		ns
t_9	SCK Low to \bar{CS}/LD Low	(Note 6)	●	0		ns
t_{11}	\bar{CS}/LD High to SCK Positive Edge	(Note 6)	●	30		ns
	SCK Frequency	Square Wave (Note 6)	●		10	MHz

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2：非直線性と単調性はコード 20 からコード 1023 (フルスケール) で定義されている。
「アプリケーション情報」を参照。

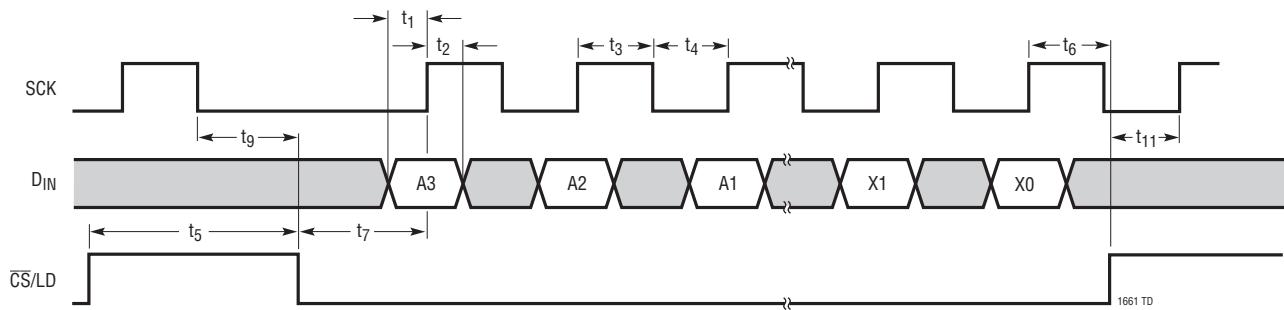
Note 3：0V または V_{CC} のデジタル入力。

Note 4：負荷は 100pF に並列接続された 10k Ω 。

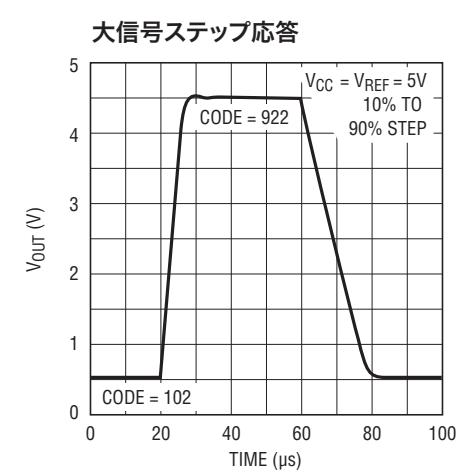
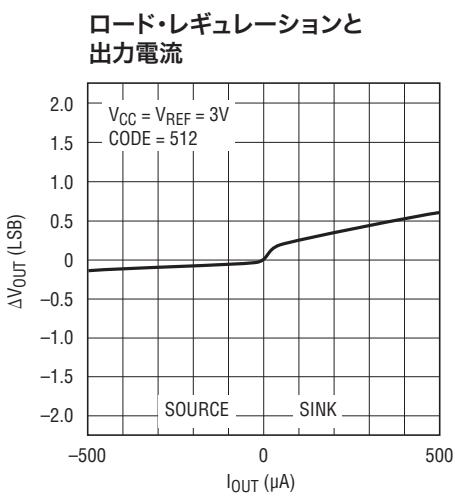
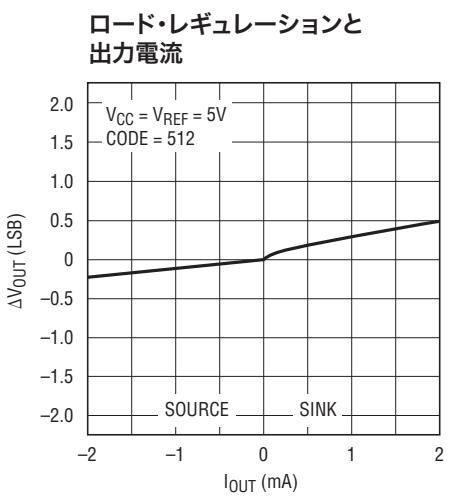
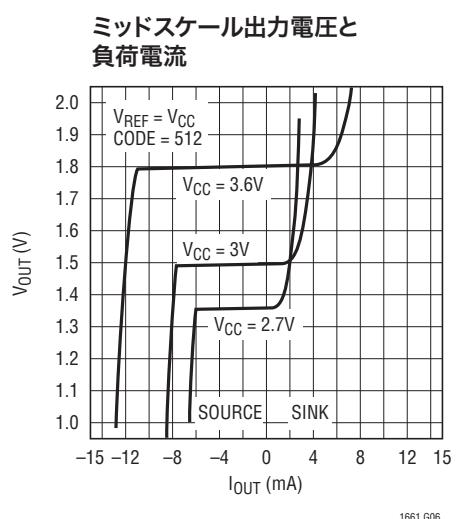
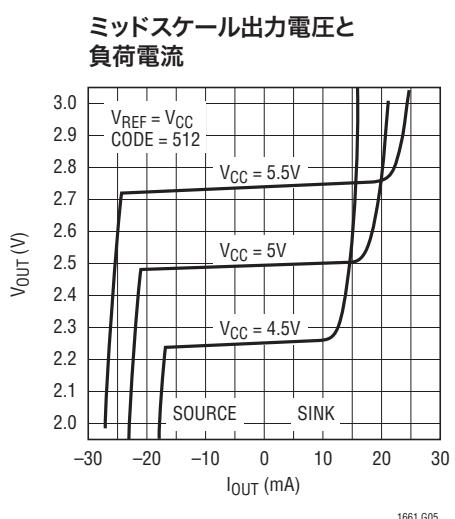
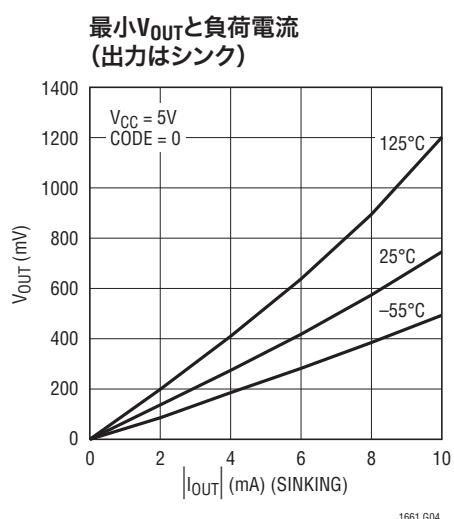
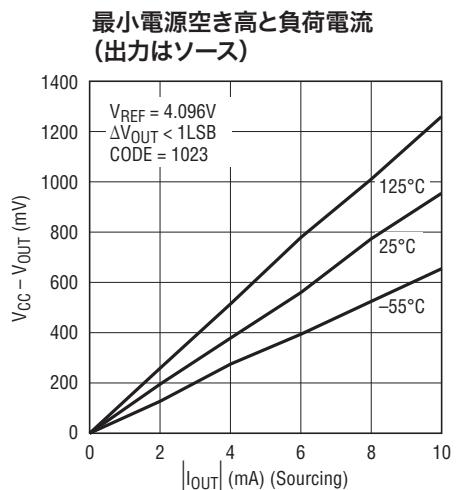
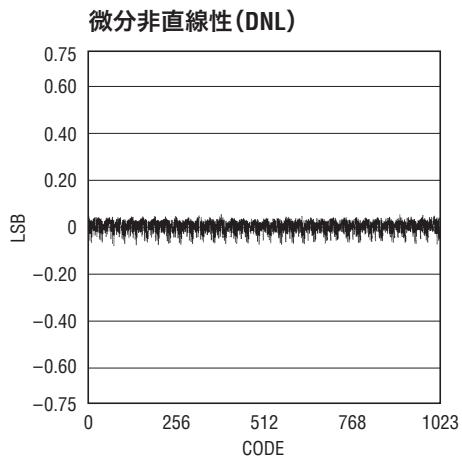
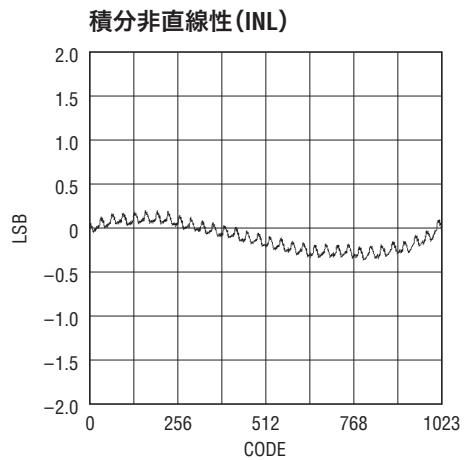
Note 5： $V_{CC} = V_{REF} = 5\text{V}$ 。DAC は 0.1 V_{FS} と 0.9 V_{FS} (つまり、コード $k = 102$ とコード $k = 922$) の間で切り替えられる。

Note 6：設計によって保証されており、テストされない。

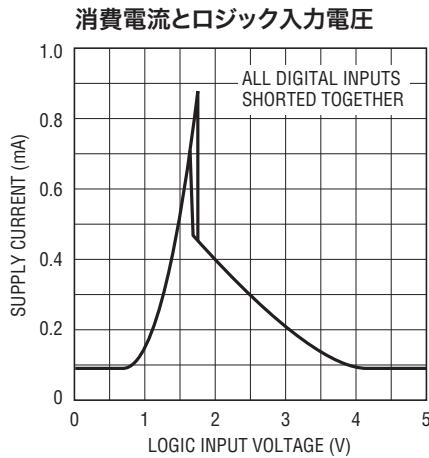
タイミング図



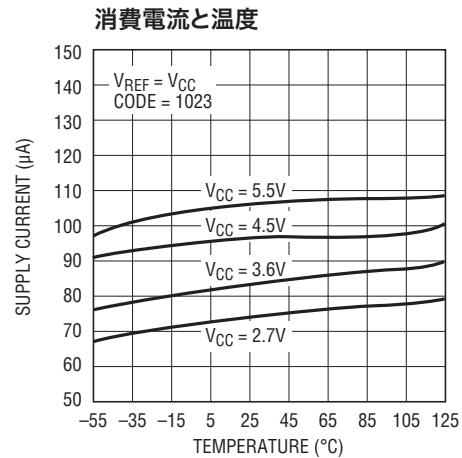
標準的性能特性



標準的性能特性



1661 G10



1661 G11

ピン機能

CS/LD (ピン1) : シリアル・インターフェースのチップ・セレクト/ロード入力。CS/LDが“L”的とき、SCKがダイネーブルされ、D_{IN}のデータをレジスタにシフトします。CS/LDが“H”に引き上げられると、SCKがディスエーブルされ、制御コード (A3~A0) で指定される動作が実行されます。CMOSとTTLに対して互換性があります。

SCK (ピン2) : シリアル・インターフェースのクロック入力。CMOSとTTLに対して互換性があります。

D_{IN} (ピン3) : シリアル・インターフェースのデータ入力。D_{IN}ピンの入力ワード・データは、SCKの立ち上がりエッジで16ビット・レジスタにシフトされます。CMOSとTTLに対して互換性があります。

REF (ピン4) : リファレンス電圧入力。0V ≤ V_{REF} ≤ V_{CC}です。

V_{OUT A}、V_{OUT B} (ピン8、ピン5) : DACのアナログ電圧出力。出力範囲は次のとおりです。

$$0 \leq V_{OUTA}, V_{OUTB} \leq V_{REF} \left(\frac{1023}{1024} \right)$$

V_{CC} (ピン6) : 電源電圧入力。2.7V ≤ V_{CC} ≤ 5.5Vです。

GND (ピン7) : システム・グランド。

定義

微分非直線性 (DNL) :任意の隣接する2つのコードで測定された変化と理想的な1 LSB の変化の間の差。任意の2つのコードの間のDNL誤差は次のように計算されます。

$$DNL = \frac{\Delta V_{OUT} - LSB}{LSB}$$

ここで、 ΔV_{OUT} は2つの隣接するコードの間の測定された電圧差です。

フルスケール誤差 (FSE) :理想値からの実際のフルスケール電圧の偏差。FSEにはオフセットと利得誤差の影響が含まれます（「アプリケーション情報」を参照）。

積分非直線性 (INL) :DACの伝達関数のエンドポイントを通る直線からの偏差（エンドポイントINL）。出力はゼロより下にはなれないので、直線性はフルスケールと、出力がゼロより大きくなることが保証されている最低コードの間で測定されます。与えられた入力コードでのINL誤差は次のように計算されます。

$$INL = \frac{V_{OUT} - V_{OS} - (V_{FS} - V_{OS}) \left(\frac{\text{Code}}{1023} \right)}{LSB}$$

ここで、 V_{OUT} は与えられた入力コードで測定されたDACの出力電圧です。

最下位ビット (LSB) :2つの連続するコード間の理想電圧差。

$$LSB = \frac{V_{REF}}{1024}$$

分解能 (n) :フルスケール範囲を分割する DAC 出力の状態数 (2^n) を定めます。分解能には直線性の意味は含まれていません。

電圧オフセット誤差 (V_{OS}) :名目上は、DAC にオールゼロが与えられたときの出力電圧。単一電源 DAC のオフセットは実際負になることがあります、出力はゼロより下になることができません（「アプリケーション情報」を参照）。

この理由で、単一電源DACのオフセットは、出力がゼロより大きくなることが保証されている最低コードで測定されます。

動作

伝達関数

LTC1661 の伝達関数は次のとおりです。

$$V_{\text{OUT(DEAL)}} = \left(\frac{k}{1024} \right) V_{\text{REF}}$$

ここで、k は DAC の 2 進数の入力コード D9 ~ D0 に相当する 10 進数、V_{REF} は REF (ピン 6) の電圧です。

パワーオン・リセット

LTC1661 は電源が最初に入れられたとき確実に output をゼロスケールにクリアして、システムの初期状態を一定に保ち、反復可能にします。

電源シーケンシング

REF (ピン4) の電圧はVCC (ピン6) の電圧を決して0.3V以上超えてはいけません。この制限が確実に守られるように、電源のターンオンおよびターンオフのシーケンスには特に注意を払ってください。「絶対最大定格」を参照してください。

シリアル・インターフェース

表1を参照してください。16ビット・ワードは4ビットの制御コード、10ビットの入力コードおよび2ビットのドントケアで構成されています。

表1. LTC1661の入力ワード

入力ワード															
制御コード				入力コード										ドントケア	
A3	A2	A1	A0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X1	X0

入力ワードがレジスタにロードされた後 (図1を参照)、内部でシリアルからパラレルのフォーマットに変換されます。次いで、パラレルの 10 ビット幅の入力コードのデータ経路は 2 つのラッチ・レジスタによってバッファされます。

これらのうちの最初のもの (入力レジスタ) は新しい入力コードをロードするのに使われます。2番目のバッファ (DACレジスタ) はDACの出力を更新するのに使われます。各DACにはそれぞれの10ビット・レジスタと10ビットDACレジスタが備わっています。

適切な4ビット制御コードを選択することにより (表2を参照)、1つのDACにロードしたり、パワーダウン状態 (スリープ/ウェイク) を変更するなどの単一動作を実行することができます。さらに、制御コードのいくつかは、複数の動作を一度に実行します。たとえば、このようなコードの1つはDAC Aにロードし、両方の出力を更新し、デバイスをウェイクアップします。DACは個別にまたは一緒にロードできますが、出力は常に一緒に更新されます。

レジスタ・ロードのシーケンス

図1を参照してください。 $\overline{\text{CS/LD}}$ が“L”に保たれていると、D_{IN}入力のデータはSCKの立ち上がりエッジで16ビット・シフトレジスタにシフトされます。4ビットの制御コード (A3~A0) が最初にロードされ、次いで、10ビットの入力コード (D9~D0) がロードされます。いずれの場合もMSBからLSBへの順です。ドントケアの2ビット (X1とX0) は無視されます。入力ワードの全16ビットが完全にシフトされて取り込まれると、 $\overline{\text{CS/LD}}$ は“H”に引き上げられ、システムが表2に従って応答します。 $\overline{\text{CS/LD}}$ が“H”になるとクロックは内部でディスエーブルされます。

注記： $\overline{\text{CS/LD}}$ が“L”に引き下げられときSCKは“L”である必要があります。

スリープ・モード

DAC の制御コード 1110_b は特殊なスリープ命令のために予約されています (表2を参照)。このモードでは、回路のデジタル部分はアクティブなままであるが、アナログ部分はディスエーブルされます。したがって、静的な電力消費は大きく減少します。リファレンス入力とアナログ出力は高インピーダンス状態に設定され、DAC の全ての設定はメモリに保存されるので、スリープ・モードから抜け出すと、ウェイク命令で更新されない DAC の出力はそれらの最後のアクティブ状態に復元されます。

スリープ・モードは制御コード 1110_b を使ってロード・シーケンスを実行することにより開始されます (DAC 入力コード D9 ~ D0 は無視されます)。

命令サイクルを節約するため、両方の DAC をスリープの間に新しい入力コード (制御コードの 0001_b と 0010_b) で準備することができます。次いで、単一命令 (1000_b) を使って、デバイスをウェイクすることと、出力値を更新することの両方を実行することができます。

動作

表2. DACの制御機能

制御		入力レジスタの状態	DACレジスタの状態	パワーダウンの状態 (スリープ / ウェイク)	注釈
A3	A2				
0	0	0	0	変化なし	更新なし 変化なし 動作なし。パワーダウン状態の変化なし(デバイスはウェイクまたはスリープ・モードに留まる)
0	0	0	1	DAC A にロード	更新なし 変化なし 入力レジスタ A にデータをロード。DAC 出力に変化なし。パワーダウン状態に変化なし
0	0	1	0	DAC B にロード	更新なし 変化なし 入力レジスタ B にデータをロード。DAC 出力に変化なし。パワーダウン状態に変化なし
0	0	1	1	予備	
0	1	0	0	予備	
0	1	0	1	予備	
0	1	1	0	予備	
0	1	1	1	予備	
1	0	0	0	変化なし	出力を更新 ウェイク 入力レジスタの既存の内容を両方の DAC レジスタにロード。出力を更新。デバイスがウェイクアップ
1	0	0	1	DAC A にロード	出力を更新 ウェイク 入力レジスタ A にロード。DAC レジスタに入力レジスタ A の新しい内容とレジスタ B の既存の内容をロード。出力を更新。デバイスがウェイクアップ
1	0	1	0	DAC B にロード	出力を更新 ウェイク 入力レジスタ B にロード。DAC レジスタに入力レジスタ A の既存の内容とレジスタ B の新しい内容をロード。出力を更新。デバイスがウェイクアップ
1	0	1	1	予備	
1	1	0	0	予備	
1	1	0	1	変化なし	更新なし ウェイク デバイスがウェイクアップ。入力および DAC レジスタに変化なし。DAC 出力は DAC レジスタの既存の内容を反映。
1	1	1	0	変化なし	更新なし スリープ デバイスはスリープ状態になる。入力および DAC レジスタに変化なし。DAC 出力を高インピーダンス状態に設定。
1	1	1	1	DAC の A と B に同じ 10 ビット・コードを ロード	出力を更新 ウェイク 両方の入力レジスタにロード。入力レジスタの新しい内容を両方の DAC レジスタにロード。出力を更新。デバイスがウェイクアップ

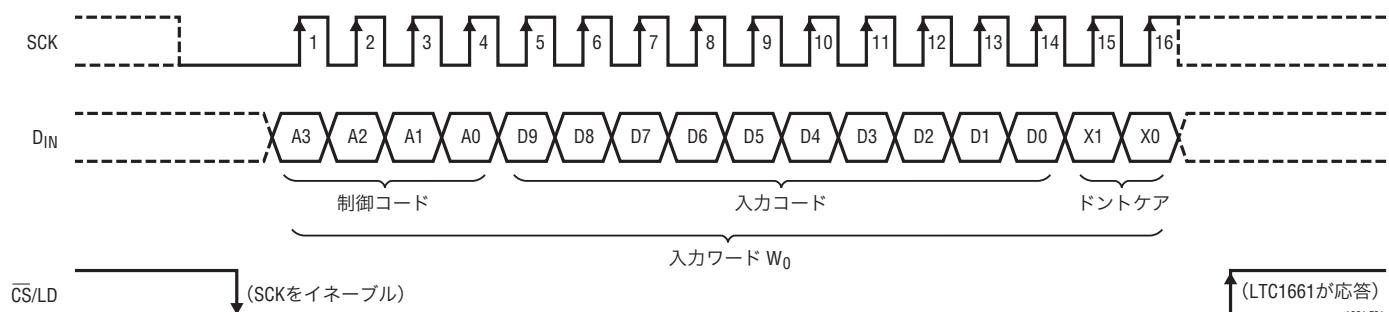


図1. レジスタ・ロードのシーケンス

動作

電圧出力

LTC1661に内蔵されているレール・トゥ・レール出力のアンプのそれぞれは最大5mA ($V_{CC} = 5V$) をソースまたはシンクすることができます。出力は負荷なしでどちらの電源レールからも数ミリボルト以内まで振幅し、レールへの負荷をドライブしているとき85Ω (標準) の等価出力抵抗を示します。出力アンプは最大1000pFの容量性負荷を安定してドライブします。

出力に直列に接続された小さな抵抗を使って、どんな負荷容量に対しても安定性を実現することができます。 V_{OUT} ピンに直列に 20Ω 抵抗を挿入することにより、 $1\mu F$ の負荷を問題なくドライブすることができます。 $2.2\mu F$ の負荷はわずか 10Ω の抵抗しか必要とせず、抵抗なしに $10\mu F$ の電解コンデンサを使うことができます (コンデンサ自体の等価直列抵抗により必要な低抵抗値が与えられます)。これらの場合のいずれでも、与えられている値を、もっと大きな値の抵抗、容量または両方で置き換えることができます。

レール・トゥ・レール出力に関する検討事項

どんなレール・トゥ・レールの DAC でも、出力振幅は電源電圧範囲内に制限されます。

DAC のオフセットが負であれば、図 2b に示されているように、最小コードの出力が 0V に制限されます。

同様に、REF ピンが V_{CC} に接続されているとき、フルスケールの近くで出力が制限されることがあります。 $V_{REF} = V_{CC}$ で、DAC のフルスケール誤差 (FSE) が正のとき、最高コードの出力が、図 2c に示されているように、 V_{CC} に制限されます。 V_{REF} が $V_{CC} - FSE$ より小さいと、フルスケールの制限は生じません。

オフセットと直線性は、DAC の伝達関数の (出力の制限が生じない) 領域にわたって定義され、テストされます。

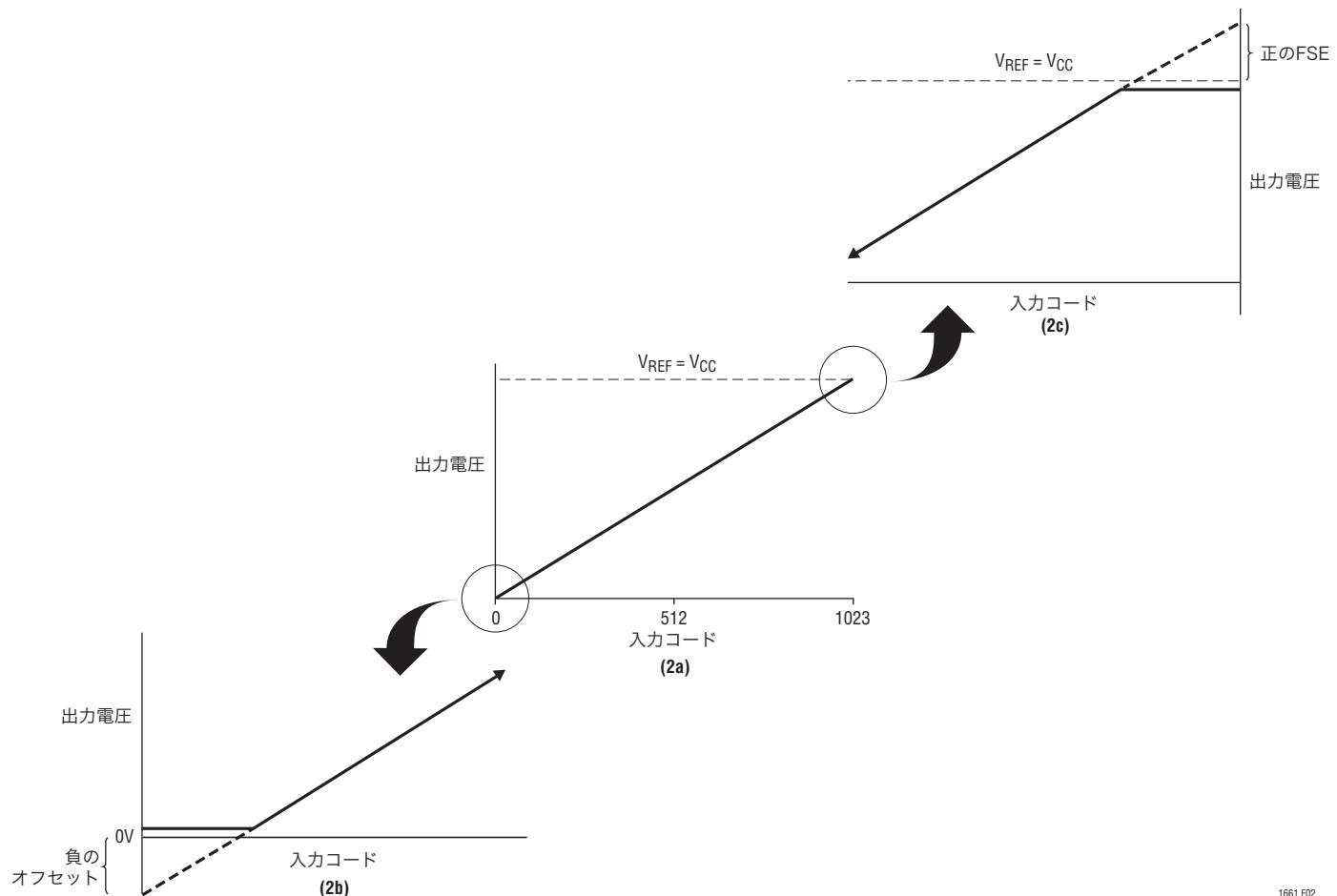
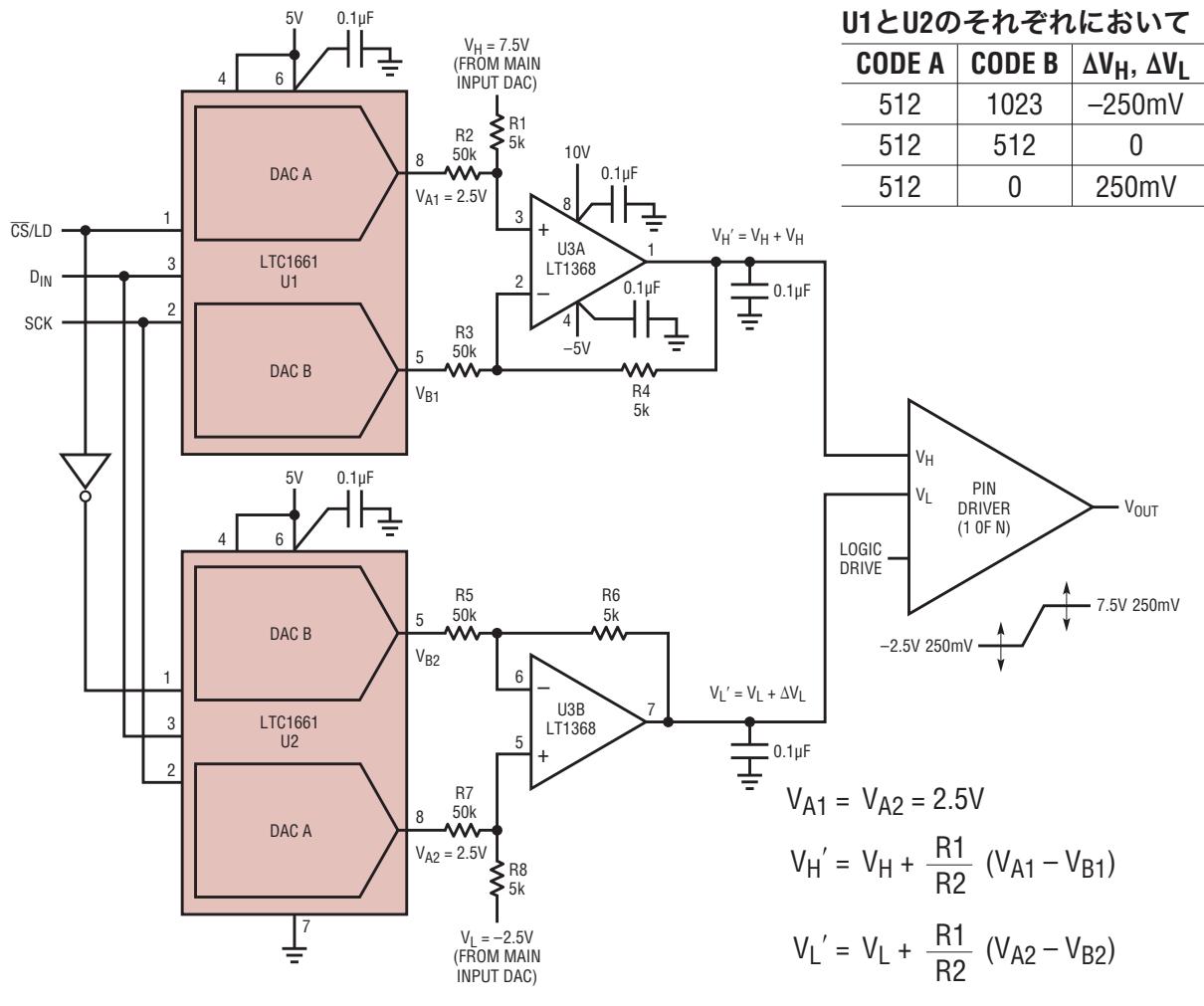


図2. DAC伝達曲線に対するレール・トゥ・レール動作の影響。(2a)全体の伝達関数 (2b)ゼロスケールに近いコードに対する負のオフセットの影響 (2c) $V_{REF} = V_{CC}$ のときのフルスケールに近い入力コードに対する正のフルスケール誤差の影響

標準的応用例



FOR VALUES SHOWN,
 $\Delta V_H, \Delta V_L$ ADJUSTMENT RANGE = $\pm 250\text{mV}$
 $\Delta V_H, \Delta V_L$ STEP SIZE = $500\mu\text{V}$

1661 F03

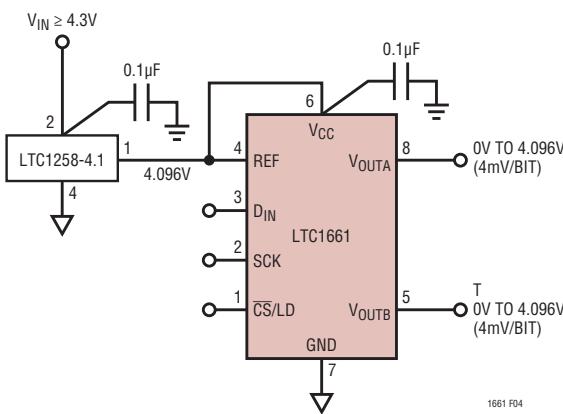
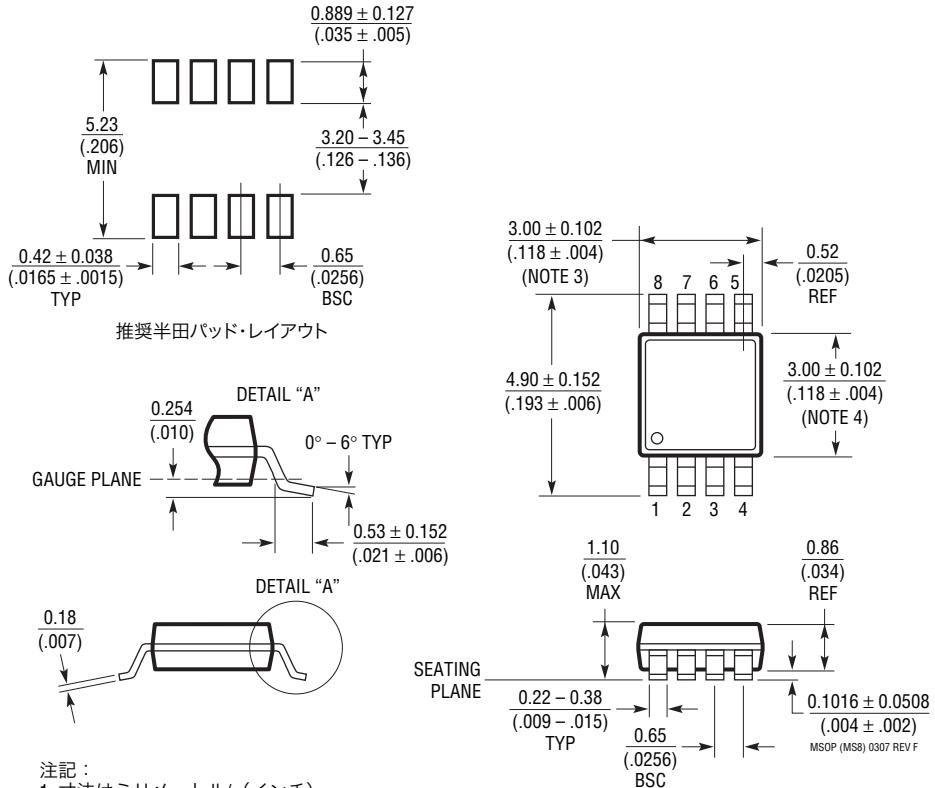
図3. ATEアプリケーションのピン・ドライバの V_H と V_L の調整

図4. LTC1258とLTC1661を使ったシングル・リチウムイオン・バッテリのアプリケーション

1661fa

パッケージ寸法

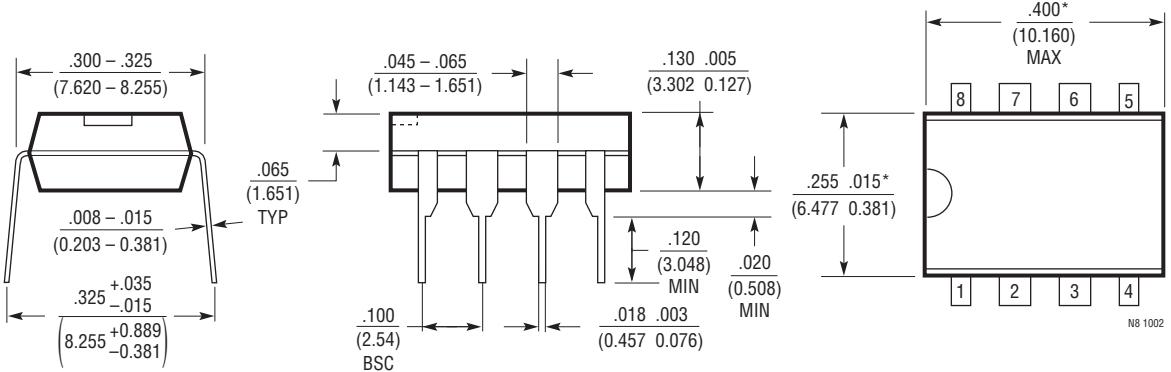
**MS8パッケージ
8ピン・プラスチックMSOP**
(Reference LTC DWG # 05-08-1660 Rev F)



注記 :

- 寸法はミリメートル/ (インチ)
- 図は実寸とは異なる
- 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006") を超えないこと
- 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで0.152mm (0.006") を超えないこと
- リードの平坦度 (整形後のリードの底面) は最大0.102mm (0.004") であること

**N8パッケージ
8ピンPDIP(細型 .300 インチ)**
(Reference LTC DWG # 05-08-1510)



注記 :

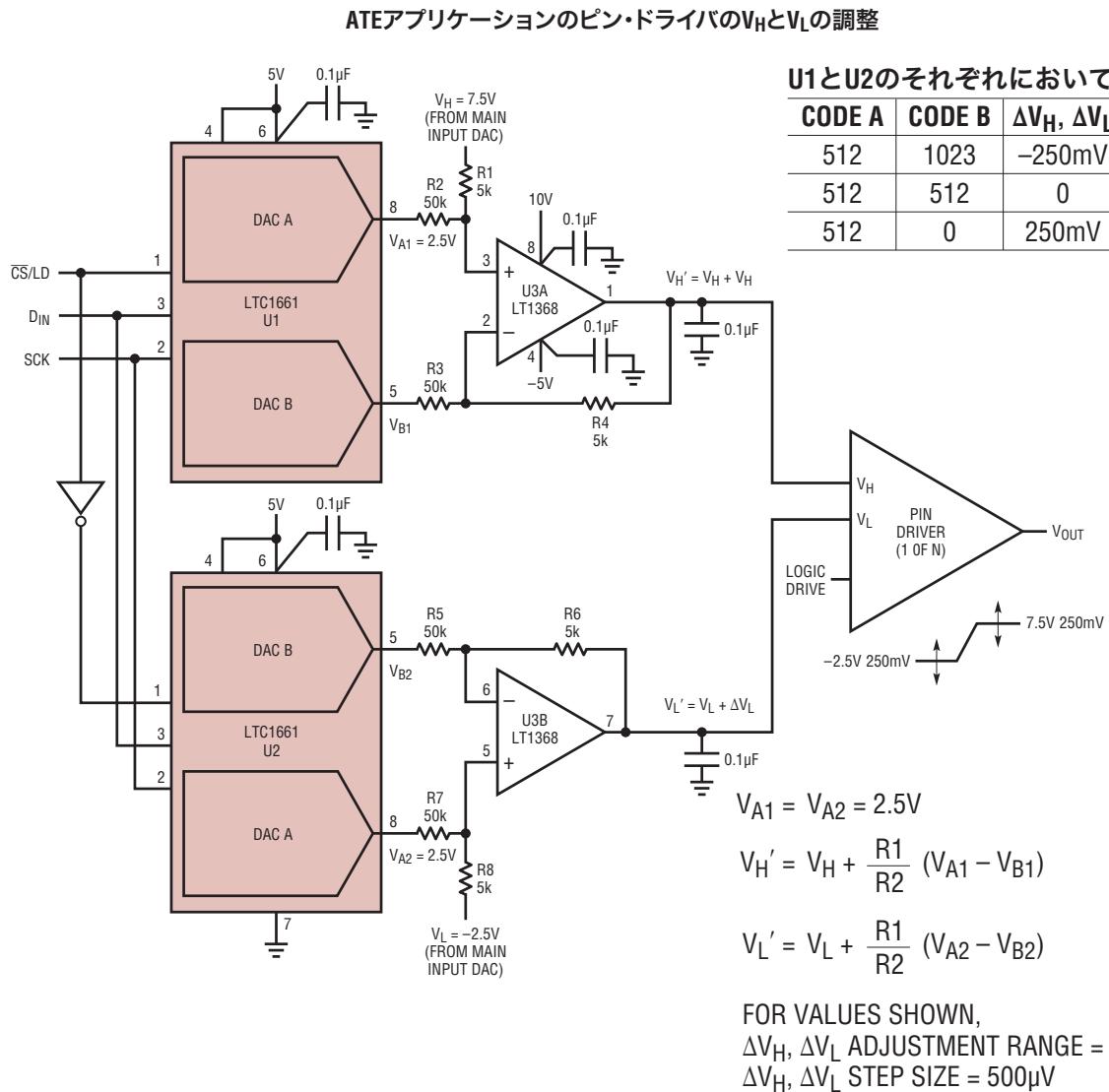
- 寸法は インチ / ミリメートル

* これらの寸法にはモールドのバリまたは突出部を含まない。
モールドのバリまたは突出部は0.010" (0.254mm) を超えないこと

改訂履歴

REV	日付	説明	ページ番号
A	11/10	「タイミング特性」のセクションから標準値を削除	3, 4

標準的応用例



関連製品

製品番号	説明	注釈
LTC1446/ LTC1446L	内部リファレンス付きデュアル 12 ビット V_{OUT} DAC、SO-8 パッケージ	LTC1446 : $V_{CC} = 4.5V \sim 5.5V, V_{OUT} = 0V \sim 4.095V$ LTC1446L : $V_{CC} = 2.7V \sim 5.5V, V_{OUT} = 0V \sim 2.5V$
LTC1448	デュアル 12 ビット V_{OUT} DAC、8 ピン MSOP パッケージ	$V_{CC} = 2.7V \sim 5.5V$ 、外部リファレンスを V_{CC} に接続可能
LTC1454/ LTC1454L	追加機能付きデュアル 12 ビット V_{OUT} DAC、SO-16 パッケージ	LTC1454 : $V_{CC} = 4.5V \sim 5.5V, V_{OUT} = 0V \sim 4.095V$ LTC1454L : $V_{CC} = 2.7V \sim 5.5V, V_{OUT} = 0V \sim 2.5V$
LTC1458/ LTC1458L	追加機能付きレール・トゥ・レール出力のクワッド 12 ビット DAC	LTC1458 : $V_{CC} = 4.5V \sim 5.5V, V_{OUT} = 0V \sim 4.095V$ LTC1458L : $V_{CC} = 2.7V \sim 5.5V, V_{OUT} = 0V \sim 2.5V$
LTC1659	レール・トゥ・レールのシングル 12 ビット V_{OUT} DAC、8 ピン MSOP パッケージ $V_{CC} : 2.7V \sim 5.5V$	低消費電力乗算型 V_{OUT} DAC。GND から REF の出力振幅。 REF 入力を V_{CC} に接続可能
LTC1663	SO-23 のシングル 10 ビット V_{OUT} DAC、SOT-23 パッケージ	$V_{CC} = 2.7V \sim 5.5V$ 、内部リファレンス、 $60\mu A$
LTC1665/LTC1660	オクタル 8/10 ビット V_{OUT} DAC、16 ピン細型 SSOP	$V_{CC} = 2.7V \sim 5.5V$ 、マイクロパワー、レール・トゥ・レール出力

1661fa