

# MSOPパッケージ12ビット レール・トゥ・レール マイクロパワーDAC

## 特長

- 8ピンMSOPパッケージ
- 12ビット分解能
- 電源電圧範囲：3V～5V
- バッファされた真のレール・トゥ・レール電圧出力
- 0Vから $V_{REF}$ までの出力振幅
- $V_{REF}$ を $V_{CC}$ に接続可能
- クロック入力のシュミット・トリガによりオプトカプラへの直接インタフェースが可能
- パワーオン・リセットでDACを0Vにクリア
- 3線式カスケード可能なシリアル・インタフェース
- 最大DNL誤差：0.5LSB
- 低コスト

## アプリケーション

- デジタル較正
- 産業用プロセス・コントロール
- 自動試験装置
- セルラー電話

## 概要

LTC<sup>®</sup>1659はMSOPパッケージに収納された単一電源、レール・トゥ・レール電圧出力、12ビット・デジタル/アナログ・コンバータ(DAC)です。レール・トゥ・レール出力バッファ・アンプと使いやすい3線式カスケード可能なシリアル・インタフェースを内蔵しています。

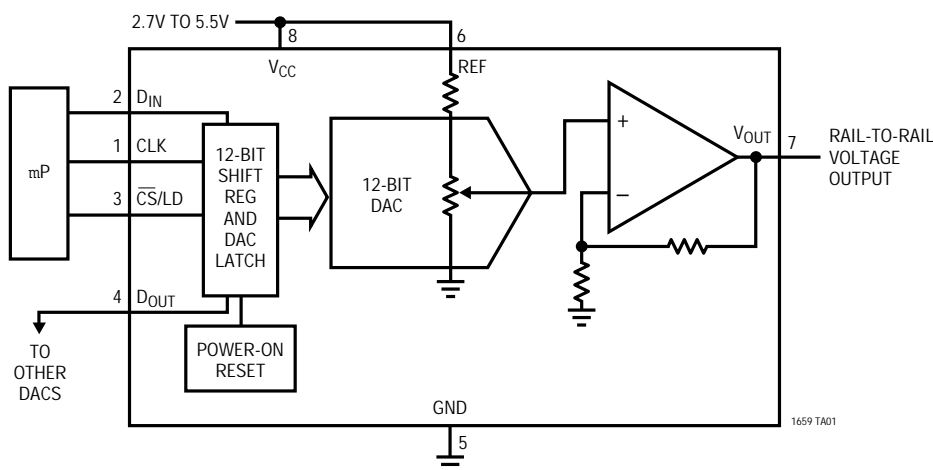
LTC1659の出力は0VからREFまで振幅します。REF入力は2.7V～5.5Vの範囲の $V_{CC}$ に接続できます。これによって、レール・トゥ・レール出力は0Vから $V_{CC}$ まで振幅できます。5V電源からわずか250mAしか流れません。

保証された最大±0.5LSBのDNLにより、LTC1659は較正、コントロール、およびトリム/調整アプリケーションで優れた性能を発揮します。電源電流が低く占有スペースの少ないMSOPパッケージに収容されているため、LTC1659はバッテリー駆動アプリケーションに最適です。

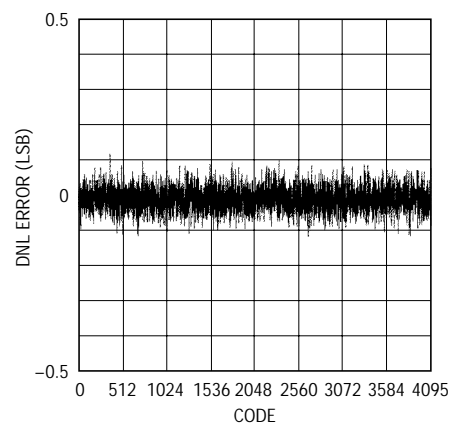
LT, LTC, LTはリニアテクノロジー社の登録商標です。  
RAIL-TO-RAILは日本モトローラ(株)の登録商標です。

## 標準的応用例

機能ブロック図:12ビット・レール・トゥ・レールDAC



微分非直線性と入力コード



1659 TA02

# LTC1659

## 絶対最大定格

GNDに対する $V_{CC}$ .....	- 0.5V ~ 7.5V
GNDに対するロジック入力 .....	- 0.5V ~ 7.5V
$V_{OUT}$ .....	- 0.5V ~ $V_{CC} + 0.5V$
最大接合部温度 .....	125
保存温度範囲 .....	- 65 ~ 150

動作温度範囲	
LTC1659CS8 .....	0 ~ 70
LTC1659IS8 .....	- 40 ~ 85
LTC1659CMS8( Note 1 ) .....	0 ~ 70
リード温度( 半田付け、10秒 ) .....	300

## パッケージ/発注情報

<p>S8 PACKAGE 8-LEAD PLASTIC SO <math>T_{JMAX} = 125\text{ C}</math>, <math>\theta_{JA} = 150\text{ C/W}</math></p>	ORDER PART NUMBER	<p>MS8 PACKAGE 8-LEAD PLASTIC MSOP <math>T_{JMAX} = 125\text{ C}</math>, <math>\theta_{JA} = 206\text{ C/W}</math></p>	ORDER PART NUMBER
	LTC1659CS8 LTC1659IS8		LTC1659CMS8
	S8 PART MARKING		MS8 PART MARKING
	1659 1659I		LTCK

ミリタリ・グレード部品に関してはお問い合わせください。

## 電気的特性

注記がない限り、 $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT}$  無負荷、 $REF \in V_{CC}$ 、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>DAC</b>							
	Resolution		●	12		Bits	
	Monotonicity		●	12		Bits	
DNL	Differential Nonlinearity	$V_{REF} \in V_{CC} - 0.1V$ (Note 2)	●		-0.5	LSB	
INL	Integral Nonlinearity	$V_{REF} \in V_{CC} - 0.1V$ (Note 2), $T_A = 25\text{ C}$	●		-5.0	LSB	
		$V_{REF} \in V_{CC} - 0.1V$ (Note 2)	●		-5.5	LSB	
$V_{OS}$	Offset Error	Measured at Code 20, $T_A = 25\text{ C}$	●		-12	mV	
		Measured at Code 20	●		-18	mV	
$V_{OSTC}$	Offset Error Temperature Coefficient			-15		mV/ C	
$V_{FS}$	Full-Scale Voltage	$T_A = 25\text{ C}$ , $REF = 4.096V$ (Note 6)	●	4.070	4.095	4.120	V
		$REF = 4.096V$ (Note 6)	●	4.060	4.095	4.130	V
$V_{FSTC}$	Full-Scale Voltage Temperature Coefficient			10		ppm/ C	

## 電気的特性

注記がない限り、 $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT}$  無負荷、 $REF \in V_{CC}$ 、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>Power Supply</b>							
$V_{CC}$	Positive Supply Voltage	For Specified Performance	●	2.7		5.5	V
$I_{CC}$	Supply Current	(Note 5)	●		240	450	mA
<b>Op Amp DC Performance</b>							
	Short-Circuit Current Low	$V_{OUT}$ Shorted to GND	●		70	120	mA
	Short-Circuit Current High	$V_{OUT}$ Shorted to $V_{CC}$	●		65	120	mA
	Output Impedance to GND	Input Code = 0	●		40	150	$\omega$
	Output Line Regulation	Input Code = 4095, $V_{CC} = 4.5V$ to $5.5V$			0.1	1.5	LSB/V
<b>AC Performance</b>							
	Voltage Output Slew Rate	(Note 3)	●	0.5	1.0		V/ms
	Voltage Output Settling Time	(Notes 3, 4) to $-0.5LSB$			14		ms
	Digital Feedthrough				0.3		nV•s
<b>Reference Input</b>							
$R_{IN}$	REF Input Resistance		●	17	28	40	k $\omega$
REF	REF Input Range	(Notes 6, 7)	●	0		$V_{CC}$	V
<b>Digital I/O</b>							
$V_{IH}$	Digital Input High Voltage	$V_{CC} = 5V$	●	2.4			V
$V_{IL}$	Digital Input Low Voltage	$V_{CC} = 5V$	●			0.8	V
$V_{OH}$	Digital Output High Voltage	$V_{CC} = 5V$ , $I_{OUT} = -1mA$ , $D_{OUT}$ Only	●	$V_{CC} - 1.0$			V
$V_{OL}$	Digital Output Low Voltage	$V_{CC} = 5V$ , $I_{OUT} = 1mA$ , $D_{OUT}$ Only	●			0.4	V
$V_{IH}$	Digital Input High Voltage	$V_{CC} = 3V$	●	2.0			V
$V_{IL}$	Digital Input Low Voltage	$V_{CC} = 3V$	●			0.6	V
$V_{OH}$	Digital Output High Voltage	$V_{CC} = 3V$ , $I_{OUT} = -1mA$ , $D_{OUT}$ Only	●	$V_{CC} - 0.7$			V
$V_{OL}$	Digital Output Low Voltage	$V_{CC} = 3V$ , $I_{OUT} = 1mA$ , $D_{OUT}$ Only	●			0.4	V
$I_{LEAK}$	Digital Input Leakage	$V_{IN} = GND$ to $V_{CC}$	●			-10	mA
$C_{IN}$	Digital Input Capacitance	(Note 7)	●			10	pF

# LTC1659

## 電気的特性

注記がない限り、 $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT}$  無負荷、REF  $\epsilon V_{CC}$ 、 $T_A = T_{MIN} \sim T_{MAX}$

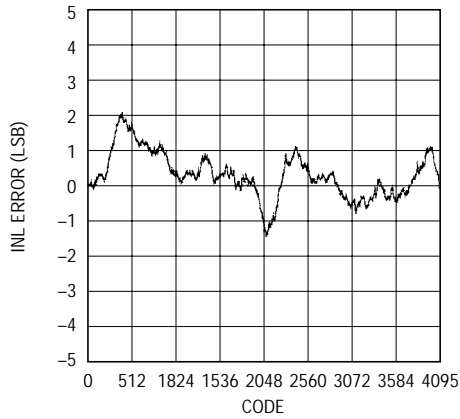
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Switching (<math>V_{CC} = 4.5</math> to <math>5.5V</math>)</b>						
$t_1$	$D_{IN}$ Valid to CLK Setup		●	40		ns
$t_2$	$D_{IN}$ Valid to CLK Hold		●	0		ns
$t_3$	CLK High Time	(Note 7)	●	40		ns
$t_4$	CLK Low Time	(Note 7)	●	40		ns
$t_5$	$\overline{CS}/LD$ Pulse Width	(Note 7)	●	50		ns
$t_6$	LSB CLK to $\overline{CS}/LD$	(Note 7)	●	40		ns
$t_7$	$\overline{CS}/LD$ Low to CLK	(Note 7)	●	20		ns
$t_8$	$D_{OUT}$ Output Delay	$C_{LOAD} = 15pF$	●	5	150	ns
$t_9$	CLK Low to $\overline{CS}/LD$ Low	(Note 7)	●	20		ns
<b>Switching (<math>V_{CC} = 2.7</math> to <math>5.5V</math>)</b>						
$t_1$	$D_{IN}$ Valid to CLK Setup		●	60		ns
$t_2$	$D_{IN}$ Valid to CLK Hold		●	0		ns
$t_3$	CLK High Time	(Note 7)	●	60		ns
$t_4$	CLK Low Time	(Note 7)	●	60		ns
$t_5$	$\overline{CS}/LD$ Pulse Width	(Note 7)	●	80		ns
$t_6$	LSB CLK to $\overline{CS}/LD$	(Note 7)	●	60		ns
$t_7$	$\overline{CS}/LD$ Low to CLK	(Note 7)	●	30		ns
$t_8$	$D_{OUT}$ Output Delay	$C_{LOAD} = 15pF$	●	10	220	ns
$t_9$	CLK Low to $\overline{CS}/LD$ Low	(Note 7)	●	30		ns

は全動作温度範囲の規格値を意味する。  
 Note 1: LTC1659CMS8は、これらの拡張温度制限範囲に適合するように設計され、特性が定められ、適合することが見込まれているが、 $-40$  と  $85$  ではテストされていない。保証されたIグレードMSOP部品に関してはお問い合わせください。ただし、これらの部品は商業温度制限範囲の  $0 \sim 70$  で保証されている。  
 Note 2: 非直線性はコード20からコード4095(フルスケール)までの範囲で定義される。アプリケーション情報を参照。

Note 3: 負荷は  $5k$  と  $100pF$  を並列に接続したものである。  
 Note 4: DACは、オール1とICの  $V_{OS}$  に対応するコードの間で切り替わる。  
 Note 5: デジタル入力は  $0V$  または  $V_{CC}$ 。  
 Note 6: 出力無負荷時には  $V_{OUT}$  は  $(GND + \%V_{OS}\%)$  から  $(V_{CC} - \%V_{OS}\%)$  まで振幅する。  
 Note 7: 設計で保証されている。テストは行われない。

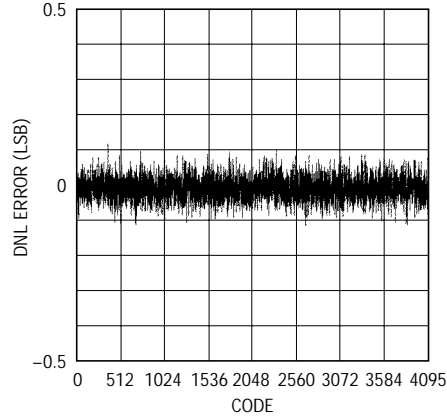
標準的性能特性

積分非直線性(INL)



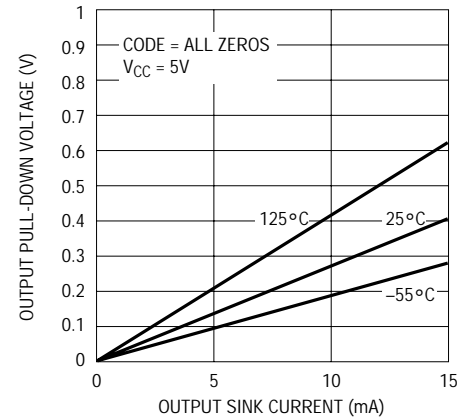
LTC1659 - TPC01

微分非直線性(DNL)



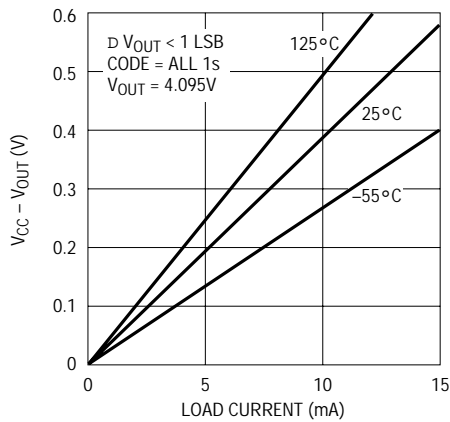
LTC1659 - TPC02

最小出力電圧と出力シンク電流



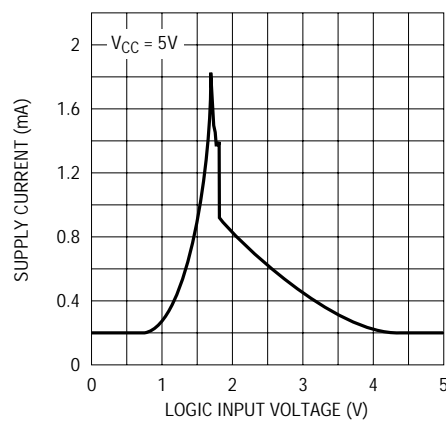
LTC1659 - TPC03

全出力振幅に対する電源ヘッドルームと負荷電流



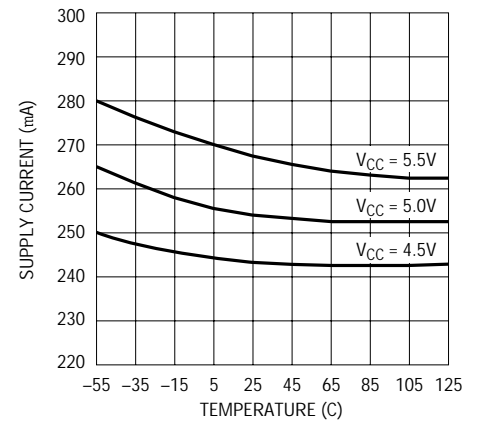
LTC1659 - TPC04

電源電流とロジック入力電圧



LTC1659 - TPC05

電源電流と温度



LTC1659 - TPC06

# LTC1659

## ピン機能

CLK(ピン1): シリアル・インタフェース・クロック。この入力の内部シュミット・トリガにより、オプトカプラへ直接インタフェースできます。

D<sub>IN</sub>(ピン2): シリアル・インタフェース・データ。D<sub>IN</sub>ピン上の入力データは、シリアル・クロックの立上りエッジでシフト・レジスタにラッチされます。

$\overline{\text{CS/LD}}$ (ピン3): シリアル・インタフェース・イネーブルおよびロード・コントロール。 $\overline{\text{CS/LD}}$ が「L」のとき、CLK信号がイネーブルされデータをクロック・インすることができます。 $\overline{\text{CS/LD}}$ が「H」にプルアップされると、シフト・レジスタからDACレジスタにデータがロードされ、DAC出力が更新され内部でCLKがディスエーブルされます。

D<sub>OUT</sub>(ピン4): シリアル・クロックの立上りエッジで有効になるシフト・レジスタの出力。

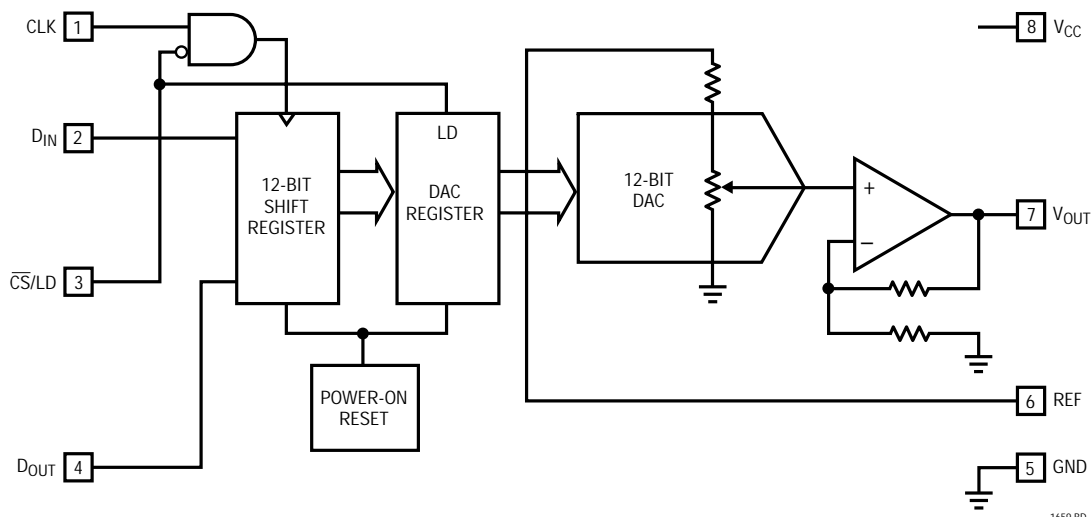
GND(ピン5): グランド。

REF(ピン6): リファレンス入力。このピンはV<sub>CC</sub>に接続できます。出力は0VからREFまで振幅します。標準入力抵抗は28kです。

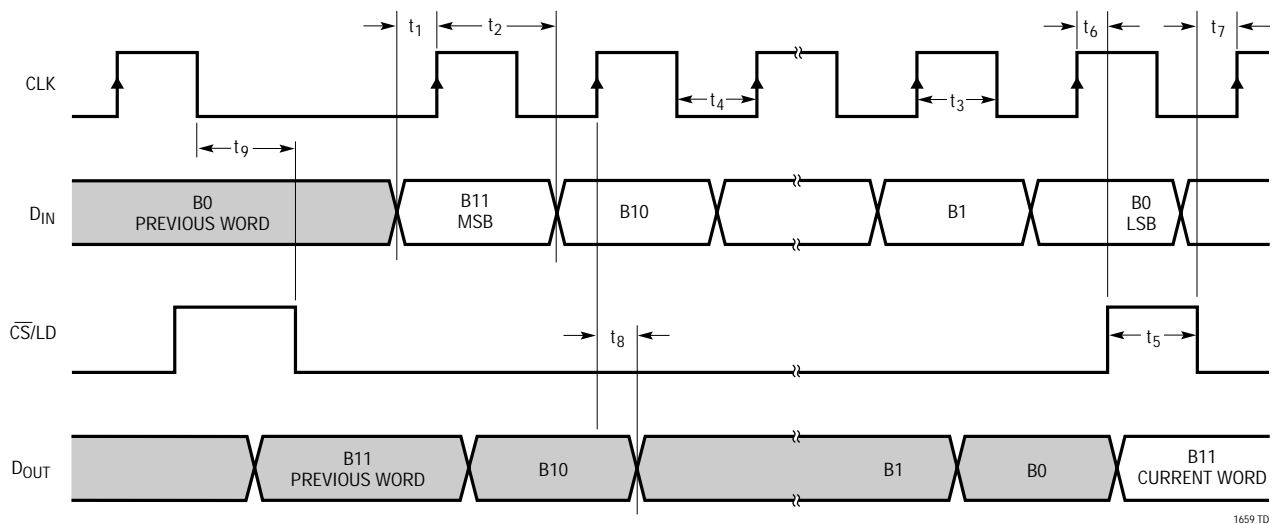
V<sub>OUT</sub>(ピン7): バッファされたDAC出力。

V<sub>CC</sub>(ピン8): 正電源入力。2.7V ≤ V<sub>CC</sub> ≤ 5.5V。グラウンドにバイパス・コンデンサを接続する必要があります。

## ブロック図



## タイミング図



1659 TD

## 定義

**微分非直線性 (DNL):** 任意の2つの隣接するコード間で測定した変化と理想的な1LSB変化の違いです。2つのコード間のDNL誤差は、次式で計算されます。

$$DNL = (V_{OUT} - LSB) / LSB$$

ここで、 $V_{OUT}$ は2つの隣接するコード間で測定した電圧の差です。

**デジタル・フィードスルー:** デジタル入力が状態を変えたときに、その入力からのAC結合によって生じるアナログ出力に現れるグリッチです。グリッチの面積は ( $nV \times sec$ ) で規定されます。

**フルスケール誤差 (FSE):** 理想的な電圧からの実際のフルスケール電圧の偏差です。FSEにはオフセット誤差と利得誤差の影響が含まれます(アプリケーション情報を参照)。

**積分非直線性 (INL):** DAC伝達曲線のエンド・ポイントを通る直線からの偏差です(エンド・ポイントINL)。出力はゼロ以下になれないため、直線性はフルスケールと、出力がゼロを超えることを保証する最小

コード間で測定されます。ある入力コードに対するINL誤差は、次式で計算されます。

$$INL = [V_{OUT} - V_{OS} - (V_{FS} - V_{OS}) \times \text{コード} / 4095] / LSB$$

ここで、 $V_{OUT}$ は与えられた入力コードで測定したDACの出力電圧です。

**最下位ビット (LSB):** 2つの連続したコードの理想的な電圧差です。

$$LSB = V_{REF} / 4096$$

**分解能 (n):** フルスケール・レンジを分割するDAC出力の状態数( $2^n$ )を定義します。分解能は直線性を意味するものではありません。

**電圧オフセット誤差 ( $V_{OS}$ ):** 名目上、DACにすべてゼロがロードされたときの出力の電圧です。単一電源DACは真の負のオフセットを持つことができますが、出力はゼロ以下になりません(アプリケーション情報を参照)。

このため、単一電源DACオフセットは、出力がゼロを超えることを保証する最小コードで測定されます。

## 動作

### シリアル・インタフェース

$D_{IN}$ 入力のデータは、クロックの立上りエッジでシフト・レジスタにロードされます。MSBが最初にロードされます。 $\overline{CS/LD}$ が $H$ にプルアップされると、DACレジスタはシフト・レジスタからデータをロードします。 $\overline{CS/LD}$ が $H$ のとき、CLKは内部でディスエーブルされます。注：余分な内部クロック・パルスを避けるために、 $\overline{CS/LD}$ が $L$ にプルダウンされる前に、CLKが $L$ にならなければなりません。

12ビット・シフト・レジスタのバッファされた出力が $D_{OUT}$ ピンに現れ、GNDから $V_{CC}$ まで振幅します。複数のLTC1659は、 $D_{OUT}$ ピンを次のチップの $D_{IN}$ ピンに接続してディジーチェーンすることができます。CLK信号と $\overline{CS/LD}$ 信号は1個の場合と同様にディジーチェーンのすべてのチップに共通です。シリアル・データがすべてのチップにクロック・インされると、 $\overline{CS/LD}$ 信号が $H$ にプルアップされ、すべてのチップを同時に更新します。

### 電圧出力

LTC1659のレール・トゥ・レールのバッファ出力は、正電源電圧またはグラウンドの300mV以内に振幅し、全動作温度範囲で5mAをソースまたはシンクできます。無負荷時には出力はいずれかの電源レールの数mV以内に振幅し、負荷をレールにドライブする場合には等価出力抵抗は40 $\Omega$ になります。出力は発振することなく1000pFをドライブ可能です。

出力は0VからREFピンの電圧まで振幅します。すなわち、REFから $V_{OUT}$ までの利得は1です。REFを $V_{CC}$ に接続した場合は、出力が $(V_{CC} - V_{OS})$ まで振幅することに注意してください。アプリケーション情報を参照。



## アプリケーション情報

### レール・トゥ・レール出力の考慮事項

どんなレール・トゥ・レールDACでも、出力振幅は電源範囲内の電圧に制限されます。

DACオフセットが負の場合、最小コードの出力は、図1 (b)に示すとおり0Vに制限されます。

同様に、REFピンを $V_{CC}$ に接続したとき、フルスケールの近くでリミッティングが発生します。 $V_{REF} = V_{CC}$ でDACフルスケール誤差(FSE)が正の場合、最大コードの出力は図1(c)に示すとおり $V_{CC}$ に制限されます。 $V_{REF}$ が

$V_{CC}$  - FSE未満の場合は、フルスケール・リミッティングは生じません。

オフセットと直線性は、出力リミッティングが発生しないDAC伝達関数領域で定義され、テストされます。

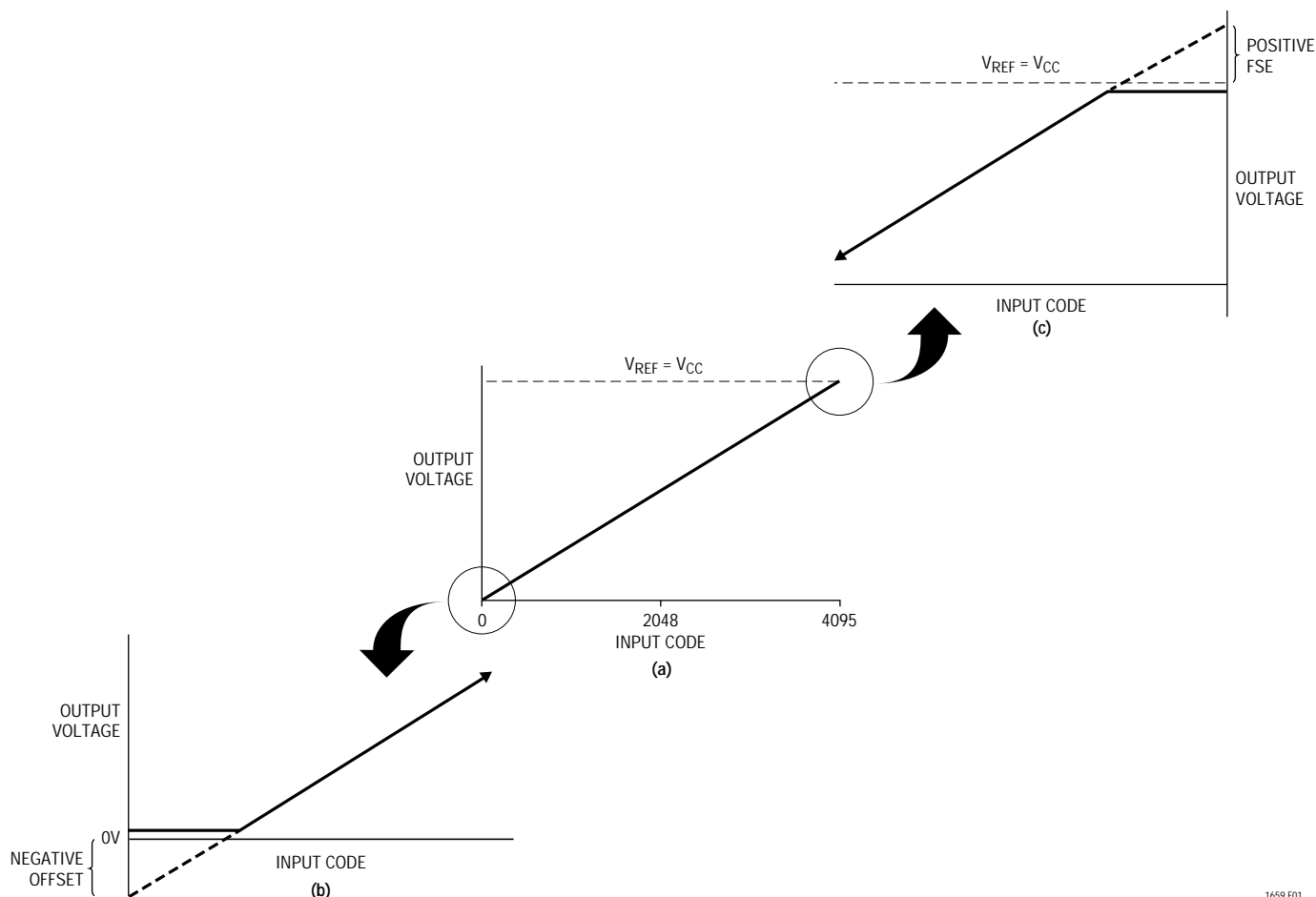


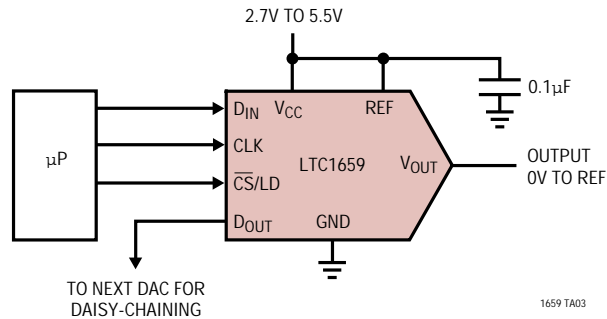
図1. レール・トゥ・レール動作のDAC伝達曲線での影響

- (a) 全伝達関数
- (b) ゼロ・スケール近くのコードに対する負オフセットの影響
- (c)  $V_{REF} = V_{CC}$  のときフルスケール近くの入力コードに対する正フルスケール誤差の影響

1659 F01

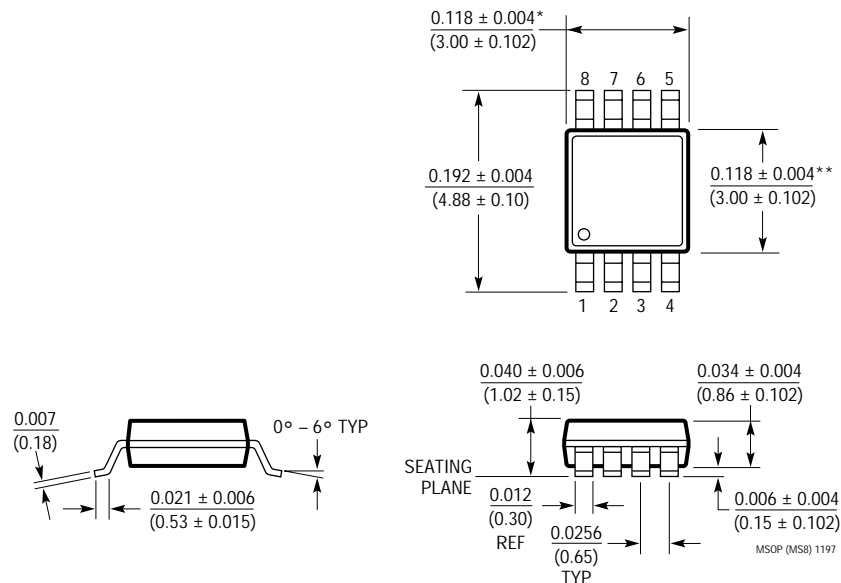
## 標準的応用例

12ビット、3V~5V単一電源、レール・トゥ・レール電圧出力DAC



## パッケージ 注記がない限り、寸法はインチ(mm)

MS8パッケージ  
8リード・プラスチックMSOP  
(LTC DWG # 05-08-1660)

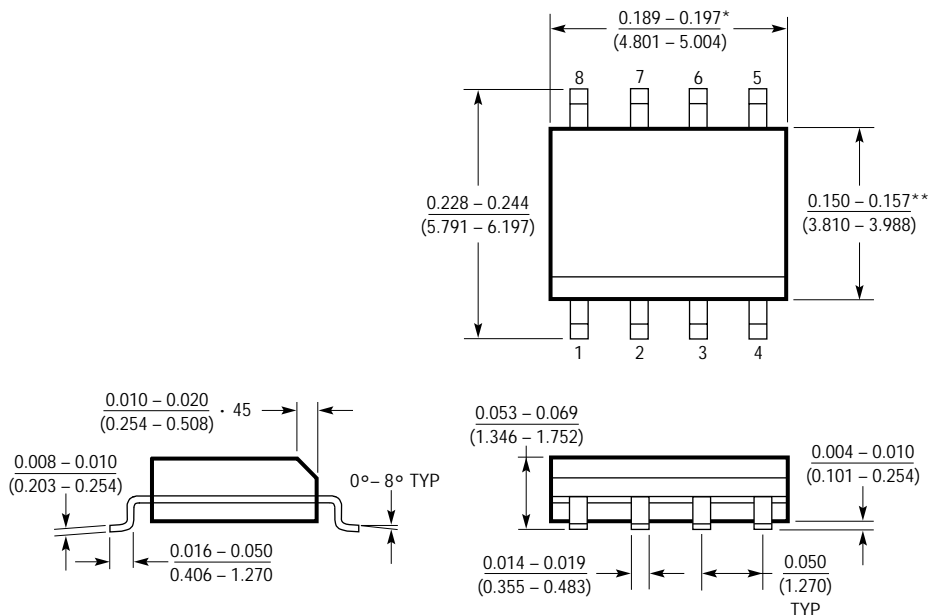


\* DIMENSION DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.006\* (0.152mm) PER SIDE

\*\* DIMENSION DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSIONS. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.006\* (0.152mm) PER SIDE

パッケージ 注記がない限り、寸法はインチ(mm)

S8パッケージ  
8リード・プラスチック・スモール・アウトライン(細型0.150)  
(LTC DWG # 05-08-1610)



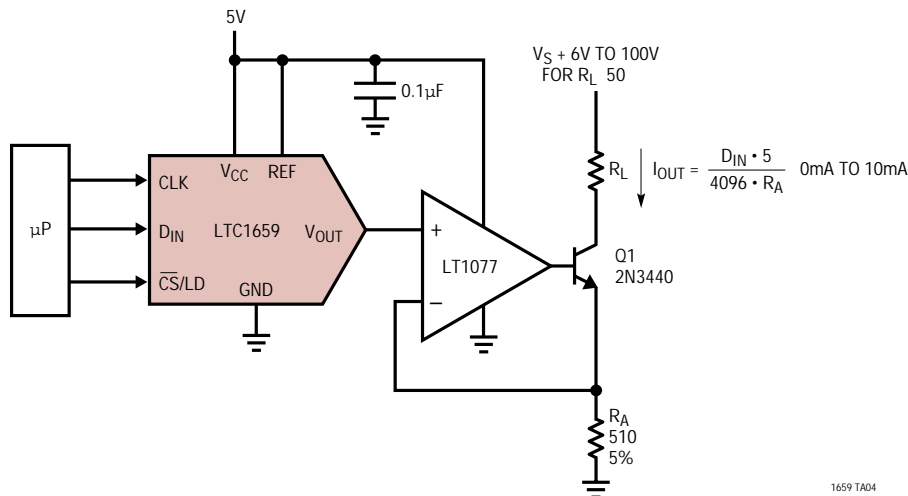
\*DIMENSION DOES NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE

\*\*DIMENSION DOES NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.010" (0.254mm) PER SIDE

S08 0996

## 標準的応用例

## デジタル的にプログラム可能な電流源



## 関連製品

製品番号	概要	コメント
LTC1257	シングル12ビットV <sub>OUT</sub> DAC、フルスケール:2.048V、V <sub>CC</sub> :4.75V ~ 15.75V、12Vまでリファレンスをオーバドライブ可能、FS <sub>MAX</sub> = 12V	5V ~ 15V単一電源、SO-8パッケージの完全なV <sub>OUT</sub> DAC
LTC1446/LTC1446L	SO-8パッケージのデュアル12ビットV <sub>OUT</sub> DAC	LTC1446:V <sub>CC</sub> = 4.5V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 4.095V LTC1446L:V <sub>CC</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 2.5V
LTC1448	デュアル12ビットV <sub>OUT</sub> DAC、V <sub>CC</sub> :2.7V ~ 5.5V	出力はGNDからREFまで振幅。 REF入力をV <sub>CC</sub> に接続可能。
LTC1450/LTC1450L	パラレル・インタフェース付きシングル12ビットV <sub>OUT</sub> DAC	LTC1450:V <sub>CC</sub> = 4.5V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 4.095V LTC1450L:V <sub>CC</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 2.5V
LTC1451	シングル、レール・トゥ・レール12ビットDAC、フル・スケール:4.095V、V <sub>CC</sub> :4.5V ~ 5.5V、ピンに出された内部2.048Vリファレンス	5V、SO-8パッケージの低消費電力、完全なV <sub>OUT</sub> DAC
LTC1452	シングル、レール・トゥ・レール12ビットV <sub>OUT</sub> 乗算DAC、V <sub>CC</sub> :2.7V ~ 5.5V	SO-8パッケージのレール・トゥ・レール・バッファ・アンプ付き乗算V <sub>OUT</sub> DAC
LTC1453	シングル、レール・トゥ・レール12ビットV <sub>OUT</sub> DAC、フルスケール:2.5V、V <sub>CC</sub> :2.7V ~ 5.5V	3V、低消費電力、SO-8パッケージの完全なV <sub>OUT</sub> DAC
LTC1454/LTC1454L	SO-16パッケージの追加機能付きデュアル12ビットV <sub>OUT</sub> DAC	LTC1454: V <sub>CC</sub> = 4.5V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 4.095V LTC1454L:V <sub>CC</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 2.5V
LTC1456	クリア・ピン付き、シングル、レール・トゥ・レール出力12ビットDAC、フルスケール:4.095V、V <sub>CC</sub> :4.5V ~ 5.5V	クリア・ピン付き、低消費電力、SO-8パッケージの完全なV <sub>OUT</sub> DAC
LTC1458/LTC1458L	追加機能付きクワッド12ビット・レール・トゥ・レール出力DAC	LTC1458:V <sub>CC</sub> = 4.5V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 4.095V LTC1458L:V <sub>CC</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = 0V ~ 2.5V