

デュアル・シリアル 12ビット乗算型DAC

特長

- DNLおよびINL(全温度範囲): ± 0.5 LSB最大
- 利得誤差: ± 1 LSB最大
- 低消費電流: $10\mu\text{A}$ 最大
- 4象限乗算
- パワーオン・リセット
- 非同期クリア入力
- デジィチェーン3線式シリアル・インタフェース
- 16ピン細型SOおよびPDIPパッケージ

アプリケーション

- プロセス制御/産業オートメーション
- ソフトウェア制御による利得調整
- デジタル制御のフィルタ/電源
- 自動試験装置

概要

LTC®1590は、デュアル、シリアル入力の12ビット乗算型デジタル - アナログ・コンバータ(DAC)です。2つの電流出力乗算型CMOS DACとディジチチェーン出力付きの簡易SPI互換シリアル・インタフェースを備えています。非同期CLRピンが両方のDACをゼロ・スケールに設定します。

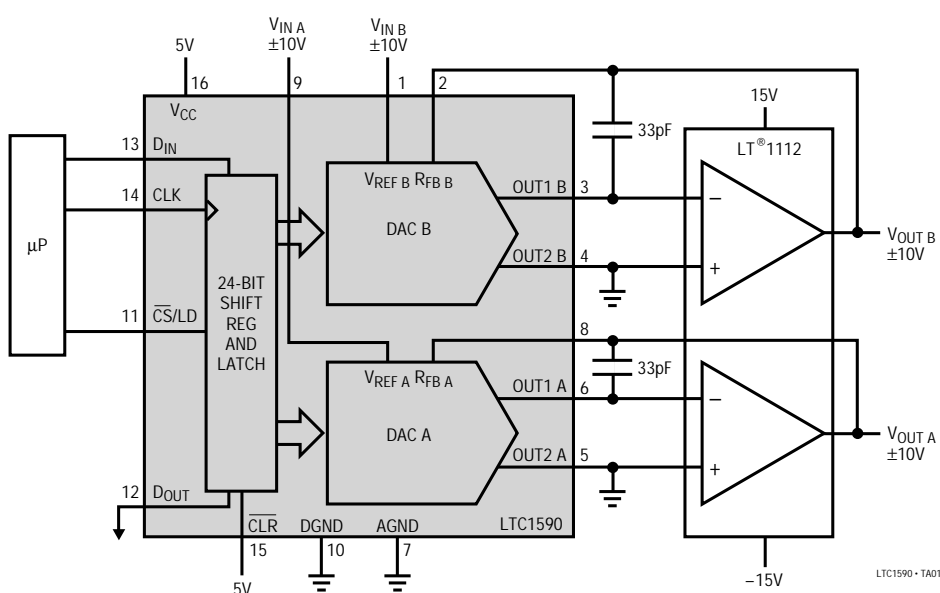
優れた精度、安定性、および多様性を、デュアル12ビット乗算型DACでは最も小型のパッケージで実現しています。

これらのデバイスは、16ピンPDIPおよび細型SOパッケージで供給され、コマーシャルおよびインダストリアル温度範囲で仕様が規定されています。

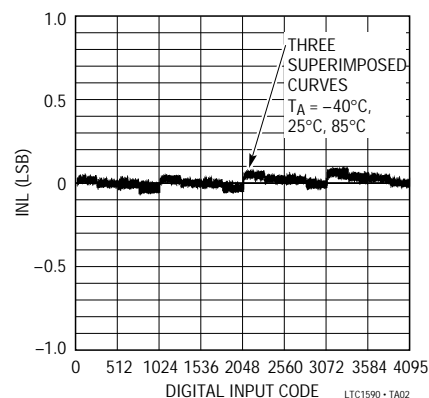
、LTC、LTはリニアテクノロジー社の登録商標です。

標準的応用例

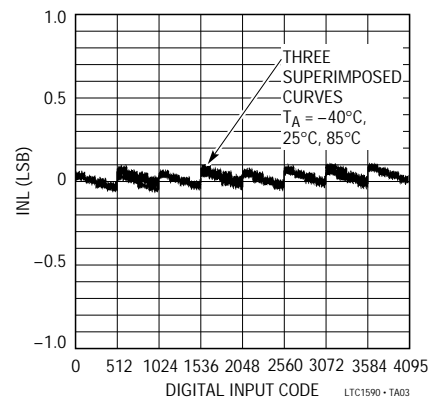
デュアル12ビット2象限乗算型DAC



全温度範囲での
積分非直線性、DAC A



全温度範囲での
積分非直線性、DAC B



絶対最大定格

AGNDに対する V_{CC}	- 0.5V ~ 7V
DGNDに対する V_{CC}	- 0.5V ~ 7V
DGNDに対するAGND	$V_{CC} + 0.5V$
AGNDに対するDGND	$V_{CC} + 0.5V$
AGNDに対する V_{REF}	$\pm 25V$
AGNDに対する R_{FB}	$\pm 25V$
DGNDに対するデジタル入力	- 0.5V ~ $V_{CC} + 0.5V$
AGNDに対する V_{OUT1} 、 V_{OUT2}	- 0.5V ~ $V_{CC} + 0.5V$
最大接合部温度	150
動作温度範囲	
LTC1590C	0 ~ 70
LTC1590I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒)	300

パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
$V_{REF B}$ [1]	[16] V_{CC}	LTC1590CN LTC1590CS LTC1590IN LTC1590IS
$R_{FB B}$ [2]	[15] \overline{CLR}	
OUT1 B [3]	[14] CLK	
OUT2 B [4]	[13] D_{IN}	
OUT2 A [5]	[12] D_{OUT}	
OUT1 A [6]	[11] $\overline{CS/LD}$	
AGND [7]	[10] DGND	
$R_{FB A}$ [8]	[9] $V_{REF A}$	
<div><div>N PACKAGE 16-LEAD PDIP</div><div>S PACKAGE 16-LEAD PLASTIC SO</div></div>		
$T_{JMAX} = 150^{\circ}C, \theta_{JA} = 100^{\circ}C/W$ (N)		
$T_{JMAX} = 150^{\circ}C, \theta_{JA} = 150^{\circ}C/W$ (S)		

ミリタリ・グレードに関してはお問い合わせください。

電気的特性

注記がない限り、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{REF} = 10V$ 、 $V_{OUT1} = V_{OUT2} = AGND = DGND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Accuracy						
	Resolution		●	12		Bits
INL	Integral Nonlinearity	(Note 1)	●		± 0.5	LSB
DNL	Differential Nonlinearity	Guaranteed Monotonic, T_{MIN} to T_{MAX}	●		± 0.5	LSB
GE	Gain Error	(Note 2), $T_A = 25^{\circ}C$ T_{MIN} to T_{MAX}	●		± 1	LSB
			●		± 2	LSB
	Gain Temperature Coefficient	(Note 3) $\Delta Gain / \Delta Temperature$	●	1	5	ppm/ $^{\circ}C$
$I_{LEAKAGE}$	OUT1 A, OUT1 B Leakage Current	(Note 4), $T_A = 25^{\circ}C$ T_{MIN} to T_{MAX}	●		± 5	nA
			●		± 25	nA
	Zero-Scale Error	$T_A = 25^{\circ}C$ T_{MIN} to T_{MAX}	●		± 0.03	LSB
			●		± 0.15	LSB
PSRR	Power Supply Rejection	$V_{CC} = 5V \pm 10\%$	●	± 0.0001	± 0.002	%/%
Reference Input						
R_{REF}	V_{REF} Input Resistance		●	8	11	k Ω
	$V_{REF A}$, $V_{REF B}$ Input Resistance Match		●		3	%
AC Performance (Note 3)						
	Digital-to-Analog Glitch Impulse	(Notes 5, 6)		1		nV-s
	Multiplying Feedthrough Error	(Note 11)		-89	-80	dB
	Output Current Settling Time	(Note 5) To 0.01% for Full-Scale Change		0.3	0.8	μs
	Channel-to-Channel Isolation	(Note 7)			-90	dB
	Digital Crosstalk	(Notes 5, 8)		1		nV-s
	Output Noise Voltage Density	(Note 9)		13		nV/ \sqrt{Hz}
THD	Total Harmonic Distortion	(Note 10)		-108	-92	dB
	Multiplying Bandwidth	(Note 12)		1		MHz

電気的特性

注記がない限り、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{REF} = 10V$ 、 $V_{OUT1} = V_{OUT2} = AGND = DGND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Analog Outputs							
C _{OUT}	Output Capacitance (Note 3)	DAC Register Loaded to All 1s DAC Register Loaded to All 0s	● ●		60 30	90 60	pF pF
Digital Input							
V _{IH}	Digital Input High Voltage		●	2.4			V
V _{IL}	Digital Input Low Voltage		●			0.8	V
I _{IN}	Digital Input Current		●		0.001	±1	μA
C _{IN}	Digital Input Capacitance	(Note 3) V _{IN} = 0V	●			8	pF
Digital Output							
V _{OH}	Digital Output High Voltage	I _{OH} = 200μA	●	4			V
V _{OL}	Digital Output Low Voltage	I _{OH} = 1.6mA	●			0.4	V
Timing Characteristics							
t ₁	D _{IN} to CLK Setup Time		●	50			ns
t ₂	D _{IN} to CLK Setup Hold Time		●	0			ns
t ₃	CLK High Time		●	40			ns
t ₄	CLK Low Time		●	40			ns
t ₅	\overline{CS}/LD High Time		●	50			ns
t ₆	LSB CLK to \overline{CS}/LD		●	40			ns
t ₇	\overline{CS}/LD Low to CLK High		●	20			ns
t ₈	CLK Low to \overline{CS}/LD Low		●	20			ns
t ₉	CLK to D _{OUT} Delay		●	10		160	ns
Power Supply							
V _{CC}	Operating Supply Range		●	4.5	5	5.5	V
I _{CC}	Supply Current	Digital Inputs = 0V or V _{CC}	●			10	μA

は全動作温度範囲の規格値を意味する。

Note 1 : $\pm 0.5LSB$ = フルスケールの $\pm 0.012\%$

Note 2 : 内部帰還抵抗を使用する。

Note 3 : 設計で保証されているが、テストされていない。

Note 4 : DACレジスタにすべて0をロードした状態での I_{OUT1} 。

Note 5 : $OUT1$ 負荷 = 100Ω と $13pF$ を並列に。

Note 6 : $V_{REF} = 0V$ 。DACレジスタの内容はオール0からオール1、またはオール1からオール0に変化。

Note 7 : $V_{REFA} = 0V$ および $V_{REFB} = 10kHz$ $20V_{P-P}$ でのDAC A出力、または $V_{REFB} = 0V$ 、 $V_{REFA} = 10kHz$ $20V_{P-P}$ でのDAC B出力。両方のDACレジスタにはオール1がロードされる。

Note 8 : 他のDACがフルスケール遷移を行うと、DAC AまたはDAC B上でグリッチが発生する。

Note 9 : $10Hz \sim 100kHz$ 。 $e_n = \sqrt{4KTRB}$ から計算。ただし: K = ボルツマン定数 (J/K)、 R = 抵抗 (Ω)、 T = 抵抗温度 ($^{\circ}K$)、 B = 帯域幅 (Hz)。

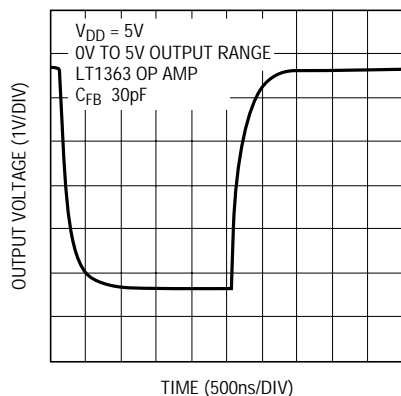
Note 10 : $V_{REF} = 6V_{RMS}$ ($1kHz$)。LT[®]1124 オペアンプを使用して、DACレジスタにオール1をロード。

Note 11 : $V_{REF} = \pm 10V$ 、 $10kHz$ 正弦波、LT1358 オペアンプを使用して、DACレジスタにオール0をロード。

Note 12 : LT1358 オペアンプを使用した - 3dB 帯域幅。

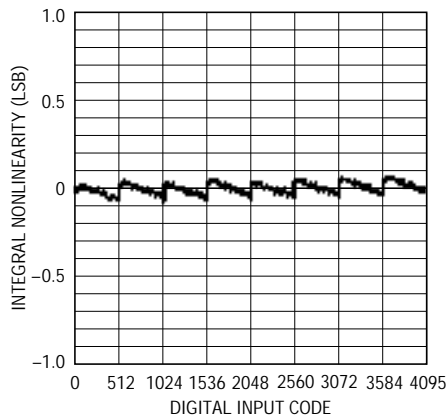
標準的性能特性

フルスケール・セトリング波形



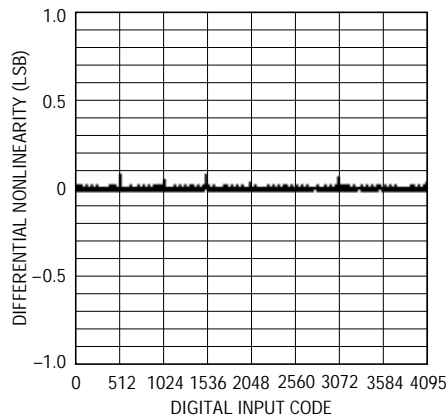
1590 G12

積分非直線性 (INL)



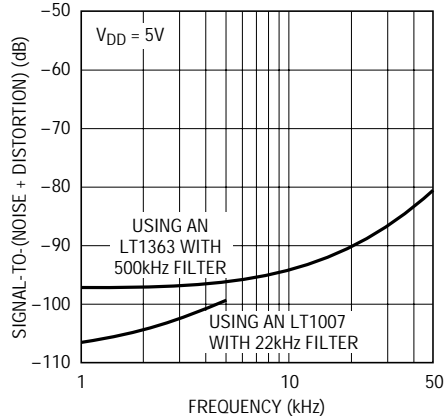
1590 G02

微分非直線性 (DNL)



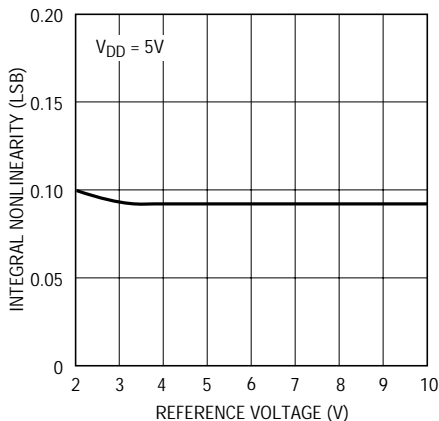
1590 G03

乗算モードでの信号対
(ノイズ + 歪み) と周波数



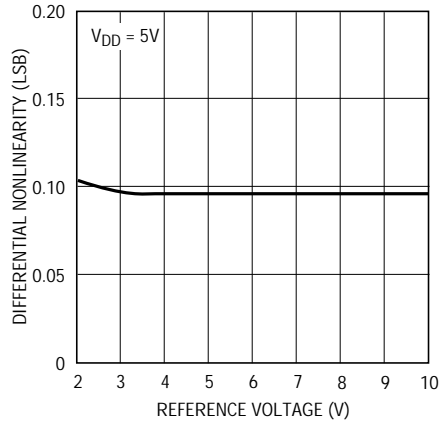
1590 G10

積分非直線性とリファレンス電圧



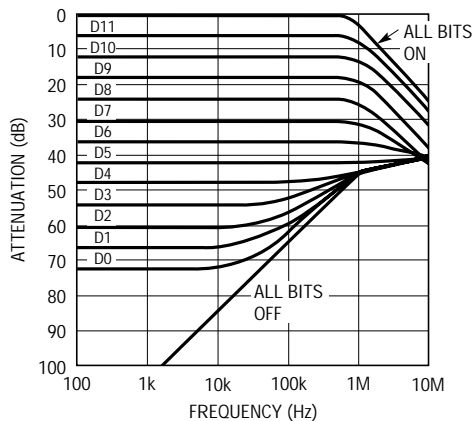
1590 G05

微分非直線性と
リファレンス電圧



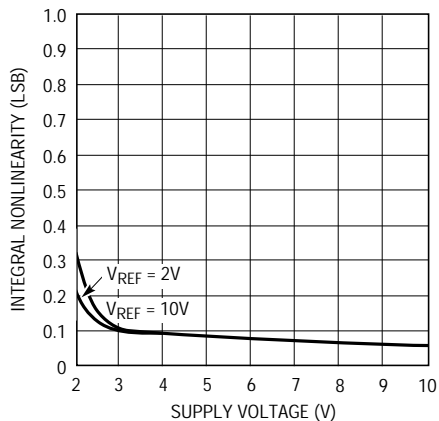
1590 G06

乗算モード周波数応答と
デジタル・コード



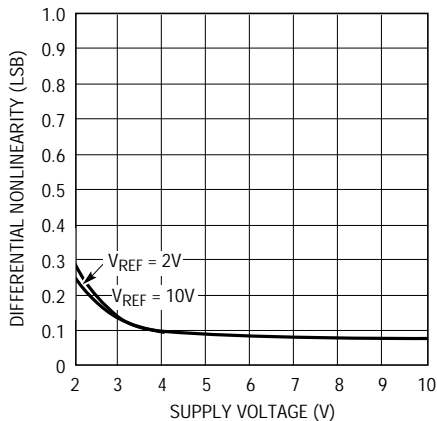
1590 G07

積分非直線性と電源電圧



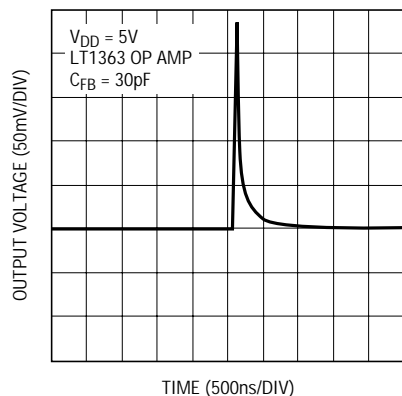
1590 G08

微分非直線性と電源電圧

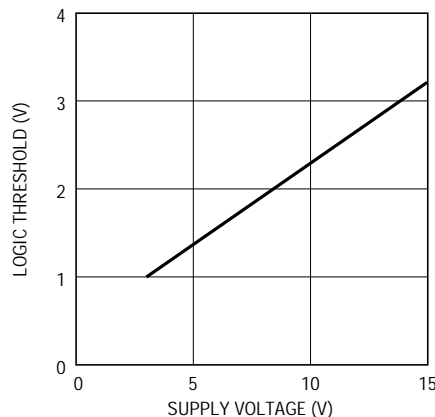


1590 G09

標準的性能特性

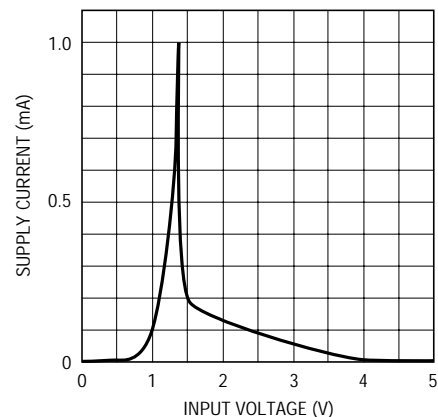
中間スケールでの
グリッチ・インパルス

1590 G11

ロジック・スレッシュホールドと
電源電圧

1590 G04

電源電流とロジック入力電圧



1590 G01

ピン機能

V_{REFB} 、 V_{REFA} (ピン1、9): DAC A/Bのリファレンス入力。標準 $\pm 10V$ で、 $\pm 25V$ まで受け入れます。

R_{FBB} 、 R_{FBA} (ピン2、8): DAC A/Bの帰還抵抗。通常、電流 - 電圧コンバータ・オペアンプの出力に接続します。標準振幅は $\pm 10V$ です。0V から $-V_{REF}$ まで振幅します。

OUT1 B、OUT1 A (ピン3、6): DAC A/B用の真の電流出力。通常、電流 - 電圧コンバータ・オペアンプの反転入力に接続します。

OUT2 B、OUT2 A (ピン4、5): DAC A/B用の相補電流出力。通常、グランドに接続します。

AGND (ピン7): アナログ・グランド・ピン。グランドに接続します。

DGND (ピン10): デジタル・グランド・ピン。グランドに接続します。

$\overline{CS/LD}$ (ピン11): シリアル・インタフェース・イネーブルおよびロード・コントロール入力。 $\overline{CS/LD}$ が "L" のとき、CLK信号がイネーブルされデータをクロック・インする

ことができます。 $\overline{CS/LD}$ を "H" にすると、シフト・レジスタからDACレジスタにデータがロードされ、DAC出力が更新されます。

D_{OUT} (ピン12): シリアル・データ出力。データはCLKの立上りエッジで有効になります。

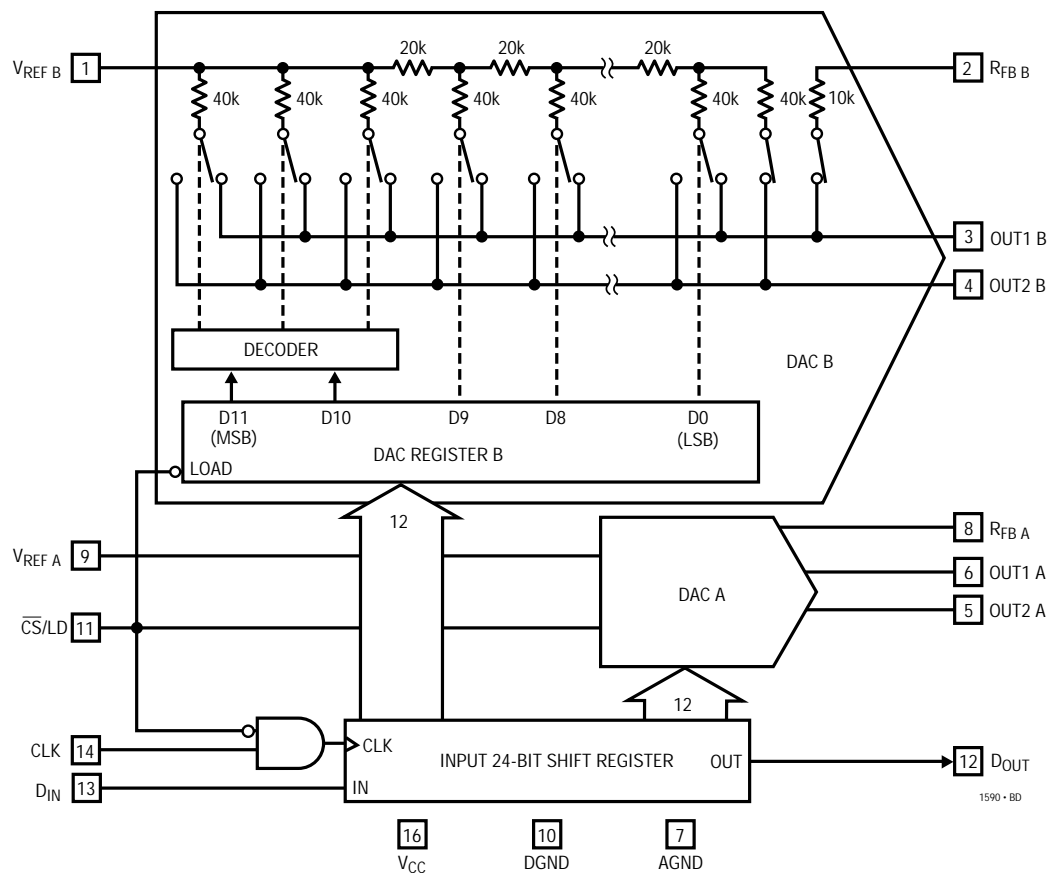
D_{IN} (ピン13): シリアル・データ入力。 D_{IN} ピン上のデータは、シリアル・クロックの立上りエッジでシフト・レジスタにラッチされます。データは1つの24ビット・ワードとしてロードされます。最初の12ビットはMSBを先頭にしてDAC Aに、2番目の12ビットはMSBを先頭にしてDAC Bに送られます。

CLK (ピン14): シリアル・インタフェース・クロック入力。

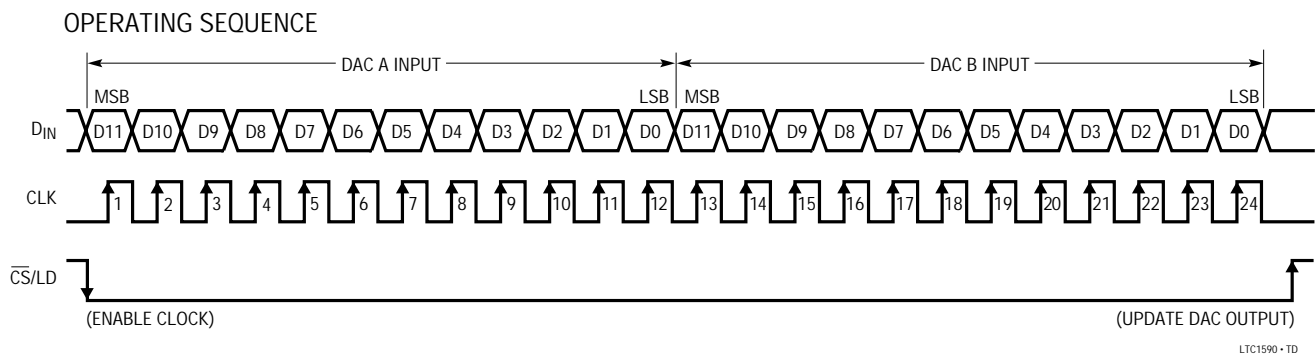
\overline{CLR} (ピン15): DAC用クリア・ピン。"L" にすると、両方のDACがゼロ・スケールにクリアされます。このピンは通常動作では、 V_{CC} に接続しなければなりません。

V_{CC} (ピン16): 正の電源入力。 $4.5 \leq V_{CC} \leq 5.5V$ 。グランドへバイパス・コンデンサを接続する必要があります。

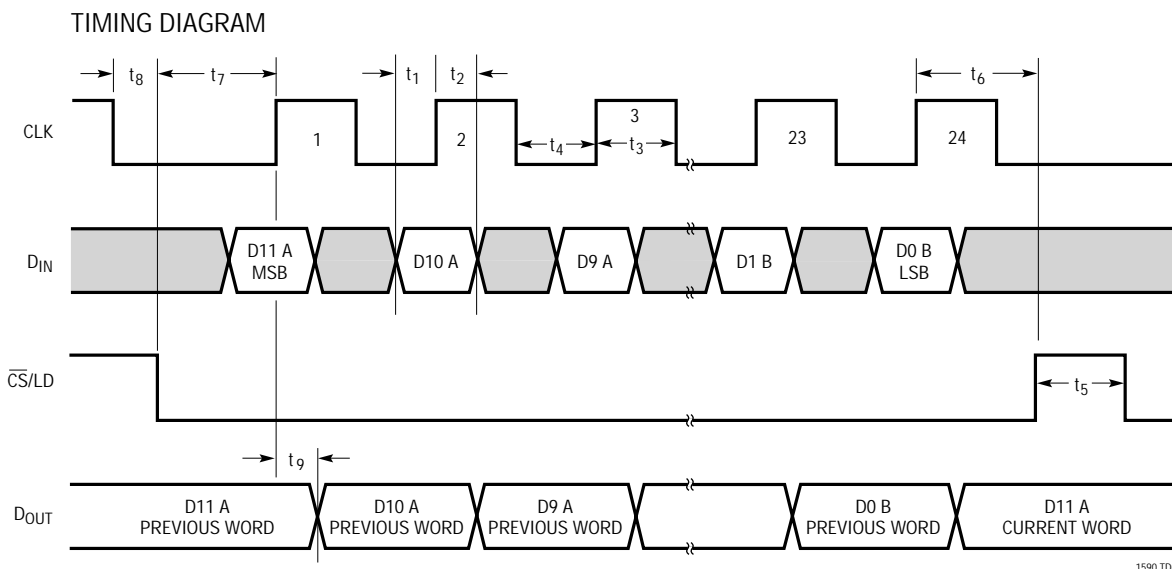
ブロック図



タイミング図



タイミング図



アプリケーション情報

概要

LTC1590はシリアル入力と電流出力を備えたデュアル12ビット乗算型DACです。高精度R/2R抵抗ラダー・テクノロジーを駆使して、卓越した直線性と安定性を提供します。このデバイスは単一5V電源で動作し、オペアンプを外付けして使用すれば、 $\pm 10\text{V}$ のリファレンス入力および電圧出力範囲を提供します。

シリアルI/O

LTC1590は24ビットのシリアル・ワードを受け入れる3線式SPI/MICROWIRE™対応シリアル・ポートを備えています。データはMSBを先頭にしてロードされ、最初の12ビットはDAC A、そして2番目の12ビットはDAC Bを制御します。データはCLKの立上りエッジで、D_{IN}入力にシフトインされます。CLK入力をイネーブルするためにデータを転送する前に、CS/LD入力を“L”にしなければなりません。データを転送した後、CS/LDを“H”にして、シフト・レジスタから両方のDACを更新するDACレジスタにデータをロードします。

24ビット・シフト・レジスタのバッファ出力は、D_{OUT}ピンに現れます。あるDACのD_{OUT}ピンを次のDACのD_{IN}ピンに接続することにより、複数のDACをまとめて1本の3線式インタフェースにデジチェーンすることができます(タイミング図のセクションを参照)。

MICROWIREはナショナル・セミコンダクター社の商標です。

等価回路

図1はLTC1590 DACの等価アナログ回路を示します。Rはリファレンス入力R_{REF}で、標準11kです。DAC出力は以下の値のテブナン等価電流源によって表されます：

$$\left(\text{コード} / 4096 \right) \times V_{\text{REF}} / R$$

電流源I_{LKG}はDAC出力スイッチの接合リークをモデル化したものです。I_{LKG}は85℃で標準5nA未満であり、温度が10℃低下するごとに、ほぼ1/2ずつ減少します。C_{OUT}は出力容量で、これもDAC出力スイッチから来ており、ゼロスケールの30pFからフルスケールの60pFまで変化します。R_Oは等価出力抵抗で、デジタル入力コードに応じて変化します(オペアンプの選択セクションを参照)。

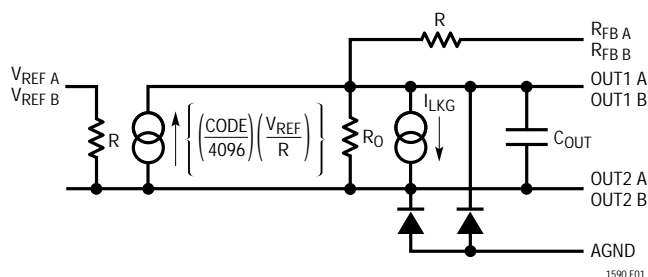


図1. 等価回路

アプリケーション情報

ユニポラ2象限乗算モード

($V_{OUT} = 0V \sim -V_{REF}$)

LTC1590は、図2に示すとおり1個のデュアル・オペアンプを外付けして、デュアルの2象限乗算DACにすることができます。ユニポラDAC伝達特性を表1に示します。内部帰還抵抗とOUT1出力容量によって生じるポールを補償するために、33pFの帰還コンデンサが推奨されます。高速オペアンプの場合は安定動作のためにこの帰還コンデンサが必要で、高速過渡応答と最短セトリング・タイムを実現するには、より小さな8pF ~ 15pFの容量が望ましい場合があります。より低い周波数の信号に対しては、広帯域ノイズ、グリッチ・インパルス、および歪みを低減するために、より大きな帰還コンデンサを使用することができます。ほぼ($C_{FB} \times R_{FB}$)でDAC伝達特性にポールが現れます。たとえば、100pFの帰還コンデンサは、通常以下のところにポールを導入します：

$$145\text{kHz} = \frac{1}{2\pi(100\text{pF})(11\text{k}\Omega)}$$

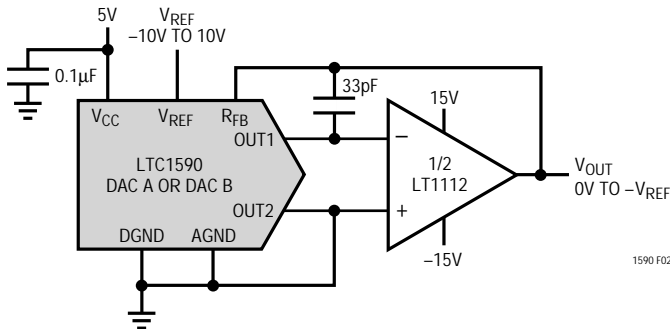


図2. ユニポラ動作(2象限乗算)

表1. ユニポラ・バイナリ・コード表

DIGITAL INPUT BINARY NUMBER IN DAC REGISTER			ANALOG OUTPUT V_{OUT}
MSB	LSB		
1111	1111	1111	$-V_{REF} (4095/4096)$
1000	0000	0000	$-V_{REF} (2048/4096) = -V_{REF}/2$
0000	0000	0001	$-V_{REF} (1/4096)$
0000	0000	0000	0V

バイポラ4象限乗算モード

($V_{OUT} = -V_{REF} \sim +V_{REF}$)

図3の回路を使用して、デュアルの4象限乗算DACにすることができます。この回路はユニポラ・アプリケーション回路を基にして、3本の抵抗とオペアンプが追加されています。これらの追加デバイスは、ユニポラ出力からバイポラ出力まで -2の利得と、($-1 \times V_{REF}$)のオフセットを提供し、表2に示す伝達特性を生成します。マッチングのとれた20k抵抗パックを使用し、2本の抵抗を並列にして10k抵抗にすることを推奨します。

表2. バイポラ・オフセット・バイナリ・コード表

DIGITAL INPUT BINARY NUMBER IN DAC REGISTER			ANALOG OUTPUT V_{OUT}
MSB	LSB		
1111	1111	1111	$+V_{REF}$ (2047/2048)
1000	0000	0001	$+V_{REF}$ (1/2048)
1000	0000	0000	0V
0111	1111	1111	$-V_{REF}$ (1/2048)
0000	0000	0000	$-V_{REF}$ (2048/2048) = $-V_{REF}$

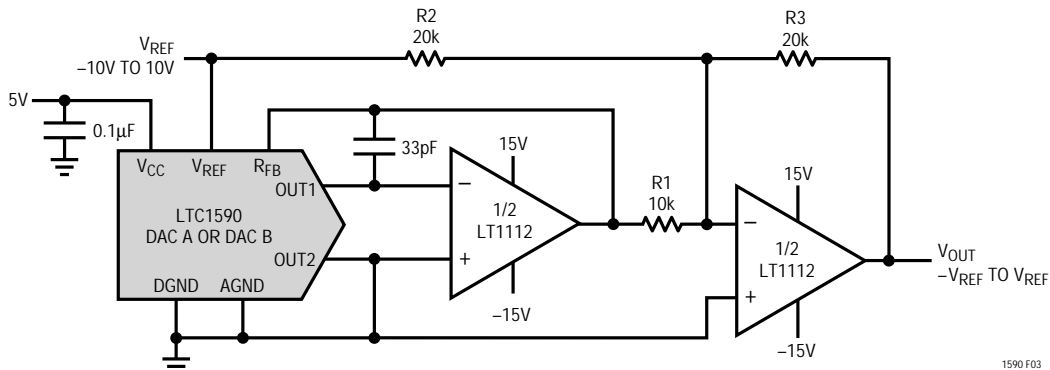


図3. バイポラ動作(4象限乗算)

アプリケーション情報

オペアンプの選択

LTC1590の優れた精度と安定性を維持するには、オペアンプの選択に配慮が必要です。幸いにも、オペアンプ・オフセットに対するINLおよびDNLの感度は、この種の競合デバイスに比べて大幅に低減されています。オペアンプの V_{OS} によって、DAC出力オフセットが生じます。さらに、DACの等価出力抵抗 R_O はコードの関数として変化するので、 V_{OS} に比例したコードに依存するDAC出力誤差があります。固定リファレンス・アプリケーションの場合、これによって利得、INL、およびDNL誤差が生じます。乗算アプリケーションの場合、コードに依存するDC出力電圧誤差が見られます。ゼロスケールでは、DAC出力誤差はオペアンプ・オフセットと等しく、フルスケールでは出力誤差はオペアンプ・オフセットの2倍になります。たとえば、1mVのオペアンプ・オフセットにより、10Vのフルスケール範囲において0.41LSBのゼロスケール誤差と0.82LSBのフルスケール誤差が生じます。オフセットに生じるINL誤差は、ほぼオペアンプ $V_{OS} \times 0.4$ 、DNL誤差はオペアンプ $V_{OS} \times 0.07$ です。1mVのオペアンプ V_{OS} と10Vのフルスケール範囲では、INLの性能低下は0.17LSBで、DNLの性能低下は0.03LSBです。

オペアンプのバイアス電流によって、 $(I_{BIAS})(R_{FB}) \approx (I_{BIAS})(11k)$ のオフセット誤差しか生じません。たとえば、

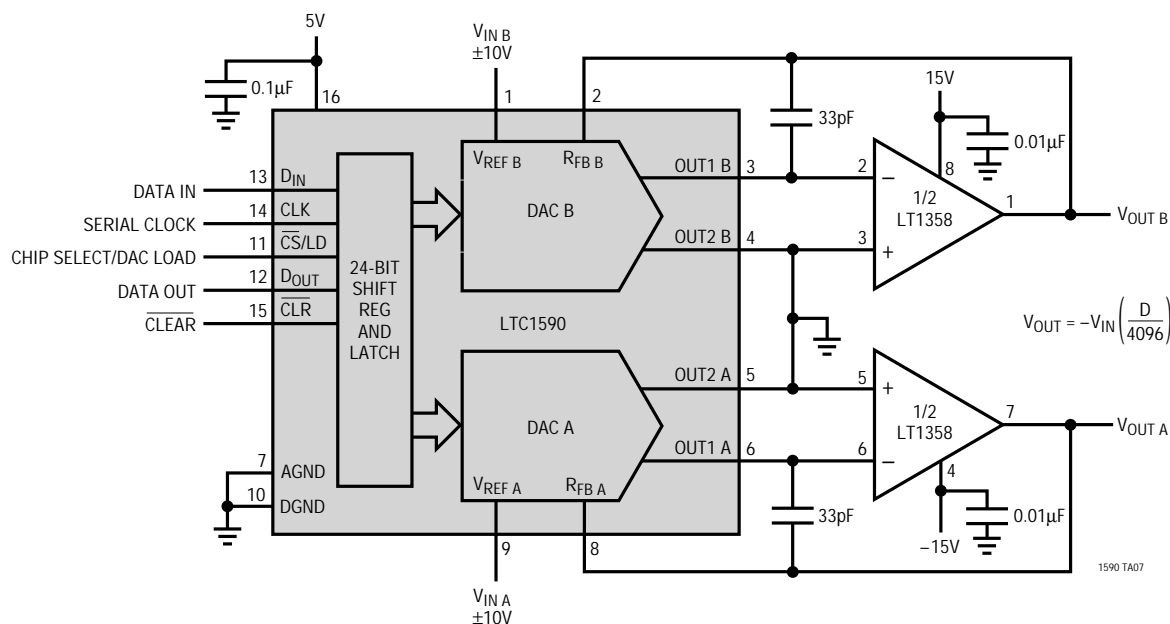
100nAのオペアンプ・バイアス電流によって、1.1mVのDACオフセット、すなわち10Vのフルスケール範囲に対して0.45LSBが生じます。オペアンプの非反転入力、抵抗を通してグラウンドに接続しても、バイアス電流誤差はキャンセルされないで、これを行わないことが重要です！同様に、オペアンプのバイアス電流によって生じるオフセットはオペアンプのヌル・ピンを使って調節してはなりません。これは、DAC OUT1ピンとOUT2ピン間のオフセットを増大させ、INL、DNL、および利得誤差を生じるためです。オペアンプのオフセット誤差調整が必要な場合は、オペアンプの入力オフセット電圧(OUT1とOUT2の電圧差)をゼロにしなければなりません。

接地

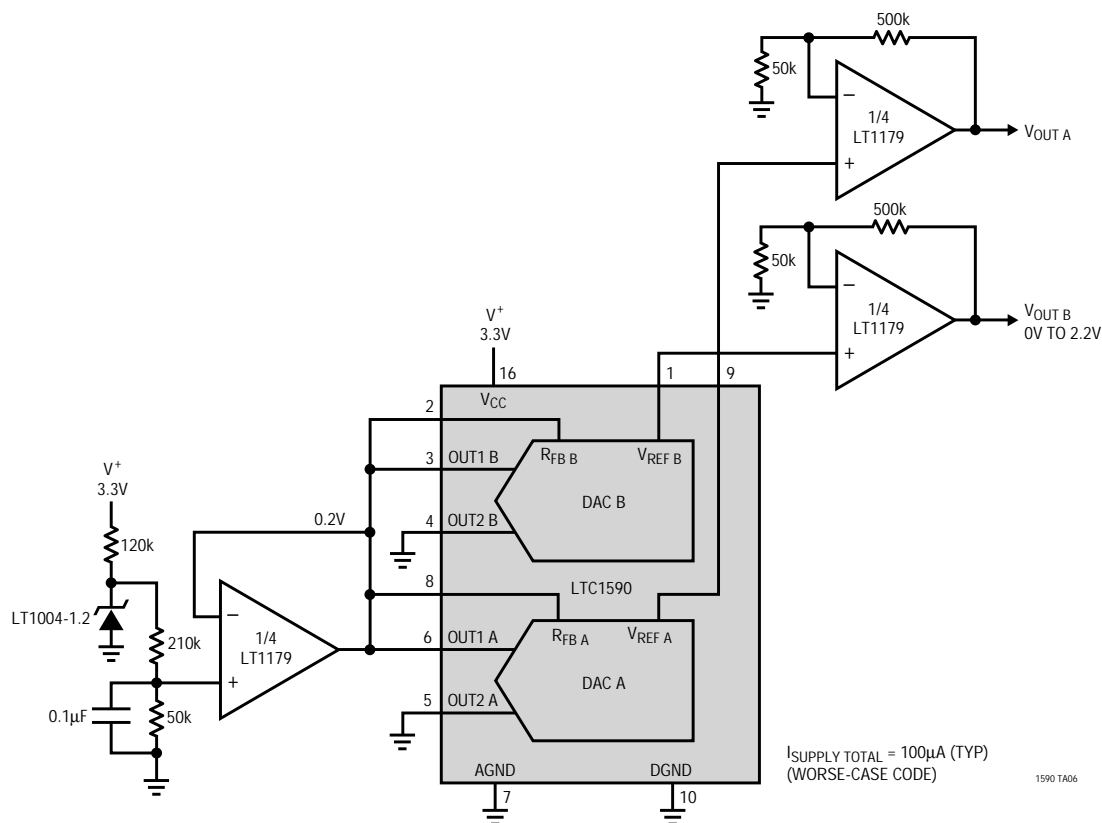
他の高精度データ・コンバータと同様、クリーンなグラウンド接続が重要です。低インピーダンスのアナログ・グラウンド・プレーンと星状接地を使用してください。OUT2は相補的なDAC出力電流を伝達し、できる限り低い抵抗で、星状グラウンドに接続しなければなりません。星状グラウンド点に接続しなければならない他のグラウンド点には、 V_{REF} 入力グラウンド、オペアンプの非反転入力、および V_{OUT} グラウンド・リファレンス点があります。

標準的応用例

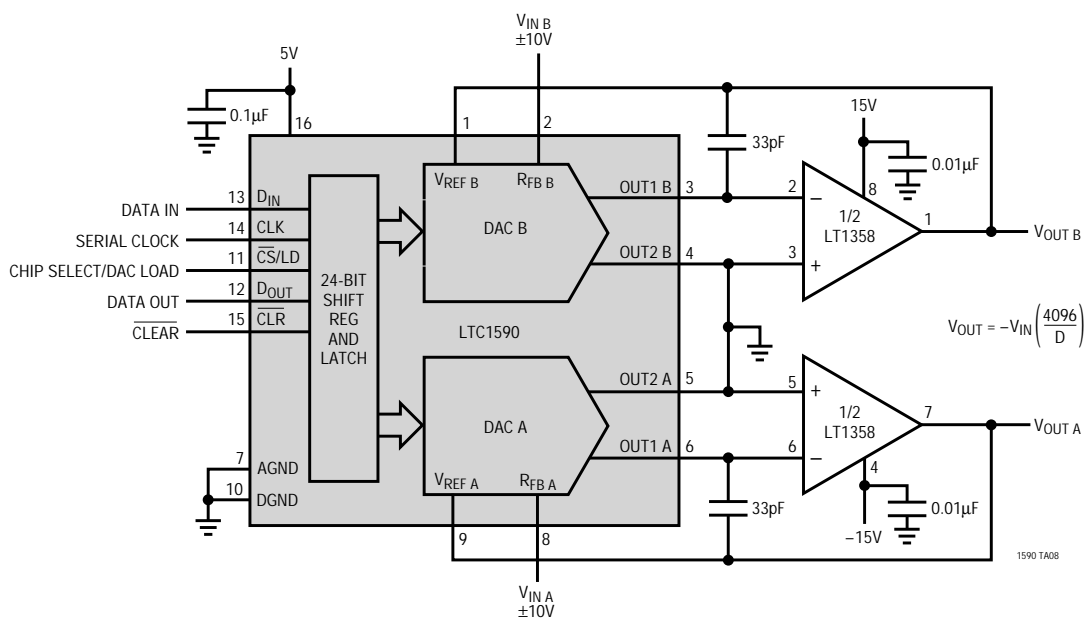
デュアルのプログラム可能な減衰器



標準の応用例

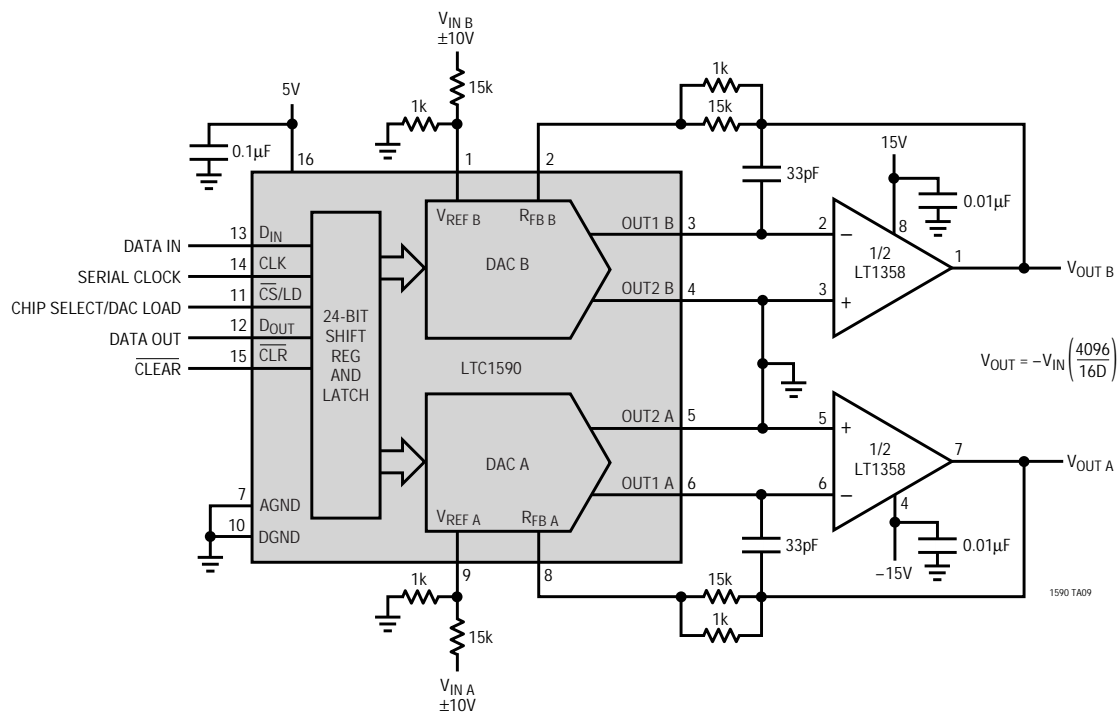
超低消費電力、単一電源、デュアルV_{OUT} DAC

デュアルのプログラム可能な利得アンプ



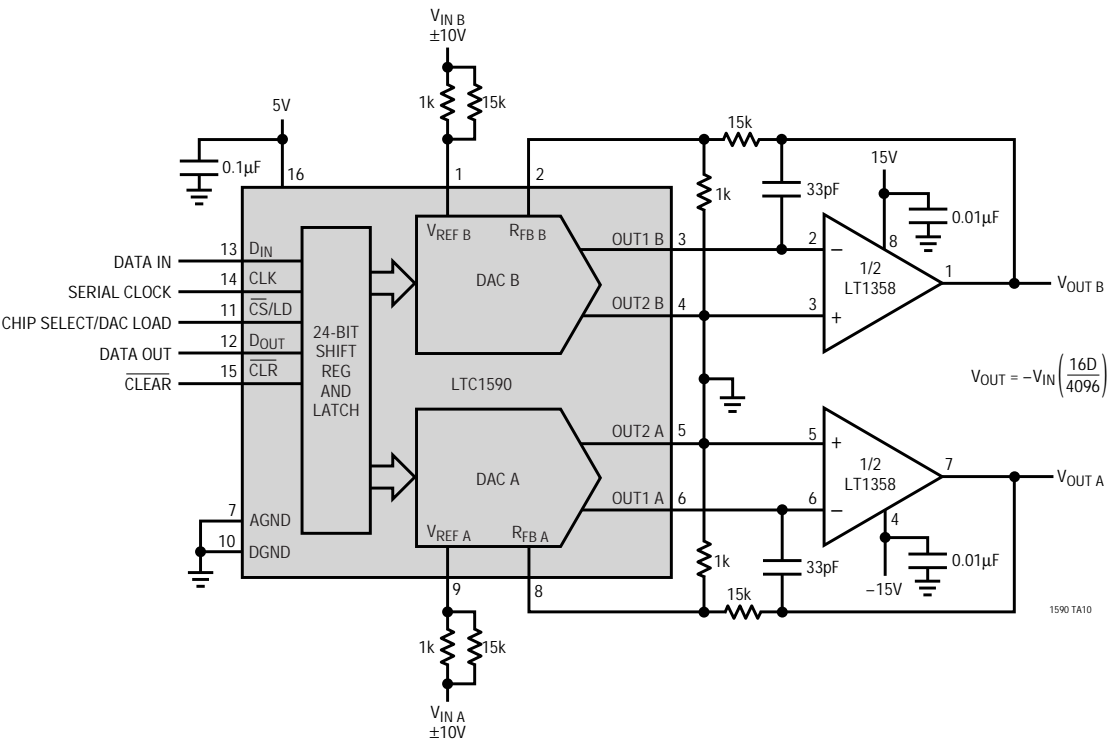
標準的応用例

デュアルの入力減衰付きプログラム可能な利得アンプ



標準的応用例

デュアルの利得付きプログラム可能減衰器



関連製品

PART NUMBER	DESCRIPTION	COMMENTS
LTC1595	16-Bit Multiplying I _{OUT} DAC in SO-8	True 16-Bit Upgrade for DAC8043
LTC1596	16-Bit Multiplying I _{OUT} DAC	True 16-Bit Upgrade for DAC8143 and AD7543
LTC7541A	Parallel I/O Multiplying I _{OUT} 12-Bit DAC	12-Bit Wide Parallel Input
LTC7543/LTC8143	Serial I/O Multiplying I _{OUT} 12-Bit DACs	Clear Pin and Serial Data Output (LTC8143)
LTC7545A	Parallel I/O Multiplying I _{OUT} 12-Bit DAC	12-Bit Wide Latched Parallel Input
LTC8043	Serial I/O Multiplying I _{OUT} 12-Bit DAC	8-Pin SO and PDIP