

# パラレル入力、12ビット レール・トゥ・レール、マイクロパワー DAC、SSOPパッケージ

## 特長

- 単調性を保証
- バッファされた真のレール・トゥ・レール電圧出力
- 12ビット分解能
- 3V動作 (LTC1450L)  $I_{CC}$  : 250 $\mu$ A (標準)
- 5V動作 (LTC1450)  $I_{CC}$  : 400 $\mu$ A (標準)
- パラレル12-ビットまたは8 + 4ビット・ダブルバッファ・デジタル入力
- 内部リファレンス
- 利得1または2に構成可能な出力バッファ
- 乗算DACとして構成可能
- 内部パワーオン・リセット
- 最大DNL誤差 : 0.5LSB

## アプリケーション

- デジタル校正
- 産業用プロセス・コントロール
- 自動試験装置
- 汎用ファンクション・ジェネレータ
- バッテリ動作データ変換製品
- フィードバック制御ループおよび利得制御

## 概要

LTC<sup>®</sup>1450/LTC1450Lは、24ピンSSOPまたはPDIPパッケージに収納された完全な単一電源、レール・トゥ・レール電圧出力、12ビット・デジタル/アナログ・コンバータ(DAC)です。出力バッファ・アンプ、リファレンス、およびダブルバッファ・パラレル・デジタル・インタフェースを備えています。

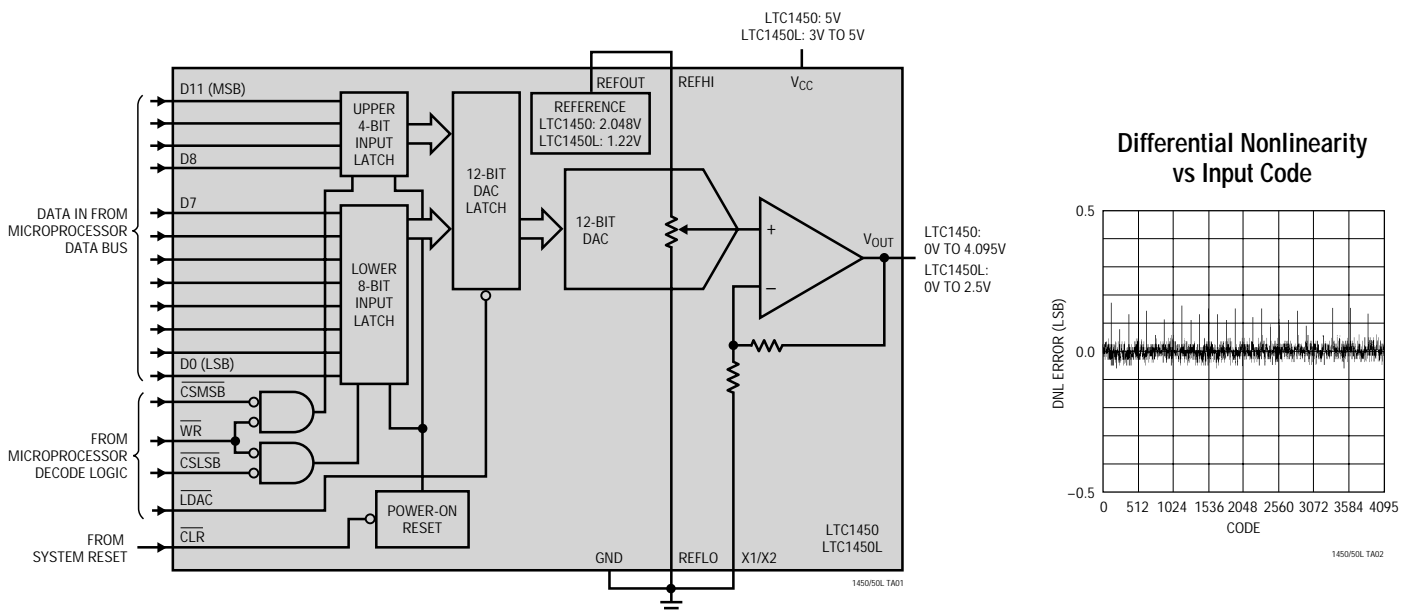
LTC1450は4.5V ~ 5.5V電源で動作し、出力は4.095Vまたは2.048Vのフルスケール選択できます。また、2.048V内部リファレンスを内蔵しています。

LTC1450Lは2.7V ~ 5.5V電源で動作し、出力は2.5Vまたは1.22Vのフルスケール選択できます。また、2.048V内部リファレンスを内蔵しています。

LTC1450/LTC1450Lは真の独立した性能を提供します。さらに、リファレンス出力、高・低リファレンス入力、利得設定抵抗ピンがあり、柔軟性が向上しています。

LT, LTC, LTはリニアテクノロジー社の登録商標です。  
 RAIL-TO-RAILは日本モトローラ(株)の登録商標です。

## TYPICAL APPLICATION



# LTC1450/LTC1450L

## ABSOLUTE MAXIMUM RATINGS

$V_{CC}$ to GND .....	-0.5V to 7.5V
Logic Inputs to GND .....	-0.5V to 7.5V
$V_{OUT}$ .....	-0.5V to $V_{CC} + 0.5V$
REFOUT, REFLO, REFHI, X1/X2 .....	-0.5V to $V_{CC} + 0.5V$
Maximum Junction Temperature .....	125°C
Operating Temperature Range	
Commercial .....	0°C to 70°C
Industrial .....	-40°C to 85°C
Storage Temperature Range .....	-65°C to 150°C
Lead Temperature (Soldering, 10 sec) .....	300°C

## PACKAGE/ORDER INFORMATION

<p>TOP VIEW</p> <p>G PACKAGE 24-LEAD PLASTIC SSOP</p> <p>N PACKAGE 24-LEAD PLASTIC PDIP</p> <p><math>T_{JMAX} = 125^{\circ}C</math>, <math>\theta_{JA} = 95^{\circ}C/W</math> (G)  <math>T_{JMAX} = 125^{\circ}C</math>, <math>\theta_{JA} = 58^{\circ}C/W</math> (N)</p>		ORDER PART NUMBER
		LTC1450CG LTC1450CN LTC1450IG LTC1450IN LTC1450LCG LTC1450LCN LTC1450LIG LTC1450LIN

Consult factory for Military grade parts.

## ELECTRICAL CHARACTERISTICS

$V_{CC} = 4.5V$  to  $5.5V$  (LTC1450),  $2.7V$  to  $5.5V$  (LTC1450L),  $V_{OUT}$  unloaded, REFOUT = REFHI, REFLO = GND = X1/X2,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DAC							
	Resolution		●	12			Bits
DNL	Differential Nonlinearity	Guaranteed Monotonic (Note 1)	●			±0.5	LSB
INL	Integral Nonlinearity	T <sub>A</sub> = 25°C (Note 1)	●			±3.5 ±4.0	LSB LSB
V <sub>OS</sub>	Offset Error	T <sub>A</sub> = 25°C	●			±12 ±18	mV mV
V <sub>OS</sub> TC	Offset Error Temperature Coefficient				±15		μV/°C
V <sub>FS</sub>	Full-Scale Voltage	Using Internal Reference, LTC1450, T <sub>A</sub> = 25°C		4.065	4.095	4.125	V
		Using Internal Reference, LTC1450	●	4.045	4.095	4.145	V
		External 2.048V Reference, LTC1450	●	4.075	4.095	4.115	V
		Using Internal Reference, LTC1450L, T <sub>A</sub> = 25°C		2.470	2.500	2.530	V
		Using Internal Reference, LTC1450L	●	2.460	2.500	2.540	V
		External 1.22V Reference, LTC1450L	●	2.480	2.500	2.520	V
V <sub>FS</sub> TC	Full-Scale Voltage Temperature Coefficient	Using Internal Reference, LTC1450			±0.10		LSB/°C
		Using External Reference, LTC1450/LTC1450L			±0.02		LSB/°C
		Using Internal Reference, LTC1450L			±0.10		LSB/°C
Reference Output (REFOUT)							
	Reference Output Voltage	LTC1450L	●	1.195	1.220	1.245	V
		LTC1450	●	2.008	2.048	2.088	V
	Reference Output Temperature Coefficient				±0.08		LSB/°C
	Reference Line Regulation		●		0.7	±2	LSB/V
	Reference Load Regulation	0 ≤ I <sub>OUT</sub> ≤ 100μA, LTC1450L	●		0.6	±3.0	LSB
		LTC1450	●		0.2	±1.5	LSB
	Short-Circuit Current	REFOUT Shorted to GND	●			80	mA

# ELECTRICAL CHARACTERISTICS

$V_{CC} = 4.5V$  to  $5.5V$  (LTC1450),  $2.7V$  to  $5.5V$  (LTC1450L),  $V_{OUT}$  unloaded,  
 $REF_{OUT} = REF_{HI}$ ,  $REF_{LO} = GND = X1/X2$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Reference Input (REFLO = GND)							
	REFHI Input Range	$V_{REFHI} \leq V_{CC} - 1.5V$	●			$V_{CC}/2$	V
	REFHI Input Resistance		●	8	18	30	kΩ
	REFHI Input Capacitance				15		pF
Power Supply							
$V_{CC}$	Positive Supply Voltage	For Specified Performance, LTC1450L LTC1450	● ●	2.7 4.5		5.5 5.5	V V
$I_{CC}$	Supply Current	$4.5V \leq V_{CC} \leq 5.5V$ (Note 4) LTC1450 $2.7V \leq V_{CC} \leq 5.5V$ (Note 4) LTC1450L	● ●	300 150	400 250	620 500	μA μA
Op Amp DC Performance							
	Short-Circuit Current Low	$V_{OUT}$ Shorted to GND	●			100	mA
	Short-Circuit Current High	$V_{OUT}$ Shorted to $V_{CC}$	●			120	mA
	Output Impedance to GND	Input Code = 0	●		40	120	Ω
AC Performance							
	Voltage Output Slew Rate	(Note 2)	●	0.5	1.0		V/μs
	Voltage Output Settling Time	(Notes 2, 3) to ±0.5LSB			14		μs
	Digital Feedthrough	LDAC = 1			5		(nV)(s)
	AC Feedthrough	REFHI = 1kHz, 2V <sub>P-P</sub>			−95		dB
SINAD	Signal-to-Noise + Distortion	REFHI = 1kHz, 2V <sub>P-P</sub> (Code: All 1's)			85		dB
Digital Inputs							
$V_{IH}$	Digital Input High Voltage	$V_{CC} = 3V$ , LTC1450L $V_{CC} = 5V$ , LTC1450	● ●	2.2 2.4			V V
$V_{IL}$	Digital Input Low Voltage	$V_{CC} = 3V$ , LTC1450L $V_{CC} = 5V$ , LTC1450	● ●			0.8 0.8	V V
$V_{LTH}$	Logic Threshold Voltage	LTC1450L			$V_{CC}/2$		V
$I_{LEAK}$	Digital Input Leakage	$V_{CC} = 5V$ , $V_{IN} = GND$ to $V_{CC}$	●	−10		10	μA
$C_{IN}$	Digital Input Capacitance	Guaranteed by Design. Not Subject to Test	●			10	pF

# LTC1450/LTC1450L

## ELECTRICAL CHARACTERISTICS

$V_{CC} = 4.5V$  to  $5.5V$  (LTC1450),  $V_{CC} = 2.7V$  to  $3.6V$  (LTC1450L),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Switching Characteristics (Note 5)</b>						
$t_{CS}$	$\overline{CS}$ (MSB or LSB) Pulse Width		●	40		ns
$t_{WR}$	$\overline{WR}$ Pulse Width		●	40		ns
$t_{CWS}$	$\overline{CS}$ to $\overline{WR}$ Setup		●	0		ns
$t_{CWH}$	$\overline{CS}$ to $\overline{WR}$ Hold		●	0		ns
$t_{DWS}$	Data Valid to $\overline{WR}$ Setup	$V_{CC} = 4.5V$ to $5.5V$ (LTC1450)	●	40	15	ns
		$V_{CC} = 2.7V$ to $3.6V$ (LTC1450L)	●	40	15	ns
		$V_{CC} = 5V$ (LTC1450L)			10	ns
$t_{DWH}$	Data Valid to $\overline{WR}$ Hold	$V_{CC} = 4.5V$ to $5.5V$ (LTC1450)	●	0	-10	ns
		$V_{CC} = 2.7V$ to $3.6V$ (LTC1450L)	●	0	-10	ns
		$V_{CC} = 5V$ (LTC1450L)			-5	ns
$t_{LDAC}$	$\overline{LDAC}$ Pulse Width		●	40		ns
$t_{CLR}$	$\overline{CLR}$ Pulse Width		●	40		ns

The ● denotes specifications which apply over the full operating temperature range.

**Note 1:** Nonlinearity is defined from the first code that is greater than or equal to the maximum offset specification to code 4095 (full-scale).

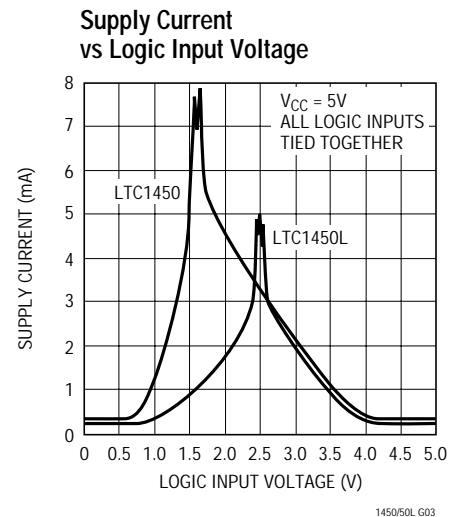
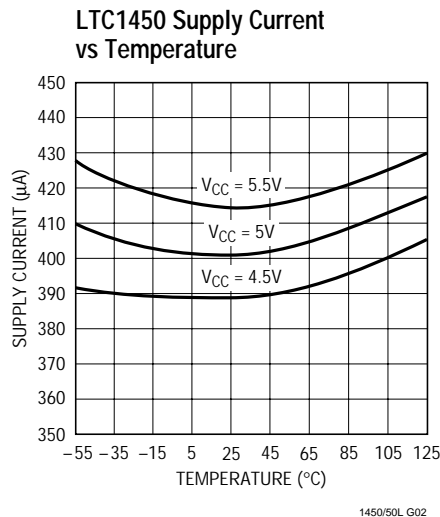
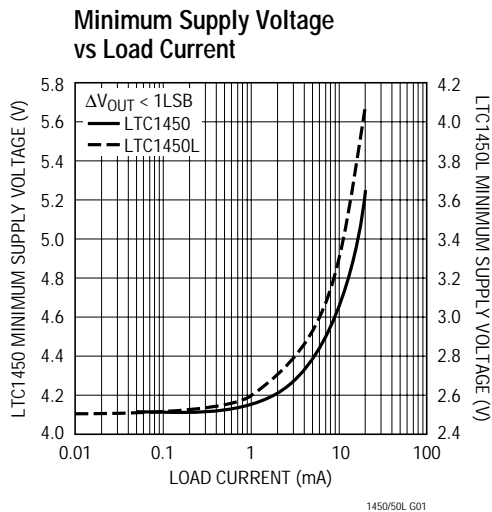
**Note 2:** Load is  $5k\Omega$  in parallel with  $100pF$ .

**Note 3:** DAC switched all 1's and the code corresponding to  $V_{OS(MAX)}$  for the part.

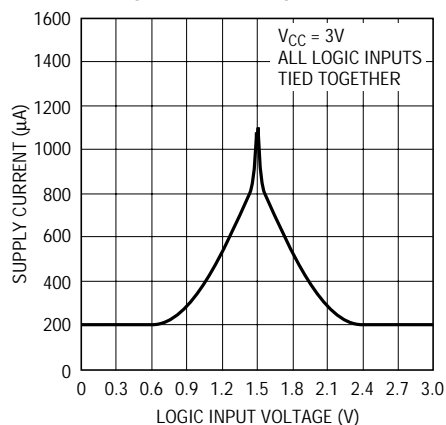
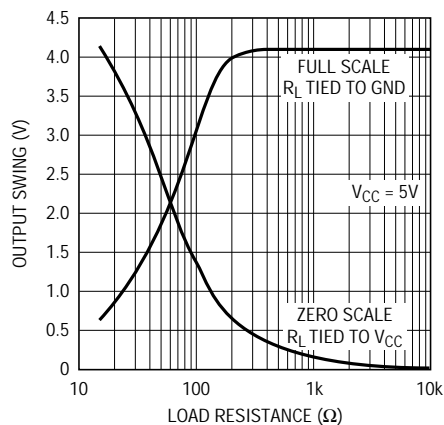
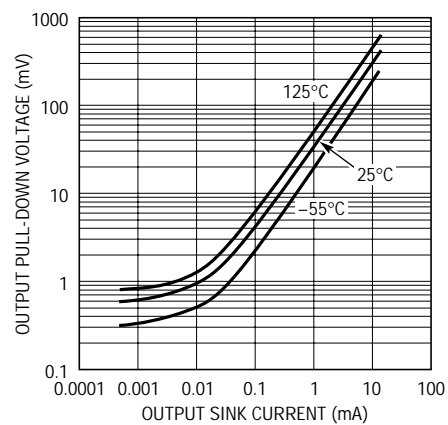
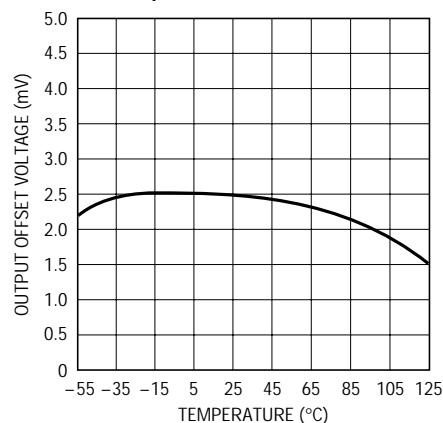
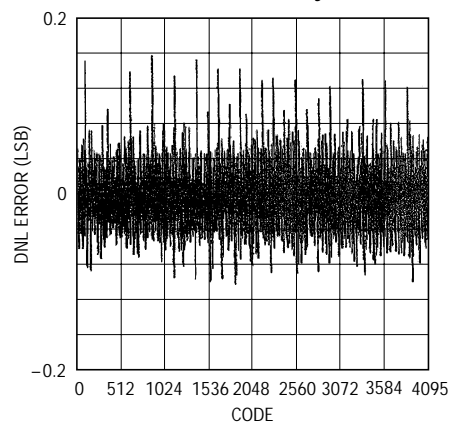
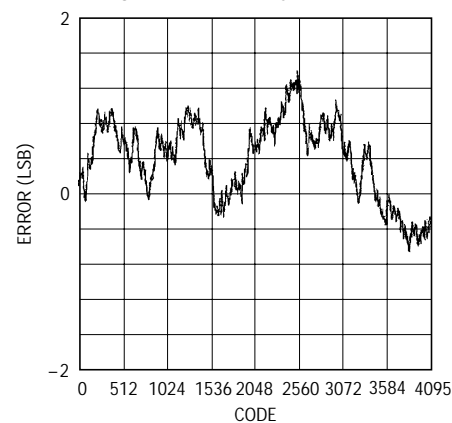
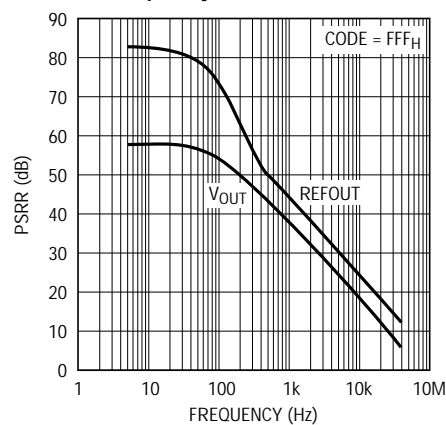
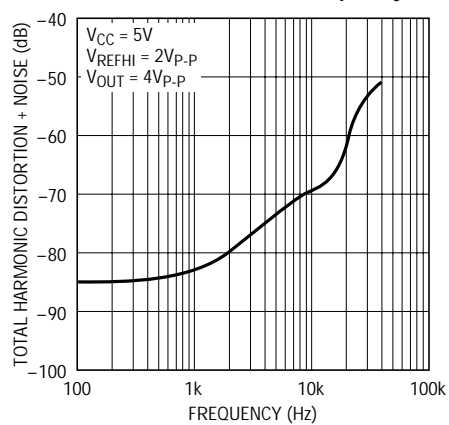
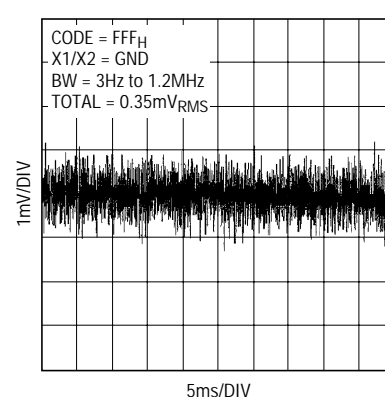
**Note 4:** Digital inputs at  $0V$  or  $V_{CC}$ .

**Note 5:** Digital inputs swing 10% to 90% of  $V_{CC}$ ,  $t_r = t_f = 5ns$  and timing measurements are from  $V_{CC}/2$ .

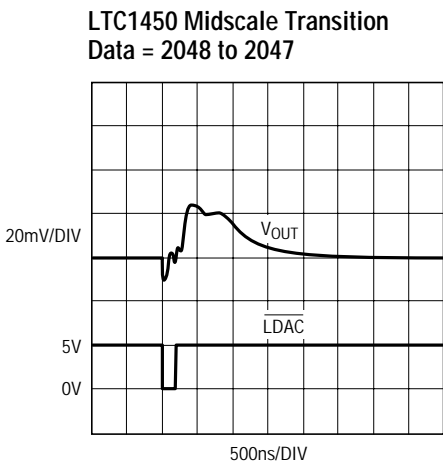
## TYPICAL PERFORMANCE CHARACTERISTICS



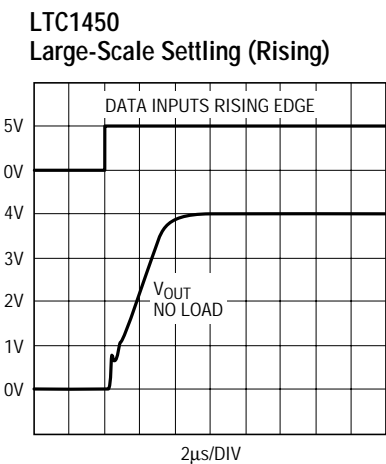
## TYPICAL PERFORMANCE CHARACTERISTICS

LTC1450L Supply Current  
vs Logic Input VoltageLTC1450 Output Swing  
vs Load ResistanceLTC1450 Pull-Down Voltage vs  
Output Sink Current CapabilityLTC1450 Output Offset Voltage  
vs TemperatureLTC1450  
Differential Nonlinearity (DNL)LTC1450  
Integral Nonlinearity (INL)Power Supply Rejection  
vs FrequencyLTC1450 Total Harmonic  
Distortion + Noise vs FrequencyLTC1450  
Broadband Output Noise

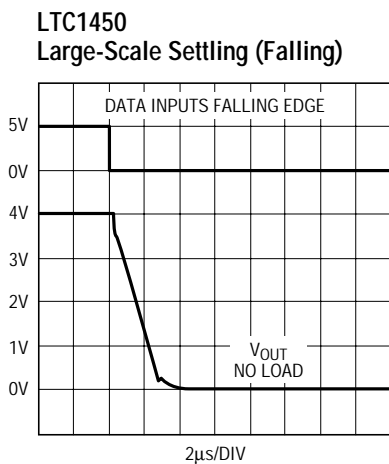
TYPICAL PERFORMANCE CHARACTERISTICS



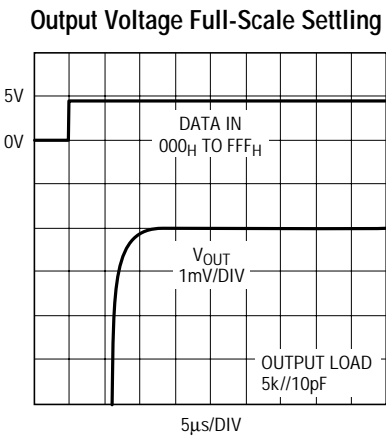
1450/50L G13



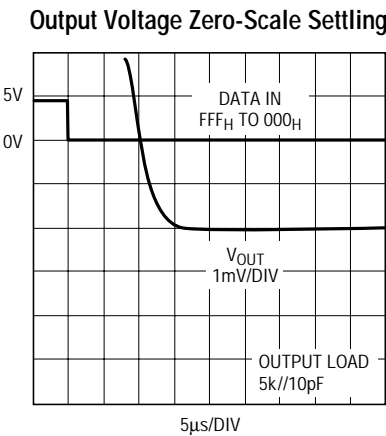
1450/50L G14



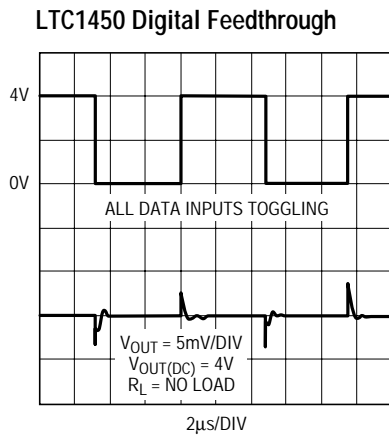
1450/50L G15



1450/50L G16



1450/50L G17



1450/50L G18

## ピン機能

$\overline{WR}$  (ピン1): ライト入力(アクティブ“L”)。  $\overline{CSMSB}$  または  $\overline{CSLSB}$  とともに使用され、データを入力ラッチにロードします。  $\overline{WR}$  と  $\overline{CSLSB}$  または  $\overline{CSMSB}$  が “L” に保持されると、イネーブルされた入力ラッチは簡易的に制御でき、  $\overline{WR}$  の立上りエッジで、データはすべての入力ラッチにラッチされます。

$\overline{CSLSB}$  (ピン2): チップ・セレクト最下位バイト(アクティブ“L”)。 データを8つのLSB入力ラッチにロードするのに使用されます。  $\overline{WR}$  と  $\overline{CSLSB}$  を “L” に保持すると、8つのLSB入力ラッチが簡易的に制御でき、立上りエッジでデータが8つのLSB入力ラッチにラッチされます。  $\overline{CSMSB}$  に接続すると、12ビット・バス上の2組の入力ラッチに同時にロードすることができます。

$\overline{CSMSB}$  (ピン3): チップ・セレクト最上位バイト(アクティブ“L”)。  $\overline{WR}$  とともに使用され、データを4つのMSB入力ラッチにロードします。  $\overline{WR}$  および  $\overline{CSMSB}$  が “L” に保持されると、4つのMSB入力ラッチは簡易的に制御でき、立上りエッジでデータが4つのMSB入力ラッチにラッチされます。  $\overline{CSMSB}$  に接続すると、12ビット・バス上の2組の入力ラッチに同時にロードすることができます。

D0 ~ D7 (ピン4 ~ 11): 最下位バイトの入力データ。  $\overline{WR} = 0$  および  $\overline{CSLSB} = 0$  のときは、LSB入力ラッチにロードされます。

D8、D9、D10、D11 (ピン12、14、14、15): 最上位バイトの入力データ。  $\overline{WR} = 0$  および  $\overline{CSMSB} = 0$  のときは、MSB入力ラッチにロードされます。8ビット・バス上での多重化動作を行う場合は、D0 ~ D3に接続できます。

GND (ピン16): グランド

REFLQ (ピン17): DACの内部抵抗ストリングの下部入力端子。通常、アナログ・グランドに接続します。コー

ド(000<sub>H</sub>)を入力すると、出力バッファの正入力がこの端子に接続されます。グランドより高いゼロ・スケールをオフセットするのに使用できます。

REFH (ピン18): DACの内部抵抗ストリングの上部入力端子。通常、REFOUTに接続します。コード(FFF<sub>H</sub>)を入力すると、出力バッファの正入力がこの端子から1LSBに接続されます。

REFOUT (ピン19): 内部2.048V/1.22Vリファレンスの出力。通常、内部DAC抵抗ストリングをドライブするためにREFHIに接続されます。

V<sub>CC</sub> (ピン20): 正電源入力。4.5V ≤ V<sub>CC</sub> ≤ 5.5V (LTC1450)、2.7V ≤ V<sub>CC</sub> ≤ 5.5V (LTC1450L)です。グランドにバイパス・コンデンサを接続する必要があります。

V<sub>OUT</sub> (ピン21): バッファされたDAC出力。

X1/X2 (ピン22): 利得設定抵抗ピン。G = 2を実現するにはGNDに、G = 1を実現するにはV<sub>OUT</sub>に接続します。容量性負荷ドライブ時に出力バッファの安定性を確保するために、常にグランドやV<sub>OUT</sub>などの低インピーダンス源に接続しなければなりません。

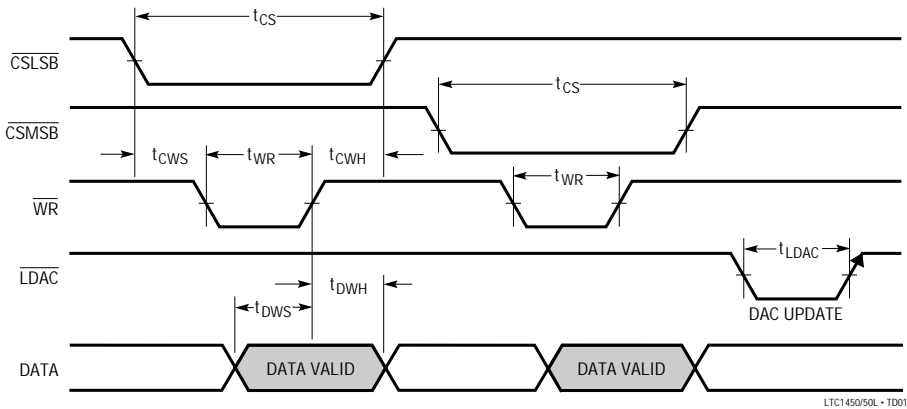
CLR (ピン23): クリア入力(非同期アクティブ“L”)。このピンが“L”のときは、すべての内部ラッチが非同期で0にリセットされます。

LDAQ (ピン24): ロードDAQ (非同期アクティブ“L”)。入力ラッチ内容を非同期でDACラッチに転送するのに使用されます。DACラッチにデータが転送されると出力電圧が変化します。データは立上りエッジでDACラッチにラッチされます。このピンを“L”に保持すると、DACラッチは簡易的に制御され、入力ラッチからのデータによって直ちにV<sub>OUT</sub>が変化します。

DIGITAL INTERFACE TRUTH TABLE

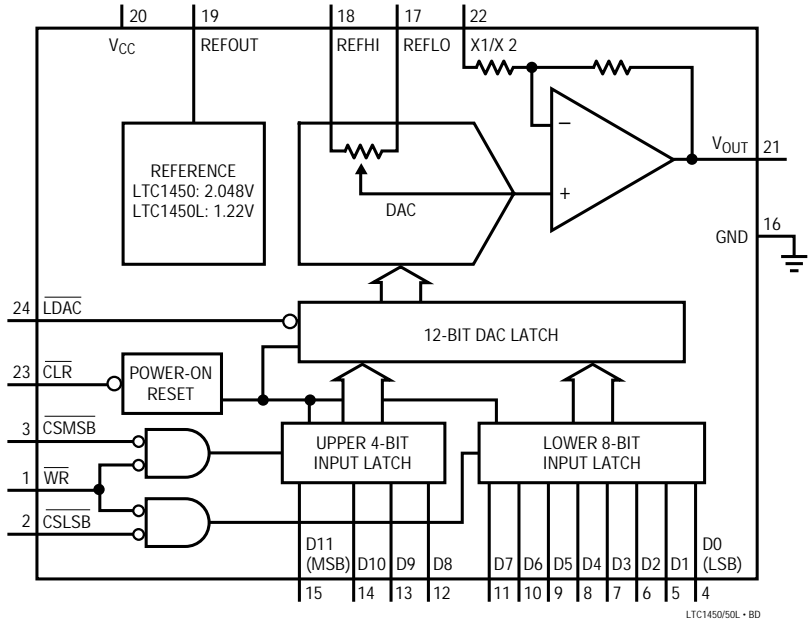
CLR	CSMSB	CSLSB	WR	LDAC	FUNCTION
H	H	L	L	H	Loads the eight LSBs into the input latch
H	H	L	↑	H	Latches the eight LSBs into the input latch
H	H	↑	L	H	Latches the eight LSBs into the input latch
H	L	H	L	H	Loads the four MSBs into the input latch
H	L	H	↑	H	Latches the four MSBs into the input latch
H	↑	H	L	H	Latches the four MSBs into the input latch
H	H	H	H	L	Loads the input latch data into the DAC latch
H	H	H	H	↑	Latches the input latch data into the DAC latch
H	L	L	L	L	Loads input data into DAC latches (latches transparent)
H	L	L	L	↑	Latches input data into DAC latches
L	X	X	X	X	All zeros loaded into input and DAC latches

TIMING DIAGRAM



LTC1450/50L • TD01

BLOCK DIAGRAM



LTC1450/50L • BD



## 定義

分解能(n)：分解能はデジタル入力ビット数(n)と定義されます。フルスケール・レンジを分割するDAC出力ステート数( $2^n$ )を定義します。分解能は直線性を意味するものではありません。

フルスケール電圧( $V_{FS}$ )：これはすべてのビットが1にセットされたときのDACの出力です。

電圧オフセット誤差( $V_{OS}$ )：DACにオール・ゼロをロードしたときの出力の理論電圧です。出力アンプは真の負オフセットを持つことができますが、デバイスは単一電源で動作するため、出力はゼロ以下に低下することはできません。オフセットが負の場合、出力はほぼ0Vを保持し、図1に示すような伝達曲線となります。

デバイスのオフセットは、次のとおり最大オフセット仕様に対応するコードで測定されます。

$$V_{OS} = V_{OUT} - [(コード)/V_{FS}/2^n - 1]]$$

最下位ビット(LSB)：1 LSBは2つの連続するコード間の理想電圧差です。

$$LSB = (V_{FS} - V_{OS})/(2^n - 1) = (V_{FS} - V_{OS})/4095$$

公称LSB:

LTC1450	$LSB = 4.095V/4095 = 1mV$
LTC1450L	$LSB = 2.5V/4095 = 0.610mV$

積分非直線性(INL)：エンドポイントINLは、DAC伝達曲線の両端を通る直線からの最大偏差です。デバイスは単一電源で動作し出力はゼロ以下にできないため、直線性はフルスケールと最大オフセット仕様に対応するコードの間で測定されます。ある入力コードに対するINL誤差は、次式で計算されます。

$$INL = [V_{OUT} - V_{OS} - (V_{FS} - V_{OS})(コード/4095)]/LSB$$

$$V_{OUT} = \text{ある入力コードで測定されるDACの出力電圧}$$

微分非直線性(DNL)：DNLは測定された変化と2つの隣接するコード間の理想1 LSB変化との差です。2つのコード間のDNL誤差は、次式で計算されます。

$$DNL = (\Delta V_{OUT} - LSB)/LSB$$

$$\Delta V_{OUT} = \text{2つの隣接するコード間で測定した電圧差}$$

デジタル・フィードスルー：アナログ出力が状態を変化したときに、デジタル入力からのAC結合によって、アナログ出力に発生するグリッチです。グリッチの面積は(nV)(s)で規定されます。

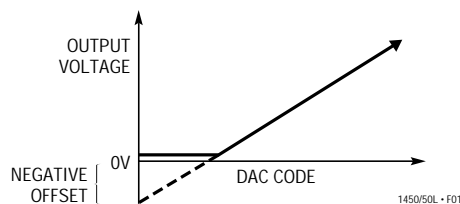


Figure 1. Effect of Negative Offset

## 動作

### パラレル・インタフェース

DAC入力のデータは、チップ・セレクト( $\overline{\text{CSLSB}}$ および/または $\overline{\text{CSMSB}}$ )と $\overline{\text{WR}}$ が論理“L”のときにDAC入力ラッチにロードされます。入力ラッチにロードされるデータは、論理“L”のチップ・セレクトによって決まります(デジタル・インタフェース真理値表を参照)。 $\overline{\text{WR}}$ と $\overline{\text{CSLSB}}$ の両方が“L”で $\overline{\text{CSMSB}}$ が“H”の場合、8つのLSB上のデータ(D0~D7)だけが入力ラッチにロードされます。同様に、 $\overline{\text{WR}}$ と $\overline{\text{CSMSB}}$ の両方が“L”で $\overline{\text{CSLSB}}$ が“H”の場合は、4つのMSB上のデータ(D8~D11)だけが入力ラッチにロードされます。 $\overline{\text{WR}}$ 、 $\overline{\text{CSLSB}}$ 、 $\overline{\text{CSMSB}}$ が“L”の場合、データは最下位データ・ビット群(D0~D7)と最上位ビット群(D8~D11)に同時にロードされます。

入力データは $\overline{\text{WR}}$ またはチップ・セレクトの1つの立上りエッジで、入力ラッチにラッチされます。 $\overline{\text{WR}}$ が“H”に変化すると、両方の入力ラッチにデータがラッチされます。 $\overline{\text{CSMSB}}$ の立上りエッジで、データ・ビットD8~D11がラッチされます。 $\overline{\text{CSLSB}}$ の立上りエッジで、データ・ビットD0~D7がラッチされます。

入力ラッチにロードされたデータは、DACラッチにロードできます。これによって、DACのアナログ電圧出力がアップデートされます。DACラッチは $\overline{\text{LDAC}}$ に論理“L”があるとロードされます。DACラッチにロードされたデータは、 $\overline{\text{LDAC}}$ の立上りエッジでラッチされます。

$\overline{\text{WR}}$ 、 $\overline{\text{CSLSB}}$ 、 $\overline{\text{CSMSB}}$ 、および $\overline{\text{LDAC}}$ がすべて“L”のとき、ラッチは簡易的に制御され、ピンD0~D11のデータがDACラッチに直接ロードされます。

### パワーオン・リセット

LTC1450/LTC1450Lはパワーオン・リセット回路を内蔵しており、電源投入時にすべての内部ラッチを0にリセットします( $\overline{\text{CLR}}$ ピン機能と同等)。

### リファレンス

LTC1450は内部2.048Vリファレンスを内蔵し、利得2の構成で4.095Vのフルスケール・レンジを実現します。LTC1450Lは、利得2の構成で2.5Vのフルスケール・レンジと利得2.05を有する内部1.22Vリファレンスを内蔵しています。LTC1450およびLTC1450Lのオンボード・リファレンスは、内部でDACのリファレンス抵抗ストリングに接続されていませんが、柔軟性を高めるために隣

接ピンに供給されます。内部リファレンスは内部でDAC抵抗ストリングに接続されていないため、外部リファレンスを使用するか、または乗算構成で外部ソースによって抵抗ストリングをドライブすることができます。外部リファレンスまたは外部ソースは、8kの最小DACラダー抵抗をドライブできなければなりません。

リファレンス出力のノイズは、バイパス・コンデンサをグランドに接続すると低減できます(ただし、グランドにバイパス・コンデンサを接続しないと適切に動作しないわけではありません)。リファレンスをバイパスするときは、出力のピーキングを低減するためにコンデンサと直列に小さな値の抵抗を使用することを推奨します。リファレンスで生成されたノイズを低減するには、4.7 $\mu\text{F}$ コンデンサと直列に10  $\Omega$ 抵抗を接続すれば効果的です。

### DACラダー抵抗ストリング

DACラダー抵抗ストリングの上端と下端(それぞれREFHIとREFLO)は、内部では接続されていません。通常、REFHIはREFOUTに接続され、REFLOはGNDに接続されます。これによって、LTC1450は4.095Vのフルスケール・レンジとなります。LTC1450Lのフルスケール・レンジは2.5Vです。

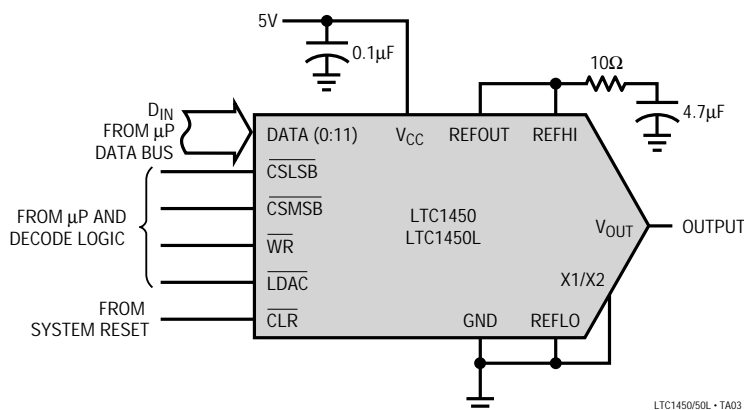
利得1構成のバッファを使用するときは、これらのピンのいずれかを $V_{\text{CC}} - 1.5\text{V}$ までドライブできます。バッファが利得2構成の場合には、抵抗ストリングのピンを $V_{\text{CC}}/2$ にドライブできます(LTC1450Lの場合は2.05)。これら2本のピン間の抵抗は標準18k(最小で8k)です。

### 電圧出力

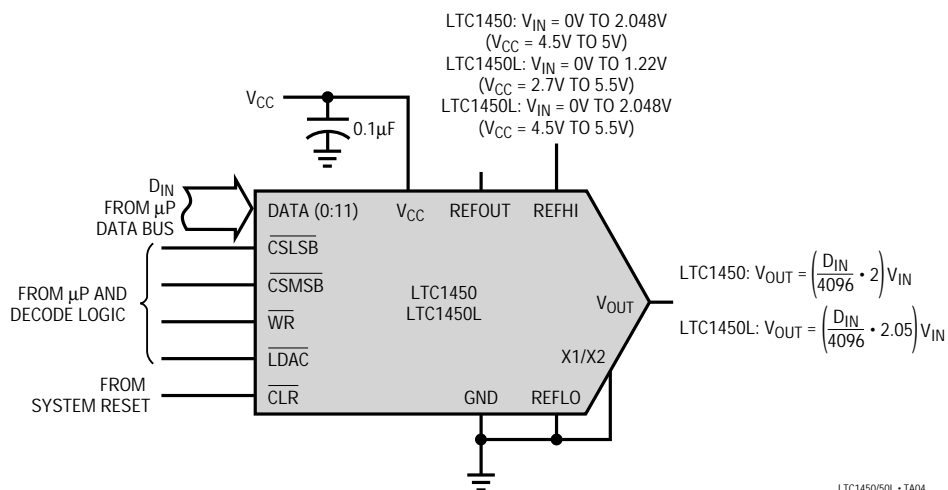
LTC1450/LTC1450Lの出力バッファは、2種類の利得設定に構成することができます。X1/X2ピンをGNDに接続すると、利得は2に設定されます(LTC1450Lの場合は2.05)。X1/X2ピンを $V_{\text{OUT}}$ に接続すると、利得は1に設定されます。

LTC1450ファミリのレール・トゥ・レール・バッファ出力は、全動作温度範囲において5mAをソースまたはシンクできると同時に、正電源電圧またはGNDの300mV以内にプルアップまたはプルダウンすることができます。無負荷時には出力はいずれかの電源レールの数mV以内に振幅し、負荷をレールにドライブする場合には等価出力抵抗は40  $\Omega$ になります。

## TYPICAL APPLICATIONS

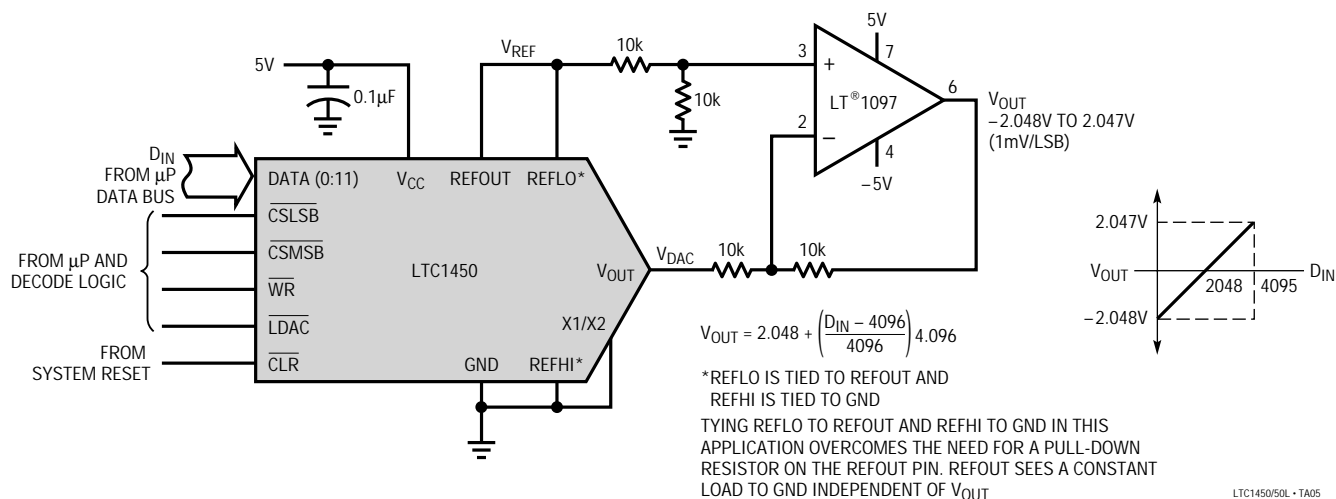
Filter  $V_{REF}$  to Lower Output Noise ( $0.18\text{mV}_{\text{RMS}}$  at  $V_{\text{OUT}}$ )

## Digitally Programmable Noninverting Amplifier

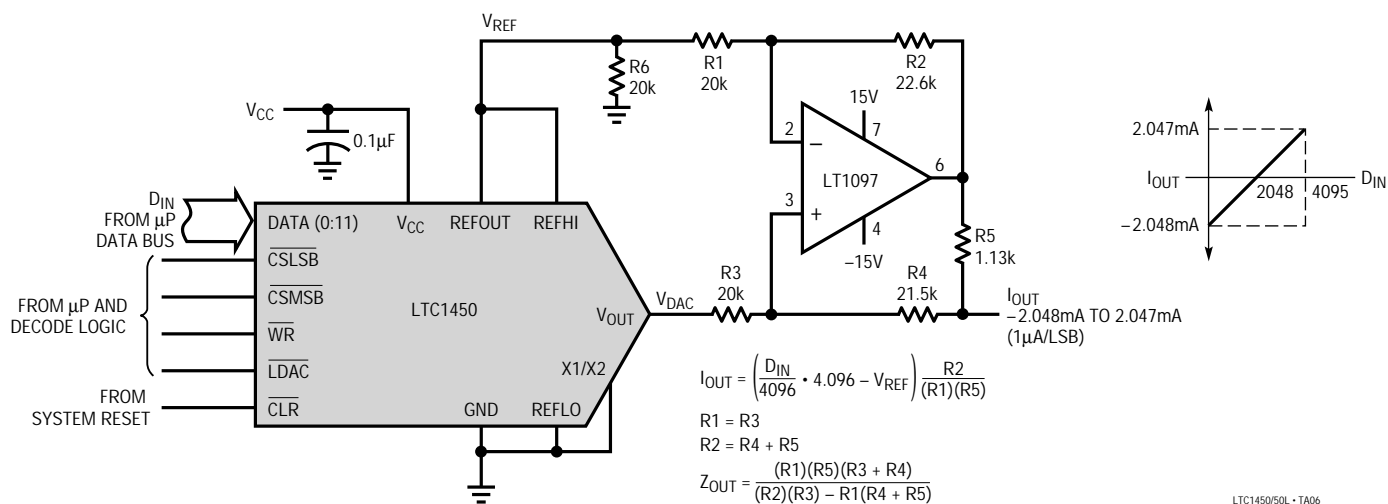


## TYPICAL APPLICATIONS

## Bipolar Output 12-Bit DAC



## Digitally Programmable Bilateral Current Source/Sink



## Typical Application

### 4象限乗算DACアプリケーション

このアプリケーションは、単一電源4象限乗算DACとして構成したLTC1450Lを示します。5V電源と1つの外部部品、すなわちREFOUTからグラウンドに接続した5k抵抗だけを使用します(LTC1450も同様な方法で使用できます)。乗算DACを使用すれば、ユーザは1.22Vリファレンス電圧によって供給されるオフセット信号グラウンドを中心電圧とするAC入力信号の振幅と極性をデジタル的に変化させることができます。以下の式に伝達関数を示します。

$$V_{OUT} = (V_{IN} - V_{REF}) \left[ \left( \text{利得} \left( \frac{D_{IN}}{4096} - 1 \right) + 1 \right) \right] + V_{REF}$$

LTC1450Lの場合は、利得 = 2.05、 $V_{REF} = 1.22V$ であり、次のようになります。

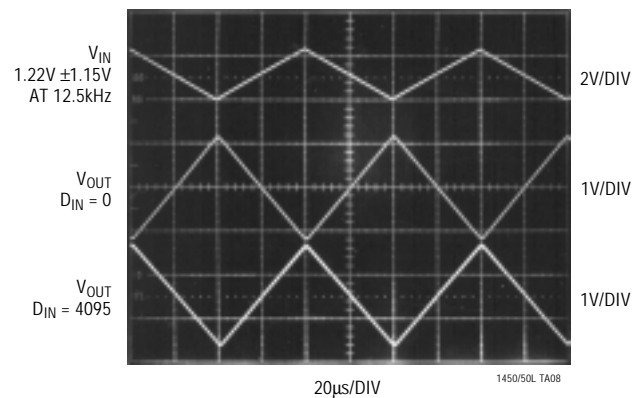
$$V_{OUT} = (V_{IN} - 1.22V) \left[ 2.05 \left( \frac{D_{IN}}{4096} \right) - 1.05 \right] + 1.22V$$

表1に $V_{OUT}$ の式を、 $V_{IN}$ 、 $V_{REF}$ 、 $D_{IN}$ の関数として示します。スコープ写真に、12.5kHz、2.3V<sub>p-p</sub>の三角波入力信号と、対応する出力波形をゼロスケールおよびフルスケール・コードについて示します。

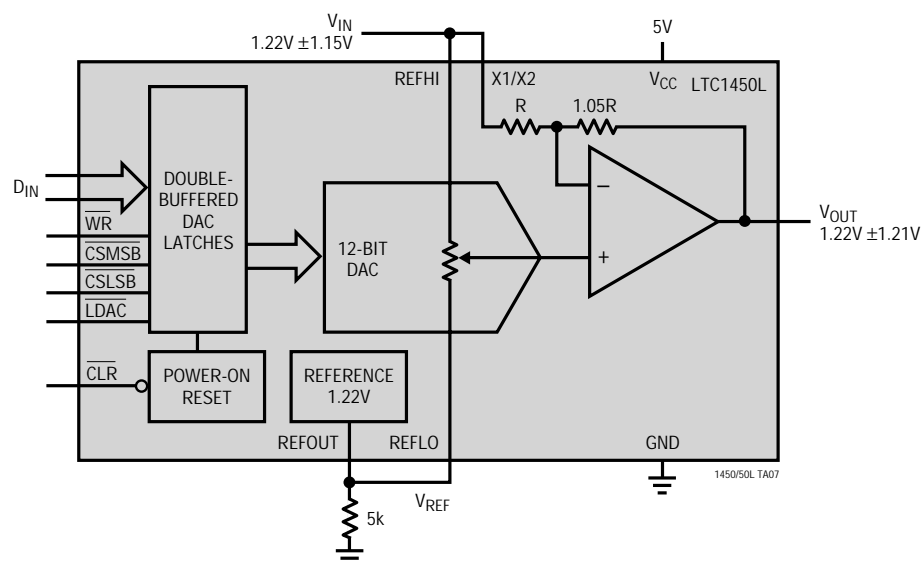
Table 1. Binary Code Table for 4-Quadrant, Multiplying DAC Application

BINARY DIGITAL INPUT CODE IN DAC REGISTER			ANALOG OUTPUT ( $V_{OUT}$ )
MSB		LSB	
1111	1111	1111	$(4094/4096)(V_{IN} - V_{REF}) + V_{REF}$
1100	0001	1001	$0.5(V_{IN} - V_{REF}) + V_{REF}$
1000	0011	0010	$V_{REF}$
0100	0100	1011	$-0.5(V_{IN} - V_{REF}) + V_{REF}$
0000	0110	0100	$-1.0(V_{IN} - V_{REF}) + V_{REF}$
0000	0000	0000	$-1.05(V_{IN} - V_{REF}) + V_{REF}$

Clean 4-Quadrant Multiplying Is Shown in the Output Waveforms for Zero-Scale and Full-Scale DAC Settings



Internal Reference, REFLO/REFHI Pins, Gain Adjust and Wide Supply Voltage Range Allow 4-Quadrant Multiplying on a 5V Single Supply



## RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC1257	Complete Serial I/O $V_{OUT}$ 12-Bit DAC	5V to 15V Single Supply in 8-Pin SO and PDIP
LTC1451/LTC1452/LTC1453	Complete Serial I/O $V_{OUT}$ 12-Bit DACs	3V/5V Single Supply, Rail-to-Rail in 8-Pin SO and PDIP
LTC1446/LTC1446L	Dual 12-Bit $V_{OUT}$ DACs in SO-8 Package	LTC1446: $V_{CC} = 4.5V$ TO $5.5V$ , $V_{OUT} = 0V$ TO $4.095V$ LTC1446L: $V_{CC} = 2.7V$ to $5.5V$ , $V_{OUT} = 0V$ to $2.5V$
LTC1454/LTC1454L	Dual 12-Bit $V_{OUT}$ DACs in a 16-Pin SO Package with Added Functionality	LTC1454: $V_{CC} = 4.5V$ to $5.5V$ , $V_{OUT} = 0V$ TO $4.095V$ LTC1454L: $V_{CC} = 2.7V$ to $5.5V$ , $V_{OUT} = 0V$ to $2.5V$
LTC1458/LTC1458L	Quad 12-Bit $V_{OUT}$ DACs in 28-Lead SW and SSOP Packages	LTC1458: $V_{CC} = 4.5V$ to $5.5V$ , $V_{OUT} = 0V$ to $4.095V$ LTC1458L: $V_{CC} = 2.7V$ to $5.5V$ , $V_{OUT} = 0V$ to $2.5V$
LTC7541A	Parallel I/O Multiplying 12-Bit DAC	12-Bit Wide Input
LTC7543/LTC8143	Serial Multiplying 12-Bit DACs	Daisy-Chainable, Flexible Analog and Digital Interface
LTC7545A	Parallel Latched Input Multiplying 12-Bit DAC	12-Bit Wide Latched Input
LTC8043	Serial Multiplying 12-Bit DAC	8-Pin SO and PDIP