

特長

- 単一5Vまたは±5V電源動作
- サンプル・レート：200ksps
- 最大INL ± 1.25LSBおよび最大DNL ± 1LSB
- 低消費電力：15mW(標準)
- パラレルまたはシリアル・データ出力
- 全温度範囲にてミッシング・コードなし
- パワー・シャットダウン：ナップおよびスリープ
- 外部または内部リファレンス動作
- 差動ハイ・インピーダンス・アナログ入力
- 入力範囲：0V ~ 4.096Vまたは±2.048V
- ナイキスト入力周波数にて81.5dB S(N + D)および -94dB THD
- 28ピン細型PDIPおよびSSOPパッケージ

アプリケーション

- 遠隔データ収集
- バッテリー動作システム
- デジタル信号処理
- 分離データ収集システム
- オーディオおよびテレコム処理
- 医療計器

概要

LTC[®]1418は低消費電力、200kspsの14ビットADCコンバータです。データ出力は14ビット・パラレルまたはシリアル・フォーマットを選択できます。この汎用デバイスは、単一5Vまたは±5V電源で動作します。高性能サンプル&ホールド、高精度リファレンス、および内部タイミング回路を備えており、外部回路が少なくすみます。ユーザ選択可能な2つのパワー・シャットダウン・モードでは、15mWの消費電力がさらに低減されます。

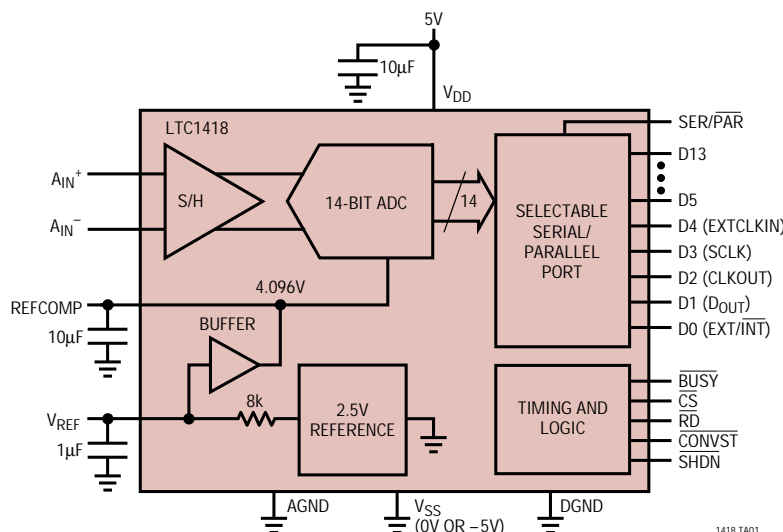
LTC1418は単一5V電源の0V ~ 4.096Vのユニポーラ入力、および±5V電源の±2.048Vバイポーラ入力を変換します。DCスペックには、全温度範囲での±1.25LSBのINL、±1LSBのDNLとミッシング・コードがないことが含まれます。100kHzのナイキスト入力周波数での82dBのS(N + D)および94dBのTHDなど、卓越したAC性能を実現しています。

柔軟な出力フォーマットにより、パラレルまたはシリアルI/Oが可能です。SPI/MICROWIRE[™]コンパチブルのシリアルI/Oポートは、マスタまたはスレーブとして動作し、DC ~ 10MHzのクロック周波数をサポートします。変換スタート入力とデータ・レディ信号(BUSY)が独立しているため、変換スタートとデータ転送を容易に制御できます。

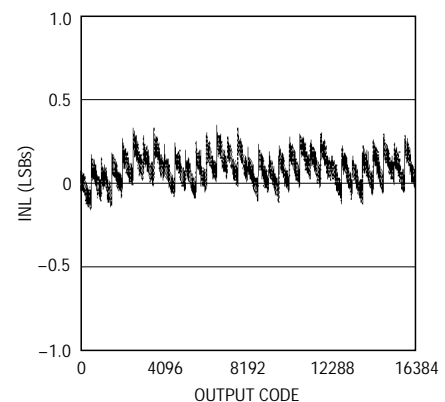
[®]、LTC、LTはリニアテクノロジー社の登録商標です。
MICROWIREはナショナル・セミコンダクター社の商標です。

標準的応用例

低消費電力、200kHz、14ビット・サンプリングA/Dコンバータ



標準INL曲線



LTC1418

絶対最大定格

(Note 1、2)

電源電圧 (V_{DD})	6V
負電源電圧 (V_{SS})	
バイポーラ動作専用	- 6V ~ GND
全電源電圧 (V_{SS} に対する V_{DD})	
バイポーラ動作専用	12V
アナログ入力電圧 (Note 3)	
ユニポーラ動作	- 0.3V ~ ($V_{DD} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)
デジタル入力電圧 (Note 4)	
ユニポーラ動作	- 0.3V ~ 10V
バイポーラ動作	($V_{SS} - 0.3V$) ~ 10V
デジタル出力電圧	
ユニポーラ動作	- 0.3V ~ ($V_{DD} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)
消費電力	500mW
動作温度範囲	
LTC1418C	0 ~ 70
LTC1418I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
A_{IN}^+ [1]	[28] V_{DD}	LTC1418ACG LTC1418ACN LTC1418AIG LTC1418AIN LTC1418CG LTC1418CN LTC1418IG LTC1418IN
A_{IN}^- [2]	[27] V_{SS}	
V_{REF} [3]	[26] \overline{BUSY}	
REFCOMP [4]	[25] \overline{CS}	
AGND [5]	[24] \overline{CONVST}	
D13 (MSB) [6]	[23] \overline{RD}	
D12 [7]	[22] \overline{SHDN}	
D11 [8]	[21] $\overline{SER/PAR}$	
D10 [9]	[20] D0 (EXT/INT)	
D9 [10]	[19] D1 (D _{OUT})	
D8 [11]	[18] D2 (CLKOUT)	
D7 [12]	[17] D3 (SCLK)	
D6 [13]	[16] D4 (EXTCLKIN)	
DGND [14]	[15] D5	
G PACKAGE N PACKAGE 28-LEAD PLASTIC SSOP 28-LEAD NARROW PDIP $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 95^{\circ}C/W (G)$ $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 100^{\circ}C/W (N)$		

ミリタリ・グレードに関してはお問い合わせください。

コンバータ特性 注記がない限り、内部リファレンス使用 (Note 5、6)

PARAMETER	CONDITIONS	LTC1418			LTC1418A			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	13		14			Bits
Integral Linearity Error	(Note 7)	●		±0.8 ±2		±0.5 ±1.25		LSB
Differential Linearity Error		●		±0.7 ±1.5		±0.35 ±1		LSB
Offset Error	(Note 8)	●		±5 ±20		±2 ±10		LSB
Full-Scale Error	Internal Reference External Reference = 2.5V			±10 ±60		±20 ±60		LSB
				±5 ±30		±5 ±15		LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$, Internal Reference, Commercial	●		±15		±10 ±45		ppm/°C
						±20		ppm/°C
				±5		±1		ppm/°C

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 9)	$4.75V \leq V_{DD} \leq 5.25V$ (Unipolar)	●	0 to 4.096		V
		$4.75V \leq V_{DD} \leq 5.25V, -5.25V \leq V_{SS} \leq -4.75V$ (Bipolar)	●	±2.048		V
I_{IN}	Analog Input Leakage Current	$\overline{CS} = \text{High}$	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		25		pF
		During Conversions (Hold Mode)		5		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	Commercial	●	300	1000	ns
		Industrial	●	300	1000	ns

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	97.5kHz Input Signal	● 79	81.5		dB
THD	Total Harmonic Distortion	100kHz Input Signal, First 5 Harmonics	●	-94	-86	dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal	● 86	95		dB
IMD	Intermodulation Distortion	$f_{IN1} = 97.7\text{kHz}$, $f_{IN2} = 104.2\text{kHz}$		-90		dB
	Full Power Bandwidth			5		MHz
	Full Linear Bandwidth	$S/(N + D) \geq 77\text{dB}$		0.5		MHz

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.480	2.500	2.520	V
V_{REF} Output Tempco	$I_{OUT} = 0$, Commercial $I_{OUT} = 0$, Industrial	●	± 10 ± 20	± 45	ppm/°C ppm/°C
V_{REF} Line Regulation	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}$ $-5.25\text{V} \leq V_{SS} \leq -4.75\text{V}$		0.05 0.05		LSB/V LSB/V
V_{REF} Output Resistance	$0.1\text{mA} \leq I_{OUT} \leq 0.1\text{mA}$		8		k Ω

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	● 2.4			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}	●		± 10	μA
C_{IN}	Digital Input Capacitance			1.4		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_O = -10\mu\text{A}$ $V_{DD} = 4.75\text{V}$, $I_O = -200\mu\text{A}$	● 4.0	4.74		V V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_O = 160\mu\text{A}$ $V_{DD} = 4.75\text{V}$, $I_O = 1.6\text{mA}$	●	0.05 0.10	0.4	V V
I_{OZ}	Hi-Z Output Leakage D13 to D0	$V_{OUT} = 0\text{V}$ to V_{DD} , \overline{CS} High	●		± 10	μA
C_{OZ}	Hi-Z Output Capacitance D13 to D0	\overline{CS} High (Note 9)	●		15	pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Positive Supply Voltage (Notes 10, 11)		4.75		5.25	V
V_{SS}	Negative Supply Voltage (Note 10)	Bipolar Only ($V_{SS} = 0\text{V}$ for Unipolar)	-4.75		-5.25	V
I_{DD}	Positive Supply Current	Unipolar, \overline{RD} High (Note 5)	●	3.0	4.3	mA
		Bipolar, \overline{RD} High (Note 5)	●	3.9	4.5	mA
		Nap Mode Sleep Mode $\overline{SHDN} = 0\text{V}$, $\overline{CS} = 0\text{V}$ (Note 12)		570		μA
		$\overline{SHDN} = 0\text{V}$, $\overline{CS} = 5\text{V}$ (Note 12)		2		μA
I_{SS}	Negative Supply Current	Bipolar, \overline{RD} High (Note 5)	●	1.4	1.8	mA
		Nap Mode Sleep Mode $\overline{SHDN} = 0\text{V}$, $\overline{CS} = 0\text{V}$ (Note 12)		0.1		μA
		$\overline{SHDN} = 0\text{V}$, $\overline{CS} = 5\text{V}$ (Note 12)		0.1		μA
P_{DIS}	Power Dissipation	Unipolar	●	15.0	21.5	mW
		Bipolar	●	26.5	31.5	mW

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{\text{SAMPLE(MAX)}}$	Maximum Sampling Frequency		●	200		kHz
t_{CONV}	Conversion Time		●	3.4	4	μs
t_{ACQ}	Acquisition Time		●	0.3	1	μs
$t_{\text{ACQ}} + t_{\text{CONV}}$	Acquisition Plus Conversion Time		●	3.7	5	μs
t_1	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time	(Notes 9, 10)	●	0		ns
t_2	$\overline{\text{CS}}\downarrow$ to $\overline{\text{CONVST}}\downarrow$ Setup Time	(Notes 9, 10)	●	40		ns
t_3	$\overline{\text{CS}}\downarrow$ to $\overline{\text{SHDN}}\downarrow$ Setup Time to Ensure Nap Mode	(Notes 9, 10)	●	40		ns
t_4	$\overline{\text{SHDN}}\uparrow$ to $\overline{\text{CONVST}}\downarrow$ Wake-Up Time from Nap Mode	(Note 10)		500		ns
t_5	$\overline{\text{CONVST}}$ Low Time	(Notes 10, 11)	●	40		ns
t_6	$\overline{\text{CONVST}}$ to $\overline{\text{BUSY}}$ Delay	$C_L = 25\text{pF}$	●	35	70	ns
t_7	Data Ready Before $\overline{\text{BUSY}}\uparrow$		●	20 15	35	ns ns
t_8	Delay Between Conversions	(Note 10)	●	500		ns
t_9	Wait Time $\overline{\text{RD}}\downarrow$ After $\overline{\text{BUSY}}\uparrow$		●	-5		ns
t_{10}	Data Access Time After $\overline{\text{RD}}\downarrow$	$C_L = 25\text{pF}$	●	15	30 40	ns ns
		$C_L = 100\text{pF}$	●	20	40 55	ns ns
t_{11}	Bus Relinquish Time	Commercial Industrial	● ●	8	20 25 30	ns ns ns
t_{12}	$\overline{\text{RD}}$ Low Time		●	t_{10}		ns
t_{13}	$\overline{\text{CONVST}}$ High Time			40		ns
t_{14}	Delay Time, $\text{SCLK}\downarrow$ to D_{OUT} Valid	$C_L = 25\text{pF}$ (Note 9)	●	35	70	ns
t_{15}	Time from Previous Data Remain Valid After $\text{SCLK}\downarrow$	$C_L = 25\text{pF}$ (Note 9)	●	15	25	ns
f_{SCLK}	Shift Clock Frequency	(Notes 9, 10)		0	12.5	MHz
f_{EXTCLKIN}	External Conversion Clock Frequency	(Notes 9, 10)		0.03	4.5	MHz
$t_{\text{dEXTCLKIN}}$	Delay Time, $\overline{\text{CONVST}}\downarrow$ to External Conversion Clock Input	(Notes 9, 10)			533	μs
$t_{\text{H SCLK}}$	SCLK High Time	(Notes 9, 10)		10		ns
$t_{\text{L SCLK}}$	SCLK Low Time	(Notes 9, 10)		20		ns
$t_{\text{H EXTCLKIN}}$	EXTCLKIN High Time	(Notes 9, 10)		250		ns
$t_{\text{L EXTCLKIN}}$	EXTCLKIN Low Time	(Notes 9, 10)		250		ns

は全動作温度範囲の規格値を意味する。他のすべてのリミット値と標準値は $T_A = 25^\circ\text{C}$ 。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値は、(注記がない限り) DGNDとAGNDが連結されたグラウンドを基準とする。

Note 3: これらのピン電圧を V_{SS} より低くするか、 V_{DD} より高くすると、内部ダイオードによってクランプされる。この製品は V_{SS} より低い、または V_{CC} より高い電圧を加えてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧を V_{SS} より低くすると、内部ダイオードでクランプされる。この製品は V_{SS} より低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンは V_{DD} にクランプされない。

Note 5: 注記がない限り、 $V_{\text{DD}} = 5\text{V}$ 、 $V_{\text{SS}} = 0\text{V}$ または -5V 、 $f_{\text{SAMPLE}} = 200\text{kHz}$ 、 $t_r = t_f = 5\text{ns}$

Note 6: 直線性、オフセット、およびフルスケール仕様は、 A_{IN} を接地した状態のシングルエンド入力に適用される。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: パイポーラ・オフセットは、出力コードが0000 0000 0000 00と1111 1111 1111 11の間で変化するとき、 -0.5LSB から測定したオフセット電圧。

Note 9: 設計で保証されているが、テストされていない。

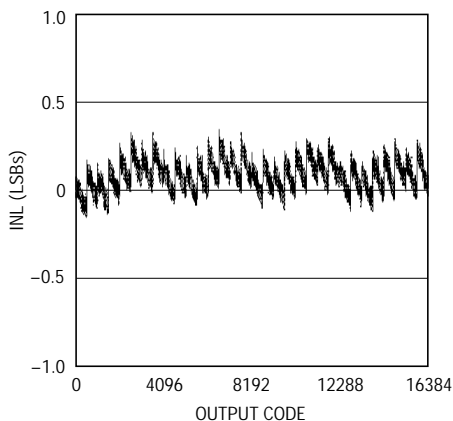
Note 10: 推奨動作条件。

Note 11: $\overline{\text{CONVST}}$ の立下りエッジで変換を開始する。変換中にビット決定点で $\overline{\text{CONVST}}$ が "H"に戻ると、わずかな誤差が生じる可能性がある。最良の性能を得るために、変換開始からまたは $\overline{\text{BUSY}}$ が立ち上がったから2.1 μs 以内に $\overline{\text{CONVST}}$ が "H"に戻るようにする。

Note 12: ピン16(D4/EXTCLKIN)、17(D3/SCLK)、および20(DO/EXT/INT)は0Vまたは5V。パワー・シャットダウンのセクションを参照。

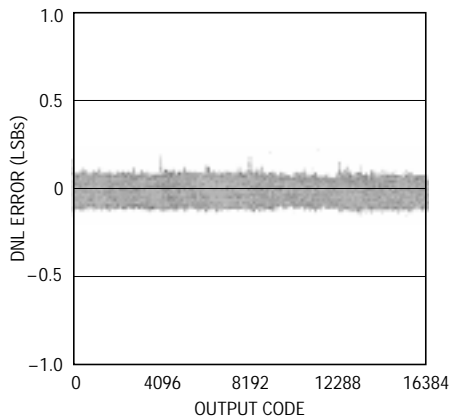
標準的性能特性

標準INL曲線



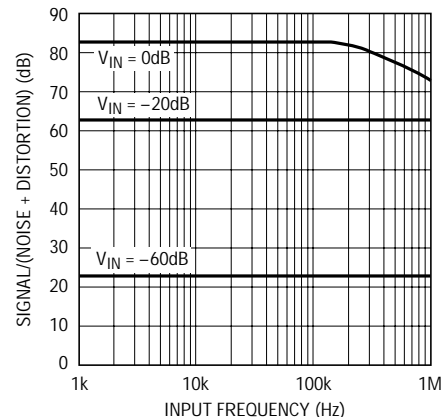
1418 TA02

微分非直線性と出力コード



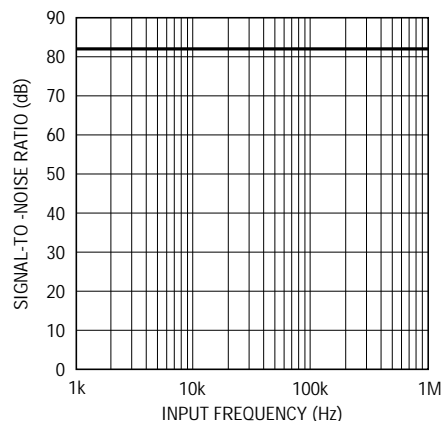
1418 G06

S/(N+D)と入力周波数
および振幅



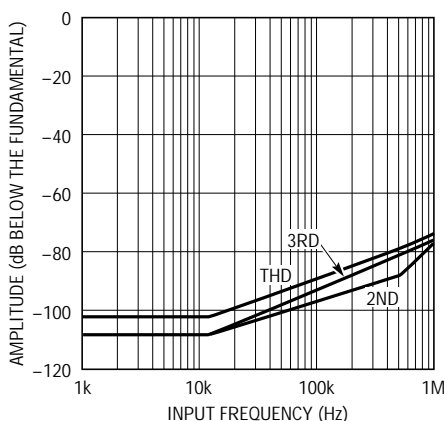
1418 G01

SN比と入力周波数



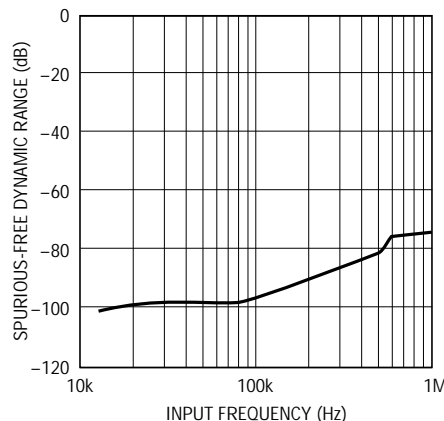
1418 G02

歪みと入力周波数



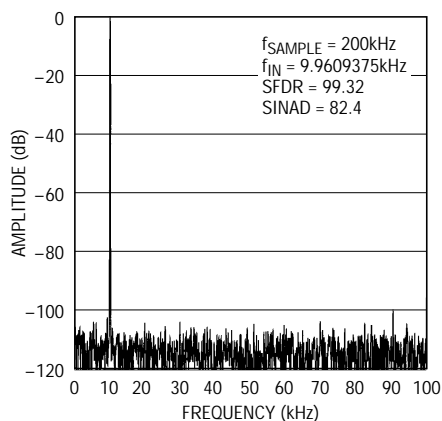
1418 G03

スプリアスフリー・ダイナミック・
レンジと入力周波数



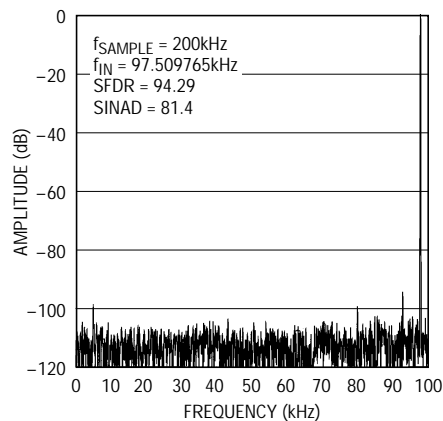
1418 G04

非平均化4096ポイントFFT、
入力周波数 = 10kHz



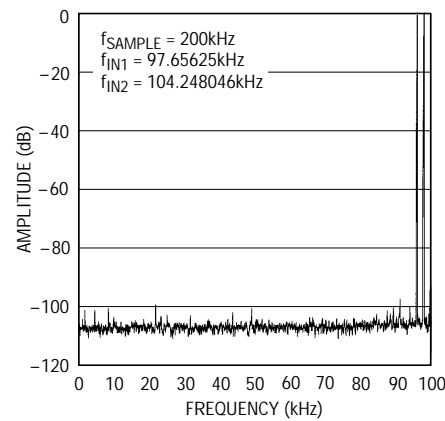
1418 F02a

非平均化4096ポイントFFT、
入力周波数 = 100kHz



1418 F02b

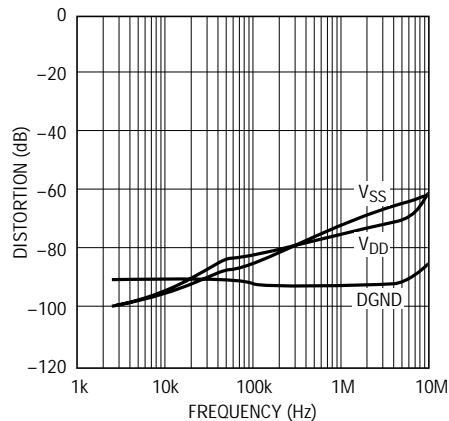
混変調歪みプロット



1418 G05

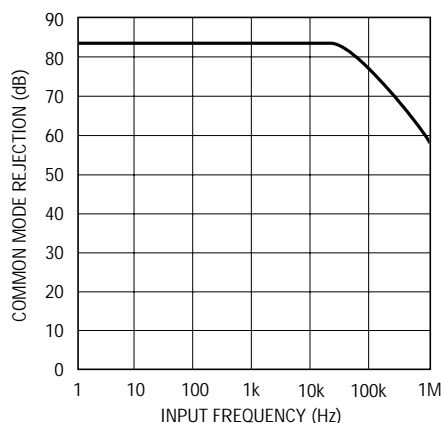
標準的性能特性

電源フィードスルーと
リップル周波数



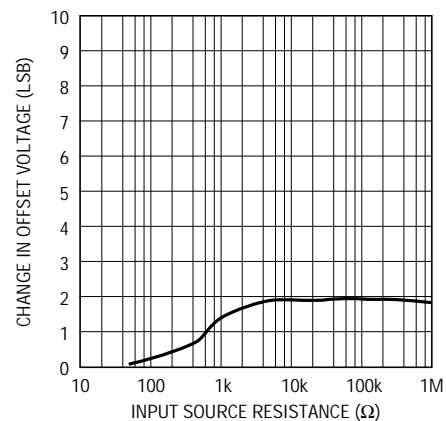
1418 G08

入力同相除去と入力周波数



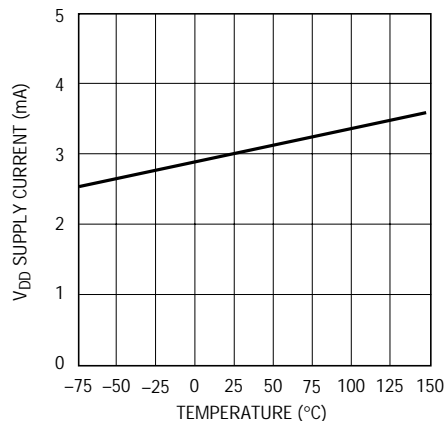
1418 G09

入力オフセット電圧シフト
とソース抵抗



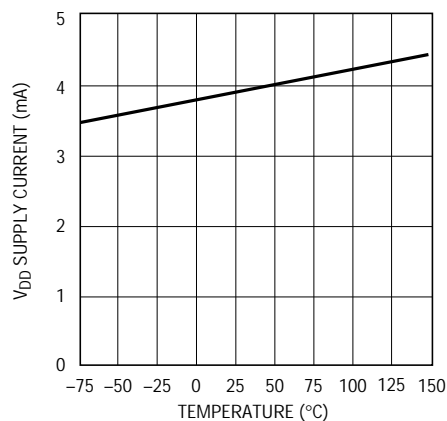
1418 G10

V_{DD} 電源電流と温度
(ユニポーラ・モード)



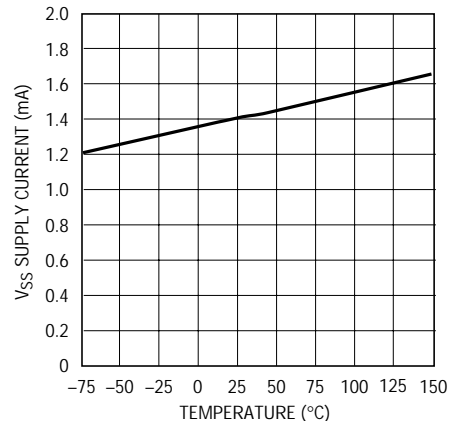
1418 G11

V_{DD} 電源電流と温度
(バイポーラ・モード)



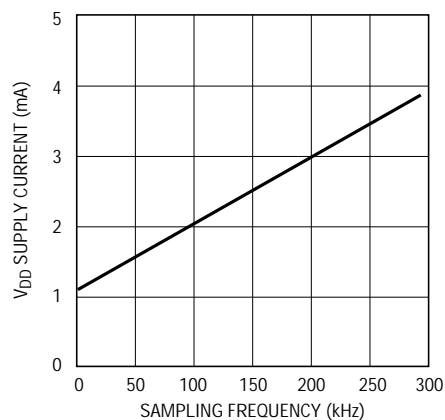
1418 G12

V_{SS} 電源電流と温度
(バイポーラ・モード)



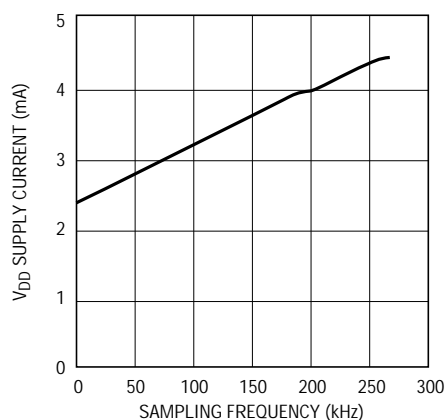
1418 G13

V_{DD} 電源電流とサンプリング
周波数(ユニポーラ・モード)



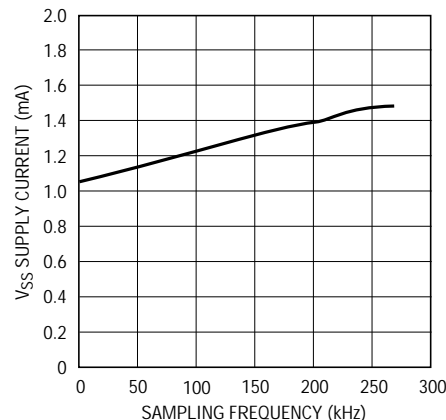
1418 G14

V_{DD} 電源電流とサンプリング
周波数(バイポーラ・モード)



1418 G15

V_{SS} 電源電流とサンプリング
周波数(バイポーラ・モード)



1418 G16

ピン機能

A_{IN}^+ (ピン1): 正のアナログ入力。

A_{IN}^- (ピン2): 負のアナログ入力。

V_{REF} (ピン3): 2.50Vリファレンス出力。1 μ FでAGNDにバイパスしてください。

REFCOMP (ピン4): 4.096Vリファレンス・バイパス・ピン。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

AGND (ピン5): アナログ・グランド。

D13からD6 (ピン6から13): スリーステート・データ出力(パラレル)。D13が最上位ビットです。

DGND (ピン14): 内部ロジック用デジタル・グランド。AGNDに接続してください。

D5 (ピン15): スリーステート・データ出力(パラレル)。

D4 (EXTCLKIN) (ピン16): スリーステート・データ出力(パラレル)。ピン20 (EXT/INT)を“H”に接続したときは変換クロック入力(シリアル)。

D3 (SCLK) (ピン17): スリーステート・データ出力(パラレル)。データ・クロック入力(シリアル)。

D2 (CLKOUT) (ピン18): スリーステート・データ出力(パラレル)。変換クロック出力(シリアル)。

D1 (D_{OUT}) (ピン19): スリーステート・データ出力(パラレル)。シリアル・データ出力(シリアル)。

D0 (EXT/INT) (ピン20): スリーステート・データ出力(パラ

レル)。変換クロック・セレクト(シリアル)入力“L”で内部変換クロックをイネーブルします。入力“H”は外部変換クロックがピン16 (EXTCLKIN)に割り当てられることを示します。

SER/PAR (ピン21): データ出力モード。

SHDN (ピン22): シャットダウン入力。“L”でシャットダウンを選択します。シャットダウン・モードはCSピンによって選択されます。CS=0はナップ・モード、CS=1はスリープ・モードです。

RD (ピン23): READ入力。CSが“L”のときに出力ドライバをイネーブルします。

CONVST (ピン24): 変換開始信号。このアクティブ“L”信号の立下りエッジで変換を開始します。

CS (ピン25): チップ・セレクト。ADCがCONVSTおよびRD入力を認識するには“L”でなければなりません。また、SHDNが“L”になるとシャットダウン・モードに設定します。CSとSHDNが“L”のとき、高速ウェイクアップのナップ・モードを選択します。CSが“H”でSHDNが“L”のとき、スリープ・モードを選択します。

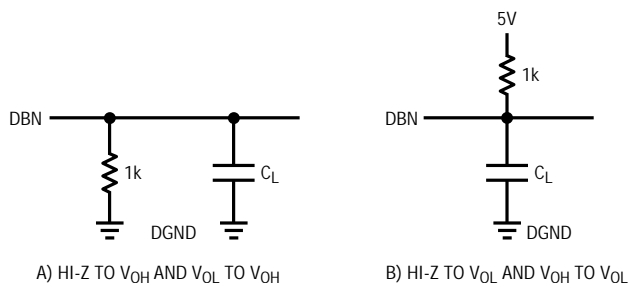
BUSY (ピン26): BUSY出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。

V_{SS} (ピン27): 負電源、-5Vでバイポーラ動作を選択します。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、AGNDにバイパスします。アナログ・グランドで、ユニポーラ動作を選択します。

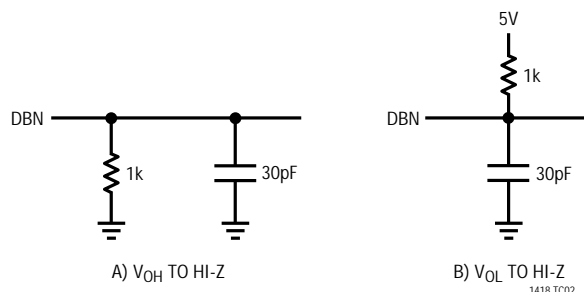
V_{DD} (ピン28): 5V正電源。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

テスト回路

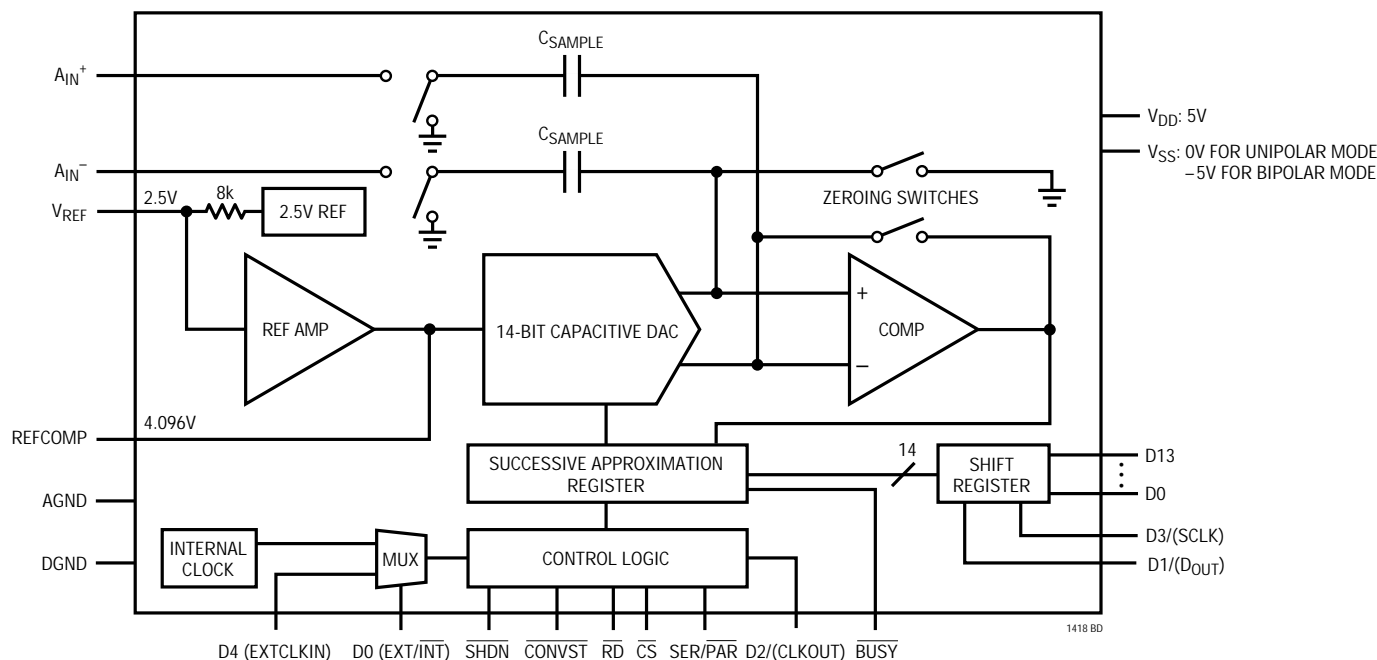
アクセス・タイミングの負荷回路



出力フロート遅延の負荷回路



機能ブロック図



NOTE: PIN NAMES IN PARENTHESES REFER TO SERIAL MODE

アプリケーション情報

変換の詳細説明

LTC1418は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を14ビットの平行またはシリアル出力に変換します。このADCは高精度リファレンスと内部クロックを備えています。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データフォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換の開始は、 \overline{CS} および \overline{CONVST} 入力によってコントロールされます。変換が始まると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の差動14ビット容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)にシーケンスされます。

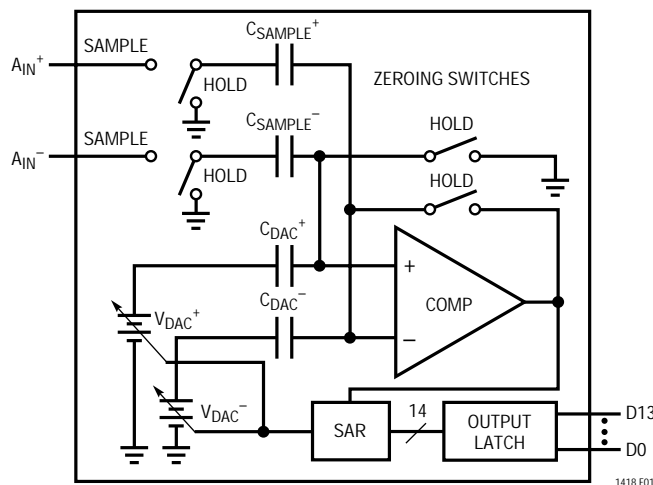


図1. 簡略ブロック図

アプリケーション情報

図1を参照すると、 A_{IN+} および A_{IN-} 入力はアキュイジション・フェーズ中にサンプル&ホールド・コンデンサ (C_{SAMPLE}) に接続され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアキュイジション・フェーズでは、 $1\mu\text{s}$ の最小遅延時間により、サンプル&ホールド・コンデンサがアナログ入力を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} コンデンサをグランドにスイッチして、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、差動容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、差動DAC出力は A_{IN+} および A_{IN-} 入力電荷とバランスします。 A_{IN+} と A_{IN-} の差を表すSAR成分(14ビット・データ・ワード)が14ビット出力ラッチにロードされます。

ダイナミック特性

LTC1418は、非常に高速なサンプリング能力を備えています。FFT(高速フーリエ変換)テスト手法を使用して、定格スループットでのADCの周波数応答、歪み、およびノイズ特性をテストしています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2に、標準的なLTC1418のFFTプロットを示します。

SN比

SN + 歪み比 $[S(N+D)]$ は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに、200kHzのサンプリング・レートと10kHz入力での標準スペクトル成分を示します。ダイナミック特性は入力周波数が100kHz以上のナイキスト限界まで良好です。

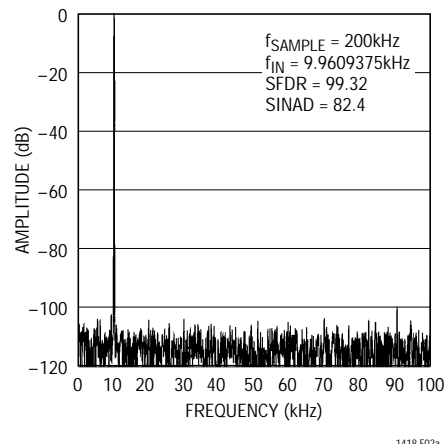


図2a. LTC1418の非平均化4096ポイントFFT、
入力周波数 = 10kHz

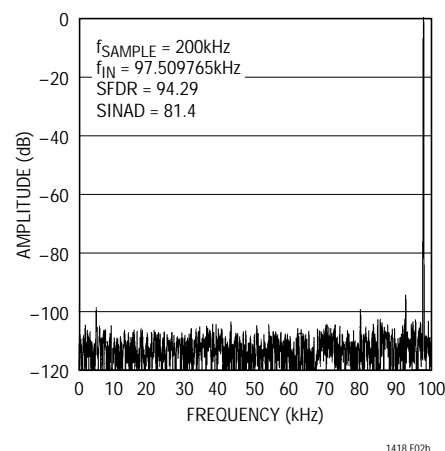


図2b. LTC1418の非平均化4096ポイントFFT、
入力周波数 = 97.5kHz

有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり $S(N+D)$ に直接関係します。

$$N = [S(N+D) - 1.76]/6.02$$

ここで、 N は分解能の有効ビット数であり、 $S(N+D)$ はdBで表されます。200kHzの最大サンプリング・レートで、LTC1418は100kHzのナイキスト入力周波数まで、非常に良好なENOBを維持します(図3を参照)。

アプリケーション情報

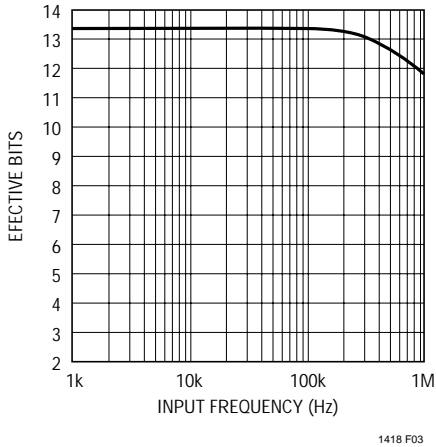


図3. 有効ビットおよびS/(N+D)と入力周波数

全高調波歪み

全高調波歪み (THD) は、入力信号のすべての高調波の RMS の合計と基本波との比率です。帯域外高調波は、DC とサンプリング周波数の 1/2 の周波数帯域に限定されます。THD は、次式で表されます。

$$THD = 20 \text{Log} \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、V1 は基本周波数の RMS 振幅であり、V2 から Vn は第 2 高調波から第 n 高調波の振幅です。THD と入力周波数の関係を図 4 に示します。LTC1418 は、ナイキストお

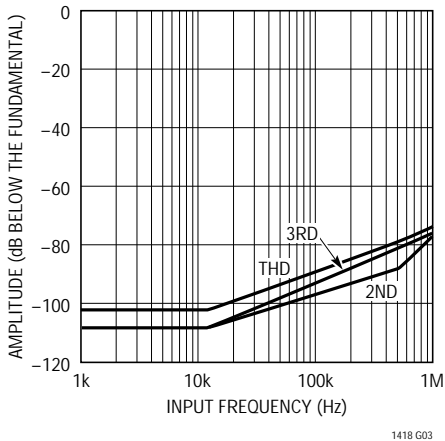


図4. 歪みと入力周波数

よびそれを超える周波数まで良好な歪み特性を有しています。

混変調歪み

ADC 入力信号が 2 つ以上のスペクトル成分からなるときには、ADC 伝達関数の非直線性によって、THD に加えて混変調 (IMD) が発生する可能性があります。IMD は別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。ADC 入力に f_a と f_b の 2 つの周波数の純粋な正弦波が供給されると、ADC 伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、m および n = 0, 1, 2, 3, ... です。たとえば、2 次 IMD の項は $(f_a + f_b)$ と $(f_a - f_b)$ です。2 つの入力正弦波の振幅が等しい場合、2 次 IMD 積の値 (dB) は次式で表すことができます。

$$IMD(f_a \pm f_b) = 20 \text{Log} \frac{(f_a \pm f_b) \text{ での振幅}}{f_a \text{ での振幅}}$$

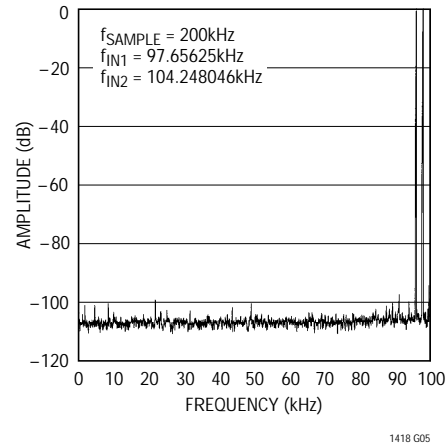


図5. 混変調歪みプロット

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号と DC を除く最大スペクトル成分です。この値はフルスケール入力信号の RMS 値に対する dB で表されます。

アプリケーション情報

フルパワーおよび最大直線帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S(N + D)$ (有効ビット12.5ビット)に低下する入力周波数です。LTC1418は入力帯域幅が最大になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダースampleすることができます。ノイズフロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S(N + D)$ では歪みが大きな部分を占めます。

アナログ入力のドライブ

LTC1418の差動アナログ入力は簡単にドライブできます。入力は差動、あるいはシングルエンド入力として(すなわち、 A_{IN-} 入力を接地)ドライブ可能です。 A_{IN+} 入力と A_{IN-} 入力は同時にサンプリングされます。両方の入力に同相となる不要な信号は、サンプル&ホールド回路の同相除去比によって低減されます。入力電流は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを生じます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1418入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、アキュイジション・タイムも増加します(図6参照)。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリグ時間 t_{ACQ} が $1\mu s$ であること)。

入力アンプの選択

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。まず、閉ループ帯域幅周波数で低い出力インピーダンス(100以下)をもつアンプを選択します。たとえば、1の利得と10MHzの閉ループ帯域幅をもつアンプを使用した場合、10MHzでの出力インピーダンスは、100以下でなければなりません。もう1つの要求条件は、最大スループット・レートを得るために十分な小信号セトリグ時間を保証するには、閉ループ帯域幅が5MHz以上でなければなりません。低速オペアンプを使

用する場合、変換と変換の間の時間を長くすれば、セトリグのための時間を長くとることができます。

LTC1418をドライブするための最適なオペアンプの選択は、アプリケーションに依存します。一般に、アプリケーションは次の2つに分類されます。ダイナミック仕様が最も重要なACアプリケーションと、DC精度とセトリグ・タイムが最も重要なタイム・ドメイン・アプリケーションです。以下のリストはLTC1418をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT®1354 : 12MHz、400V/ μs オペアンプ。1.25mAの最大消費電流。優れたAC/DC仕様。デュアル電源アプリケーションに適する。

LT1357 : 25MHz、600V/ μs オペアンプ。2.5mAの最大消費電流。優れたAC/DC仕様。デュアル電源アプリケーションに適する。

LT1366/LT1367 : デュアル/クワッド高精度レール・トゥ・レール入力および出力オペアンプ。1アンプ当たり375 μA の電源電流。1.8V ~ 15Vの電源電圧範囲。低い入力オフセット電圧: 150 μV 。サンプリング・レートが20ksps以下の低消費電力および単一電源アプリケーションに最適。

LT1498/LT1499 : 10MHz、6V/ μs 、デュアル/クワッド、レール・トゥ・レール入力および出力オペアンプ。1アン

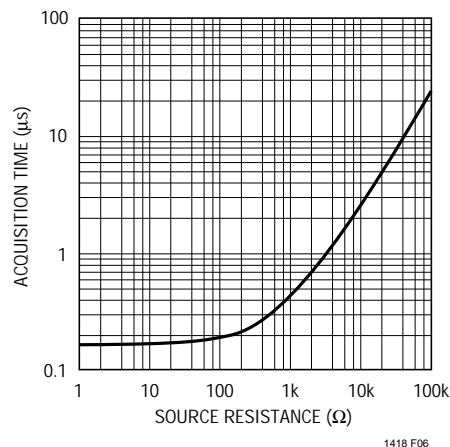


図6. t_{ACQ} とソース抵抗

LinearViewはリニアテクノロジー社の商標です。

アプリケーション情報

ブ当たり1.7mA。2.2V ~ ±15Vの電源電圧範囲。優れたAC性能、入力ノイズ電圧 = $12\text{nV}\sqrt{\text{Hz}}$ (標準)。

LT1630/LT1631 : 30MHz、10V/μs、デュアル/クワッド、レール・トゥ・レール入力および出力オペアンプ。1アンプ当たり3.5mA。2.7V ~ ±15Vの電源電圧範囲。最高のAC性能、入力ノイズ電圧 = $6\text{nV}\sqrt{\text{Hz}}$ (標準) THD = 100kHzで - 86dB。

入力フィルタリング

入力アンプおよび他の回路のノイズと歪みがLTC1418のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル&ホールド回路の小信号帯域幅は5MHzです。アナログ入力に現れるノイズまたは歪み成分は、この全帯域幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。多くのアプリケーションで、単純な1ポールRCフィルタで十分です。

たとえば、図7は + A_{IN} からグラウンドに2000pFコンデンサと100Ωのソース抵抗を接続すると、入力帯域幅が800kHzに制限されることを示します。また、2000pFコンデンサは入力サンプル&ホールドのための電荷貯蔵庫として働き、ADC入力をグリッチの影響を受けやすいサンプリング回路から切り離します。コンデンサと抵抗は歪みを増大させる可能性があるため、これらの部品には高品質なものを使用しなければなりません。NPOとシルバ・マイカ型誘電体コンデンサは優れた直線性を備えています。また、カーボン表面実装抵抗は、自己加熱や半田付け中に生じる損傷から歪みを生じることがあります。金属皮膜表面実装抵抗はこれらの問題の影響を受けにくいものです。

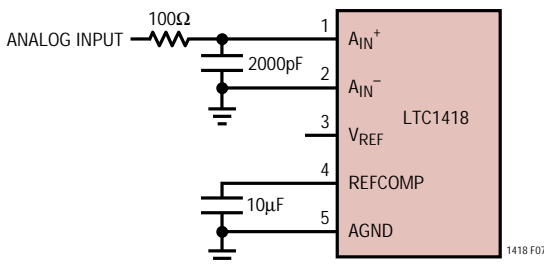


図7. RC入力フィルタ

入力範囲

LTC1418の±2.048Vおよび0V ~ 4.096Vの入力範囲は、ノイズと歪みが低くなるように最適化されています。大部分の高性能オペアンプもこの範囲で最適に動作するため、アナログ入力への直接結合が可能で、特殊な変換回路は必要ありません。

アプリケーションによっては、他の入力範囲が必要です。LTC1418の差動入力とリファレンス回路は、多くの場合、回路をほとんどあるいはまったく追加しなくても、他の入力範囲に対応できます。以下の項ではリファレンスおよび入力回路と、それらが入力レンジに与える影響について述べます。

内部リファレンス

LTC1418は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.500Vに調整されています。このリファレンスは内部でリファレンス・アンプに接続されており、ピン3から外部に引き出されています。8kΩの抵抗が出力と直列に接続されているため、外部リファレンスを必要とするアプリケーションで、簡単にオーバドライブできます。図8を参照してください。リファレンス・アンプ補償ピン (REFCOMP、ピン4)は、コンデンサでグラウンドにバイパスしなければなりません。リファレンスは、1μF以上のコンデンサで安定します。最高のノイズ性能を得るために、10μFのタンタル・コンデンサと並列に0.1μFのセラミック・コンデンサを接続することを推奨しています。DACまたは他の方法でV_{REF}ピンをドライブして、入力スパン調整を行うことができます。規定された直線性を得るには、リファレンスを2.25V ~ 2.75Vの範囲で保持しなければなりません。

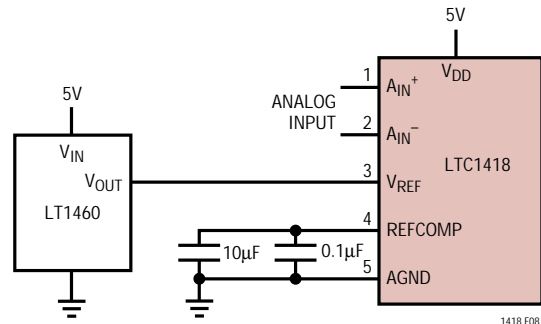


図8. LT1460を外部リファレンスとして使用

アプリケーション情報

ユニポーラ/バイポーラ動作と調整

図9aにLTC1418の理想的な入出力特性を示します。コード遷移は連続する整数LSB値の間(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS - 1.5LSB)に現れます。出力コードは、 $1\text{LSB} = \text{FS}/16384 = 4.096\text{V}/6384 = 250\mu\text{V}$ の自然バイナリです。図9bに2の補数形式で表したバイポーラ・モードでの入出力伝達特性を示します。

ユニポーラ・オフセットとフルスケール誤差

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図10aと10bはフルスケール誤差調整に必要な追加部品を示します。ゼロ・オフセットは、 A_{IN}^- 入

力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $125\mu\text{V}$ (すなわち、0.5LSB)を A_{IN}^+ に印加し、出力コードが0000 0000 0000 00と0000 0000 0000 01の間で変化するまで A_{IN}^- 入力のオフセットを調整します。フルスケール調整を行うには、 4.095625V (FS - 1.5LSB)の入力電圧を A_{IN}^+ に印加し、出力コードが1111 1111 1111 10と1111 1111 1111 11の間で変化するまでR2を調整します。

バイポーラ・オフセットとフルスケール誤差調整

バイポーラ・オフセットおよびフルスケール誤差は、ユニポーラの場合と同様に調整されます。この場合にも、フルスケール誤差を調整する前にバイポーラ・オフセットを調整しなければなりません。バイポーラ・オフセット誤差

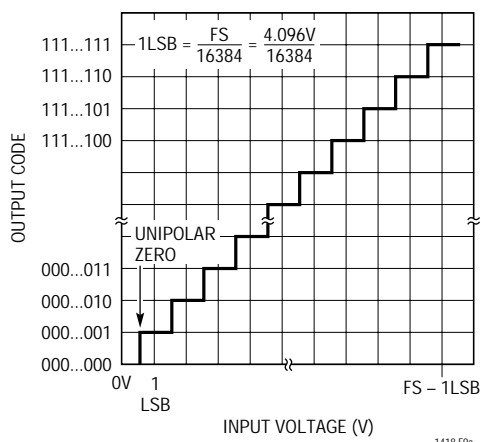


図9a. LTC1418ユニポーラ伝達特性

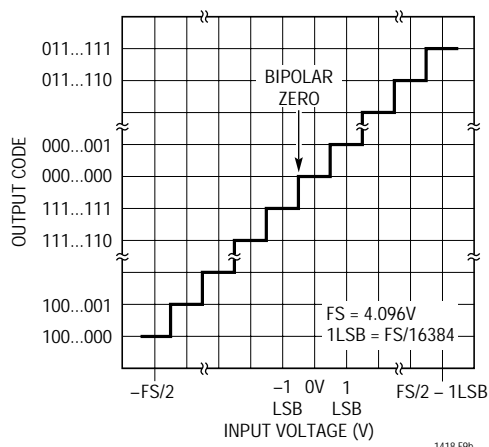


図9b. LTC1418バイポーラ伝達特性

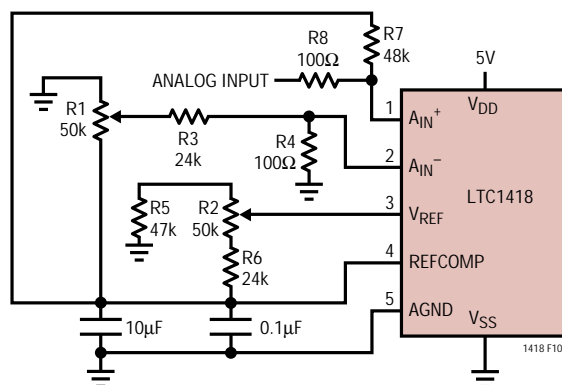


図10a. -5Vがない場合のオフセットおよびフルスケール調整回路

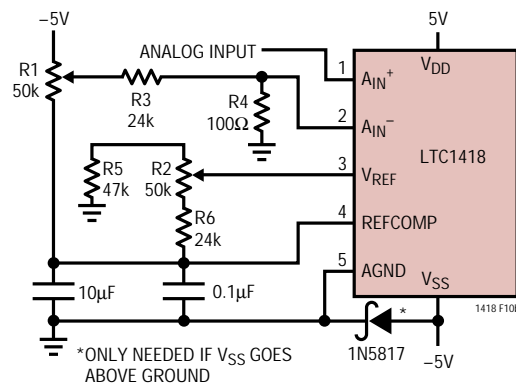


図10b. -5Vがある場合のオフセットおよびフルスケール調整回路

アプリケーション情報

調整は、 A_{IN}^- 入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $-125\mu\text{V}$ (すなわち、 -0.5LSB) を A_{IN}^+ に印加し、出力コードが 0000 0000 0000 00 と 1111 1111 1111 11 の間で変化するまで、 A_{IN}^- 入力のオフセットを調整します。フルスケール調整を行うには、 2.047625V ($\text{FS} - 1.5\text{LSB}$) の入力電圧を A_{IN}^+ に印加し、出力コードが 0111 1111 1111 10 と 0111 1111 1111 11 の間で変化するまで $R2$ を調整します。

ボード・レイアウトと接地

高分解能または高速 A/D コンバータには、ワイヤラップ・ボードは使用しないでください。LTC1418 から最適な性能を引き出すには、グラウンド・プレーン付きの PC ボードが必要です。ADC 領域の下のグラウンド・プレーンは、すべての ADC グランド間が低インピーダンス・パスになり、すべての ADC デカップリング・コンデンサが提供されるよう、できるだけ亀裂や穴がないようにしなければなりません。デジタル・ノイズがアナログ入力、リファレンス、またはアナログ電源ラインに結合されるのを防止することが重要です。レイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にアナログ信号トラックに沿って、デジタル・トラックを走らせないように注意してください。

ロジックのシステム・グラウンドから離れたアナログ・グラウンド・プレーンを、ADC の下または ADC の近くに設けなければなりません。ピン 5 (AGND)、ピン 14 (DGND)、および他のすべてのアナログ・グラウンドは、この 1 つのアナログ・グラウンド点に接続してください。また、REFCOMP バイパス・コンデンサと V_{DD} バイパス・コンデンサもこのアナログ・グラウンド・プレーンに接続します。他のデジタル・グラウンドをこのアナログ・グラウンド・プレーンに接続してはなりません。この

ADC を低ノイズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADC のデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをウェイト・ステートにするか、またはスリーステート・バッファを使って ADC のデータ・バスを分離すれば解決できます。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

LTC1418 はノイズの結合を最小限に抑えるために差動入力を備えています。 A_{IN}^+ と A_{IN}^- リードの同相ノイズは、入力 CMRR によって除去されます。 A_{IN}^- 入力を A_{IN}^+ 入力のグラウンド・センスとして使用できます。LTC1418 は A_{IN}^+ と A_{IN}^- 間の電圧差を保持し変換します。 A_{IN}^+ (ピン 1) へのリードと A_{IN}^- (ピン 2) へのリードは、できる限り短くしなければなりません。これが可能でないアプリケーションでは、 A_{IN}^+ および A_{IN}^- トレースを平行に走らせて、結合を等しくすることが必要です。

電源のバイパス

V_{DD} ピンと REFCOMP ピンには、高品質、低直列抵抗のセラミック $10\mu\text{F}$ のバイパス・コンデンサを使用してください。村田製作所製 GRM235Y5V106Z016 などの表面実装セラミック・コンデンサは、小さなボード・スペースで優れたバイパスを提供します。あるいは、 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して使用することもできます。

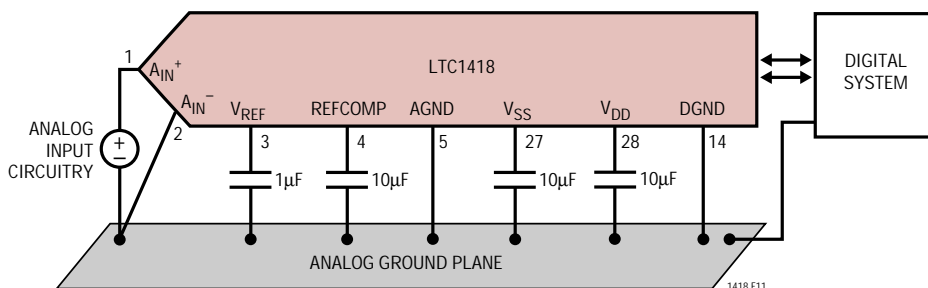


図11. 電源グラウンド

アプリケーション情報

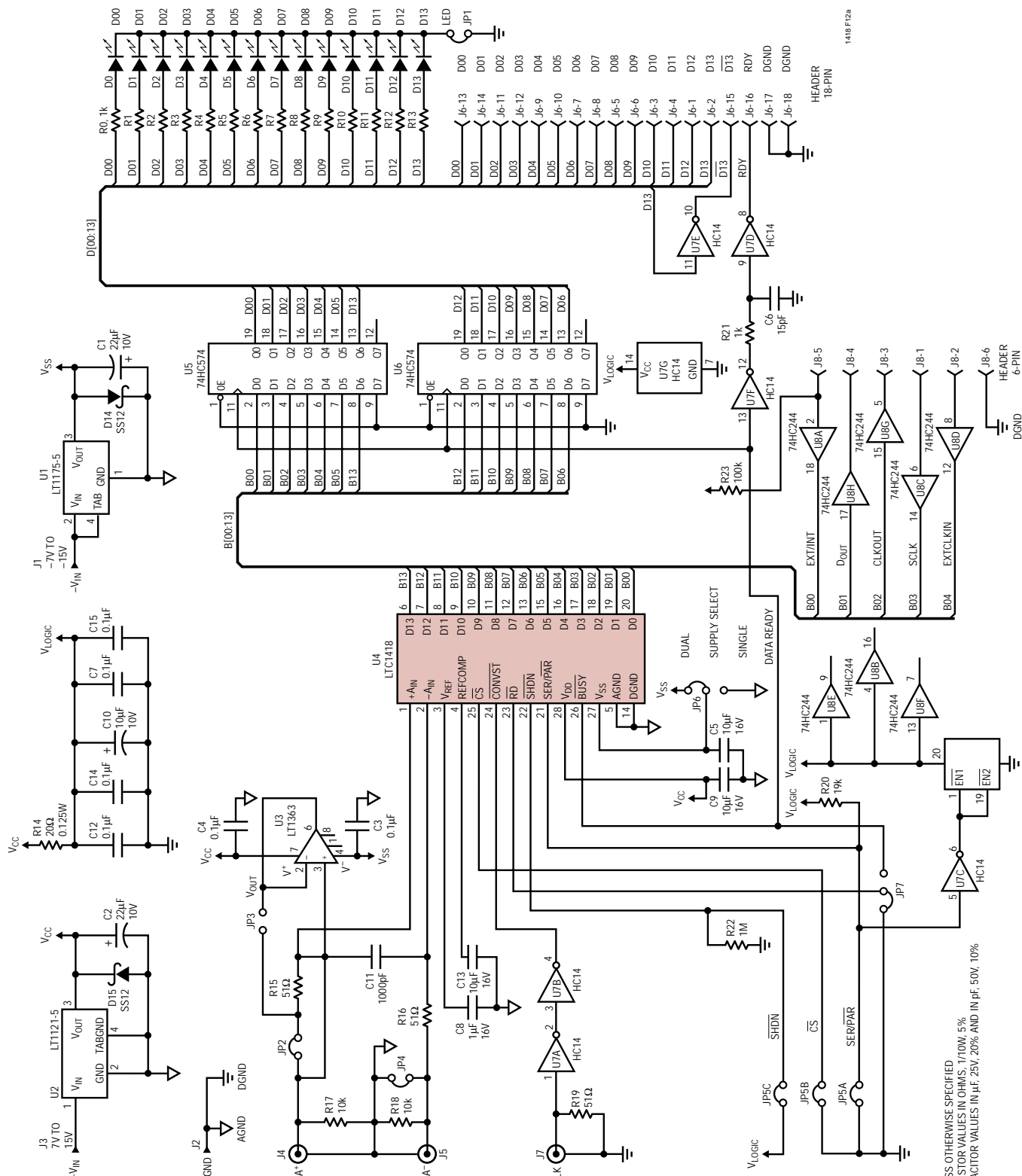
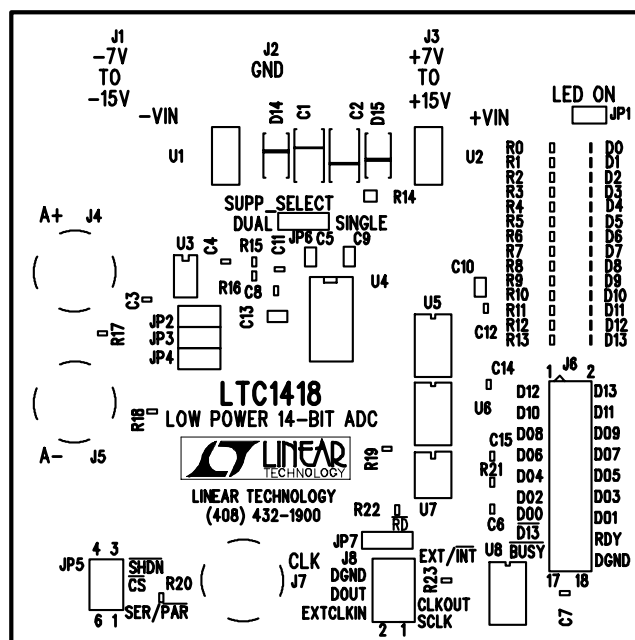


図12a. 推奨評価回路図

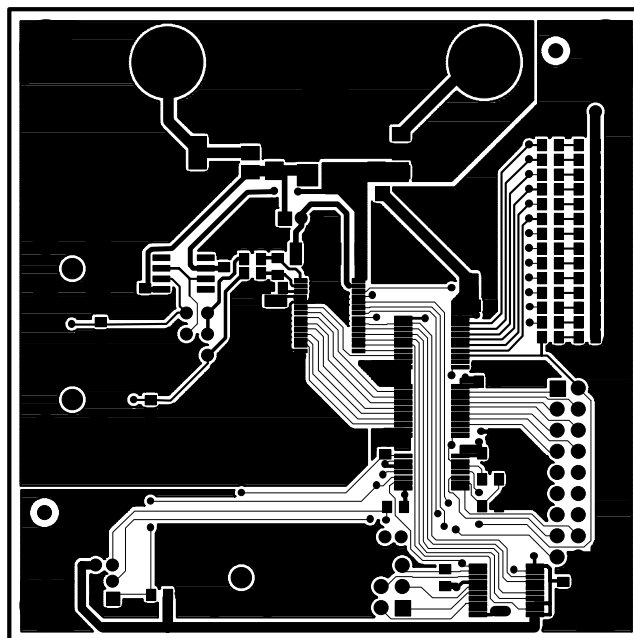
NOTES: UNLESS OTHERWISE SPECIFIED
 1. ALL RESISTOR VALUES IN OHMS, 1/10W, 5%
 2. ALL CAPACITOR VALUES IN μ F, 25V, 20% AND IN pF, 50V, 10%

アプリケーション情報



1418 F12b

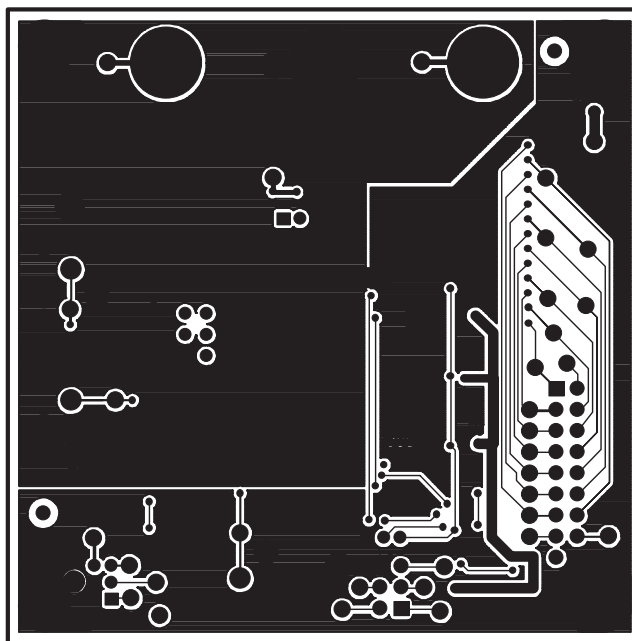
図12b. 推奨評価回路ボード部品面のトップ・シルクスクリーン



1418 F12c

図12c. 推奨評価回路ボード-トップレイヤ

アプリケーション情報



1418 F12d

図12d. 推奨評価回路ボード半田面のレイアウト

これらのコンデンサはできる限りピンの近くに配置します。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

レイアウト例

図12a、12b、12c、12dは、推奨評価ボードの回路図とレイアウトを示します。レイアウトは、2層PCボードでのデカップリング・コンデンサとグランド・プレーンの正しい使い方を示しています。

デジタル・インタフェース

LTC1418はシリアル・モードまたはパラレル・モードで動作できます。ADCはパラレル・モードでは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 \overline{CS} および \overline{RD} コントロール入力は、すべての周辺メモリ・インタフェースに共通です。シリアル・モードでは、SCLK、 \overline{CONVST} 、EXTCLKIN、 D_{OUT} の4つのデジタル・インタフェース・ラインしか必要ありません。シリアル・データ・シフト・クロックSCLKは、外部入力またはLTC1418の内部クロックから供給できます。

内部クロック

ADCには内部クロックがあります。パラレル出力モードでは、内部クロックが常に変換クロックとして使用されます。シリアル出力モードでは、内部クロックまたは外部クロックを変換クロックとして使用できます(図20を参照)。内部クロックは標準変換時間 $3.4\mu\text{s}$ 、および全動作温度範囲における最大変換時間 $4\mu\text{s}$ を達成するように製造時に調整されています。外部調整は不要で、最大アキュリション・タイム $1\mu\text{s}$ 、スループット性能 200ksps が保証されています。

電源シャットダウン

LTC1418にはナップとスリープの2つのパワー・シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が80%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナップからアクティブになるまでのウェイクアップ時間は 500ns です(図13aを参照)。スリープ・モードでは、すべてのバイアス電流がシャットダウンされ、リーク電流は約 $2\mu\text{A}$ のままです。スリープ・モードからのウェイクアップ時間は、リファレンス回路が立ち上がった後に、

アプリケーション情報

完全14ビット精度では0.05%にセトリングしなければならないため、より低速になります。スリープ・モードのウェイクアップ時間は、REFCOMP(ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨される10 μ Fコンデンサでは30msです。シャットダウンはピン2 α (SHDN)で制御され、SHDNが“L”のときにADCはシャットダウン状態になっています。シャットダウン・モードはピン2 β (CS)で選択され、“L”のときナプ(図13bを参照)“H”のときスリープを選択します。

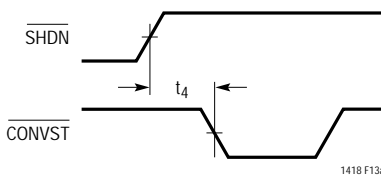


図13a. SHDNからCONVSTのウェイクアップ・タイミング

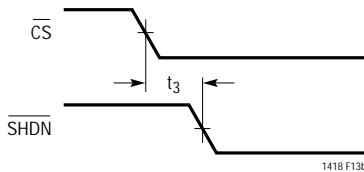


図13b. CSからSHDNのタイミング

変換制御

変換スタートは、CSおよびCONVST入力でコントロールされます。CONVSTピンに立下りエッジを印加すると、ADCが選択された後(すなわちCSが“L”。図14を参照)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスはBUSY出力で表示され、変換実行中この出力は“L”になっています。

データ出力

データ・フォーマットは、SER/PAR入力ピンによって制御されます。ロジック“L”でパラレル出力フォーマットを選択します。パラレル・モードでは、14ビットのデータ出力ワードD0~D13が各変換の終わりに、ピン6~13およびピン15~20で更新されます。SER/PARにロジック“H”を印加すると、シリアル・フォーマット・データ出力が選択され、ピン16~20

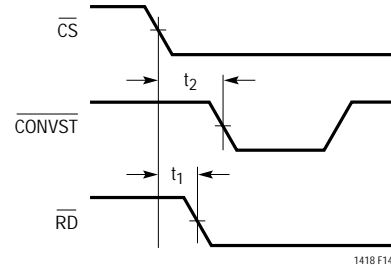


図14. CSからCONVSTのセットアップ・タイミング

はシリアル機能を実行し、ピン6~13および15はハイ・インピーダンス状態になります。パラレルまたはシリアルいずれのデータ・フォーマットでも、出力はCSとRDが“L”のときにだけアクティブになります。CSとRDのその他の組合せでは、出力はすべて3ステートになります。ユニポーラ・モード($V_{SS} = 0V$)では、データはストレート・バイナリ・フォーマット(ユニポーラ入力範囲に対応)になります。バイポーラ・モード($V_{SS} = -5V$)では、データは2の補数フォーマット(バイポーラ入力範囲に対応)になります。

パラレル出力モード

パラレル・モードは、SER/PARピンにロジック“0”を印加すると選択されます。図15~19は、パラレル出力動作の異なるモードを示します。モード1aと1 α (図15と図16)では、CSとRDは両方とも“L”に接続されます。CONVSTの立下りエッジで変換を開始します。データ出力は常にインエーブルされ、データはBUSYの立上りエッジでラッチすることができます。モード1aは、幅の狭いロジック“L”のCONVSTパルスによる動作を示します。モード1bは、幅の狭いロジック“H”のCONVSTパルスによる動作を示します。

モード2(図17)では、CSは“L”に接続されます。CONVST信号の立下りエッジで再び変換を開始します。データ出力は、MPUがRD信号で読み出すまでスリーステートになっています。モード2は、共有データバスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図18と図19)では、CSは“L”に接続され、CONVSTとRDは連結されます。MPUは変換を開始して、RD信号で出力を読み出します。変換はMPUまたはDSP(外部サンプル・クロックではなく)によって開始されます。

低速メモリ・モードでは、プロセッサはRD(=CONVST)を“L”にして変換を開始します。BUSYが“L”になり、プロセッ

アプリケーション情報

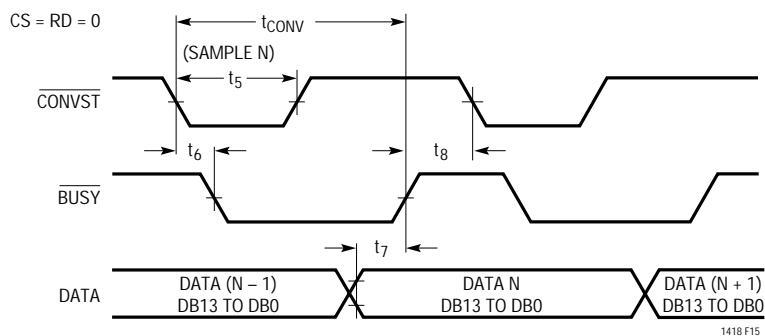



図15. モード1a。CONVSTによる変換の開始。データ出力は常時イネーブル
(CONVST = )

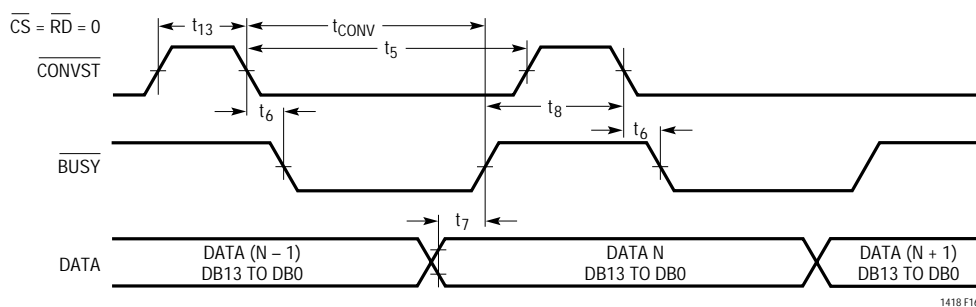
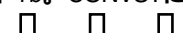


図16. モード1b。CONVSTによる変換の開始。データ出力は常時イネーブル
(CONVST = )

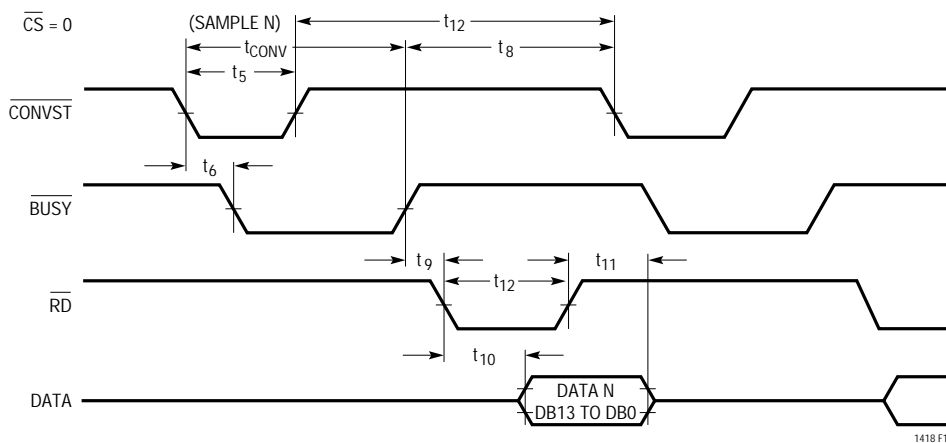


図17. モード2。CONVSTによる変換の開始。RDでデータの読み出し

アプリケーション情報

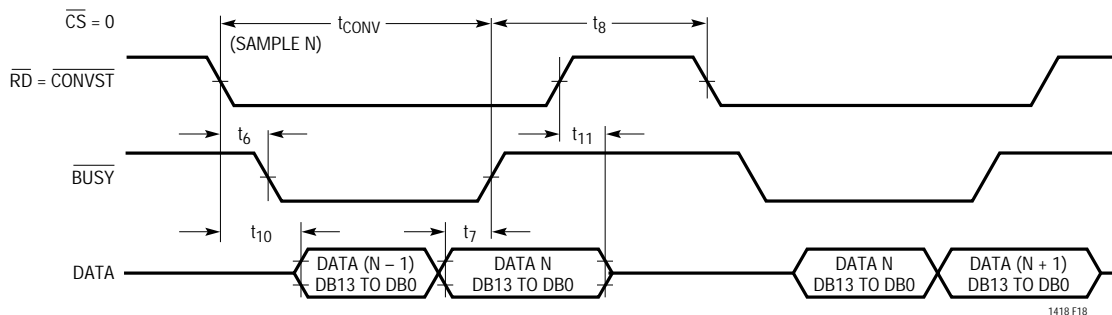


図18. 低速メモリ・モード・タイミング

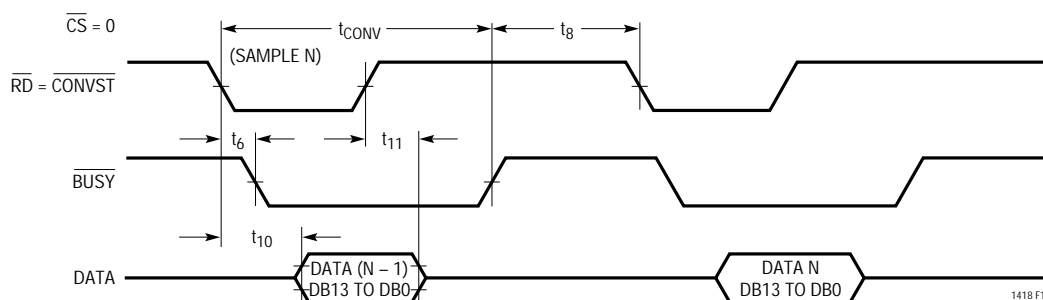


図19. ROMモード・タイミング

サを強制的にウェイト・ステートにします。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。BUSYが“H”になって、プロセッサを解放すると、プロセッサは \overline{RD} (= CONVST)を“H”に戻して、新しい変換データを読み出します。

ROMモードでは、プロセッサは \overline{RD} (= CONVST)を“L”にして変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果を読み出して、別の変換を開始することができます。

シリアル出力モード

SER/PAR入力ピンが“H”のときに、シリアル出力モードが選択されます。このモードでは、ピン16~20、D0 (EXT/INT)、D1 (DOUT)、D2 (CLKOUT)、D3 (SCLK) およびD4 (EXTCLKIN)は、図20に示すように、シリアル機能を実行します。(この説明では、これらのピンはシリアル機能名であるEXT/INT、DOUT、CLKOUT、SCLK、EXTCLKINで引用します。)パラレル・モードの場合と同様、変換は \overline{CS} が“L”のときのCONVSTの立下りエッジで開始されます。変換が完了し、出力シフト・レジスタが更新

されるとBUSYが“H”になり、DOUT(ピン19)上に有効データが現れます。このデータは、次の変換の開始前、または次の変換中にクロック・アウトすることができます。シリアル・データ出力バッファとシフト・クロックをイネーブルするには、CSとRDが“L”でなければなりません。

図20に、シリアル・モードのLTC1418の機能ブロック図を示します。この回路には2つの部分があります。つまり、変換クロック選択回路(EXT/INT、EXTCLKIN、およびCLKOUT)とシリアル・ポート(SCLK、DOUT、CSおよびRD)です。

変換クロック選択(シリアル・モード)

図20では、変換クロックは内部ADC動作を制御します。変換クロックは内部または外部です。EXT/INTを“L”に接続すると、内部クロックが選択されます。このクロックは16クロック・サイクルを生成し、これが各変換ごとにSARに供給されます。

外部変換クロックを選択するには、EXT/INTを“H”に接続し、外部変換クロックをEXTCLKIN(ピン16)に印加します。(変換中に外部シフト・クロック(SCLK)を使用するときは、非同期クロックで生成されるノイズを避けるために、SCLKを外

アプリケーション情報

エッジで14ビットをMSBを先頭に(図21と22を参照)、16のSCLKが提供された場合、14のデータ・ビットの後に2つのゼロが続きます。MSB(D13)はSCLKの最初の立上りエッジと最初の立下りエッジで有効になります。D12は2番目の立上りエッジと2番目の立下りエッジで有効になります。残りのビットもすべて同じです。データはいずれかのエッジでも捕捉できます。データがSCLKの立上りエッジで捕捉される場合に、最大のホールド時間が達成されます。 $\overline{\text{BUSY}}$ は変換の終わりを表示します。

LTC1418がマスタ・シリアル・デバイスとして構成されたときは、 $\overline{\text{BUSY}}$ をフレーミング・パルスとして使用し、そ

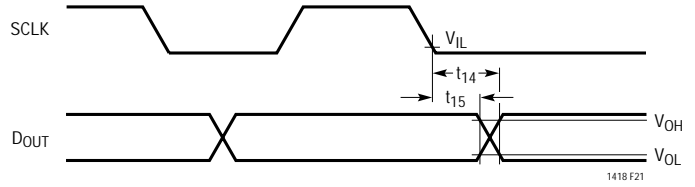


図21. SCLKからDOUTの遅延

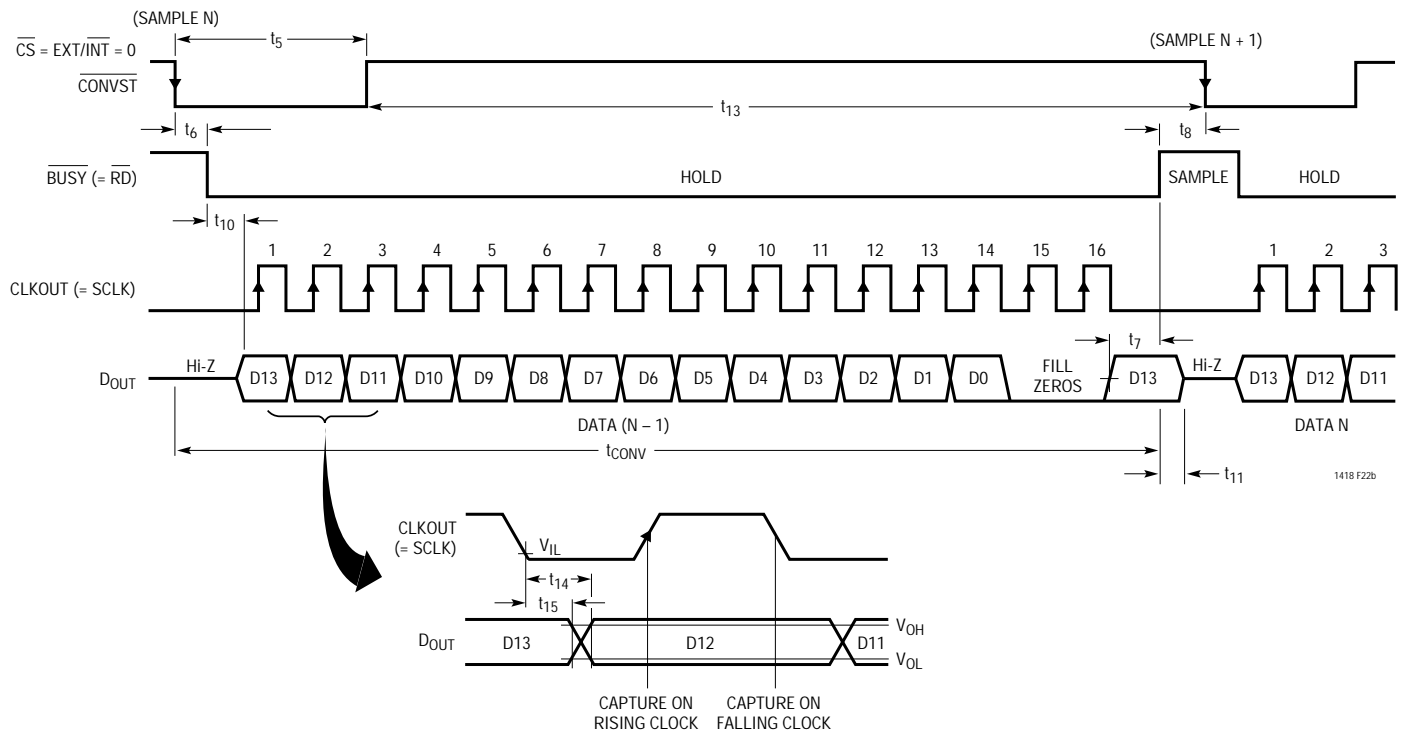
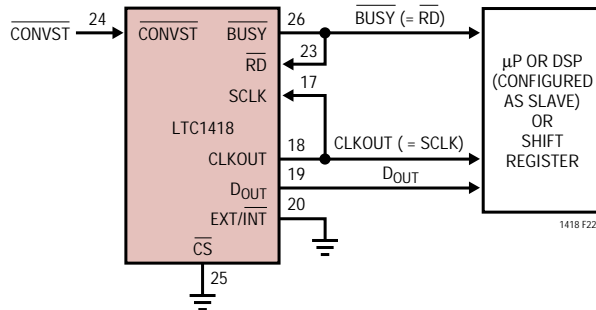


図22. 内部変換クロックを選択。データはADCクロック出力をマスタ・シフト・クロック (CLKOUTからドライブされるSCLK)として使用して変換中に転送

アプリケーション情報

これを \overline{RD} ピンに接続することによって、シリアル出力データを転送した後に、シリアル・ポートをスリーステートにすることができます。

図22～25にいくつかのシリアル・モード動作を示し、LTC1418シリアル・ポートの柔軟性を示します。

変換中のシリアル・データ出力

変換とデータ転送に内部変換クロックを使用。図22は変換中にクロック・アウトされる前の変換からのデータを示します。変換クロックとSCLKはLTC1418の内部クロックから

供給されます。内部クロックは変換時間が最高速になるように最適化されているので、このモードでは総合的に最高の速度性能を提供することができます。内部変換クロックを選択するには、EXT/INT(ピン20)を“L”に接続します。内部クロックはCLKOUT(ピン18)に現れます。このピンをSCLK(ピン17)に接続すればSCLKを供給できます。

変換とデータ転送に外部クロックを使用。図23の回路では、変換中に前の変換からのデータが出力されます。変換クロックとシフト・クロックの両方が外部クロックから供給されます。外部変換クロックを選択するには、EXT/INTを“H”に接続し、クロックをEXTCLKINに印加します。同じク

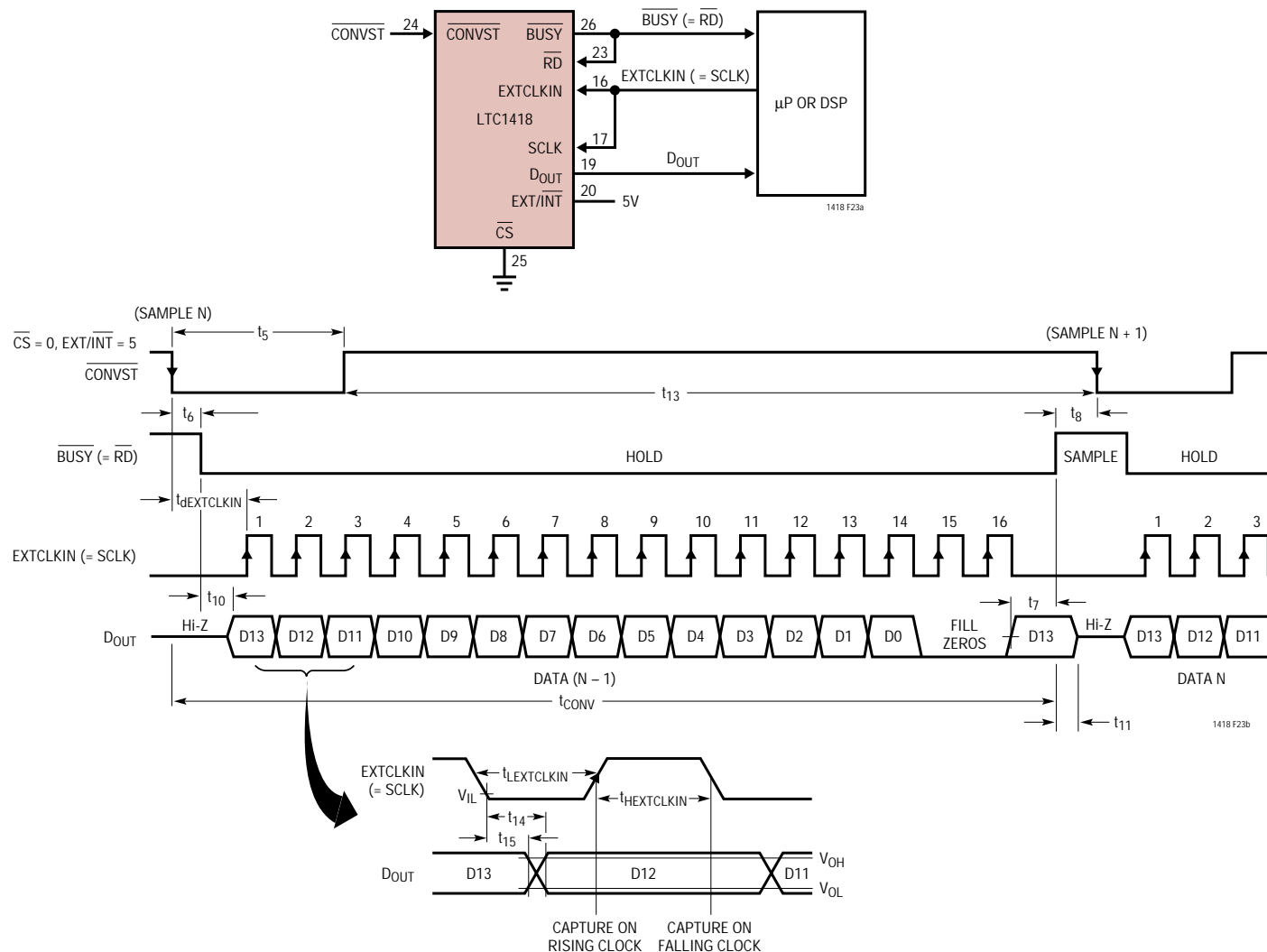


図23. 外部変換クロックを選択。データは外部クロック(外部クロックでEXTCLKINとSCLKの両方をドライブ)を使用して変換中に転送

アプリケーション情報

ロックをSCLKにも印加して、データ・シフト・クロックを提供します。精度を維持するために、変換クロック周波数は30kHz～4.5MHzの間でなければなりません。

非同期クロックによってノイズが発生するおそれがあるので、内部クロックによる変換中に外部クロックでデータをクロック駆動することは推奨されません。

変換後のシリアル・データ出力

内部変換クロックと外部データ・クロックを使用。このモードでは、各変換の終了後、次の変換の開始前にデータが出力されます(図24)。内部クロックを変換クロックとして使用し、外部クロックはSCLKに使用されます。このモードはプロセッサがマスタ・シリアル・デバイスとして動作するアプリケーションに役立ちます。このモードはSPIおよび

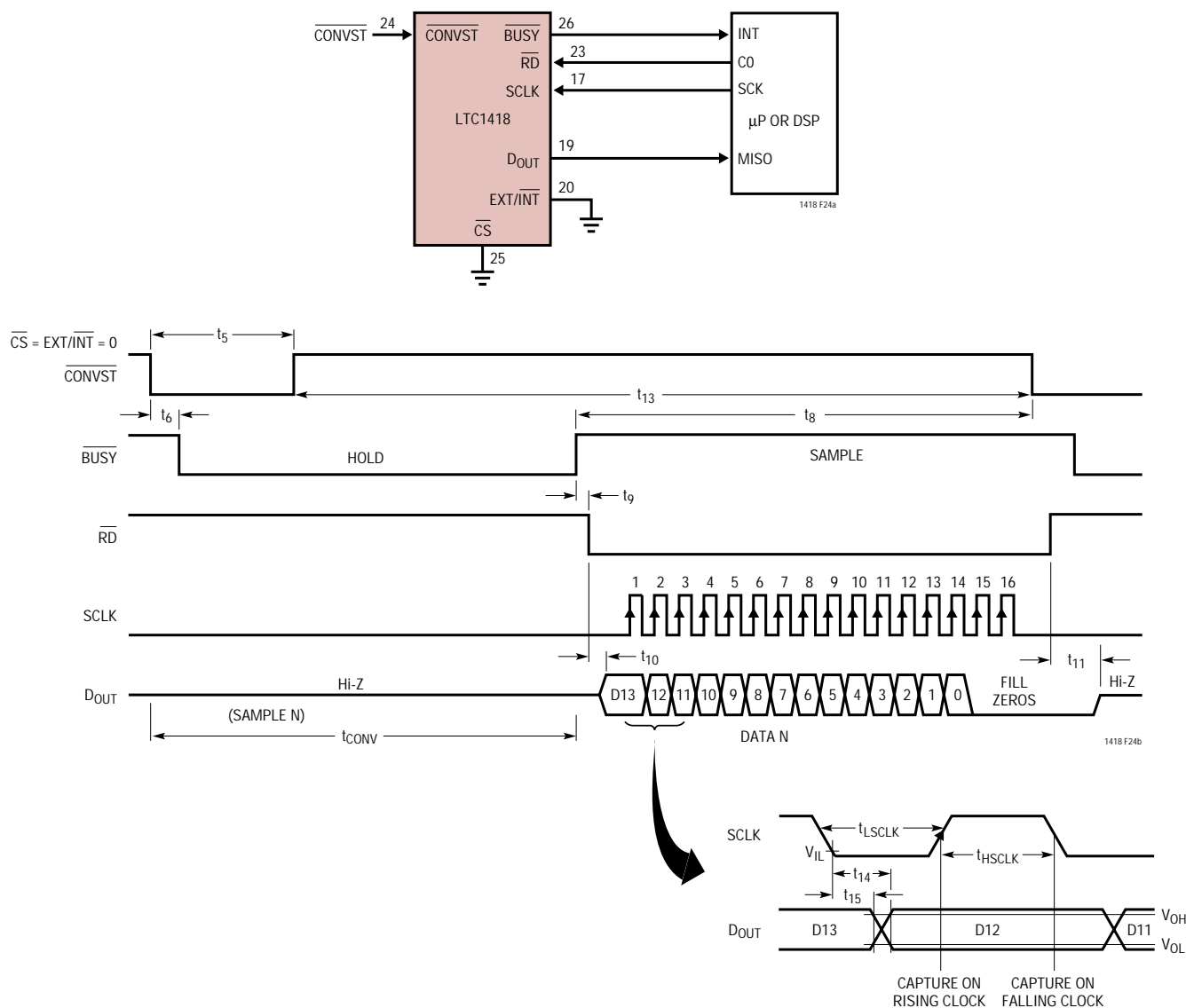


図24. 内部変換クロックを選択。データは変換後に外部SCLKを使用して転送される。
BUSY は変換の終了を示す。

アプリケーション情報

MICROWIREに対応しています。また、SCLK周波数が非常に低い(30kHz以下)ときにも動作可能です。内部変換クロックを選択するには、EXT/INTを“L”に接続します。外部SCLKがSCLKに印加されます。RDが“L”になった後にだけデータをクロック駆動し、データ転送後にD_{OUT}がスリーステートになるように、RDを使用して外部SCLKをゲート制御することができます。16を超えるSCLKが供給された場合は、データワードの後にさらに多くのゼロが無制限に埋められます。

外部変換クロックと外部データ・クロックを使用。図25では、各変換の完了後、次の変換の開始前にもデータが出力されます。外部クロックを変換クロックに使用し、別の外部クロックまたは同じ外部クロックをSCLKに使用します。変換に外部クロックを使用することを除いて、このモードは図24と同じです。このモードによって、ユーザは内部ビット・テスト・タイミングを精密に制御したり、正確な変換時間を提供するために、A/D変換

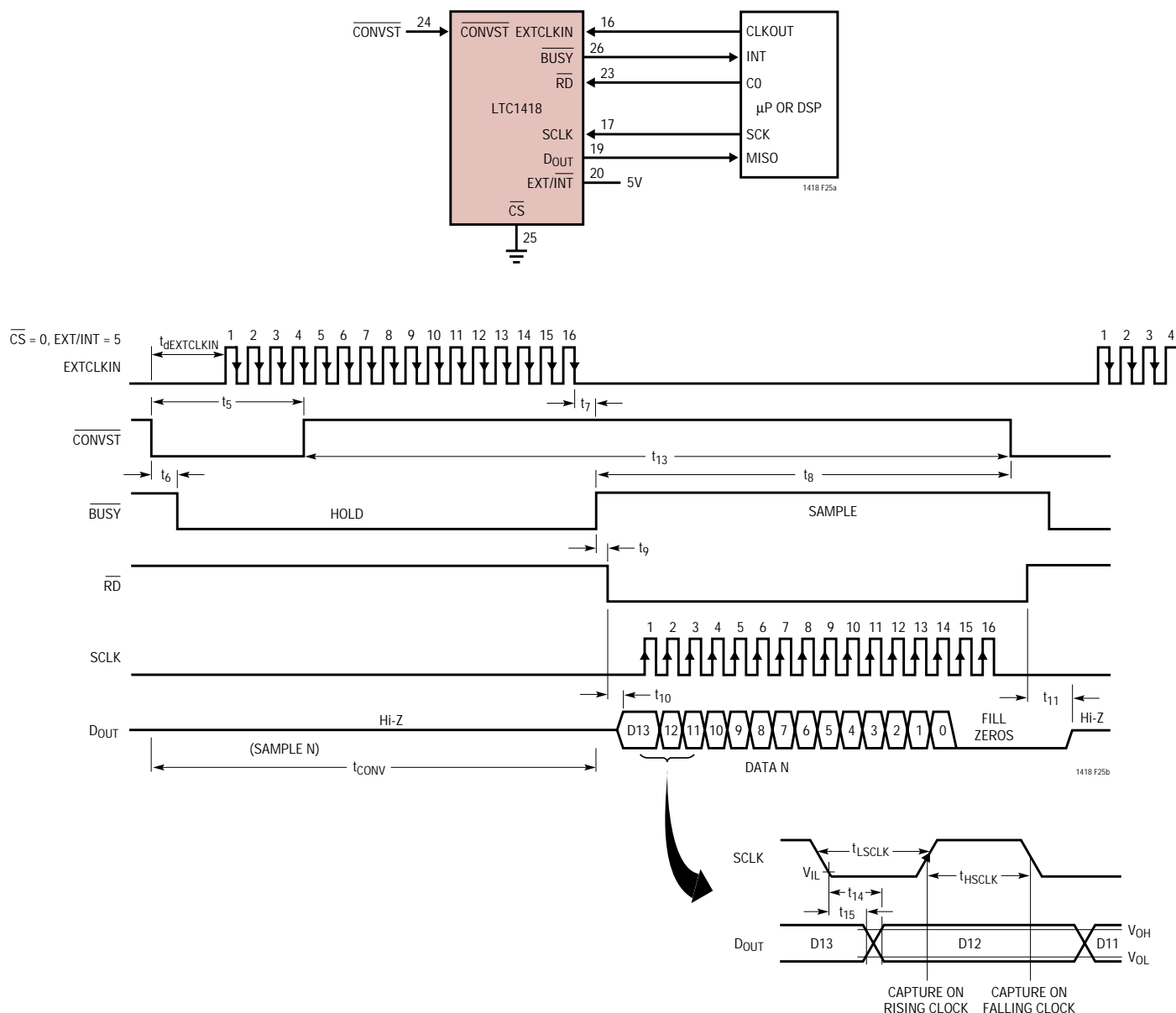


図25. 外部変換クロックを選択。データは変換後に外部SCLKを使用して転送される。BUSY は変換の終了を示す。

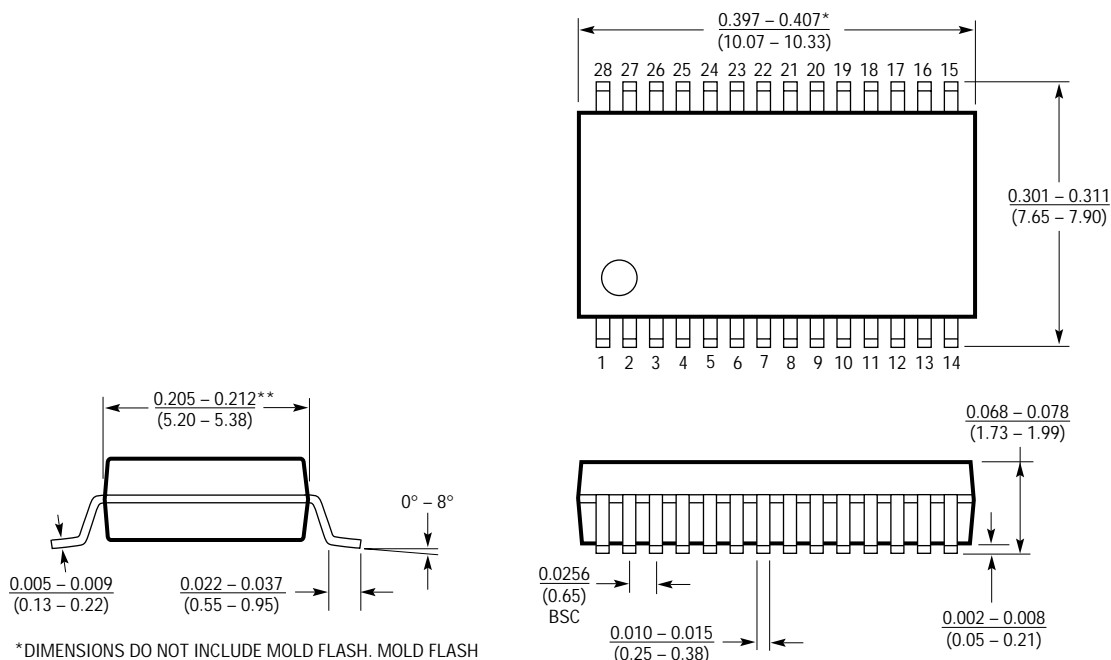
アプリケーション情報

を外部クロックに同期させることができます。図24に示すとおり、このモードはSCLK周波数が非常に低い(30kHz以下)のときに有効です。ただし、精度を維持するために、外部変換クロックは30kHz~4.5MHzの間でなければなりません。16を超えるSCLKが供給された場合は、データ・ワードの後にさらに多くのゼロが無制限に

埋められます。外部変換クロックを選択するには、EXT/INTを“H”に接続します。外部SCLKがSCLKに印加されます。RDを使用して、RDが“L”になった後でのみデータがクロック駆動されるように、外部SCLKをゲート制御することができます。

パッケージ 注記がない限り、寸法はインチ(mm)

Gパッケージ
28ピン・プラスチックSSOP(0.209)
(LTC DWG # 05-08-1640)

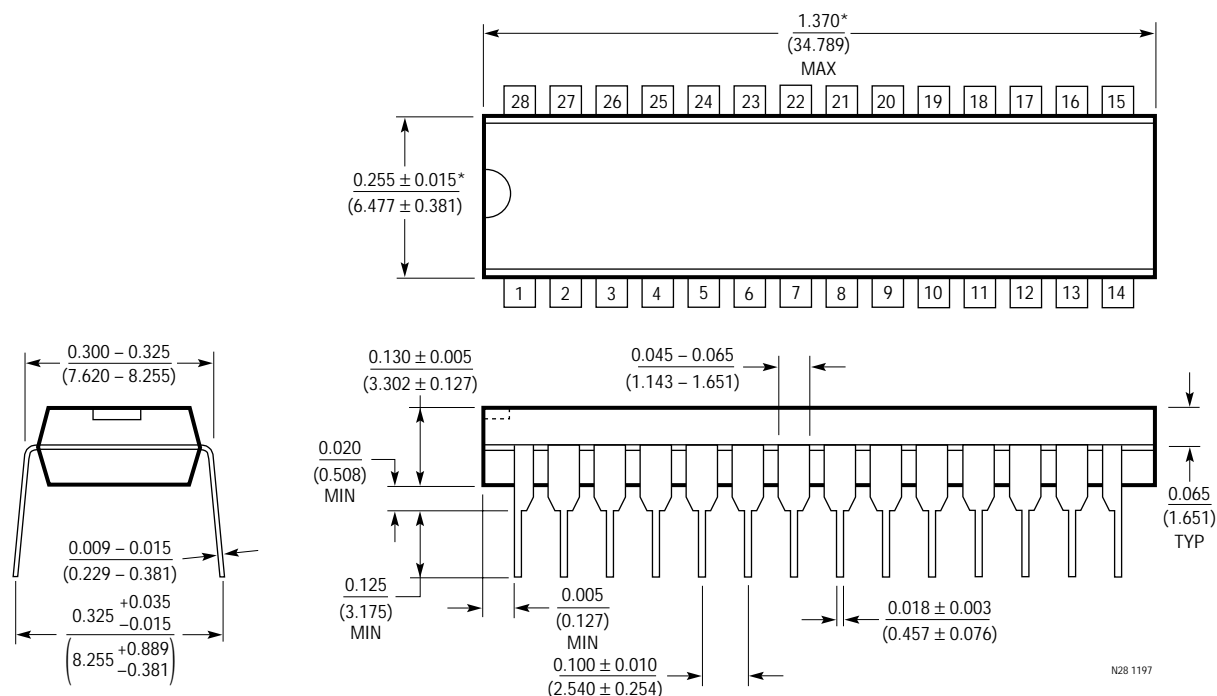


*DIMENSIONS DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE
**DIMENSIONS DO NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.010" (0.254mm) PER SIDE

G28 SSOP 0694

パッケージ 注記がない限り、寸法はインチ (mm)

Nパッケージ
28ピンPDIP(細型0.300)
(LTC DWG # 05-08-1510)

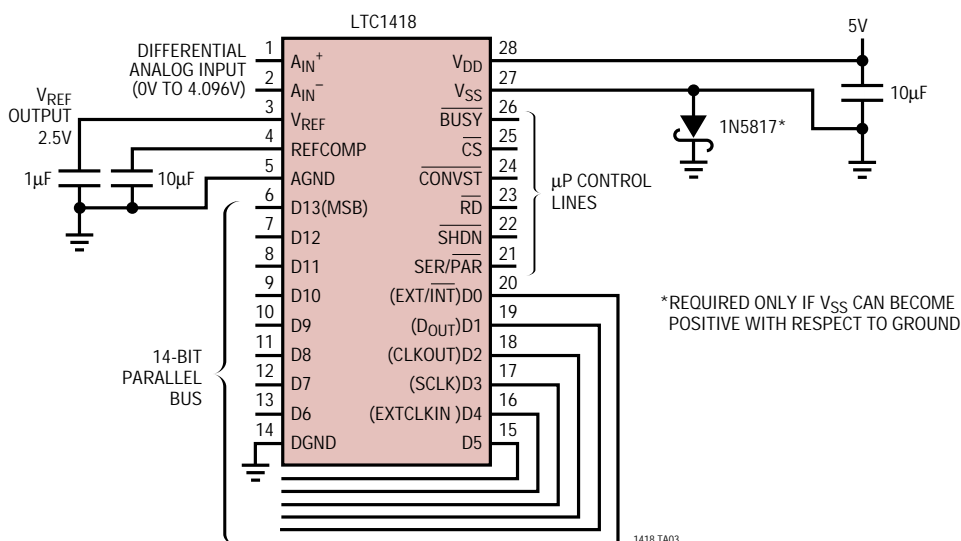


*THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.010 INCH (0.254mm)

LTC1418

標準的応用例

単一5V電源、200kHz、14ビット・サンプリングA/Dコンバータ



関連製品

製品番号	説明	注釈
ADC		
LTC1274/LTC1277	低消費電力、12ビット、100ksps ADC	消費電力10mW、パラレル/バイト・インタフェース
LTC1412	12ビット、3MspsサンプリングADC	最高のダイナミック性能、ナイキストにてSINAD = 72dB
LTC1415	単一5V、12ビット、1.25Msps ADC	消費電力55mW、SINAD 72dB
LTC1416	低消費電力、14ビット、400ksps ADC	消費電力70mW、SINAD 80.5dB
LTC1419	低消費電力、14ビット、800ksps ADC	真の14ビット・リニアリティ、SINAD 81.5dB、消費電力150mW
LTC1604	16ビット、333kspsサンプリングADC	±2.5V入力、SINAD = 90dB、THD = 100dB
LTC1605	単一5V、16ビット、100ksps ADC	低消費電力、±10V入力、パラレル/バイト・インタフェース
DAC		
LTC1595	SO-8の16ビットCMOS乗算型DAC	最大INL/DNL ±1LSB、グリッチ1nV・sec、DAC8043のアップグレード
LTC1596	16ビットCMOS乗算型DAC	最大INL/DNL ±1LSB、DAC8143/AD7543のアップグレード
リファレンス		
LT1019-2.5	高精度バンドギャップ・リファレンス	0.05%最大、5ppm/最大