

特長

- 単一5Vまたは±5V電源動作
- サンプル・レート：400ksps
- 最大±1.25LSBのINLおよび±1LSBのDNL
- 消費電力：20mW(標準)
- シリアル・データ出力
- 全温度範囲にてミッシング・コードなし
- パワー・シャットダウン：ナップおよびスリープ
- 外部または内部リファレンス動作
- 差動ハイ・インピーダンス・アナログ入力
- 入力範囲：0V～4.096Vまたは±2.048V
- ナイキスト入力周波数にてS/(N+D) 82dBおよびTHD 95dB
- 16ピン細型SSOPパッケージ

アプリケーション

- 高速データ収集
- デジタル信号処理
- 絶縁データ収集システム
- オーディオおよびテレコム処理
- スペクトラム計測

概要

LTC®1417は、低消費電力、400ksps、14ビットのA/Dコンバータです。この汎用デバイスは、単一5Vまたは±5V電源で動作します。高性能サンプル&ホールド、高精度リファレンス、および内部タイミング回路を備えており、外部回路が少なくてすみます。ユーザ選択可能な2つのパワー・シャットダウン・モードでは、20mWの消費電力がさらに低減されます。

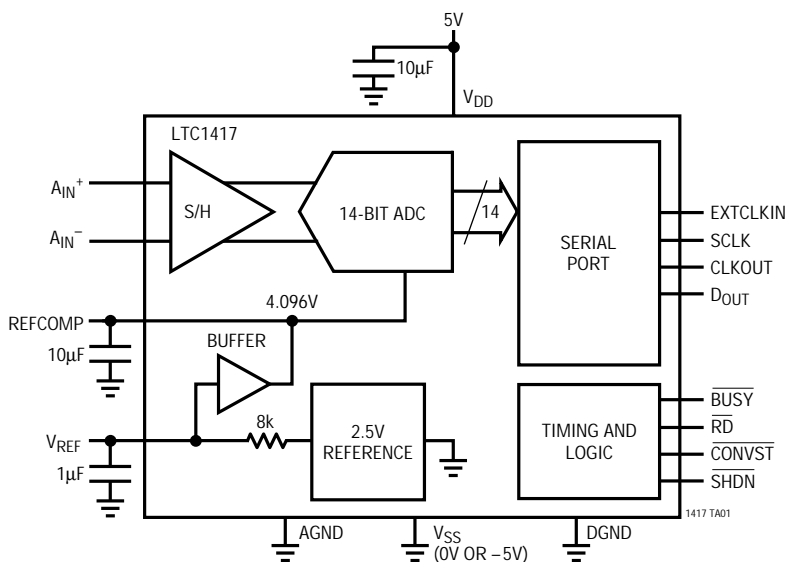
LTC1417は、単一5V電源での0V～4.096Vのユニポーラ入力、および±5V電源での±2.048Vバイポーラ入力を変換します。DCスペックには、全温度範囲での±1.25LSBのINL、±1LSBのDNLとミッシング・コードがないことが含まれます。200kHzのナイキスト入力周波数での82dBのS/(N+D)および95dBのTHDなど、卓越したAC性能を実現しています。

内部クロックは最大変換時間が2μsになるように調整されています。クロックは自動的に各サンプル・コマンドに同期するため、競合デバイスに見られる非同期クロック・ノイズの問題は発生しません。変換スタート入力とデータ・レディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。

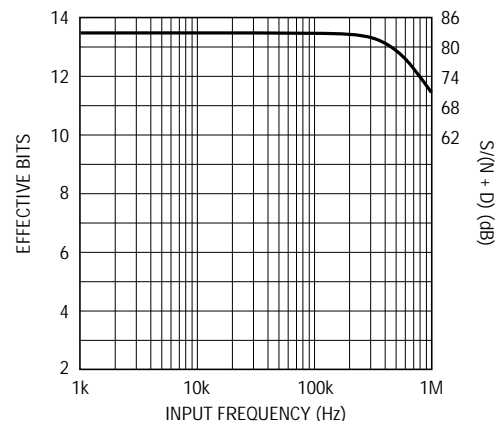
LT、LTC、LTはリニアテクノロジー社の登録商標です。

標準的応用例

400kHz、14ビット・サンプリングA/Dコンバータ



有効ビット数および
S/(N+D)と入力周波数



絶対最大定格

(Note 1、2)

電源電圧 (V_{DD})	6V
負電源電圧 (V_{SS})	
バイポーラ動作のみ	- 6V ~ GND
全電源電圧 ($V_{SS} \sim V_{DD}$)	
バイポーラ動作のみ	12V
アナログ入力電圧 (Note 3)	
ユニポーラ動作	- 0.3V ~ ($V_{DD} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)
デジタル入力電圧 (Note 4)	
ユニポーラ動作	- 0.3V ~ 10V
バイポーラ動作	($V_{SS} - 0.3V$) ~ 10V
デジタル出力電圧	
ユニポーラ動作	- 0.3V ~ ($V_{DD} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)
消費電力	500mW
動作温度範囲	
LTC1417C	0 ~ 70
LTC1417I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

<p>GN PACKAGE 16-LEAD (NARROW) PLASTIC SSOP $T_{JMAX} = 110^{\circ}C$, $\theta_{JA} = 95^{\circ}C/W$</p>	ORDER PART NUMBER
	LTC1417ACGN LTC1417CGN LTC1417AIGN LTC1417IGN
	GN PART MARKING
	1417A 1417 1417AI 1417I

ミリタリ・グレードに関してはお問い合わせください。

コンバータ特性 内部リファレンスをとこなう (Note 5、6)

PARAMETER	CONDITIONS	LTC1417			LTC1417A			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	13		14			Bits
Integral Linearity Error	(Note 7)	●	±0.8	±2	±0.5	±1.25		LSB
Differential Linearity Error		●	±0.7	±1.5	±0.35	±1		LSB
Offset Error	External Reference (Note 8)	●	±5	±20	±2	±10		LSB
Full-Scale Error	Internal Reference		±10	±60	±20	±60		LSB
	External Reference = 2.5V		±5	±30	±5	±15		LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$, Internal Reference, Commercial		±15		±10			ppm/°C
	$I_{OUT(REF)} = 0$, Internal Reference, Industrial				±20			ppm/°C
	$I_{OUT(REF)} = 0$, External Reference		±5		±1			ppm/°C

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 9)	$4.75V \leq V_{DD} \leq 5.25V$ (Unipolar)	●	0 to 4.096		V
		$4.75V \leq V_{DD} \leq 5.25V$, $-5.25V \leq V_{SS} \leq -4.75V$ (Bipolar)	●	±2.048		V
I_{IN}	Analog Input Leakage Current	\overline{CONVST} = High	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		14		pF
		During Conversions (Hold Mode)		3		pF

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{ACQ}	Sample-and-Hold Acquisition Time		●	150	500	ns
t_{AP}	Sample-and-Hold Aperture Time			-1.5		ns
t_{jitter}	Sample-and-Hold Aperture Time Jitter			5		ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio	$0V < (A_{IN}^+ = A_{IN}^-) < 4.096V$ (Unipolar) $-2.048V < (A_{IN}^+ = A_{IN}^-) < 2.048V$ (Bipolar)		65		dB
				65		dB

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	100kHz Input Signal 200kHz Input Signal	●	79	82	dB
					82	dB
THD	Total Harmonic Distortion	100kHz Input Signal, First Five Harmonics 200kHz Input Signal, First Five Harmonics	●	-85	-95	dB
					-95	dB
SFDR	Spurious Noise Dynamic Range	200kHz Input Signal	●		95	dB
IMD	Intermodulation Distortion	$f_{IN1} = 90kHz, f_{IN2} = 100kHz$			-90	dB
	Full Power Bandwidth				10	MHz
	Full Linear Bandwidth	$S/(N + D) \geq 77dB$			0.8	MHz

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.480	2.500	2.520	V
V_{REF} Output Tempco	$I_{OUT} = 0$, Commercial $I_{OUT} = 0$, Industrial		± 10 ± 20		ppm/°C ppm/°C
V_{REF} Line Regulation	$4.75V \leq V_{DD} \leq 5.25V$ $-5.25V \leq V_{SS} \leq -4.75V$		0.05 0.05		LSB/V LSB/V
V_{REF} Output Resistance	$0.1mA \leq I_{OUT} \leq 0.1mA$		8		k Ω

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25V$	●	2.4		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75V$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to V_{DD}	●		± 10	μA
C_{IN}	Digital Input Capacitance			1.4		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75V, I_O = -10\mu A$ $V_{DD} = 4.75V, I_O = -200\mu A$	●	4.0	4.74	V V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75V, I_O = 160\mu A$ $V_{DD} = 4.75V, I_O = -1.6mA$	●	0.05 0.10	0.4	V V
I_{OZ}	High-Z Output Leakage $D_{OUT}, CLKOUT$	$V_{OUT} = 0V$ to V_{DD}, \overline{RD} High	●		± 10	μA
C_{OZ}	High-Z Output Capacitance $D_{OUT}, CLKOUT$	\overline{RD} High (Note 9)	●		15	pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD}	Positive Supply Voltage (Notes 10, 11)		4.75		5.25	V
V _{SS}	Negative Supply Voltage (Note 10)	Bipolar Only (V _{SS} = 0V for Unipolar)	-4.75		-5.25	V
I _{DD}	Positive Supply Current	Unipolar, \overline{RD} High (Note 5)	●	4.0	5.5	mA
	Nap Mode	Bipolar, \overline{RD} High (Note 5)	●	4.3	6.0	mA
I _{SS}	Negative Supply Current	Bipolar, \overline{RD} High (Note 5)	●	2.0	2.8	mA
	Nap Mode	SHDN = 0V, \overline{RD} = 0V		0.7		μA
P _{DIS}	Power Dissipation	Unipolar	●	20.0	27.5	mW
		Bipolar	●	31.5	44	mW
	Sleep Mode	SHDN = 0V, \overline{RD} = 5V		750		μA
	Sleep Mode	SHDN = 0V, \overline{RD} = 5V		0.1		μA

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SAMPLE(MAX)}	Maximum Sampling Frequency		●	400		kHz
t _{CONV}	Conversion Time		●	1.8	2.25	μs
t _{ACQ}	Acquisition Time		●	150	500	ns
t _{ACQ} + t _{CONV}	Acquisition Plus Conversion Time		●	2.1	2.5	μs
t ₁	SHDN↑ to CONVST↓ Wake-Up Time from Nap Mode	(Note 10)		500		ns
t ₂	\overline{CONVST} Low Time	(Notes 10, 11)	●	40		ns
t ₃	\overline{CONVST} to \overline{BUSY} Delay	C _L = 25pF	●	35	70	ns
t ₄	Data Ready Before \overline{BUSY} ↑	C _L = 25pF	●	7	12	ns
t ₅	Delay Between Conversions	(Note 10)	●	250		ns
t ₆	Wait Time \overline{RD} ↓ After \overline{BUSY} ↑		●	-5		ns
t ₇	Data Access Time After \overline{RD} ↓	C _L = 25pF	●	15	30	ns
			●		40	ns
		C _L = 100pF	●	20	40	ns
			●		55	ns
t ₈	Bus Relinquish Time		●		35	ns
t ₉	\overline{RD} Low Time		●	t ₇		ns
t ₁₀	\overline{CONVST} High Time		●	40		ns
t ₁₁	Delay Time, SCLK↓ to D _{OUT} Valid	C _L = 25pF	●	15	40	ns
t ₁₂	Time from Previous Data Remain Valid After SCLK↓	C _L = 25pF	●	5	10	ns
f _{SCLK}	Shift Clock Frequency		●	0	20	MHz
f _{EXTCLKIN}	External Conversion Clock Frequency		●	0.05	9	MHz
t _{dEXTCLKIN}	Delay Time, \overline{CONVST} ↓ to External Conversion Clock Input	(Note 9)	●		20	μs

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{H\ SCLK}$	SCLK High Time	●	40			ns
$t_{L\ SCLK}$	SCLK Low Time	●	40			ns
$t_{H\ EXTCLKIN}$	EXTCLKIN High Time	●	0.04		20	μ s
$t_{L\ EXTCLKIN}$	EXTCLKIN Low Time	●	0.04		20	μ s

●は全動作温度範囲の規格値を意味する。他のすべてのリミットと標準値は $T_A = 25$ 。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命を損なう可能性がある値。

Note 2: すべての電圧値は、(注記がない限り) DGNDとAGNDが連結されたグラウンドを基準とする。

Note 3: これらのピン電圧を V_{SS} より低くするか、 V_{DD} より高くすると、内部ダイオードによってクランプされる。この製品はピンが V_{SS} (ユニポーラ・モードのグラウンド)より低く、または V_{DD} より高くドライブされてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧を V_{SS} より低くすると、内部ダイオードでクランプされる。この製品は V_{SS} より低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンは V_{DD} にクランプされない。

Note 5: 注記がない限り、 $V_{DD} = 5V$ 、 $V_{SS} = -5V$ 、 $f_{SAMPLE} = 400kHz$ 、 $t_r = t_f = 5ns$

Note 6: 直線性、オフセット、およびフルスケール仕様は、 A_{IN-} を接地した状態のシングルエンド A_{IN+} 入力に適用される。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: バイポーラ・オフセットは、出力コードが0000 0000 0000 00と1111 1111 1111 11の間で変化するとき、 $-0.5LSB$ から測定したオフセット電圧。

Note 9: 設計により保証されているがテストは行われない。

Note 10: 推奨動作条件

Note 11: CONVSTの立下りエッジで変換が開始される。変換中に微妙な点でCONVSTが“H”に戻った場合は、小さな誤差が生じる可能性がある。最良の結果を得るためには、変換開始から625ns以内またはBUSYが立ち上がりしてからCONVSTが“H”に戻るようにすること。

ピン機能

A_{IN+} (ピン1): 正のアナログ入力。

A_{IN-} (ピン2): 負のアナログ入力。

V_{REF} (ピン3): 2.50Vリファレンス出力。1 μ FでAGNDにバイパスします。

REFCOMP (ピン4): 4.096Vリファレンス出力。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続してAGNDにバイパスします。

AGND (ピン5): アナログ・グラウンド。

EXTCLKIN (ピン6): 外部変換クロック入力。5V入力では内部変換クロックがイネーブルされます。

SCLK (ピン7): データ・クロック入力

CLKOUT (ピン8): 変換クロック出力。

D_{OUT} (ピン9): シリアル・データ出力。

DGND (ピン10): デジタル・グラウンド。

\overline{SHDN} (ピン11): シャットダウン入力。“L”でシャットダウンを選択します。 \overline{RD} によって選択されるシャットダウン・モード。 $\overline{RD} = 0$ はナップ・モード、 $\overline{RD} = 1$ はスリープモード。

\overline{RD} (ピン22): リード入力。出力ドライバをイネーブルします。また、 \overline{SHDN} が“L”のときはシャットダウン・モードも設定します。 \overline{RD} および \overline{SHDN} が“L”で高速ウェイクアップのナップ・モード、 \overline{RD} “H”と \overline{SHDN} “L”でスリープ・モードを選択します。

\overline{CONVST} (ピン13): 変換開始信号。このアクティブ“L”信号の立下りエッジで変換を開始します。

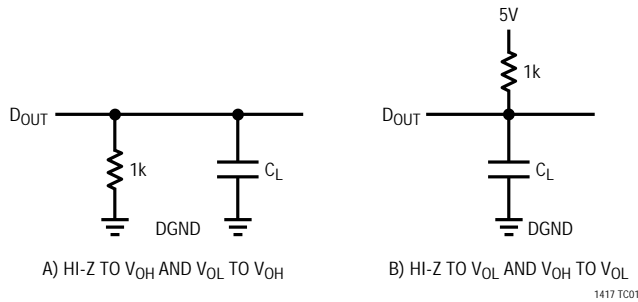
\overline{BUSY} (ピン14): \overline{BUSY} 出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。

V_{SS} (ピン15): 負電源、バイポーラ動作のための-5V。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続してAGNDにバイパスします。アナログ・グラウンドは、ユニポーラ動作用です。

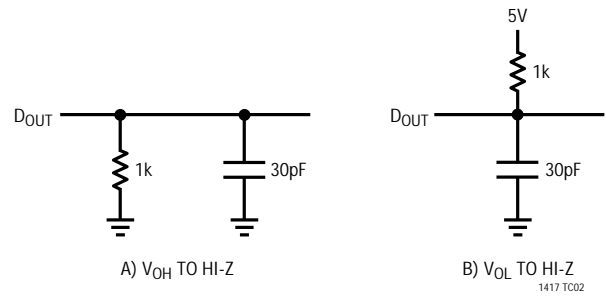
V_{DD} (ピン16): 5V正電源。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

テスト回路

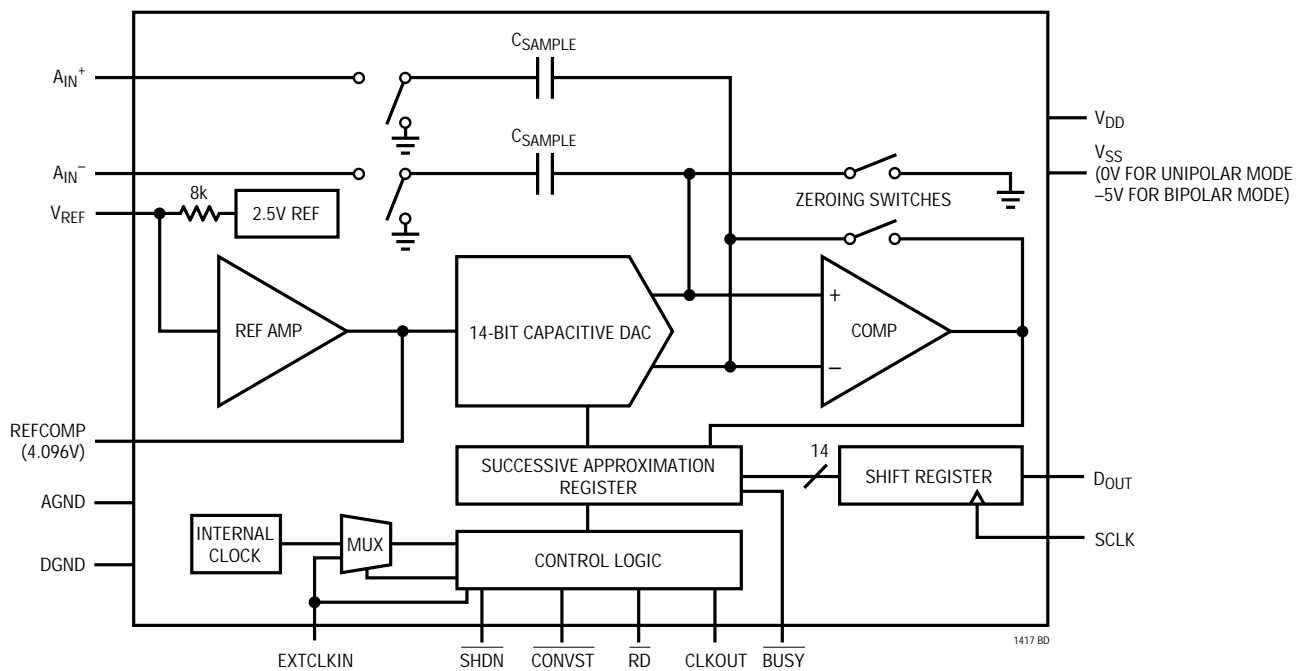
アクセス・タイミングのための負荷回路



出力フロート遅延のための負荷回路



機能ブロック図



アプリケーション情報

変換の詳細説明

LTC1417は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を14ビットのシリアル出力に変換します。このADCは高精度リファレンスと内部クロックを備えています。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換のスタートは、 $\overline{\text{CONVST}}$ 入力でコントロールされません。変換がスタートすると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の差動14ビット容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)に連続的に動作します。図1を参照してください。 A_{IN+} お

よび A_{IN-} 入力はアキュイジション・フェーズ中にサンプル&ホールド・コンデンサ(C_{SAMPLE})に接続され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアキュイジション・フェーズでは、500nsの最小遅延時間により、サンプル&ホールド・コンデンサがアナログ入力を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} コンデンサをグランドにスイッチして、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、差動容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、差動DAC出力は A_{IN+} および A_{IN-} 入力電荷とバランスします。 A_{IN+} と A_{IN-} の差を表すSARの内部状態(14ビット・データ・ワード)がシリアル・ピン D_{OUT} を通して出力されます。

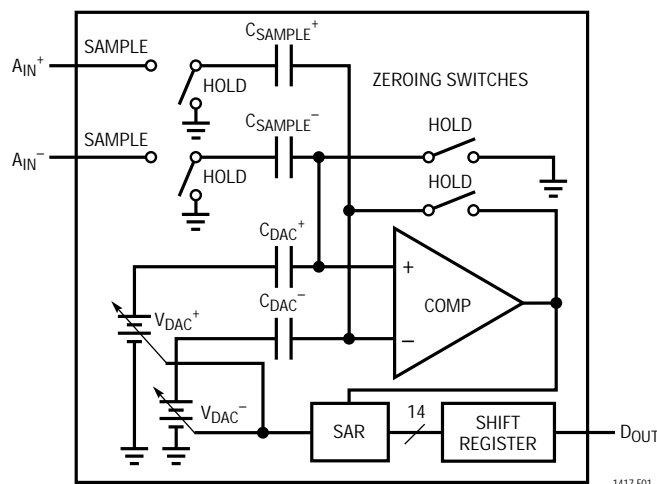


図1. 簡略ブロック図

1417 F01

アプリケーション情報

アナログ入力のドライブ

LTC1417の差動アナログ入力は簡単にドライブできます。入力は差動、あるいはシングルエンド入力(すなわち、 A_{IN}^- 入力を接地)としてドライブ可能です。 A_{IN}^+ 入力と A_{IN}^- 入力は同時にサンプリングされます。両方の入力に同相となる不要な信号は、サンプル&ホールド回路の同相除去によって低減されます。入力には変換終了時にサンプル・ホールド・コンデンサを充電する間に1回だけ小さなスパイク電流が流れます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1417入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、アキュイジション・タイムも増加します(図2を参照)。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリング時間が500nsであること)。

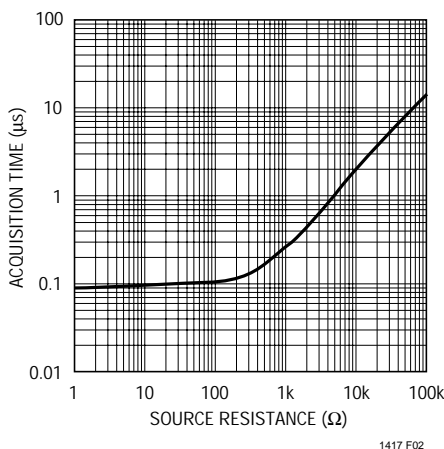


図2. t_{ACQ} とソース抵抗

入力アンプの選択

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。まず、閉ループ帯域幅周波数で低い出力インピーダンス(100以下)をもつアンプを選択します。たとえば、10MHzの閉ループ帯域幅をもつアンプを

利得1で使用した場合、10MHzでの出力インピーダンスは、100以下でなければなりません。もう一つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ帯域幅が10MHz以上でなければならないことです。低速オペアンプを使用する場合、変換と変換の間の時間を長くして、セトリングのための時間を長くすることができます。

LTC1417をドライブするための最適なオペアンプの選択は、アプリケーションに依存します。一般に、アプリケーションは次の2つに分類されます。ダイナミック仕様が最も重要なACアプリケーションと、DC精度とセトリング・タイムが最も重要なタイム・ドメイン・アプリケーションです。以下のリストはLTC1417をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT®1354 : 12MHz、400V/μsオペアンプ。1.25mAの最大消費電流。優れたACおよびDC仕様。両電源アプリケーションに適する。

LT1357 : 25MHz、600V/μsオペアンプ。2.5mAの最大消費電流。優れたACおよびDC仕様。両電源アプリケーションに適する。

LT1366/LT1367 : デュアル/クワッド高精度レール・トゥ・レール入力および出力オペアンプ。1アンプ当たり375μAの消費電流。1.8V ~ ±15V電源。低入力オフセット電圧 : 150μV。サンプリング・レートが20ksp/s以下の低消費電力および単一電源アプリケーションに最適。

LT1498/LT1499 : 10MHz、6V/μs、デュアル/クワッド、レール・トゥ・レール入力および出力オペアンプ。1アンプ当たり1.7mAの消費電流。2.2V ~ ±15V電源。優れたAC性能、入力ノイズ電圧 = $12nV\sqrt{Hz}$ (標準)。

LT1630/LT1631 : 30MHz、10V/μs、デュアル/クワッド、レール・トゥ・レール入力および出力、高精度オペアンプ。1アンプ当たり3.5mAの消費電流。2.7V ~ ±15V。最高のAC性能、入力ノイズ電圧 = $6nV\sqrt{Hz}$ (標準)、THD = 100kHzで -86dB。

アプリケーション情報

入力フィルタリング

入力アンプおよび他の回路のノイズと歪みがLTC1417のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル・ホールド回路の小信号帯域幅は10MHzです。アナログ入力に現れるノイズまたは歪みはこの全帯域幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。多くのアプリケーションでは、単純な1ポールRCフィルタで十分です。たとえば、図3は + A_{IN} からグランドに2000pFコンデンサと100 Ωのソース抵抗を接続すると、入力帯域幅が800kHzに制限されることを示します。また、2000pFコンデンサは入力サンプル&ホールドのための電荷貯蔵庫として働き、ADC入力をグリッチの影響を受けやすいサンプリング回路から切り離します。これらの部品が歪みを増加させる可能性があるため、高品質のコンデンサと抵抗を使用してください。NPOとシルバ・マイカ型誘電体コンデンサは、優れた直線性を備えています。また、カーボン表面実装抵抗は、自己加熱

や半田付け中に生じる損傷によって歪みを発生するおそれがあります。金属フィルム表面実装抵抗は、これら両方の問題の影響を受けにくいものです。

入力範囲

LTC1417の $\pm 2.048\text{V}$ および $0\text{V} \sim 4.096\text{V}$ の入力範囲は、ノイズと歪みが低くなるように最適化されています。大部分の高性能オペアンプもこの範囲で最適に動作するため、アナログ入力への直接結合が可能で、特殊な変換回路は必要ありません。

アプリケーションによっては、他の入力範囲が必要です。LTC1417の差動入力とリファレンス回路は、多くの場合、回路をほとんどあるいはまったく追加しなくても、他の入力範囲に対応できます。以下のセクションでは、リファレンスと入力回路、そしてそれらがどのように入力範囲に影響を与えるかを説明します。

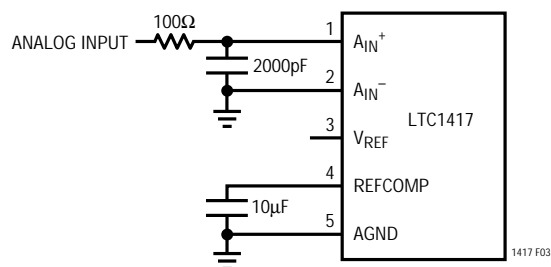


図3. RC入力フィルタ

アプリケーション情報

内部リファレンス

LTC1417は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.500Vに調整されています。このリファレンスは内部でリファレンス・アンプに接続されており、ピン3から外部に引き出されています。8k Ω の抵抗が出力と直列に接続されているため、外部リファレンスを必要とするアプリケーションで、簡単にオーバドライブできます(図4を参照)。リファレンス・アンプ補償ピン(REFCOMP、ピン4)は、コンデンサでグラウンドにバイパスしなければなりません。リファレンスは1 μ F以上のコンデンサで安定します。最高のノイズ性能を得るために、10 μ Fのコンデンサと並列に0.1 μ Fのセラミック・コンデンサを接続することを推奨しています。

DACまたは他の方法で V_{REF} ピンをドライブして、入力スパン調整を行うことができます。規定された直線性を得るには、リファレンスを2.25V~2.75Vの範囲で保持しなければなりません。

ユニポーラ/バイポーラ動作と調整

図5aにLTC1417の理想的な入出力特性を示します。コード・トランジションは、連続する整数のLSB値の間(すなわち、0.5LSB、1.5LSB、2.5LSB、FS - 1.5LSB)に現れます。出力コードは、1LSB = FS/16384 = 4.096V/16384 = 250 μ Vの自然バイナリです。図5bに、2の補数形式で表したバイポーラ・モードでの入出力伝達特性を示します。

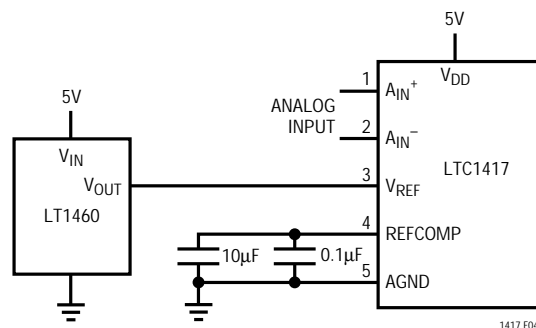


図4. LT1460を外部リファレンスとして使用

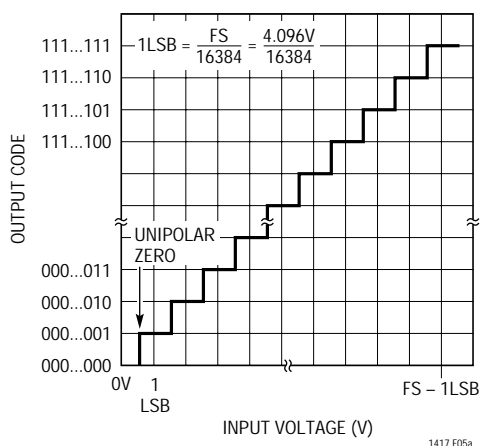


図5a. LTC1417ユニポーラ伝達特性

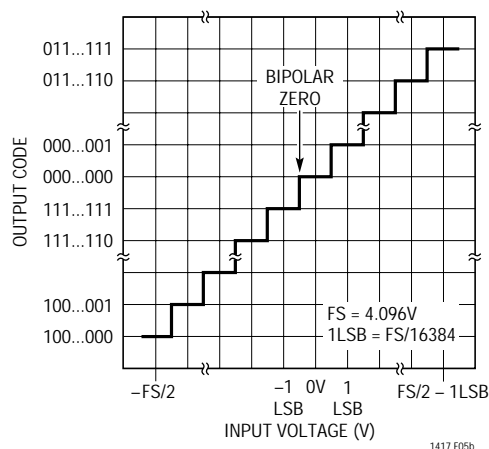


図5b. LTC1417バイポーラ伝達特性

アプリケーション情報

ユニポーラ・オフセットとフルスケール誤差

絶対精度が重要なアプリケーションの場合には、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図6aと図6bに、フルスケール誤差調整に必要な追加部品を示します。ゼロ・オフセットは、 A_{IN^-} 入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $125\mu\text{V}$ (すなわち、 0.5LSB) を入力に印加し、出力コードが $0000\ 0000\ 0000\ 00$ と $0000\ 0000\ 0000\ 01$ の間で変化するまで A_{IN^-} 入力のオフセットを調整します。フルスケール調整を行うには、 4.095625V ($\text{FS} - 1.5\text{LSB}$) の入力電圧を A_{IN^+} に印加し、出力コードが $1111\ 1111\ 1111\ 10$ と $1111\ 1111\ 1111\ 11$ の間で変化するまで $R2$ を調整します。

バイポーラ・オフセットとフルスケール誤差調整

バイポーラ・オフセットおよびフルスケール誤差は、ユニポーラの場合と同様に調整されます。この場合にも、フルスケール誤差を調整する前にバイポーラ・オフセットを調整しなければなりません。バイポーラ・オフセット誤差調整は、 A_{IN^-} 入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $-125\mu\text{V}$ (すなわち、 -0.5LSB) を A_{IN^+} に印加し、出力コードが $0000\ 0000\ 0000\ 00$ と $1111\ 1111\ 1111\ 11$ の間を変化するようにするまで、 A_{IN^-} 入力のオフセットを調整します。フルスケール調整を行うには、 2.047625V ($\text{FS} - 1.5\text{LSB}$) の入力電圧を A_{IN^+} に印加し、出力コードが $0111\ 1111\ 1111\ 10$ と $0111\ 1111\ 1111\ 11$ の間で変化するまで $R2$ を調整します。

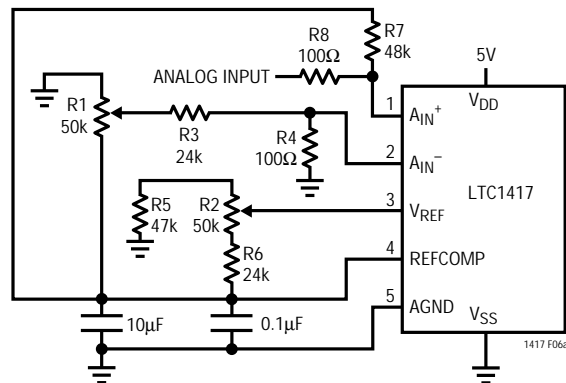


図6a. -5Vがない場合のオフセットおよびフルスケール調整回路

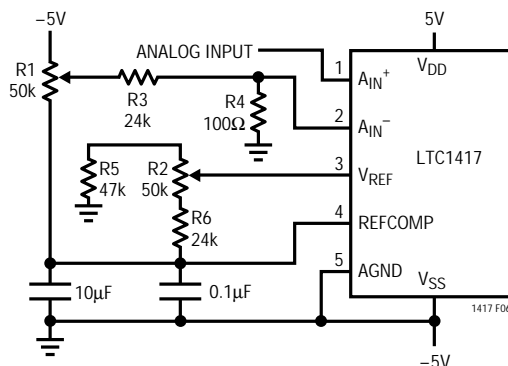


図6b. -5Vがある場合のオフセットおよびフルスケール調整回路

アプリケーション情報

ボード・レイアウトと接地

LTC1417から最良の性能を引き出すには、グランド・プレーン付きのPCボードが必要です。ADC領域の下のグランド・プレーンは、すべてのADCグランドとすべてのADCデカップリング・コンデンサの間に低インピーダンス・パスが提供されるよう、できるだけ亀裂や穴がないようにしなければなりません。デジタル・ノイズがアナログ入力、リファレンス、またはアナログ電源ラインに結合されるのを防止することが重要です。レイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にアナログ信号トラックに沿って、デジタル・トラックを走らせないように注意してください。

ロジックのシステム・グランドから離れたアナログ・グランド・プレーンを、ADCの下または周囲に設けなければなりません。ピン5 (AGND)、ピン10 (DGND)、および他のすべてのアナログ・グランドは、この1つのアナログ・グランド・プレーンに接続してください。また、REFCOMPバイパス・コンデンサと V_{DD} バイパス・コンデンサもこのアナログ・グランド・プレーンに接続します。他のデジタル・グランドをこのアナログ・グランド・プレーンに接続してはなりません。このADCを低ノ

イズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次変換コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

LTC1417はノイズの結合を最小限に抑えるために差動入力を備えています。 A_{IN}^+ と A_{IN}^- リードの同相ノイズは、入力CMRRによって除去されます。 A_{IN}^- 入力を A_{IN}^+ 入力のグランド・センスとして使用することができます。すなわちLTC1417は A_{IN}^+ と A_{IN}^- 間の電圧差をホールドし変換します。 A_{IN}^+ (ピン1)と A_{IN}^- (ピン2)へのリードは、できるだけ短くします。これが可能でないアプリケーションでは、 A_{IN}^+ および A_{IN}^- の配線を平行して走らせて、ノイズの結合をキャンセルしなければなりません。

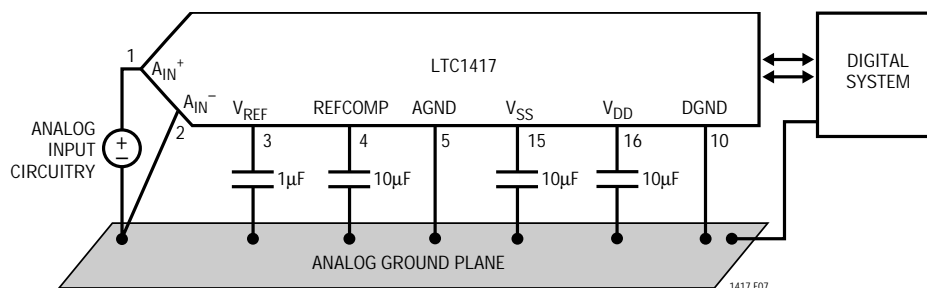


図7. 電源の接地方法

アプリケーション情報

電源のバイパス

V_{DD} ピンとREFCOMPピンには、高品質で低直列抵抗のセラミックの $10\mu\text{F}$ バイパス・コンデンサを使用してください。村田製作所のGRM235Y5V106Z016のような表面実装セラミック・コンデンサは、小さなボード・スペースで優れたバイパス特性を提供します。あるいは、 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して使用することもできます。

これらのコンデンサはできる限りピンの近くに配置します。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

デジタル・インタフェース

LTC1417はシリアル・モードで動作します。 $\overline{\text{RD}}$ コントロール入力は、すべての周辺メモリ・インタフェースに共通です。シリアル・モードでは、 SCLK 、 $\overline{\text{CONVST}}$ 、 EXTCLKIN 、 D_{OUT} の4つのデジタル・インタフェース・ラインしか必要ありません。シリアル・データ・シフト・クロック SCLK は、外部入力またはLTC1417の内部クロックから供給できます。

内部クロック

ADCには内部クロックがあります。内部クロックまたは外部クロックを変換クロックとして使用できます(図9を参照)。内部クロックは標準変換時間 $1.8\mu\text{s}$ 、および全動作温度範囲における最大変換時間 $2.5\mu\text{s}$ を達成するように製造時に調整されています。外部調整は不要で、最大アキュラシーション・タイム $0.5\mu\text{s}$ 、スループット性能 400ksp/s が保証されています。

電源シャットダウン

LTC1417にはナップとスリープの2つのパワー・シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が80%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナップからアクティブになるまでのウェイクアップ時間は 500ns です(図8を参照)。スリープ・モードでは、すべてのバイアス電流がシャットダウンされ、約 $2\mu\text{A}$ のわずかな電流しか流れません。スリープ・モードからのウェイクアップ時間は、リファレンス回路が立ち上がり、そして14ビット精度すなわち 0.005% にセトリングしなければならないため、より低速になります。スリープ・モードのウェイク

アップ時間は、REFCOMR(ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨している $10\mu\text{F}$ コンデンサでは 30ms です。シャットダウンはピン11(SHDN)で制御され、 $\overline{\text{SHDN}}$ が“L”のときにADCはシャットダウン状態になっています。シャットダウン・モードはピン12(RD)で選択され、“L”のときナップを、“H”のときスリープを選択します。

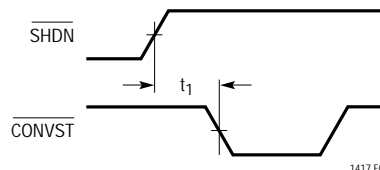


図8. $\overline{\text{SHDN}}$ から $\overline{\text{CONVST}}$ までのウェイクアップ・タイミング

変換制御

変換スタートは、 $\overline{\text{CONVST}}$ 入力でコントロールされます。 $\overline{\text{CONVST}}$ ピンに立下りエッジを印加すると、変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは $\overline{\text{BUSY}}$ 出力で示されます。変換実行中、 $\overline{\text{BUSY}}$ は“L”になっています。

データ出力

$\overline{\text{RD}}$ が“L”のとき、出力はアクティブになります。 $\overline{\text{RD}}$ が“H”のとき、出力は3ステートになります。ユニポーラ・モード($V_{SS} = 0\text{V}$)では、データはストレート・バイナリ・フォーマット(ユニポーラ入力範囲に対応)になります。バイポーラ・モード($V_{SS} = -5\text{V}$)では、データは2の補数フォーマット(バイポーラ入力範囲に対応)になります。

シリアル出力モード

変換は $\overline{\text{CONVST}}$ の立下りエッジで開始されます。変換が完了し、出力シフト・レジスタが更新されると $\overline{\text{BUSY}}$ が“H”になり、 D_{OUT} (ピン9)上に有効データが現れます。このデータは、次の変換の開始前、または次の変換中にクロック・アウトすることができます。シリアル・データ出力バッファとシフト・クロックをイネーブルするには、 $\overline{\text{RD}}$ が“L”でなければなりません。

アプリケーション情報

図9に、LTC1417の機能ブロック図を示します。この回路には2つの部分があります。つまり、変換クロック選択回路(EXTCLKINおよびCLKOUT)とシリアル・ポート(SCLK、D_{OUT}、およびRD)です。

変換クロック選択

図9では、変換クロックは内部ADC動作を制御します。変換クロックは内部または外部です。EXTCLKINを“H”に接続すると、内部クロックが選択されます。このクロックは16クロック・サイクルを生成し、これが各変換ごとにSARに供給されます。

外部変換クロックを選択するには、外部変換クロックをEXTCLKIN(ピン6)に印加します。(変換中に外部シフト・クロック(SCLK)を使用するときは、非同期クロックで生成されるノイズを避けるために、SCLKを外部変換クロックとして使用しなければなりません。精度を維持するために、外部変換クロック周波数は、50kHz~9MHzの間になければなりません。)SARは変換終了信号(\overline{EOC})を送ります。EOCは、外部クロック(EXTCLKIN)に16サイクル以上含まれていても16クロック・サイクルしかSARに入らないように、外部変換クロックをゲート制御します。

\overline{RD} が“L”のとき、これら変換クロック(内部または外部のいずれで生成されたかに関係なく)の16サイクルが、各変換中にCLKOUTに現れ、CLKOUTは次の変換まで“L”のままです。必要に応じて、CLKOUTをシリアル・ポートをドライブするためのマスタ・クロックとして使用することができます。変換中はCLKOUTが動作しているので、大きな電源過渡を引き起こし、ノイズを発生させるおそれのある過大な負荷を避けることが重要です。最高の性能を発揮させるには、CLKOUTの負荷を20pFに制限してください。

シリアル・ポート

図9のシリアル・ポートは、SCLKと \overline{RD} の2つの入力によって制御される16ビット・シフト・レジスタとスリーステート出力バッファによって制御されます。シリアル・ポートにはシリアル出力データを提供する1つの出力D_{OUT}を備えています。

SCLKはシフト・レジスタをクロック駆動するために使用されます。データは、CLKOUT(ピン8)をSCLK(ピン7)に接続するか、または外部データ・クロックをSCLKに印加することによって、内部変換クロックをマスタとして動作させて、クロック・アウトすることができます。1デー

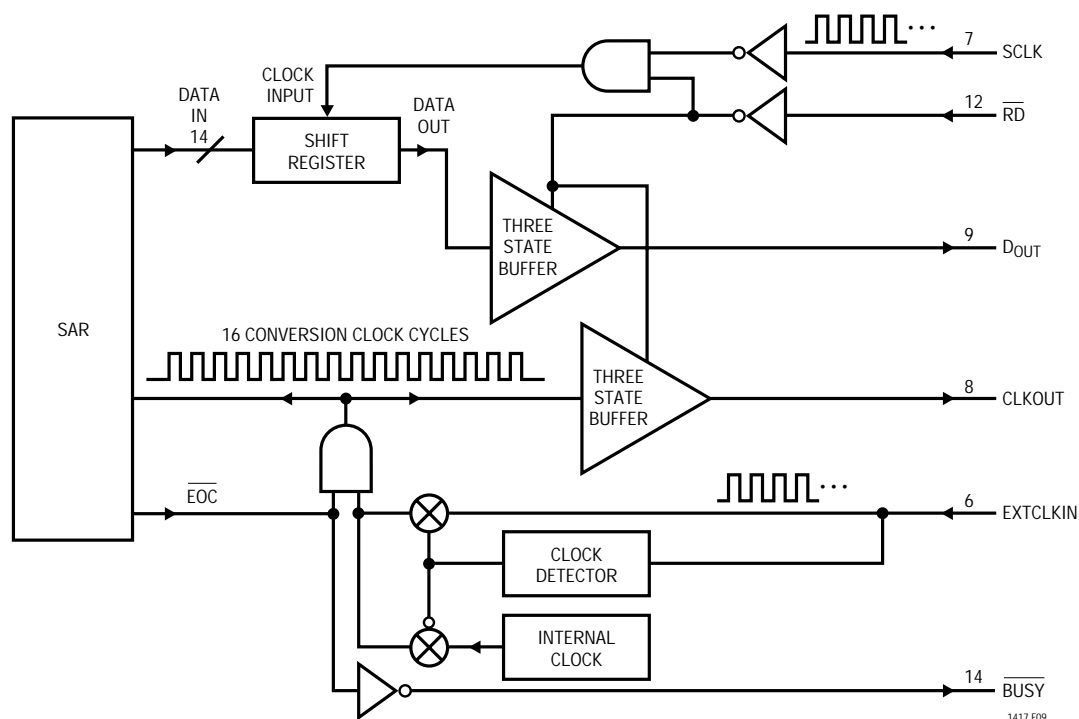


図9. 機能ブロック図

アプリケーション情報

データワードを転送するのに必要なSCLKサイクルの最小数は14です。通常、SCLKには16ビットのワード長に対して、16クロック・サイクルが含まれます。MSBを先頭とする14ビットと、それに2つのゼロ列が続きます。

\overline{RD} がロジック“H”のとき、SCLKをディスエーブルし、 D_{OUT} をスリーステートにします。連続SCLKを使用する場合は、 \overline{RD} を制御してシフト・クロック数を希望の数(すなわち、16サイクル)に制限し、データ転送後に D_{OUT} をスリーステートに制限することができます。

電源シャットダウン・モード($\overline{SHDN} = "L"$)では、 \overline{RD} を“H”にすると、スリープ・モードが選択され、 \overline{RD} を“L”にするとナップ・モードが選択されます。

D_{OUT} はシリアル・データを出力します。各SCLKの立下りエッジで14ビットをMSBを先頭に出力します(図10と11を参照)。16のSCLKが提供された場合、14のデータ・ビットの後に2つ

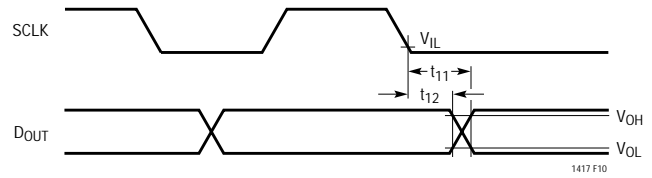


図10. SCLKから D_{OUT} の遅延

のゼロが続きます。MSB(D13)はSCLKの最初の立上りエッジと最初の立下りエッジで有効になります。D12は2番目の立上りエッジと2番目の立下りエッジで有効になります。残りのビットもすべて同じです。データはいずれかのエッジでも捕捉できます。データがSCLKの立上りエッジで捕捉される場合に、最大のホールド時間マージンが達成されます。

\overline{BUSY} は変換の終わりを表示します。LTC1417がマスタ・シリアル・デバイスとして構成されたときは、 \overline{BUSY} をフレーミング・パルスとして使用し、それを \overline{RD} ピンに接続することによって、シリアル出力データを転送した後に、シリアル・ポートをスリーステートにすることができます。

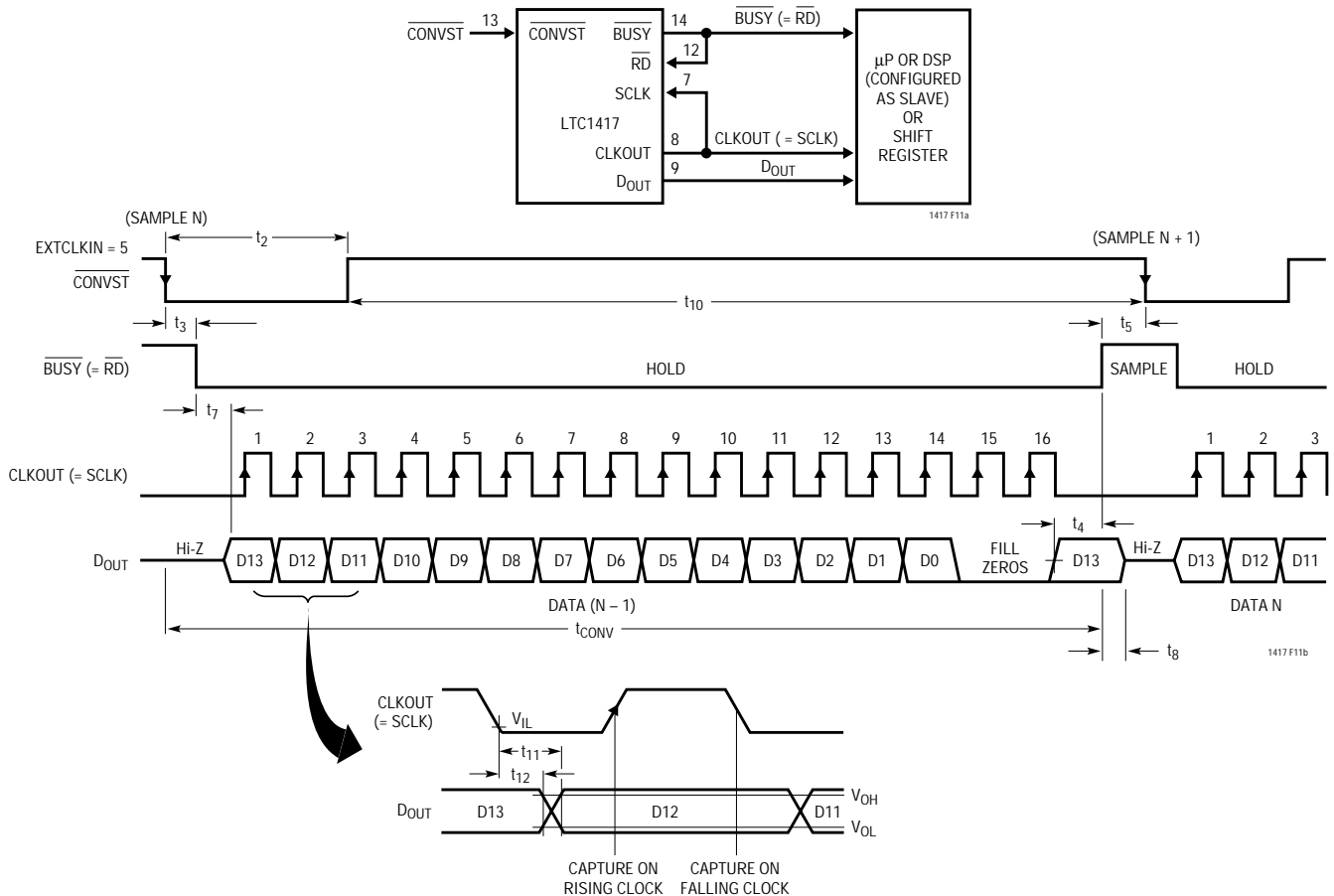


図11. 内部変換クロックを選択。データはADCクロック出力をマスタ・シフト・クロック(CLKOUTからドライブされるSCLK)として使用して変換中に転送

アプリケーション情報

図11～14にいくつかのシリアル・モード動作を示し、LTC1417のシリアル・ポートの柔軟性を示します。

変換中のシリアル・データ出力

変換とデータ転送に内部変換クロックを使用。図11は変換中に変換クロックとSCLKの両方を供給するLTC1417の内部クロックでクロック・アウトされる前の変換のデータを示します。内部クロックは変換時間が最高速になるように最適化されているので、このモードでは総合的に最高の速度性能を提供することができます。内部変換クロックを選択するには、EXTCLKIN(ピン6)を“H”に接続します。内部

クロックはCLKOUT(ピン8)に現れます。このピンをSCLK(ピン7)に接続すればSCLKを供給できます。

変換とデータ転送に外部クロックを使用。図12の回路では、変換中に変換クロックとシフト・クロックの両方を供給する外部クロックで前の変換のデータが出力されます。外部変換クロックを選択するには、クロックをEXTCLKINに印加します。同じクロックをSCLKにも印加して、データ・シフト・クロックを提供します。精度を維持するために、変換クロック周波数は50kHz～9MHzの間でなければなりません。

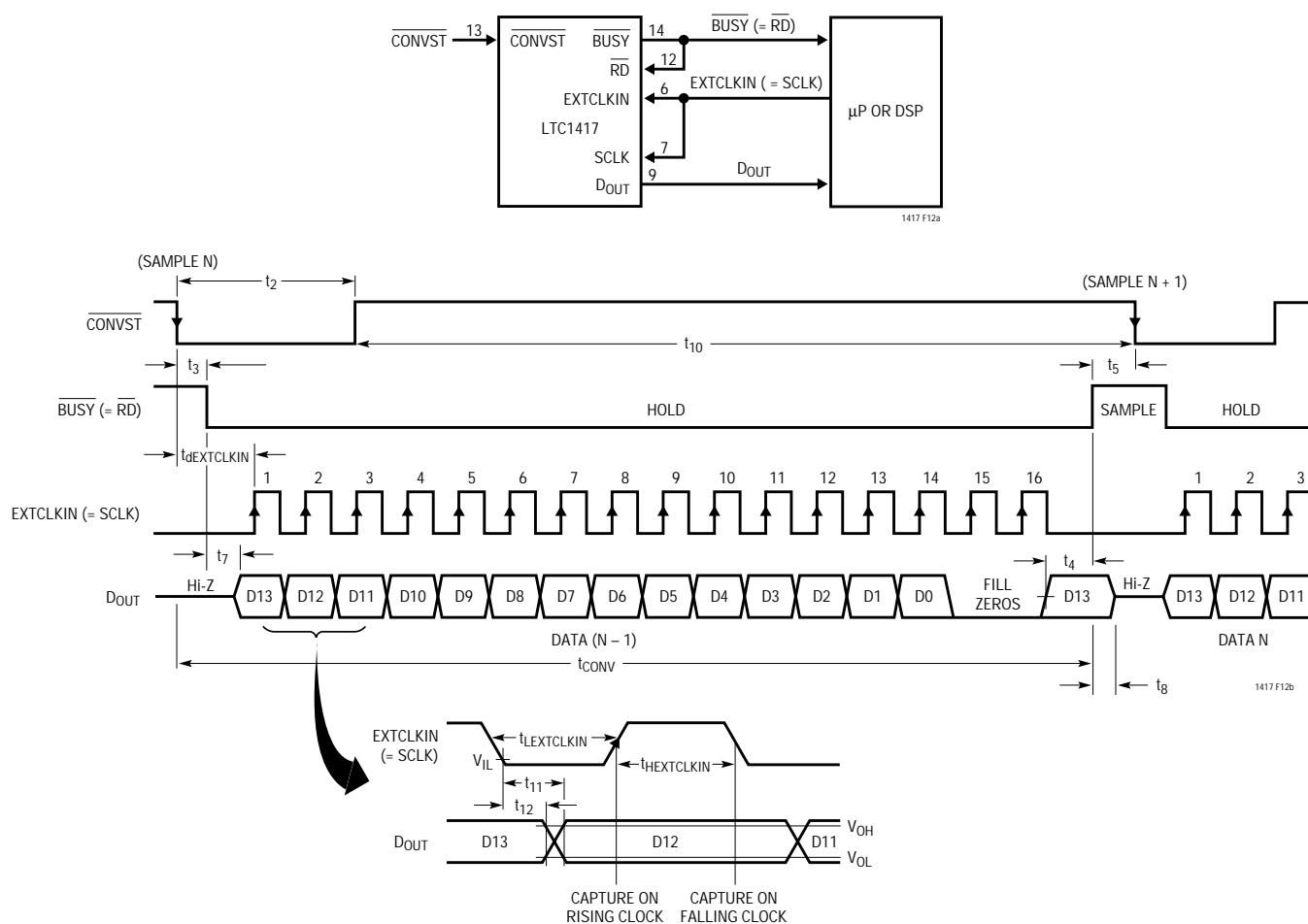


図12. 外部変換クロックを選択。データは外部クロック(外部クロックでEXTCLKINとSCLKの両方をドライブ)を使用して変換中に転送

アプリケーション情報

非同期クロックによってノイズが発生するおそれがあるので、内部クロックによる変換中に外部クロックでデータをクロック駆動することは推奨されません。

変換後のシリアル・データ出力

内部変換クロックと外部データ・クロックを使用。このモードでは、各変換の終了後、次の変換の開始前にデータが出力されます(図13)。内部クロックを変換クロックとして使用し、外部クロックはSCLKに使用されます。このモードはプロセッサがマスタ・シリアル・デバイスと

して動作するアプリケーションに役立ちます。このモードはSPIおよびMICROWIRE™に対応しています。また、SCLK周波数が非常に低い(30kHz以下)ときにも動作可能です。内部変換クロックを選択するには、EXTCLKINを“H”に接続します。外部SCLKがSCLKに印加されます。 \overline{RD} が“L”になった後にだけデータをクロック駆動し、データ転送後にD_{OUT}がスリーステートになるように、 \overline{RD} を使用して外部SCLKをゲート制御することができます。16を超えるSCLKが供給された場合は、データ・ワードの後にさらに多くのゼロが無制限に埋められます。

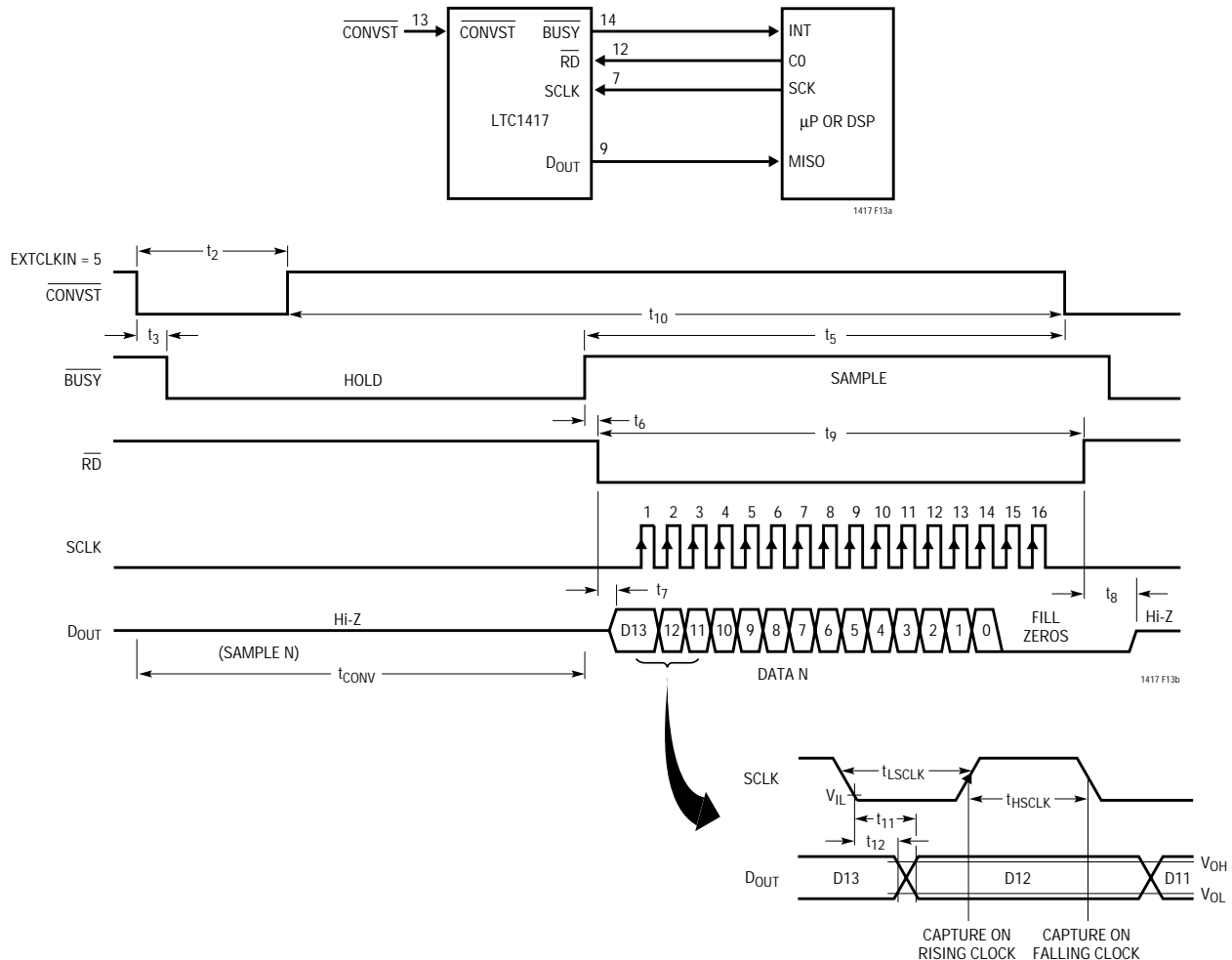


図13. 内部変換クロックを選択。データは変換後に外部SCLKを使用して転送される。
BUSY は変換の終了を示す

MICROWIREはNational Semiconductor Corporationの商標です。

アプリケーション情報

外部変換クロックと外部データ・クロックを使用。図14では、各変換の完了後、次の変換の開始前にもデータが出力されます。外部クロックを変換クロックに使用し、別の外部クロックまたは同じ外部クロックをSCLKに使用します。変換に外部クロックを使用することを除いて、このモードは図13と同じです。このモードによって、ユーザは内部ビット・テスト・タイミングを精密に制御したり、正確な変換時間を提供するために、A/D変換を外部クロックに同期させることができます。図13に示すとおり、このモードはSCLK周波数が非常に低い

(30kHz以下)のときに有効です。ただし、精度を維持するために、外部変換クロックは30kHz~9MHzの間でなければなりません。16を超えるSCLKが供給された場合は、データ・ワードの後にさらに多くのゼロが無制限に埋められます。外部変換クロックを選択するには、外部変換クロックをEXTCLKINに印加します。外部SCLKがSCLKに印加されます。 \overline{RD} を使用して、 \overline{RD} が“L”になった後でのみデータがクロック駆動されるように、外部SCLKをゲート制御することができます。

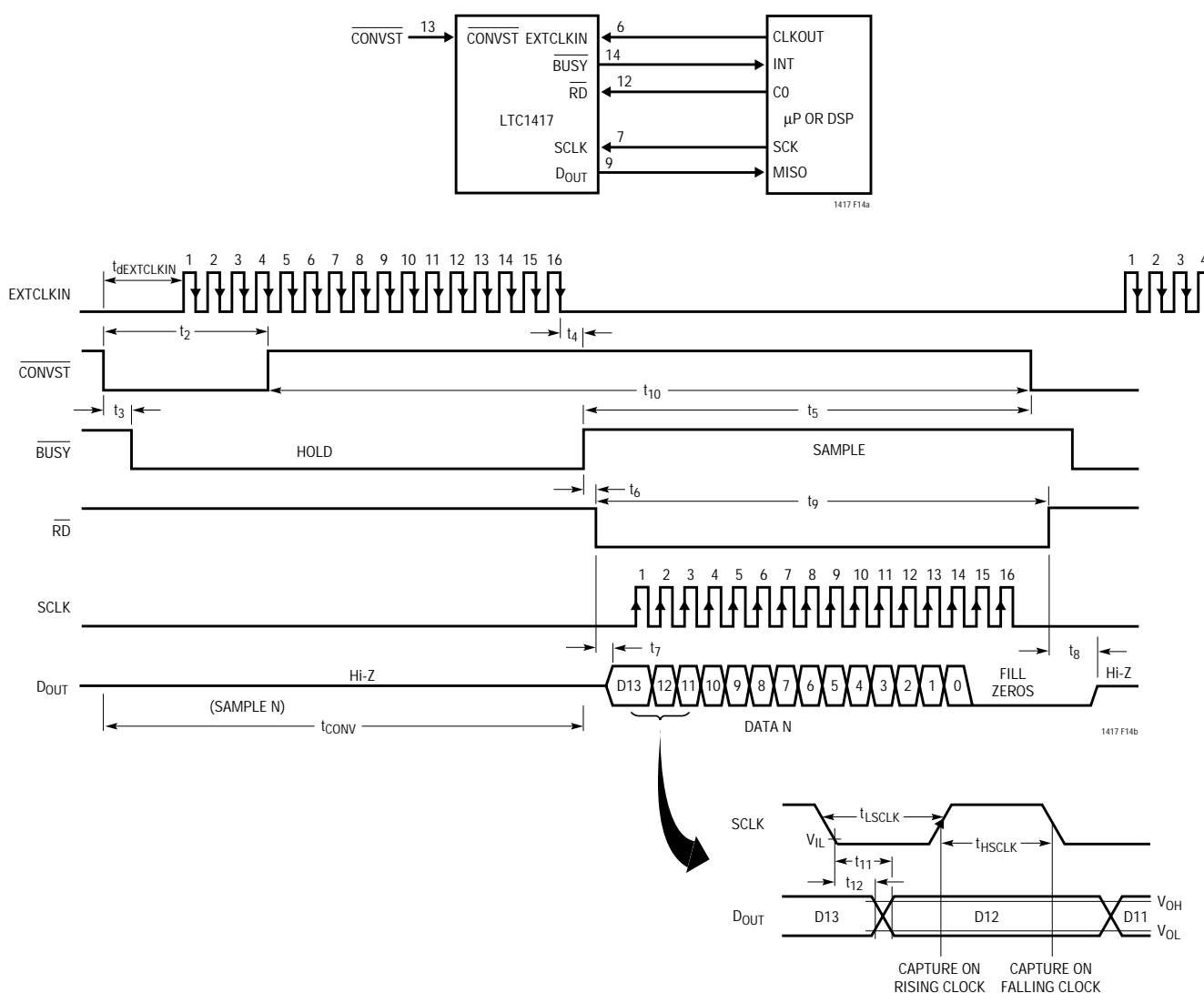
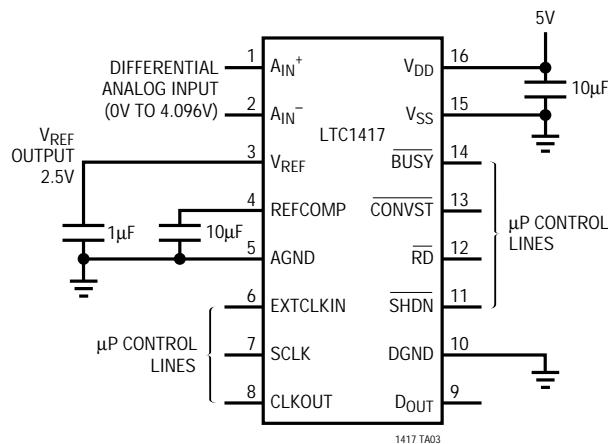


図14. 外部変換クロックを選択。データは変換後に外部SCLKを使用して転送される。
BUSY は変換の終了を示す

標準的応用例

単一5V電源、400kHz、14ビット・サンプリングA/Dコンバータ



関連製品

製品番号	説明	注釈
ADC		
LTC1274/LTC1277	低消費電力12ビット、100ksps ADC、パラレル出力	消費電力10mW、パラレル/バイト・インタフェース
LTC1412	12ビット、3MspsサンプリングADC、パラレル出力	最良のダイナミック性能、ナイキスト周波数にてSINAD = 72dB
LTC1415	単一5V、12ビット、1.25Msps ADC、パラレル出力	消費電力55mW、SINAD 72dB
LTC1416	低消費電力、14ビット、400ksps ADC、パラレル出力	消費電力70mW、SINAD 80.5dB
LTC1418	低消費電力、14ビット、200ksps ADC、シリアルおよびパラレル/I/O	真の14ビット直線性、SINAD 81.5dB、消費電力15mW
LTC1419	低消費電力14ビット、800ksps ADC、パラレル出力	真の14ビット直線性、SINAD 81.5dB、消費電力150mW
LTC1604	16ビット、333kspsサンプリングADC、パラレル出力	± 2.5V入力、SINAD 90dB、THD 100dB
LTC1605	単一5V、16ビット、100ksps ADC、パラレル出力	低消費電力、± 10V入力、パラレル/バイト・インタフェース
DAC		
LTC1595	SO-8の16ビットCMOS乗算型DAC	最大INL/DNL ± 1LSB、グリッチ1nV・sec、DAC8043のアップグレード
LTC1596	16ビットCMOS乗算型DAC	最大INL/DNL ± 1LSB、DAC8143/AD7543のアップグレード
リファレンス		
LT1019-2.5	高精度バンドギャップ・リファレンス	最大0.05%、最大5ppm/