

## 特長

- サンプル・レート：400ksps
- 消費電力：70mW
- $\pm 1.5\text{LSB DNL}$ 、 $\pm 2\text{LSB INL}$ (最大)を保証
- 100kHzにて $S/(N+D)$  80.5dBおよびTHD 93dB
- ナイキスト入力周波数にて $S/(N+D)$  80dBおよびTHD 90dB
- ナップとスリープのシャットダウン・モード
- 内部リファレンスまたは外部リファレンスで動作
- 真の差動入力によりコモンモード・ノイズを除去
- 15MHzのフルパワー帯域幅サンプリング
- $\pm 2.5\text{V}$ のバイポーラ入力範囲
- 28ピンSSOPパッケージ

## アプリケーション

- テレコム
- デジタル信号処理
- 多チャンネル・データ収集システム
- 高速データ収集
- スペクトラム分析
- イメージング・システム

## 概要

LTC<sup>®</sup>1416は2.2 $\mu\text{s}$ 、400ksps 14ビット・サンプリングA/Dコンバータです。 $\pm 5\text{V}$ 電源で動作し、消費電力はわずか70mWです。このデバイスは使いやすく、広いダイナミック・レンジをもつサンプル&ホールド、高精度リファレンスを備えています。2つの選択可能なパワー・シャットダウン・モードがあり、低消費電力システムに柔軟性を提供します。

LTC1416のフルスケール入力範囲は $\pm 2.5\text{V}$ です。全温度範囲でのDCスペックは、INLが最大 $\pm 2\text{LSB}$ 、DNLが $\pm 1.5\text{LSB}$ です。100kHz入力で $S/(N+D)$ は80.5dBおよびTHDは93dB、200kHzのナイキスト入力周波数で $S/(N+D)$ は80dBおよびTHDが90dBなど、卓越したAC性能を実現しています。

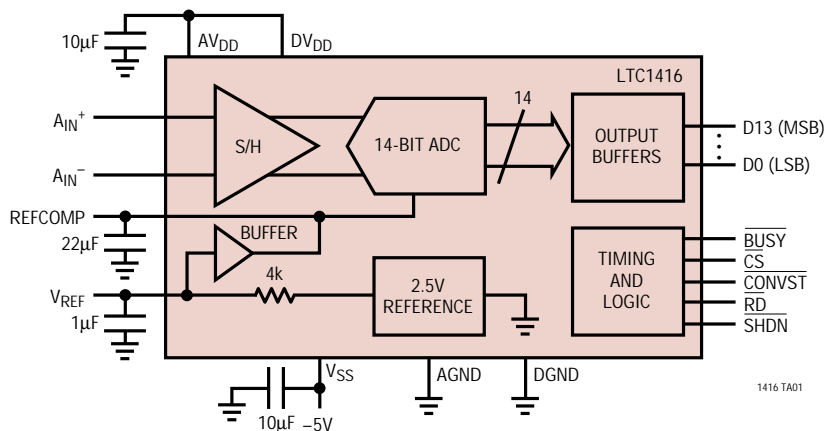
独自の差動入力サンプル・ホールドにより、15MHz帯域幅までの信号をシングルエンドまたは差動で入力することができます。また、60dBの同相除去を実現しているため、ユーザはソースから差動的に信号を測定することにより、グラウンド・ループと同相ノイズを除去できます。

このADCは $\mu\text{P}$ コンパチブルの14ビット・パラレル出力ポートを備えています。変換結果にはパイプライン遅延はありません。変換スタート入力とデータ・レディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。

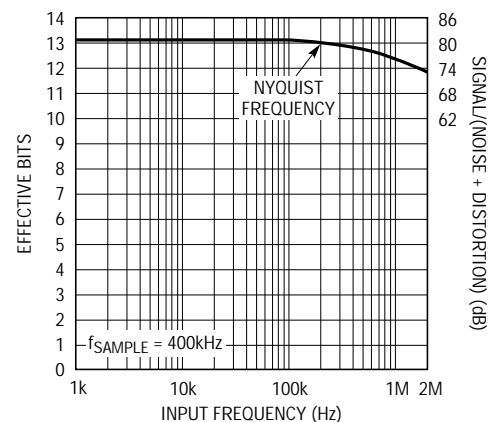
▲、LTC、LTIはリニアテクノロジー社の登録商標です。

## 標準的応用例

$S/(N+D)$  80.5dBの完全な70mW、14ビットADC



有効ビット数および  
 $S/(N+D)$ 対入力周波数



## 絶対最大定格

 $AV_{DD} = DV_{DD} = V_{DD}$  (Notes 1, 2)
電源電圧 ( $V_{DD}$ ) ..... 6V負電源電圧 ( $V_{SS}$ ) ..... - 6V全電源電圧 ( $V_{SS}$ に対する $V_{DD}$ ) ..... 12V

アナログ入力電圧

(Note 3) ..... ( $V_{SS} - 0.3V$ ) ~ ( $V_{DD} + 0.3V$ )デジタル入力電圧 (Note 4) ..... ( $V_{SS} - 0.3V$ ) ~ 10Vデジタル出力電圧 ..... ( $V_{SS} - 0.3V$ ) ~ ( $V_{DD} + 0.3V$ )

消費電力 ..... 500mW

動作温度範囲

コマーシャル ..... 0 ~ 70

インダストリアル ..... - 40 ~ 85

保存温度範囲 ..... - 65 ~ 150

リード温度 (半田付け、10秒) ..... 300

## パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
$A_{IN}^+$ [1]	[28] $AV_{DD}$	LTC1416CG LTC1416IG
$A_{IN}^-$ [2]	[27] $DV_{DD}$	
$V_{REF}$ [3]	[26] $V_{SS}$	
REFCOMP [4]	[25] $BUSY$	
AGND [5]	[24] $\overline{CS}$	
D13(MSB) [6]	[23] $\overline{CONVST}$	
D12 [7]	[22] $\overline{RD}$	
D11 [8]	[21] $\overline{SHDN}$	
D10 [9]	[20] D0	
D9 [10]	[19] D1	
D8 [11]	[18] D2	
D7 [12]	[17] D3	
D6 [13]	[16] D4	
DGND [14]	[15] D5	
G PACKAGE 28-LEAD PLASTIC SSOP		
$T_{JMAX} = 110^{\circ}C$ , $\theta_{JA} = 95^{\circ}C/W$		

ミリタリ・グレードおよびAグレードに関してはお問い合わせください。

## コンバータ特性 内部リファレンス (Note 5, 6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	●	13			Bits
Integral Linearity Error	(Note 7) ●		±0.8	±2	LSB
Differential Linearity Error	●		±0.7	±1.5	LSB
Offset Error	(Note 8) ●		±5	±20	LSB
Full-Scale Error	Internal Reference		±20	±60	LSB
		External Reference = 2.5V	±10	±40	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$		±15		ppm/°C

## アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IN}$	Analog Input Range (Note 9)	$4.75V \leq V_{DD} \leq 5.25V$ , $-5.25V \leq V_{SS} \leq -4.75V$	●	±2.5		V
$I_{IN}$	Analog Input Leakage Current	$\overline{CS} = \text{High}$	●		±1	μA
$C_{IN}$	Analog Input Capacitance	Between Conversions During Conversions		15 5		pF pF
$t_{ACO}$	Sample-and-Hold Acquisition Time	(Note 9)	●	100	400	ns
$t_{AP}$	Sample-and-Hold Aperture Delay Time			-1.5		ns
$t_{jitter}$	Sample-and-Hold Aperture Delay Time Jitter			2		psRMS
CMRR	Analog Input Common Mode Rejection Ratio	$-2.5V < (A_{IN}^- = A_{IN}^+) < 2.5V$		60		dB

## ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	100kHz Input Signal	●	77	80.5		dB
		200kHz Input Signal			80		dB
THD	Total Harmonic Distortion	100kHz Input Signal, First 5 Harmonics	●		-93	-86	dB
		200kHz Input Signal, First 5 Harmonics			-90		dB
SFDR	Spurious-Free Dynamic Range	100kHz Input Signal	●		-95	-86	dB
IMD	Intermodulation Distortion	$f_{IN1} = 87.01172\text{kHz}$ , $f_{IN2} = 113.18359\text{kHz}$			-90		dB
	Full Power Bandwidth				15		MHz
	Full Linear Bandwidth	(S/(N + D) $\geq$ 77dB)			0.8		MHz

## 内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	2.480	2.500	2.520	V
$V_{REF}$ Output Tempco	$I_{OUT} = 0$		$\pm 15$		ppm/ $^{\circ}\text{C}$
$V_{REF}$ Line Regulation	4.75V $\leq V_{DD} \leq$ 5.25V -5.25V $\leq V_{SS} \leq$ -4.75V		0.05		LSB/V
			0.05		LSB/V
$V_{REF}$ Output Resistance	$-0.1\text{mA} \leq  I_{OUT}  \leq 0.1\text{mA}$		4		k $\Omega$
COMP Output Voltage	$I_{OUT} = 0$		4.06		V

## デジタル入力およびデジタル出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{IH}$	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	●	2.4		V	
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$	●		0.8	V	
$I_{IN}$	Digital Input Current	$V_{IN} = 0\text{V}$ to $V_{DD}$	●		$\pm 10$	$\mu\text{A}$	
$C_{IN}$	Digital Input Capacitance			5		pF	
$V_{OH}$	High Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_{OUT} = -10\mu\text{A}$ $I_{OUT} = -200\mu\text{A}$	●		4.5		V
				4.0			V
$V_{OL}$	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_{OUT} = 160\mu\text{A}$ $I_{OUT} = 1.6\text{mA}$	●		0.05		V
					0.10	0.4	V
$I_{OZ}$	Hi-Z Output Leakage D13 to D0	$V_{OUT} = 0\text{V}$ to $V_{DD}$ , $\overline{\text{CS}}$ High	●		$\pm 10$	$\mu\text{A}$	
$C_{OZ}$	Hi-Z Output Capacitance D13 to D0	$\overline{\text{CS}}$ High (Note 9)	●		15	pF	
$I_{SOURCE}$	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA	
$I_{SINK}$	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA	

## 電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{DD}$	Positive Supply Voltage	(Note 10)		4.75	5.25	V
$V_{SS}$	Negative Supply Voltage	(Note 10)		-4.75	-5.25	V
$I_{DD}$	Positive Supply Current Nap Mode Sleep Mode	● $\overline{\text{SHDN}} = 0\text{V}$ , $\overline{\text{CS}} = 0\text{V}$ $\overline{\text{SHDN}} = 0\text{V}$ , $\overline{\text{CS}} = 5\text{V}$		7	10	mA
				0.8	1.2	mA
				1		$\mu\text{A}$
$I_{SS}$	Negative Supply Current Nap Mode Sleep Mode	● $\overline{\text{SHDN}} = 0\text{V}$ , $\overline{\text{CS}} = 0\text{V}$ $\overline{\text{SHDN}} = 0\text{V}$ , $\overline{\text{CS}} = 5\text{V}$		7	10	mA
				20		$\mu\text{A}$
				15		$\mu\text{A}$

## 電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
P <sub>DISS</sub>	Power Dissipation	●		70	100	mW
	Power Dissipation, Nap Mode	$\overline{\text{SHDN}} = 0\text{V}, \overline{\text{CS}} = 0\text{V}$		4	6	mW
	Power Dissipation, Sleep Mode	$\overline{\text{SHDN}} = 0\text{V}, \overline{\text{CS}} = 5\text{V}$		0.1		mW

## タイミング特性 (Note 5、図15~21参照)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f <sub>SAMPLE(MAX)</sub>	Maximum Sampling Frequency	●	400			kHz
t <sub>CONV</sub>	Conversion Time	●	1.5	1.9	2.2	μs
t <sub>ACQ</sub>	Acquisition Time	(Note 9) ●		100	400	ns
t <sub>ACQ+CONV</sub>	Acquisition + Conversion Time	●		2	2.5	μs
t <sub>1</sub>	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time	(Notes 9, 10) ●	0			ns
t <sub>2</sub>	$\overline{\text{CS}}\downarrow$ to $\overline{\text{CONVST}}\downarrow$ Setup Time	(Notes 9, 10) ●	10			ns
t <sub>3</sub>	$\overline{\text{CS}}\downarrow$ to $\overline{\text{SHDN}}\downarrow$ Setup Time	(Notes 9, 10) ●	10			ns
t <sub>4</sub>	$\overline{\text{SHDN}}\uparrow$ to $\overline{\text{CONVST}}\downarrow$ Wake-Up Time	(Note 10)		400		ns
t <sub>5</sub>	$\overline{\text{CONVST}}$ Low Time	(Notes 10, 11) ●	40			ns
t <sub>6</sub>	$\overline{\text{CONVST}}$ to $\overline{\text{BUSY}}$ Delay	C <sub>L</sub> = 25pF ●		25	50	ns
						ns
t <sub>7</sub>	Data Ready Before $\overline{\text{BUSY}}\uparrow$	●	75	100		ns
		●	50			ns
t <sub>8</sub>	Delay Between Conversions	(Note 10) ●	40			ns
t <sub>9</sub>	Wait Time $\overline{\text{RD}}\downarrow$ After $\overline{\text{BUSY}}\uparrow$	●	-5			ns
t <sub>10</sub>	Data Access Time After $\overline{\text{RD}}\downarrow$	C <sub>L</sub> = 25pF ●		15	25	ns
		C <sub>L</sub> = 100pF ●		20	35	ns
t <sub>11</sub>	Bus Relinquish Time	●		8	20	ns
		●			25	ns
		●			30	ns
t <sub>12</sub>	$\overline{\text{RD}}$ Low Time	●	t <sub>10</sub>			ns
t <sub>13</sub>	$\overline{\text{CONVST}}$ High Time	●	40			ns

● は全動作温度範囲の規格値を意味する。その他すべてのリミット値と標準値はT<sub>A</sub> = 25。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命を損なう可能性がある値。

Note 2: すべての電圧値は、注記がない限り、DGNDとAGNDが連結されたグラウンドを基準とする。

Note 3: これらのピン電圧をV<sub>SS</sub>より低くするか、V<sub>DD</sub>より高くすると、内部ダイオードによってクランプされる。この製品はV<sub>SS</sub>より低い、またはV<sub>DD</sub>より高い電圧を加えてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧をV<sub>SS</sub>より低くすると、内部ダイオードでクランプされる。この製品はV<sub>SS</sub>より低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンはV<sub>DD</sub>にクランプされない。

Note 5: 注記がない限り、V<sub>DD</sub> = 5V、V<sub>SS</sub> = -5V、f<sub>SAMPLE</sub> = 400kHz、t<sub>r</sub> = t<sub>f</sub> = 5ns

Note 6: 直線性、オフセット、およびフルスケール仕様は、A<sub>IN-</sub>を接地した状態のシングルエンドA<sub>IN+</sub>入力に適用される。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: バイポーラ・オフセットは、出力コードが0000 0000 0000 00と1111 1111 1111 11の間で変化するとき、-0.5LSBから測定したオフセット電圧。

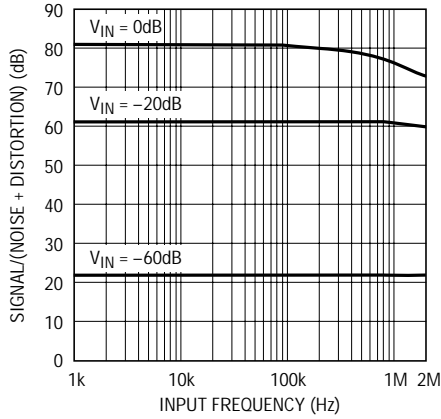
Note 9: 設計により保証されているがテストは行われない。

Note 10: 推奨動作条件

Note 11:  $\overline{\text{CONVST}}$ の立下りエッジで変換が開始される。変換中に微妙な点で $\overline{\text{CONVST}}$ が“H”に戻った場合は、小さな誤差が生じる可能性がある。最良の性能を得るためには、変換開始から900ns以内または $\overline{\text{BUSY}}$ が立ち上がりしてから $\overline{\text{CONVST}}$ が“H”に戻るようにすること。

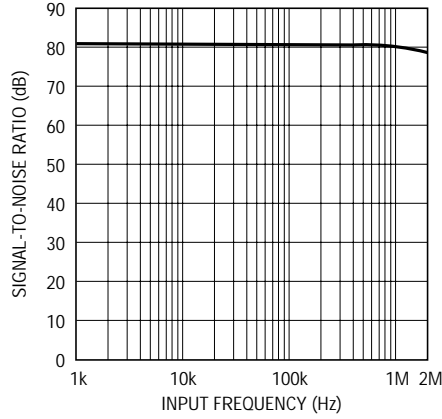
## 標準的性能特性

S/(N + D)と入力周波数および振幅



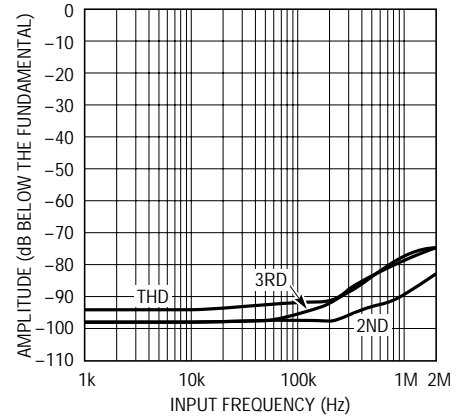
1416 G01

SN比と入力周波数



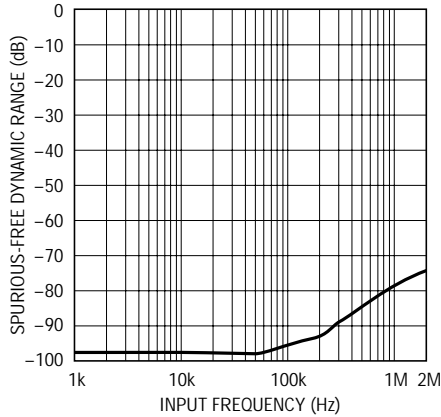
1416 G02

歪みと入力周波数



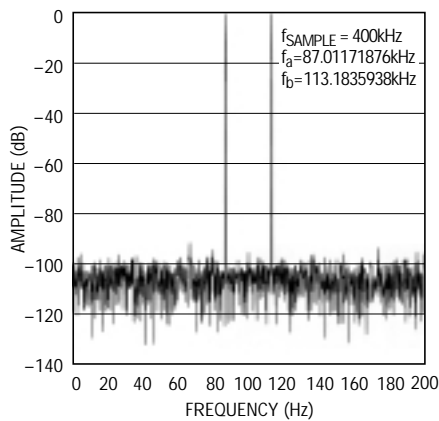
1416 G03

スプリアス無しダイナミックレンジと入力周波数



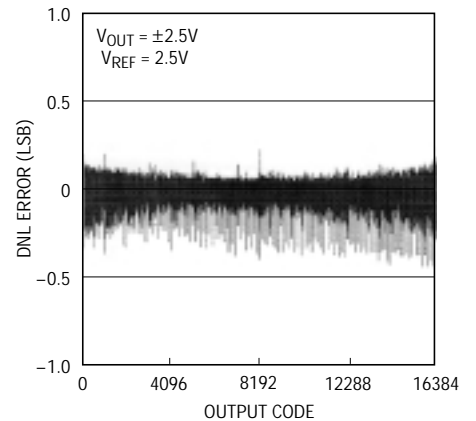
1416 G04

混変調歪みプロット



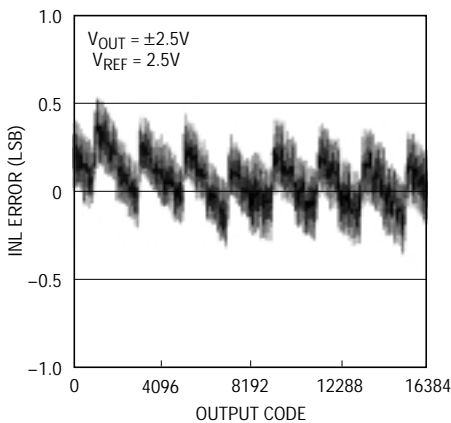
1416 G05

微分非直線性と出力コード



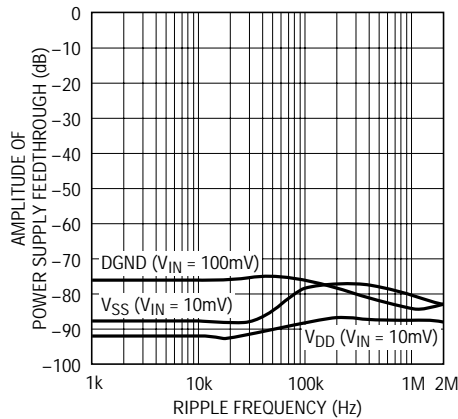
1416 G06

積分非直線性と出力コード



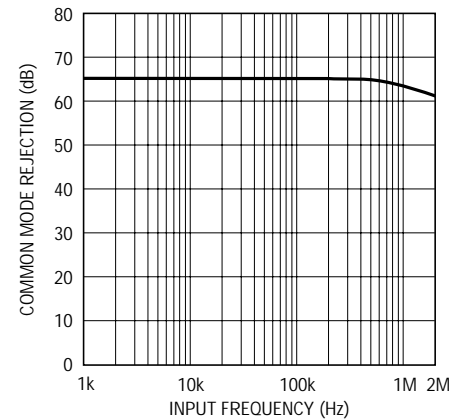
1416 G07

電源フィードスルーとリップル周波数



1416 G08

入力同相除去と入力周波数



1416 G09

## ピン機能

$A_{IN}^+$  (ピン1):  $\pm 2.5V$ の正アナログ入力。

$A_{IN}^-$  (ピン2):  $\pm 2.5V$ の負アナログ入力。

$V_{REF}$  (ピン3):  $2.5V$ リファレンス出力。  $1\mu F$ でAGNDにバイパスします。

REFCOMP (ピン4):  $4.06V$ リファレンス出力。  $22\mu F$ タンタル・コンデンサと  $0.1\mu F$ セラミック・コンデンサの並列、または  $22\mu F$ セラミックをAGNDにバイパスします。

AGND (ピン5): アナログ・グランド。

D13からD0 (ピン6から13): スリープ状態・データ出力。

DGND (ピン14): 内部ロジック用デジタル・グランド。AGNDに接続してください。

D5からD0 (ピン15から20): スリープ状態・データ出力。

$\overline{SHDN}$  (ピン21): シャットダウン入力。“L”でシャットダウンを選択します。シャットダウン・モードは  $\overline{CS}$  ピンによって選択されます。 $\overline{CS} = 0$ はナップ・モード、 $\overline{CS} = 1$ はスリープ・モードです。

$\overline{RD}$  (ピン22): リード入力。 $\overline{CS}$ が“L”のとき、このピンによって出力ドライバをイネーブルします。

$\overline{CONVST}$  (ピン23): 変換開始信号。このアクティブ“L”信号の立下りエッジで変換を開始します。

$\overline{CS}$  (ピン24): チップ・セレクト入力。ADCが  $\overline{CONVST}$  および  $\overline{RD}$  入力を認識するにはチップセレクトは“L”でなければなりません。また、 $\overline{SHDN}$ が“L”になるときにシャットダウン・モードを設定します。 $\overline{CS}$ と  $\overline{SHDN}$ が“L”のとき、高速ウェイクアップのナップ・モードを選択します。 $\overline{CS}$ が“H”で  $\overline{SHDN}$ が“L”のとき、スリープ・モードを選択します。

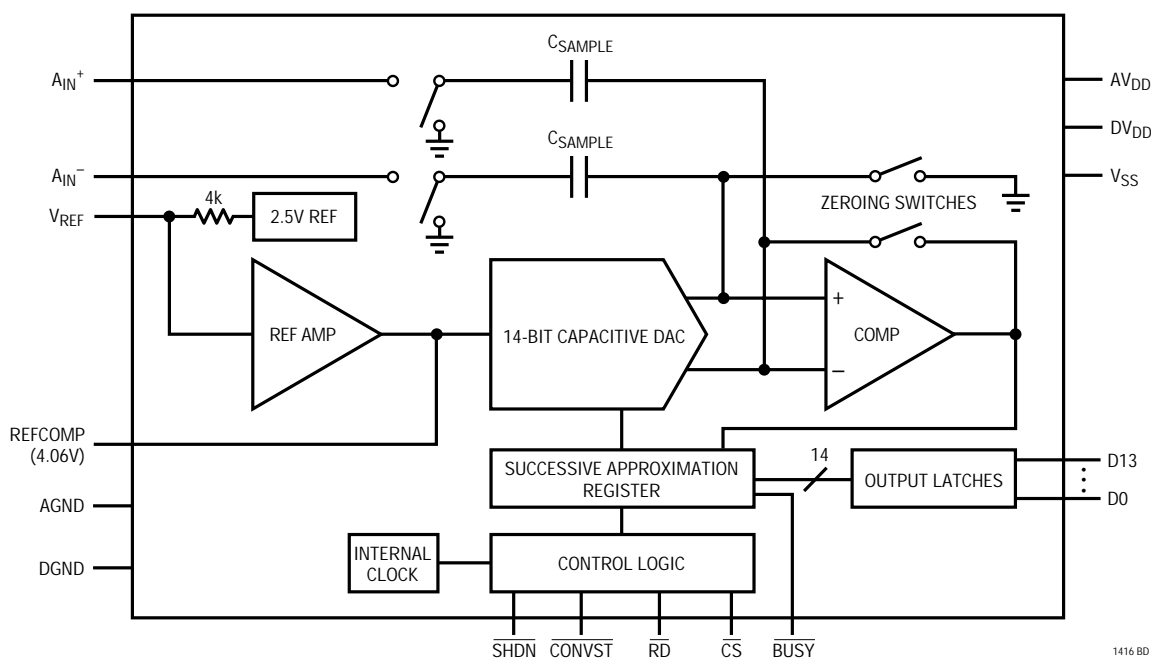
$\overline{BUSY}$  (ピン25):  $\overline{BUSY}$ 出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。 $\overline{BUSY}$ の立上りエッジでデータが有効になります。

$V_{SS}$  (ピン26):  $-5V$ 負電源。  $10\mu F$ タンタル・コンデンサと  $0.1\mu F$ セラミック・コンデンサの並列接続または  $10\mu F$ セラミック・コンデンサをAGNDにバイパスします。

$DV_{DD}$  (ピン27):  $5V$ 正電源。ピン28に接続します。

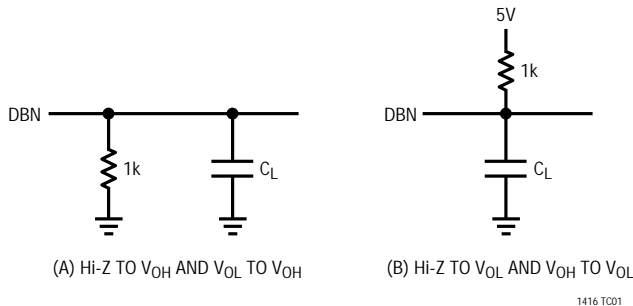
$AV_{DD}$  (ピン28):  $5V$ 正電源。  $10\mu F$ タンタル・コンデンサと  $0.1\mu F$ セラミック・コンデンサの並列接続または  $10\mu F$ セラミック・コンデンサをAGNDにバイパスします。

## 機能ブロック図

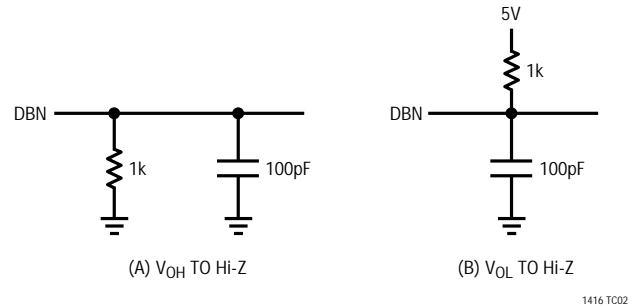


テスト回路

アクセス・タイミングのための負荷回路



出力フロート遅延のための負荷回路



アプリケーション情報

変換の詳細説明

LTC1416は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を14ビットの平行出力に変換します。このADCは高精度リファレンスと内部クロックを備えています。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます。(データ・フォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換スタートは、 $\overline{CS}$ および $\overline{CONVST}$ 入力でコントロールされます。変換がスタートすると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の差動14ビット容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)に連続的に動作します。図1を参照してください。 $A_{IN+}$ および $A_{IN-}$ 入力はアクイジション・フェーズ中にサンプル&ホールド・コンデンサ( $C_{SAMPLE}$ )に接続され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアクイジション・フェーズでは、400nsの最小遅延時間により、サンプル&ホールド・コンデンサがアナログ信号を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは $C_{SAMPLE}$ コンデンサをグランドにスイッチして、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、差動容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、差動DAC出力は $A_{IN+}$ および $A_{IN-}$ 入力電荷とバランスします。 $A_{IN+}$ と $A_{IN-}$ の差を表すSARの内部状態(14ビット・データ・ワード)が14ビット出力ラッチにロードされます。

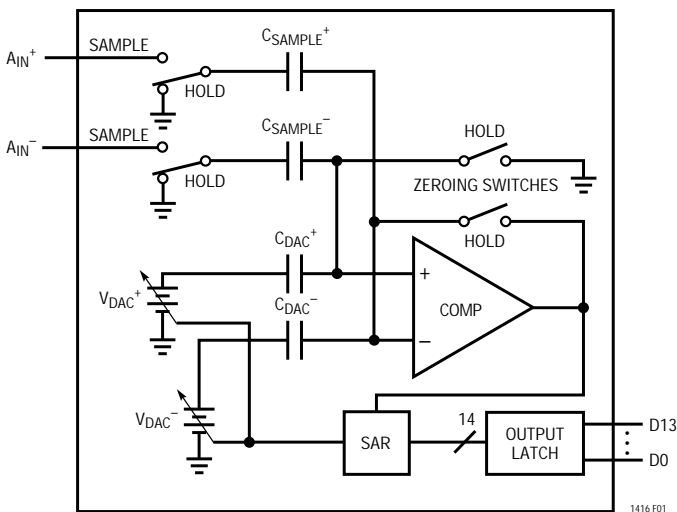
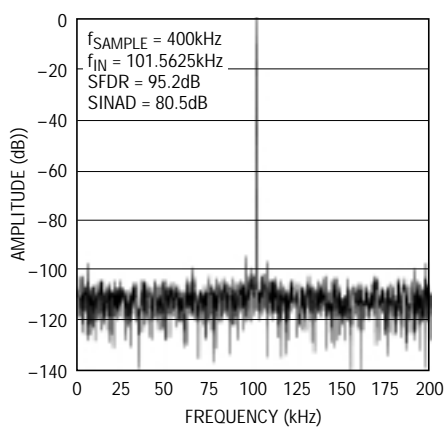


図1. 簡略ブロック図

## アプリケーション情報

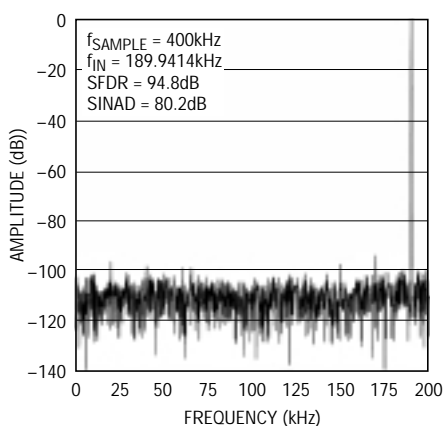
### ダイナミック特性

LTC1416は、高性能な高速サンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を解析することにより、基本波成分外の周波数に対するADCのスペクトラム成分を調べることができます。図2に標準的なLTC1416のFFTプロットを示します。



1416 F02a

図2a. LTC1416の非平均化4096ポイントFFT、  
入力周波数 = 100kHz



1416 F02b

図2b. LTC1416の非平均化4096ポイントFFT、  
入力周波数 = 190kHz

### SN比

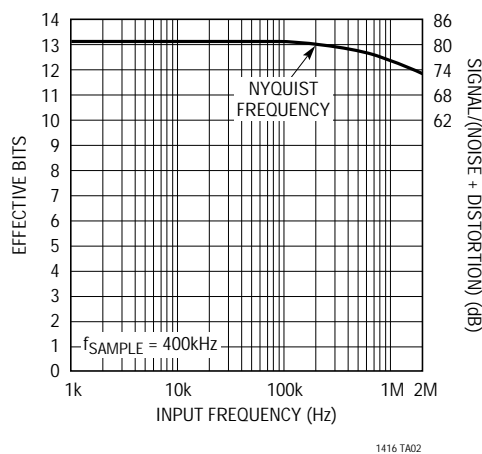
信号対(ノイズ+歪み)比  $S/(N+D)$  は、A/D出力における基本波周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに400kHzのサンプリング・レート時の100kHz入力での標準スペクトラム成分を示します。ダイナミック特性は入力周波数が200kHz以上のナイキスト限界まで非常に優れています(図2b)。

### 有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり  $S/(N+D)$  に直接関係します。

$$\text{ENOB} = [S/(N+D) - 1.76]/6.02$$

ここで、ENOBは分解能の有効ビット数であり、 $S/(N+D)$  はdBで表されます。400kHzの最大サンプリング・レートで、LTC1416は200kHzのナイキスト入力周波数まで、理想的なENOBを維持します(図3を参照)。



1416 TA02

図3. 有効ビットおよび  $S/(N+D)$  対入力周波数



## アプリケーション情報

### 全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されます。THDは次式で表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、 $V_1$ は基本波周波数のRMS振幅であり、 $V_2$ から $V_n$ は第2高調波から第N高調波の振幅です。THDと入力周波数を図4に示します。LTC1416は、ナイキスト周波数を超える周波数まで良好な歪み特性を有しています。

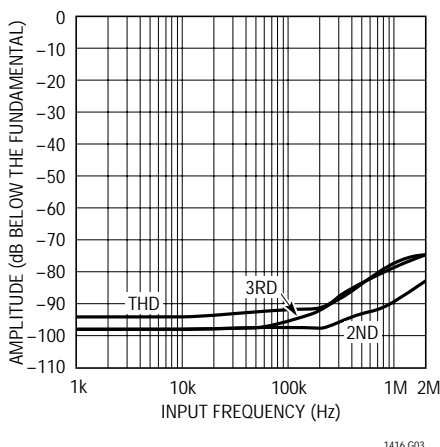


図4. 歪み対入力周波数

### 混変調歪み

ADC入力信号が2つ以上のスペクトラム成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調歪み(IMD)が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

ADC入力に $f_a$ と $f_b$ の2つの周波数の純粋な正弦波が与えられると、ADC伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、

$m$ および $n=0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMDの値(dB)は次式で表すことができます。

$$\text{IMD}(f_a + f_b) = 20 \log \frac{(f_a + f_b) \text{での振幅}}{f_a \text{での振幅}}$$

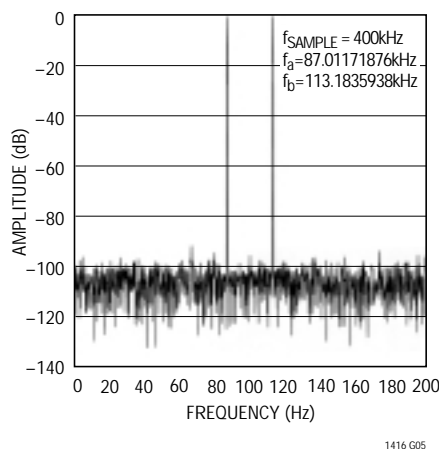


図5. 混変調歪みプロット

### 最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトラム成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

### フルパワーおよびフルリニア帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。フルリニア帯域幅は、 $S/(N+D)$ が77dB(有効ビット12.5ビット)に低下する入力周波数です。LTC1416は、入力帯域幅が最適になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では歪みによる、 $S/(N+D)$ の悪化が大きな部分を占めます。

## アプリケーション情報

### アナログ入力のドライブ

LTC1416の差動アナログ入力は簡単にドライブできます。入力は差動、あるいはシングルエンド入力(すなわち、 $A_{IN^-}$ 入力を接地)としてドライブ可能です。 $A_{IN^+}$ 入力と $A_{IN^-}$ 入力は同時にサンプリングされます。両方の入りに同相となる不要な信号は、サンプル&ホールド回路の同相除去比によって低減されます。入力には変換終了時にサンプル・ホールド・コンデンサを充電する間に1回だけ小さなスパイク電流が流れます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1416入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、アキュイジション・タイムも増加します(図6参照)。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリング時間が400nsであること)。

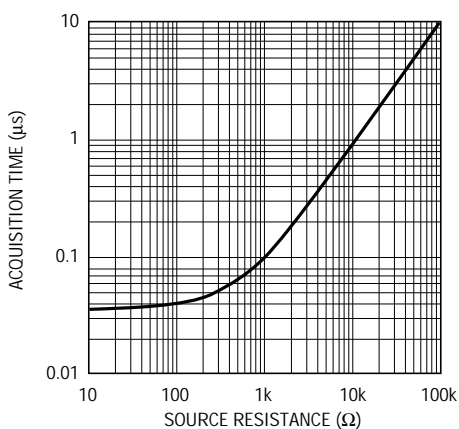


図6. アキュイジション・タイムとソース抵抗

### 入力アンプの選択

いくつかの要求条件を考慮に入れば、入力アンプは簡単に選択できます。まず、サンプリング・コンデンサを充電する際にアンプで発生する電圧スパイクの振幅を制限するために、閉ループ帯域幅周波数で低い出力インピーダンス(100以下)をもつアンプを選択します。たとえば、50MHzのユニティゲイン帯域幅をもつアンプを

利得1で使用した場合、50MHzでの出力インピーダンスは、100以下でなければなりません。もう1つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ帯域幅が10MHz以上でなければならないことです。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くしてください。

LTC1416をドライブするための最適なオペアンプの選択は、アプリケーションに依存します。一般に、アプリケーションは次の2つに分類されます。ダイナミック仕様が最も重要なACアプリケーションと、DC精度とセトリング・タイムが最も重要なタイム・ドメイン・アプリケーションです。以下のリストはLTC1416をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT®1220: 30MHzユニティゲイン帯域幅電圧帰還アンプ。±5V ~ ±15V電源、優れたDC仕様。

LT1223: 100MHzビデオ電流帰還アンプ。消費電流6mA、±5V ~ ±15V電源、400kHz以上の周波数で低歪み、低ノイズ、ACアプリケーションに最適。

LT1227: 140MHzビデオ電流帰還アンプ。消費電流10mA、±5V ~ ±15V電源、400kHz以上の周波数で低歪み、低ノイズ、ACアプリケーションに最適。

LT1229/LT1230: デュアルおよびクワッド100MHz電流帰還アンプ。±2V ~ ±15V電源、低ノイズ、優れたAC仕様、アンプ当たりの消費電流6mA。

LT1360: 50MHz電圧帰還アンプ。消費電流3.8mA、優れたAC/DC仕様、±5V ~ ±15V電源。

LT1363: 70MHz、1000V/μsオペアンプ。消費電流6.3mA、優れたAC/DC仕様。

LT1364/LT1365: デュアルおよびクワッド70MHz、100V/μsオペアンプ。1アンプ当たりの消費電流6.3mA。

LinearViewはリニアテクノロジー社の商標です。

## アプリケーション情報

### 入力フィルタリング

入力アンプおよび他の回路のノイズと歪みがLTC1416のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル・ホールド回路の小信号帯域幅は15MHzです。アナログ入力に現れるノイズまたは歪みはこの全帯域幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。多くのアプリケーションでは、単純な1ポールRCフィルタで十分です。たとえば、図7は $A_{IN}^+$ からグランドに1000pFコンデンサと200Ωのソース抵抗を接続すると、入力帯域幅が800kHzに制限されることを示します。また、1000pFコンデンサは入力サンプル&ホールドのための電荷貯蔵庫として働き、ADC入力をグリッチの影響を受けやすいサンプリング回路から切り離します。これらの部品が歪みを増加させる可能性があるため、高品質のコンデンサと抵抗を使用してください。NPOとシルバ・マイカ型誘電体コンデンサは、優れた直線性を備えています。また、カーボン表面実装抵抗は、自己加熱や半田付け中に生じる損傷から歪みを生じることがあります。金属フィルム表面実装抵抗は、これら両方の問題の影響を受けにくいものです。

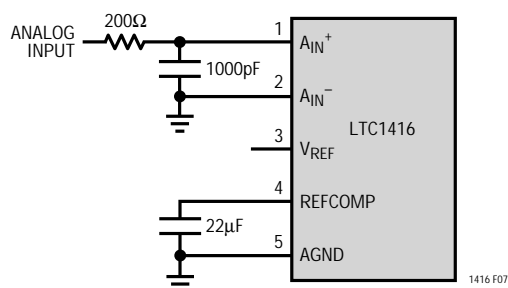


図7. RC入力フィルタ

### 入力範囲

LTC1416の $\pm 2.5V$ 入力範囲は、ノイズと歪みが低くなるように最適化されています。大部分の高性能オペアンプもこの範囲で最適に動作するため、アナログ入力への直接結合が可能で、特殊な変換回路は必要ありません。

アプリケーションによっては、他の入力範囲が必要です。LTC1416の差動入力とリファレンス回路は、多くの場合、回路をほとんどあるいはまったく追加しなくて

も、他の入力範囲に対応できます。以下のセクションでは、リファレンスと入力回路、そしてそれらがどのように入力範囲に影響を与えるかを説明します。

### 内部リファレンス

LTC1416は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.500Vにトリミングされています。このリファレンスは内部でリファレンス・アンプに接続され、 $V_{REF}$  (ピン3)から外部に引き出されています。図8aを参照してください。4kΩの抵抗が出力と直列に接続されているため、外部リファレンスまたは他の回路で簡単にオーバドライブできます(図8b参照)。リファレンス・アンプは、 $V_{REF}$ ピンの電圧を1.625倍に昇圧して、必要な内部リファレンス電圧を生成します。これによって、 $V_{REF}$ ピンと高速容量性DAC間にバッファリングを提供します。リファレンス・アンプ補償ピンREFCOMP(ピン4)は、コンデンサでグランドにバイパ

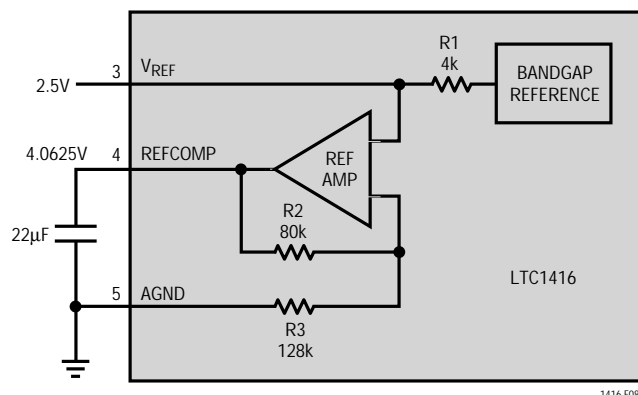


図8a. LTC1416のリファレンス回路

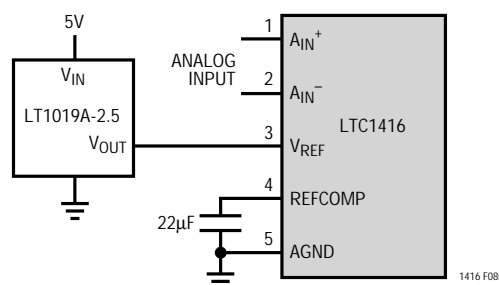


図8b. LT1019-2.5を外部リファレンスとして使用

## アプリケーション情報

スしなげればなりません。リファレンス・アンプは $1\mu\text{F}$ 以上のコンデンサで安定動作します。最高のノイズ性能を得るために、 $22\mu\text{F}$ のセラミック・コンデンサか $22\mu\text{F}$ のタンタル・コンデンサと並列に $0.1\mu\text{F}$ のセラミック・コンデンサを接続することを推奨しています。

$V_{\text{REF}}$ ピンは、図9に示すとおり、DACまたは他の方法でドライブすることができます。これはピーク入力信号振幅が変化する可能性のあるアプリケーションに役立ちます。ADCの入力スパンを調整して、ピーク入力信号にマッチさせ、SN比を最大にすることができます。内部LTC1416リファレンス・アンプのフィルタリングにより、この回路の帯域幅とセトリング時間が制限されます。リファレンス電圧調整の後、 $5\text{ms}$ のセトリング時間を設ける必要があります。

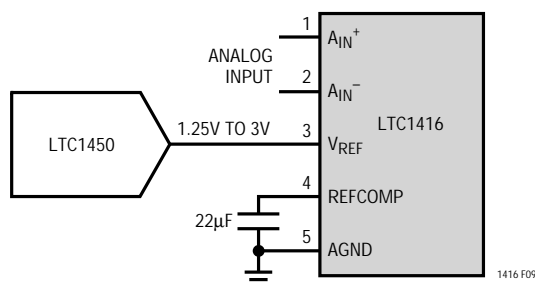


図9. DACによる $V_{\text{REF}}$ のドライブ

### 差動入力

LTC1416はユニークな差動サンプル&ホールド回路を備え、レール・トゥ・レール入力が可能です。ADCは同相電圧に関係なく、常に $A_{\text{IN}+} - A_{\text{IN}-}$ の差を変換します。同相除去は極端に高い周波数まで有効です(図10aを参照)。唯一の要求条件は、両方の入力が $AV_{\text{DD}}$ または $AV_{\text{SS}}$ 電源電圧を超えてはならないことです。積分非直線性誤差(INL)と微分直線性誤差(DNL)は、同相電圧とは無関係ですが、バイポーラ・ゼロ誤差(BZE)は同相電圧によって変動します。BZEの変化は、標準で同相電圧の0.1%未満です。また、ダイナミック性能も同相電圧によって影響を受けます。THDは入力電圧がいずれかの電源レールに近づくにつれて悪化します。同相0VではTHDは90dBですが、同相2.5Vまたは-2.5Vでは79dBに低下します。

差動入力は、いろいろな入力範囲を受け入れることができ柔軟性が高くなっています。図10bは追加変換回路な

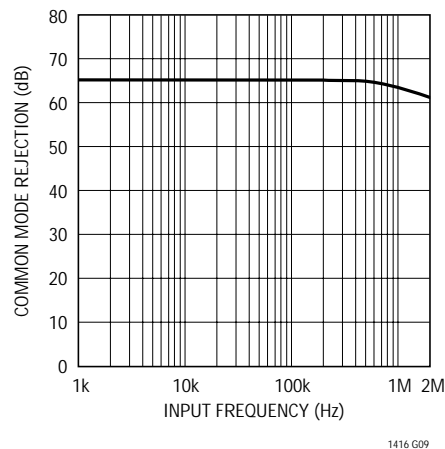


図10a. CMRRと入力周波数

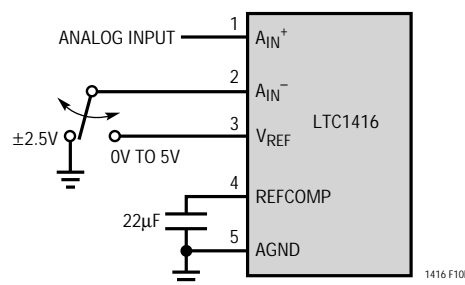


図10b. 入力範囲: 0V ~ 5Vまたは $\pm 2.5\text{V}$ を選択可能

しで、0V ~ 5Vのアナログ入力信号を変換する回路を示します。

### フルスケールおよびオフセット調整

図11aにLTC1416の理想的な入出力特性を示します。コード遷移は、連続する整数のLSB値の間(すなわち、 $-FS + 0.5\text{LSB}$ 、 $-FS + 1.5\text{LSB}$ 、 $-FS + 2.5\text{LSB}$ 、... $-FS - 1.5\text{LSB}$ 、 $FS - 0.5\text{LSB}$ )に現れます。出力コードは、 $1\text{LSB} = FS - (-FS) / 16384 = 5\text{V} / 16384 = 305.2\mu\text{V}$ の2の補数バイナリです。

絶対精度が重要なアプリケーションの場合には、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図11bにフルスケール誤差の調整に必要な追加部品を示します。ゼロ・オフセットは、 $A_{\text{IN}-}$ 入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $-152\mu\text{V}$ (すなわち、 $-0.5\text{LSB}$ )を $A_{\text{IN}+}$ に印加し、出力コードが0000

アプリケーション情報

0000 0000 00と1111 1111 11の間を変化するようになるまで、 $A_{IN}^-$  入力のオフセットを調整します。フルスケール調整を行うには、 $2.499544V (FS/2 - 1.5LSB)$  の入力電圧を $A_{IN}$  に印加し、出力コードが0111 1111 1111 10と0111 1111 1111 11の間を変化するようになるまでR2を調整します。

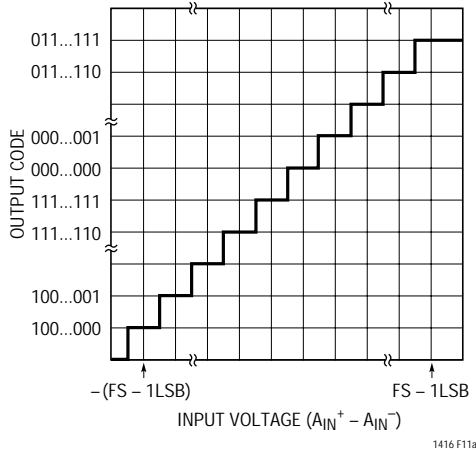


図11a. LTC1416の伝達特性

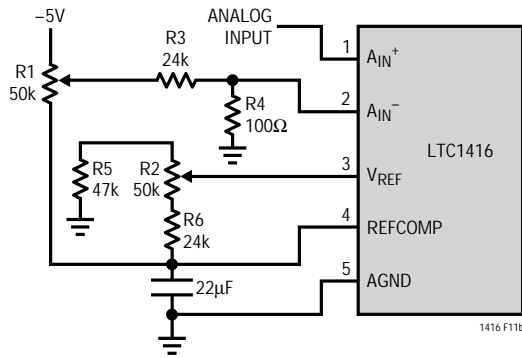


図11b. オフセットおよびフルスケール調整回路

- 5V電源の生成

単一5V電源ではなく±5V電源を使用する利点がいくつかあります。ダイナミック・レンジを増加させ、SN比を改善する大きな信号振幅が可能で、また、±5V電源で動作することによりヘッドルームが増加するため、信号調整回路の条件が緩和され、レール・トゥ・レール動作の制限が回避され、高性能オペアンプの選択肢が広がります。しかし、アプリケーションによっては-5V電源が容易に得られず、大部分のADCが有するPSRRではスイッチングまたはチャージ・ポンプ電源によって生じるノイズを十分に抑えるには不十分です。LTC1416は

優れたPSRRを備えており、-5V電源にスイッチング・レギュレータを使用しても、14ビットでも良好な性能を達成することができます。図12aに、Cukまたはチョーク・コンバータとして構成したLT1373を使用して5V電源から-5Vを生成する回路を示します。図12bに示す回路では、LT1054安定化チャージ・ポンプを使用して-5Vを供給しています。この回路の利点は、ボード占有スペースと受動部品点数が少なくすむことです。(詳細については、Linear Technology Magazine, June 1997の29ページを参照してください。)

ボード・レイアウトとバイパス

ワイヤラップ・ボードは、高分解能または高速A/Dコンバータにはお奨めできません。LTC1416から最良の性能を引き出すには、グランド・プレーン付きのPCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にADCの下やアナログ信号トラックに沿ってデジタル・トラックを走らせないように注意してください。アナログ入力はAGNDで遮蔽しなければなりません。

ロジックのシステム・グランドから離れたアナログ・グランド・プレーンを、ADCの下またはADCの周囲に設けなければなりません(図13参照)。ピン5(AGND)、ピン14、およびピン19(ADCのDGND)他のすべてのアナログ・グランドは、この1つのアナログ・グランド・ポイントに接続してください。また、REFCOMPバイパス・コンデンサとDV<sub>DD</sub>バイパス・コンデンサもこのアナログ・グランド・プレーンに接続します。他のデジタル・グランドをこのアナログ・グランド・プレーンに接続してはなりません。このADCを低ノイズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次変換コンバータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。ピンとバイパス・コンデンサを接続するトレースは、できる限り短

アプリケーション情報

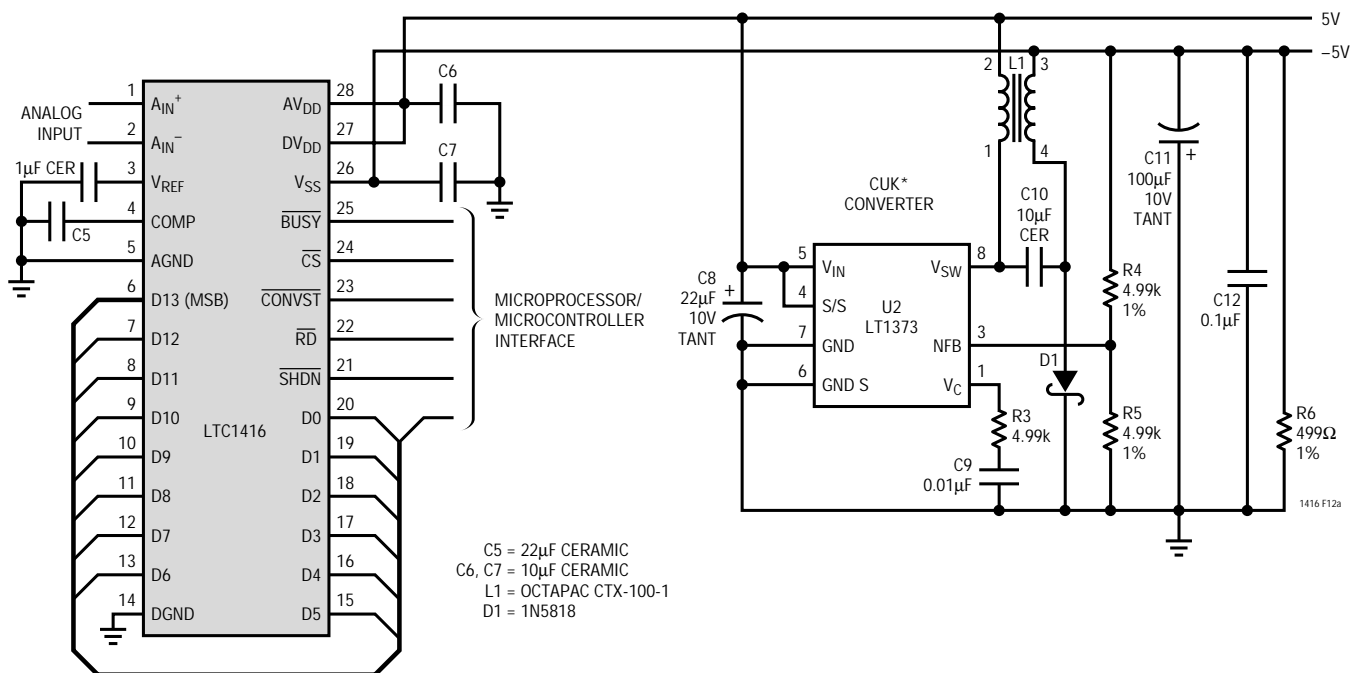


図12a. LT1373を使用し -5V電源を生成

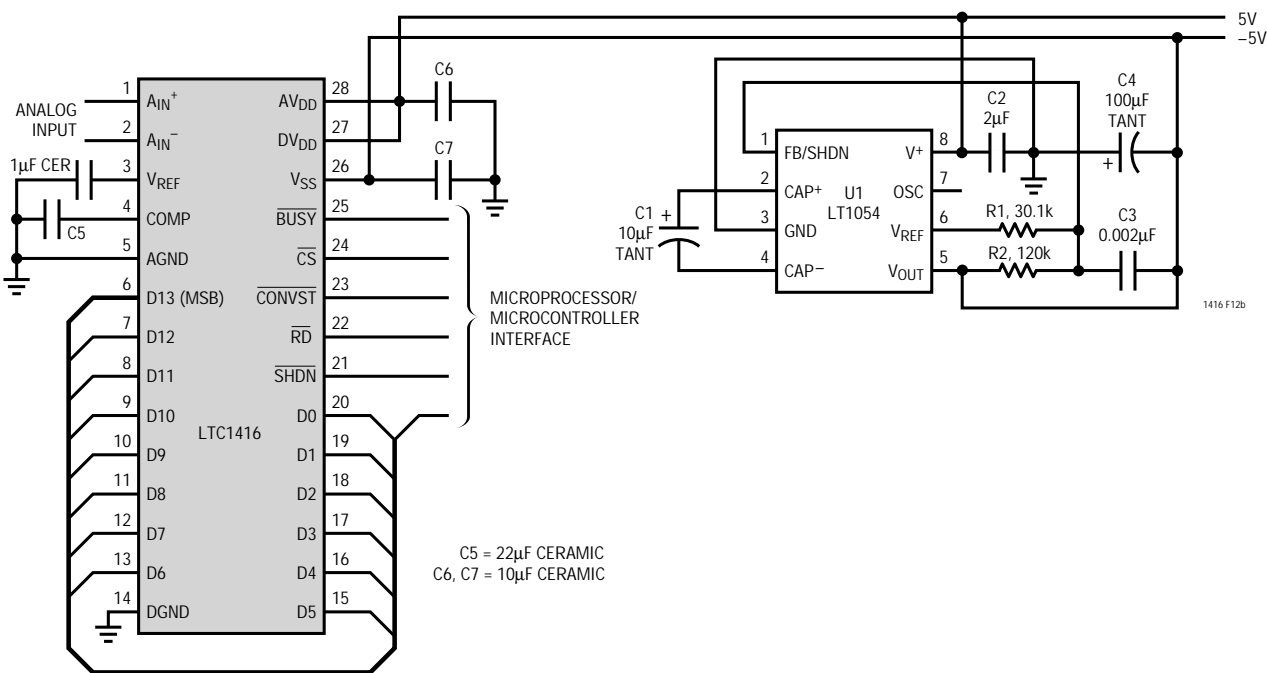


図12b. LT1054を使用し -5V電源を生成

## アプリケーション情報

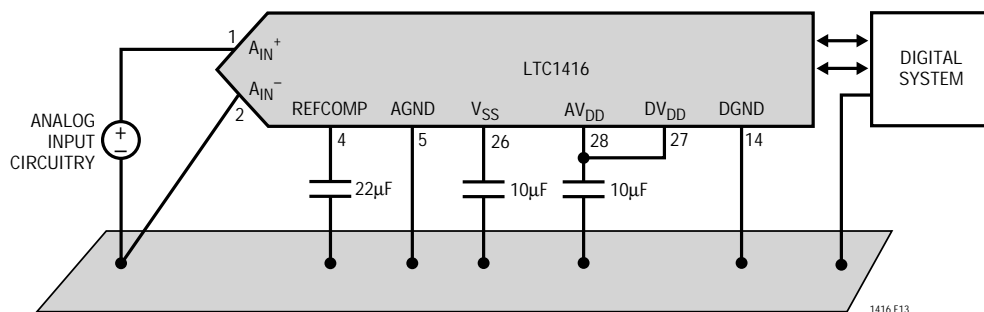


図13. 電源の接地方法

く、また幅を広くとってください。

LTC1416はノイズの結合を最小限に抑えるために差動入力を備えています。A<sub>IN+</sub>とA<sub>IN-</sub>リードの同相ノイズは、入力CMRRによって除去されます。A<sub>IN-</sub>入力をA<sub>IN+</sub>入力のグランド・センスとして使用することができます。すなわちLTC1416はA<sub>IN+</sub>とA<sub>IN-</sub>間の電圧差をホールドし変換します。A<sub>IN+</sub>(ピン1)とA<sub>IN-</sub>(ピン2)へのリードは、できるだけ短くします。これが可能でないアプリケーションでは、A<sub>IN+</sub>およびA<sub>IN-</sub>の配線を平行して走らせて、ノイズの結合をキャンセルしなければなりません。

## 電源のバイパス

本データシートの最初のページにある標準的応用例に示すように、V<sub>DD</sub>ピン(10μF)およびREFCOMPピン(22μF)には、高品質で低直列抵抗のセラミックのバイパス・コンデンサを使用してください。村田製作所のGRM235Y5V106Z016のような表面実装セラミック・コンデンサは、小さなボード・スペースに優れたバイパス特性を提供します。あるいは、タンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続して使用することもできます。これらのコンデンサはできる限りピンの近くに配置します。ピンとバイパス・コンデンサを接続する配線は、できる限り短く、また幅を広くとってください。

## レイアウト例

図14a、14b、14c、および14dに評価ボードの回路図とレイアウトを示します。レイアウトは、2層PCボードでのデカップリング・コンデンサとグランド・プレーンの正しい使い方を示しています。

## デジタル・インタフェース

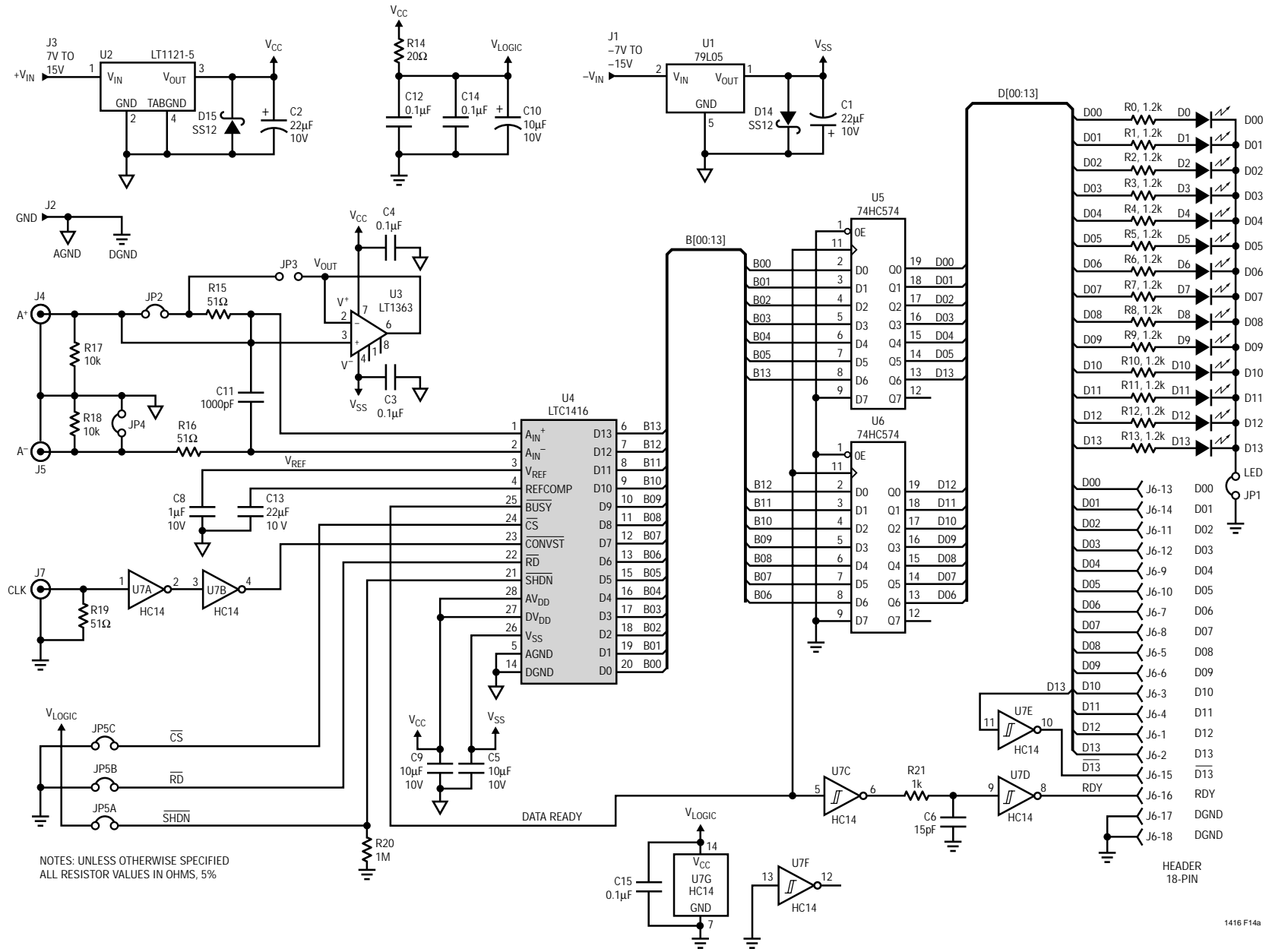
このA/Dコンバータは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 $\overline{CS}$ および $\overline{RD}$ コントロール入力は、すべての周辺メモリ・インタフェースに共通です。 $\overline{CONVST}$ を使用して、変換を開始します。

## 内部クロック

このA/Dコンバータには内部クロックがあり、他のADCのように外部クロックと $\overline{CS}$ および $\overline{RD}$ 信号間で同期をとる必要はありません。内部クロックは標準変換時間1.8μs、および全動作温度範囲における最大変換時間2.2μsを達成するよう製造時に調整されています。外部調整は不要です。保証最大アキュリション・タイムは400nsです。加えて、2.5μsのスループット時間と400ksp/sの最小サンプリング・レートが保証されます。

## 電源シャットダウン

LTC1416にはナップとスリープの2つの電源シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が95%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナップからアクティブになるまでのウェイクアップ時間は200nsです。スリープ・モードでは、リファレンスがシャットダウンされ、約120μAのわずかな電流が流れます。スリープ・モードからのウェイクアップ時間は、リファレンス回路が立ち上がり、そして14ビット精度すなわち0.005%にセトリングしなければならないため、より低速になります。スリープ・モードのウェイクアップ時間は、REFCOMP(ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨している22μFコンデンサでは20msです。



NOTES: UNLESS OTHERWISE SPECIFIED  
ALL RESISTOR VALUES IN OHMS, 5%

図14a. 推奨評価回路図

1416 F14a

LTC1416



## アプリケーション情報

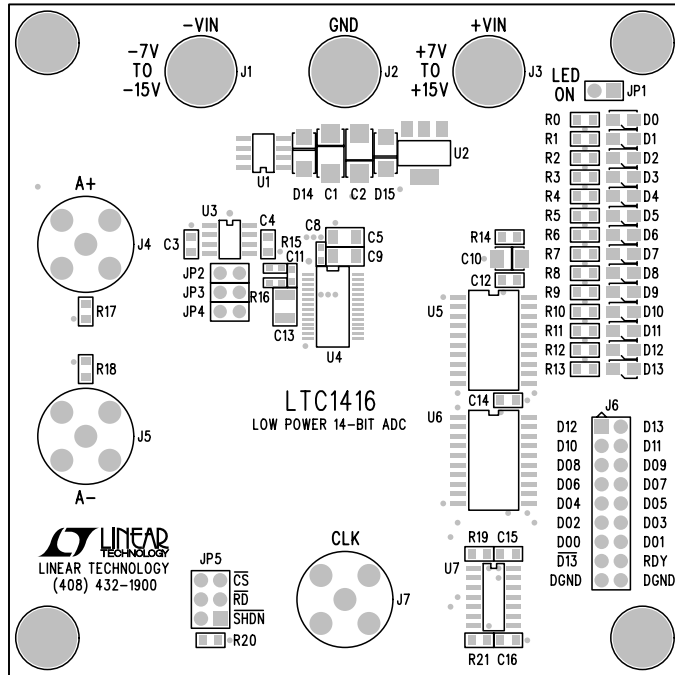


図14b. 推奨評価回路ボード部品面のシルクスクリーン

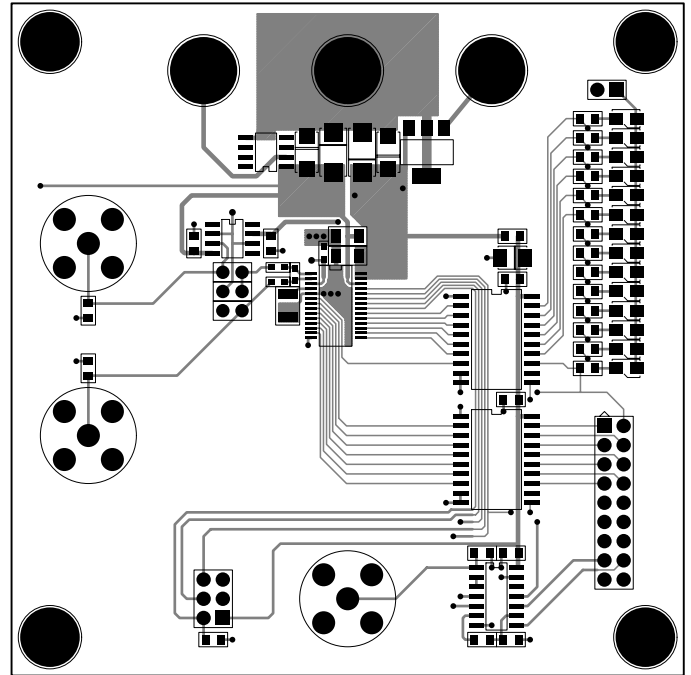


図14c. 推奨評価回路ボード部品面のレイアウト

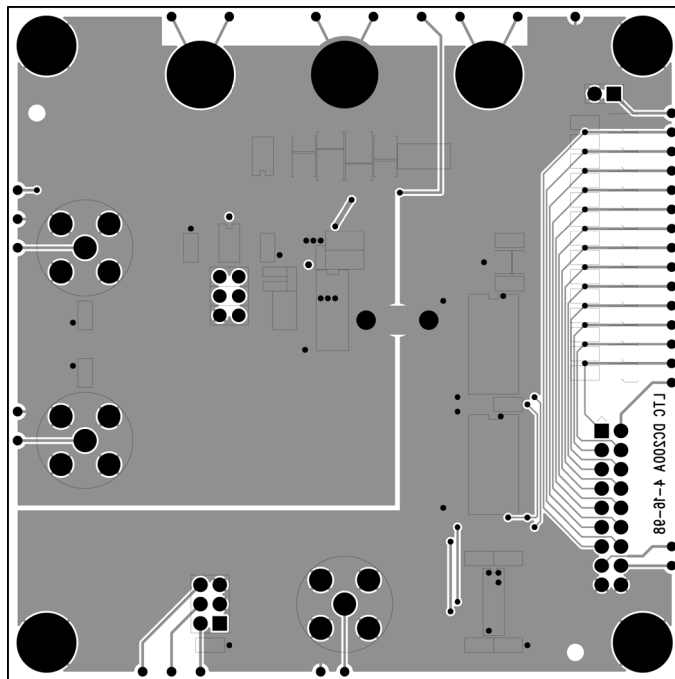


図14d. 推奨評価回路ボード半田面のレイアウト

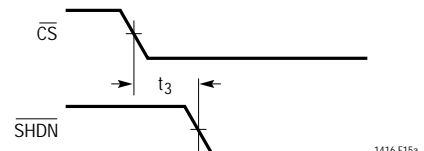


図15a.  $\overline{CS}$ から $\overline{SHDN}$ のタイミング

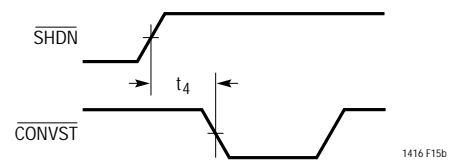


図15b.  $\overline{SHDN}$ から $\overline{CONVST}$ までのウェイクアップ・タイミング

## アプリケーション情報

シャットダウンはピン21( $\overline{\text{SHDN}}$ )で制御され、 $\overline{\text{SHDN}}$ が“L”のときにADCはシャットダウン状態になっています。シャットダウン・モードはピン20( $\overline{\text{CS}}$ )で選択され、“L”のときナップを選択します。

### タイミングとコントロール

変換スタートおよびデータ・リード・オペレーションは、 $\overline{\text{CONVST}}$ 、 $\overline{\text{CS}}$ 、および $\overline{\text{RD}}$ の3つのデジタル入力によってコントロールされます。 $\overline{\text{CONVST}}$ ピンにロジック“0”を印加すると、ADCが選択された後(すなわち、 $\overline{\text{CS}}$ が“L”)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは $\overline{\text{BUSY}}$ 出力で示されます。変換実行中、 $\overline{\text{BUSY}}$ は“L”になっています。

図16~図21に、いくつかの異なる動作モードを示します。モード1aと1b(図17と図18)では、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ は両方とも“L”に接続されます。 $\overline{\text{CONVST}}$ の立下りエッジで変換を開始します。データ出力は常にイネーブルされ、データは $\overline{\text{BUSY}}$ の立上りエッジでラッチすることができます。モード1aは、幅の狭い論理“L”の $\overline{\text{CONVST}}$ パルスによる動作を示します。モード1bは、幅の狭い論理“H”の $\overline{\text{CONVST}}$ パルスによる動作を示します。

モード2(図19)では、 $\overline{\text{CS}}$ は“L”に接続されます。 $\overline{\text{CONVST}}$ 信号の立下りエッジで変換を開始します。データ出力は、MPUが $\overline{\text{RD}}$ 信号で読み出すまでスリーステートになっています。モード2は、共有MPUデータ・バスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図20および21)

では、 $\overline{\text{CS}}$ は“L”に接続され、 $\overline{\text{CONVST}}$ と $\overline{\text{RD}}$ はひとつに接続されます。MPUは、 $\overline{\text{RD}}$ 信号のみで変換を開始して出力を読み出します。変換はMPUまたはDSR(外部サンプル・クロックは不要)によって開始されます。

低速メモリ・モードでは、プロセッサは $\overline{\text{RD}}$ ( $=\overline{\text{CONVST}}$ )に“L”を印加して変換を開始します。 $\overline{\text{BUSY}}$ が“L”になり、プロセッサを強制的に待ち状態にします。このとき前の変換結果がデータ出力に現れています。変換が完了すると、新しい変換結果がデータ出力に現れます。 $\overline{\text{BUSY}}$ が“H”になって、プロセッサを解放すると、プロセッサは $\overline{\text{RD}}$ ( $=\overline{\text{CONVST}}$ )を“H”に戻して、新しい変換データを読み出します。

ROMモードでは、プロセッサは $\overline{\text{RD}}$ ( $=\overline{\text{CONVST}}$ )を“L”にして変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果を読み出して、別の変換を開始することができます。

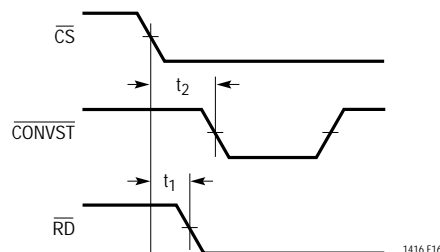


図16.  $\overline{\text{CS}}$ から $\overline{\text{CONVST}}$ のセットアップ・タイミング

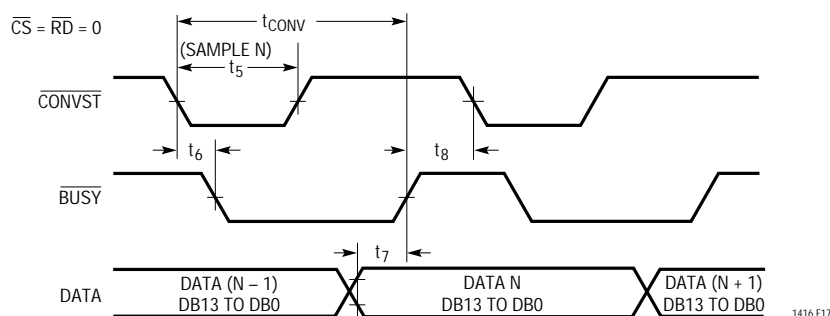


図17. モード1a.  $\overline{\text{CONVST}}$ で変換を開始。データ出力は常時イネーブル( $\overline{\text{CONVST}} = \text{[pulse]}$ )

アプリケーション情報

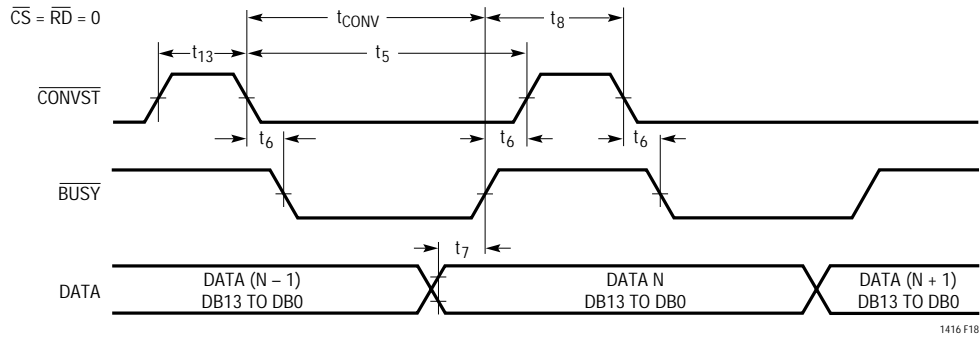


図18. モード1b.  $\overline{CONVST}$ で変換を開始。データ出力は常時イネーブル。  
( $\overline{CONVST} = \text{パルス}$ )

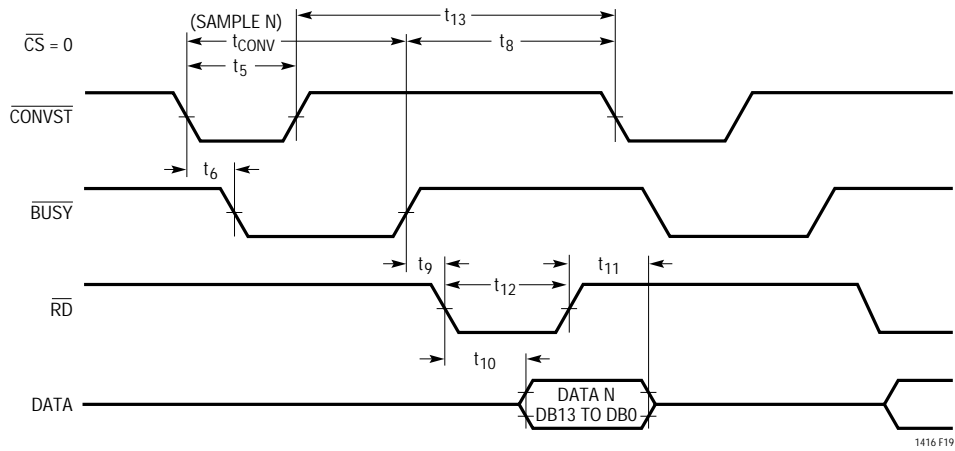


図19. モード2.  $\overline{CONVST}$ で変換を開始。 $\overline{RD}$ でデータの読み出し。

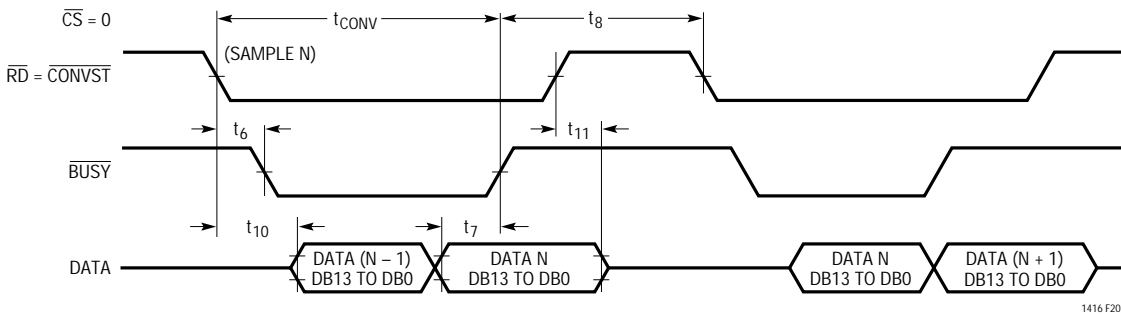


図20. 低速メモリ・モード・タイミング

## アプリケーション情報

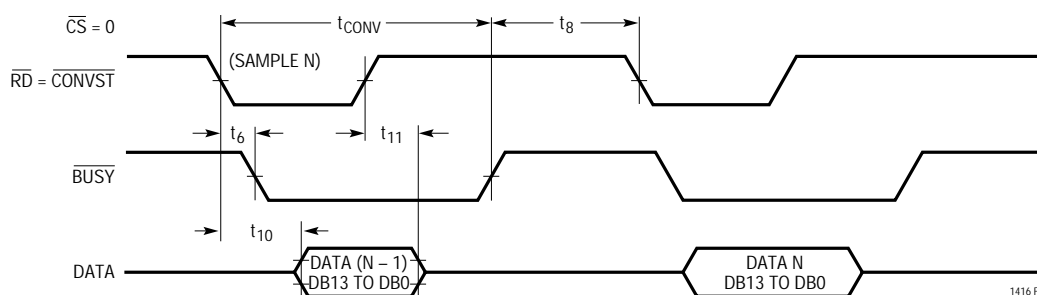


図21. ROMモード・タイミング

## 関連製品

製品番号	説明	注釈
LTC1278/LTC1279	単一電源、12ビット、500ksps/600ksps ADC	低消費電力、5Vまたは±5V電源
LTC1400	高速シリアル12ビットADC	400ksps、 $V_{\text{REF}}$ 、CLK、サンプル&ホールド内蔵、SO-8
LTC1409	低消費電力、12ビット、800kspsサンプリングADC	最良のダイナミック性能、 $f_{\text{SAMPLE}} \leq 800\text{ksps}$ 、消費電力80mW
LTC1410	12ビット、1.25MspsサンプリングADC、シャットダウン機能付き	最良のダイナミック性能、ナイキスト周波数にて THD = 84dBおよびSINAD = 71dB
LTC1412	12ビット、3MspsサンプリングADC	最良のダイナミック性能、ナイキストにてSINAD = 72dB
LTC1415	単一5V、12ビット、1.25Msps ADC	単一電源、消費電力55mW
LTC1418	14ビット、200kspsサンプリングADC	消費電力16mW、シリアルおよびパラレル出力
LTC1419	14ビット、800kspsサンプリングADC、シャットダウン付き	81.5dB SINAD、±5V電源で消費電力150mW
LTC1604	16ビット、333kspsサンプリングADC	±2.5V入力、SINAD = 90dB、THD = 100dB
LTC1605	単一5V、16ビット、100ksps ADC	低消費電力、±10V入力