

12ビット、1.25Mps、55mW サンプリングA/Dコンバータ

特長

- サンプルング速度1.25Mps
- 単一5V電源動作
- 消費電力：55mW
- ナップおよびスリープのパワー・シャットダウン・モード
- $\pm 0.35\text{LSB}$ のINLおよび $\pm 0.25\text{LSB}$ のDNL
- 100kHzにて $S(N+D)$ 72dBおよびTHD 80dB
- 外部または内部リファレンス動作
- 真の差動入力により同相ノイズを除去
- 入力範囲：4.096V (1mV/LSB)
- 28ピンSSOPおよびSOパッケージ

アプリケーション

- 高速データ収集
- イメージング・システム
- デジタル信号処理
- 多チャンネル・データ収集システム
- テレコム

概要

LTC[®]1415は700ns、1.25Mps、12ビット・サンプリングA/Dコンバータで、単一5V電源で動作し、動作時の消費電力はわずか55mW(標準)です。このデバイスは使いやすく、広いダイナミック・レンジをもつサンプル・ホールド、高精度リファレンス、および調整された内部クロックを備えています。2つのパワー・シャットダウン・モードがあり、低消費電力システムに柔軟性を提供します。

LTC1415のフルスケール入力範囲は4.096Vです。直線性誤差がINL $\pm 0.35\text{LSB}$ 、DNL $\pm 0.25\text{LSB}$ と低く、イメージング・システムに最適です。100kHzのナイキスト入力周波数での72dBの $S(N+D)$ および80dBのTHDなど、卓越したAC性能を実現しています。

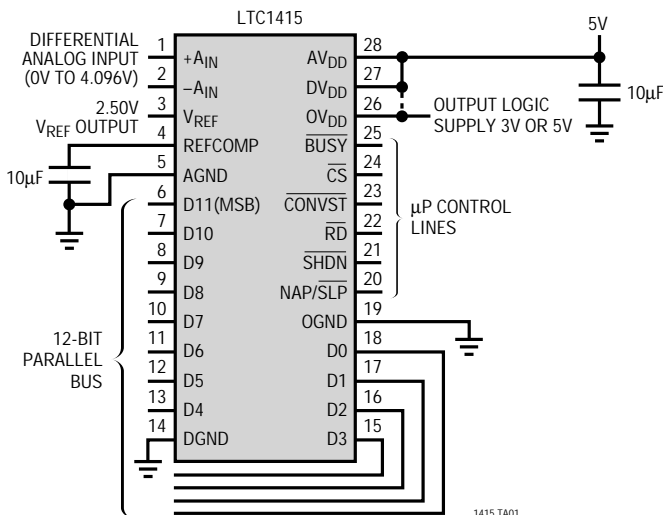
独自の差動入力サンプル&ホールドにより、18MHz帯域幅までシングルエンドまたは差動入力信号を得ることができます。また、60dBの同相除去を実現しているため、ユーザはソースから差動で信号を測定することにより、グラウンド・ループと同相ノイズを除去できます。

このADCは μP コンパチブルの12ビット・パラレル出力ポートを備えています。変換結果にはパイプライン遅延はありません。変換スタート入力とデータ・レディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。また、出力ロジック電源ピンが独立しているため、3V部品に直結可能です。

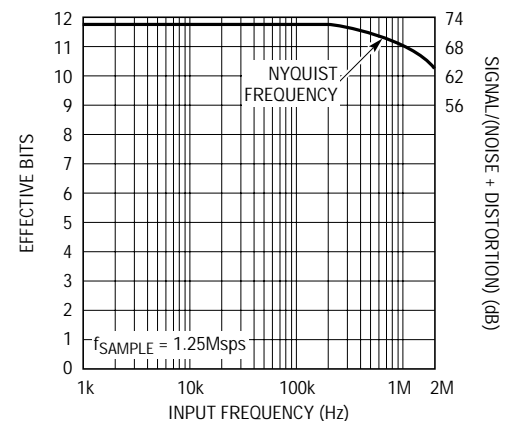
LTC、LTC、LTIはリニアテクノロジー社の登録商標です。

標準的応用例

1.25MHz、12ビット・サンプリングA/Dコンバータ



有効ビット数および信号対(ノイズ+歪み)と入力周波数



LTC1415 - TA02

LTC1415

絶対最大定格

$AV_{DD} = DV_{DD} = OV_{DD} = V_{DD}$ (Note 1、2)

電源電圧 (V_{DD})	6V
アナログ入力電圧 (Note 3).....	- 0.3V ~ $V_{DD} + 0.3V$
デジタル入力電圧 (Note 4).....	- 0.3V ~ 12V
デジタル出力電圧	- 0.3V ~ $V_{DD} + 0.3V$
消費電力	500mW
動作温度範囲	
LTC1415C	0 ~ 70
LTC1415I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒).....	300

パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
+A _{IN} [1]	[28] AV _{DD}	LTC1415CG LTC1415CSW LTC1415IG LTC1415ISW
-A _{IN} [2]	[27] DV _{DD}	
V _{REF} [3]	[26] OV _{DD}	
REFCOMP [4]	[25] BUSY	
AGND [5]	[24] \overline{CS}	
D11 (MSB) [6]	[23] CONVST	
D10 [7]	[22] RD	
D9 [8]	[21] SHDN	
D8 [9]	[20] NAP/SLP	
D7 [10]	[19] OGND	
D6 [11]	[18] D0	
D5 [12]	[17] D1	
D4 [13]	[16] D2	
DGND [14]	[15] D3	
G PACKAGE SW PACKAGE 28-LEAD PLASTIC SSOP 28-LEAD PLASTIC SO WIDE $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 95^{\circ}C/W$ (G) $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 130^{\circ}C/W$ (SW)		

ミリタリ・グレードに関してはお問い合わせください。

コンバータ特性 内部リファレンス (Note 5、6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 7)	●	0.35	±1	LSB
Differential Linearity Error		●	0.25	±1	LSB
Offset Error	(Note 8)	●	±1	±6	LSB
				±8	LSB
Full-Scale Error				±20	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$		±15		ppm/°C

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 9)	$4.75V \leq V_{DD} \leq 5.25V$	●	4.096		V
I_{IN}	Analog Input Leakage Current	$\overline{CS} = \text{High}$	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions During Conversions		19 5		pF pF
t_{ACQ}	Sample-and-Hold Acquisition Time		●	50	150	ns
t_{AP}	Sample-and-Hold Aperture Delay Time			-1.5		ns
t_{jitter}	Sample-and-Hold Aperture Delay Time Jitter			2		ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio	$0V < V_{CM} < V_{DD}$, DC to MHz		60		dB

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	100kHz Input Signal		72		dB
		600kHz Input Signal		69		dB
THD	Total Harmonic Distortion	100kHz Input Signal, First 5 Harmonics		-80		dB
		600kHz Input Signal, First 5 Harmonics		-72		dB
SFDR	Spurious Free Dynamic Range	600kHz Input Signal		-75		dB
IMD	Intermodulation Distortion	$f_{IN1} = 29.37\text{kHz}$, $f_{IN2} = 32.446\text{kHz}$		-84		dB
	Full-Power Bandwidth			18		MHz
	Full-Linear Bandwidth	$S/(N + D) \geq 68\text{dB}$		1		MHz

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.480	2.500	2.520	V
V_{REF} Output Tempco	$I_{OUT} = 0$		± 15		ppm/ $^{\circ}\text{C}$
V_{REF} Line Regulation	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}$		0.01		LSB/V
V_{REF} Output Resistance	$ I_{OUT} \leq 0.1\text{mA}$		2		k Ω
REFCOMP Output Voltage	$I_{OUT} = 0$		4.096		V

デジタル入力とデジタル出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	●	2.4		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}	●		± 10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_O = -10\mu\text{A}$		4.5		V
		$I_O = -200\mu\text{A}$	●	4.0		V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_O = 160\mu\text{A}$		0.05		V
		$I_O = 1.6\text{mA}$	●	0.10	0.4	V
I_{OZ}	Hi-Z Output Leakage D11 to D0	$V_{OUT} = 0\text{V}$ to V_{DD} , $\overline{\text{CS}}$ High	●		± 10	μA
C_{OZ}	Hi-Z Output Capacitance D11 to D0	$\overline{\text{CS}}$ High (Note 9)	●		15	pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage	(Notes 10, 11)	4.75		5.25	V
I_{DD}	Supply Current Nap Mode Sleep Mode	$\overline{\text{CS}}$ High	●	11	20	mA
		$\overline{\text{SHDN}} = 0\text{V}$, $\overline{\text{NAP/SLP}} = 5\text{V}$ (Note 12)	●	1.5	2.3	mA
		$\overline{\text{SHDN}} = 0\text{V}$, $\overline{\text{NAP/SLP}} = 0\text{V}$ (Note 12)		1.0		μA
P_D	Power Dissipation Nap Mode Sleep Mode	$\overline{\text{CS}}$ High		55	100	mW
		$\overline{\text{SHDN}} = 0\text{V}$, $\overline{\text{NAP/SLP}} = 5\text{V}$		7.5	12	mW
		$\overline{\text{SHDN}} = 0\text{V}$, $\overline{\text{NAP/SLP}} = 0\text{V}$		0.01		mW

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{\text{SAMPLE(MAX)}}$	Maximum Sampling Frequency Conversion and Acquisition Time		●	1.25	800	MHz ns
t_{CONV}	Conversion Time		●		700	ns
t_{ACQ}	Acquisition Time		●		150	ns
t_1	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time	(Notes 9, 10)	●	0		ns
t_2	$\overline{\text{CS}}\downarrow$ to $\overline{\text{CONVST}}\downarrow$ Setup Time	(Notes 9, 10)	●	10		ns
t_3	$\overline{\text{NAP}}/\overline{\text{SLP}}\uparrow$ to $\overline{\text{SHDN}}\downarrow$ Setup Time	(Notes 9, 10)		200		ns
t_4	$\overline{\text{SHDN}}\uparrow$ to $\overline{\text{CONVST}}\downarrow$ Wake-Up Time	Nap Mode (Note 10) Sleep Mode, $C_{\text{REFCOMP}} = 10\mu\text{F}$ (Note 10)		200 10		ns ms
t_5	$\overline{\text{CONVST}}$ Low Time	(Notes 10, 11)	●	50		ns
t_6	$\overline{\text{CONVST}}$ to $\overline{\text{BUSY}}$ Delay	$C_L = 25\text{pF}$	●	10	60	ns ns
t_7	Data Ready Before $\overline{\text{BUSY}}\uparrow$		●	20 15	35	ns ns
t_8	Delay Between Conversions	(Note 10)	●	50		ns
t_9	Wait Time $\overline{\text{RD}}\downarrow$ After $\overline{\text{BUSY}}\uparrow$		●	-5		ns
t_{10}	Data Access Time After $\overline{\text{RD}}\downarrow$	$C_L = 25\text{pF}$	●	20	35 45	ns ns
		$C_L = 100\text{pF}$	●	25	45 60	ns ns
t_{11}	Bus Relinquish Time	$0^\circ\text{C} = T_A = 70^\circ\text{C}$ $-40^\circ\text{C} = T_A = 85^\circ\text{C}$	●	10	30 35 40	ns ns ns
t_{12}	$\overline{\text{RD}}$ Low Time		●	t_{10}		ns
t_{13}	$\overline{\text{CONVST}}$ High Time		●	50		ns
t_{14}	Aperture Delay of Sample-and-Hold			-1.5		ns

は全動作温度範囲の規格値を意味する。その他すべてのリミット値と標準値は $T_A = 25^\circ\text{C}$ 。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値は、注記がない限り、DGNDとAGNDが連結されたグラウンドを基準とする。

Note 3: これらのピン電圧をグラウンドより低くするか、 V_{DD} より高くすると、内部ダイオードによってクランプされる。この製品はグラウンドより低い、または V_{DD} より高い電圧を加えてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピンの電圧をグラウンドより低くすると、内部ダイオードでクランプされる。この製品はグラウンドより低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンは V_{DD} にクランプされない。

Note 5: 注記がない限り、 $V_{\text{DD}} = 5\text{V}$ 、 $f_{\text{SAMPLE}} = 1.25\text{MHz}$ 、 $t_r = t_f = 5\text{ns}$

Note 6: 直線性、オフセット、およびフルスケール仕様は、 $-A_{\text{IN}}$ を接地した状態のシングルエンド+ A_{IN} 入力に適用される。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: バイポーラ・オフセットは、出力コードが0000 0000 0000と1111 1111 1111の間で変化するとき、 -0.5LSB から測定したオフセット電圧。

Note 9: 設計で保証されているが、テストされていない。

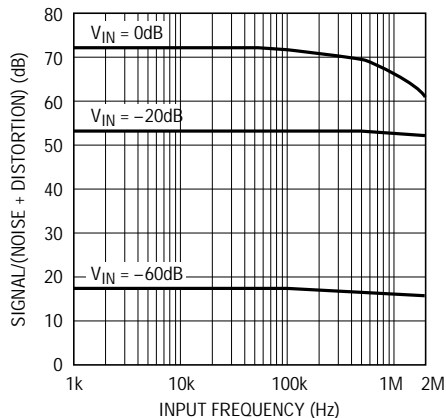
Note 10: 推奨動作条件。

Note 11: $\overline{\text{CONVST}}$ の立下りエッジで変換を開始する。変換中にビット決定点で $\overline{\text{CONVST}}$ が H に戻ると、わずかな誤差が生じる可能性がある。最良の性能を得るために、変換開始からまたは $\overline{\text{BUSY}}$ が立ち上がってから425ns以内に $\overline{\text{CONVST}}$ が H に戻るようにする。

Note 12: $\overline{\text{CS}} = \overline{\text{RD}} = \overline{\text{CONVST}} = 0\text{V}$ 。

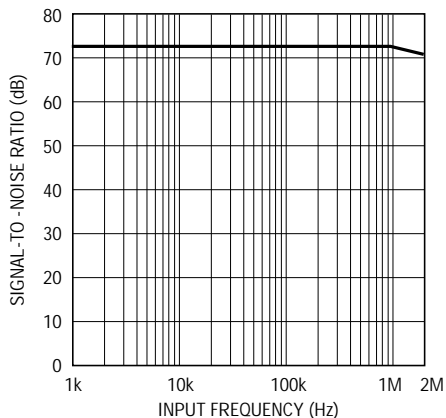
標準的性能特性

S/(N+D)と入力周波数
および振幅



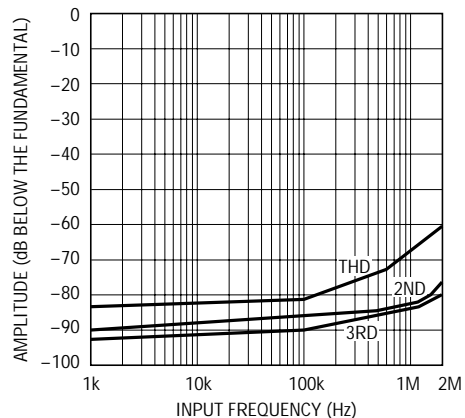
LTC1415 - TPC01

SN比と入力周波数



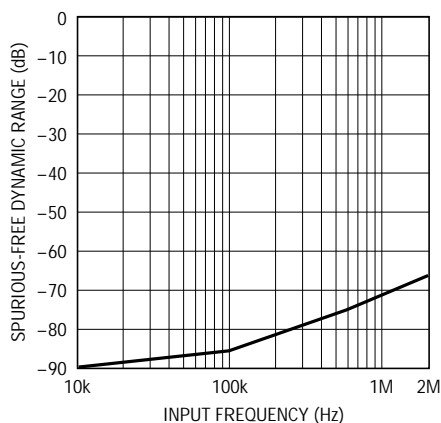
LTC1415 - TPC02

歪みと入力周波数



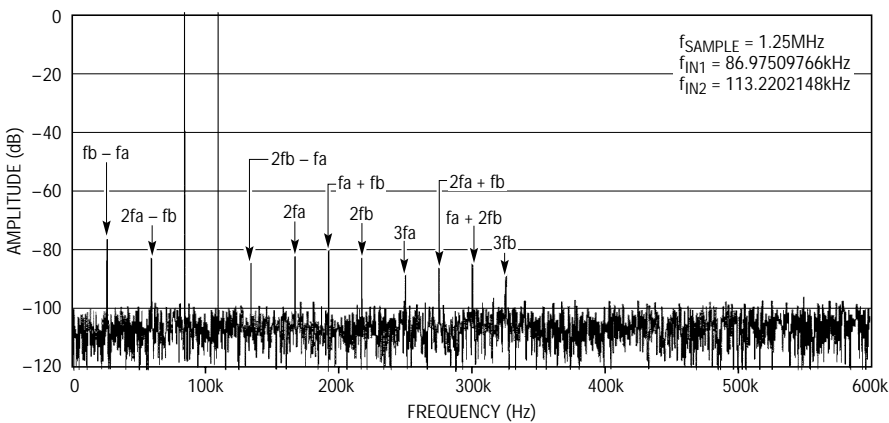
LTC1415 - TPC03

スプリアス無しダイナミック・
レンジと入力周波数



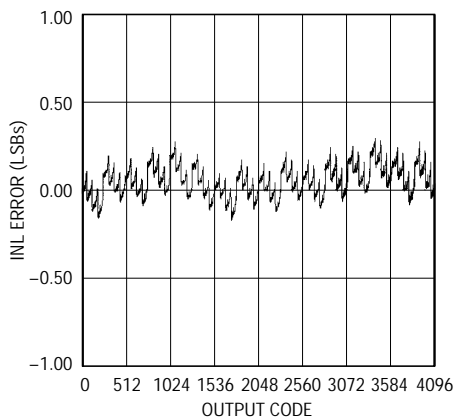
LTC1415 - TPC04

混変調歪みプロット



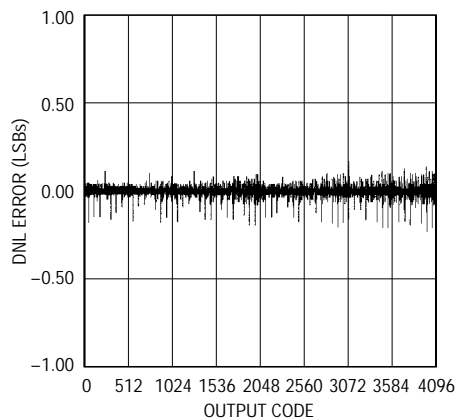
LTC1415 - TPC05

積分非直線性と出力コード



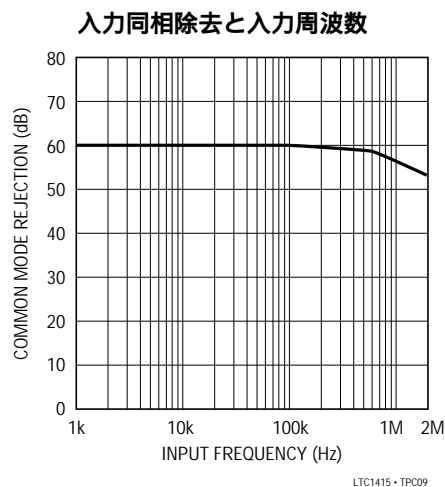
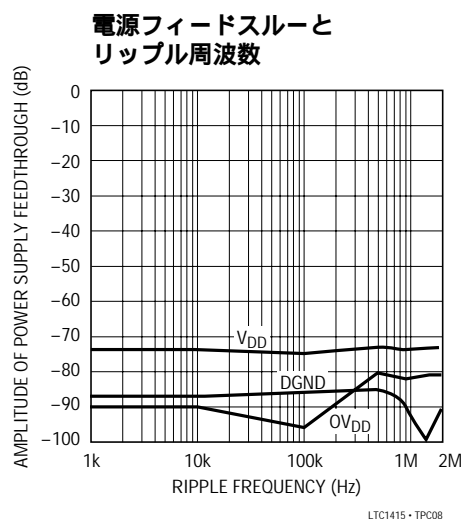
LTC1415 - TPC07

微分非直線性と出力コード



LTC1415 - TPC06

標準的性能特性



ピン機能

+ A_{IN}(ピン1): 正のアナログ入力、0V ~ 4.096V

- A_{IN}(ピン2): 負アナログ入力、0V ~ 4.096V

V_{REF}(ピン3): 2.50Vリファレンス出力。

REFCOMP(ピン4): 10μFタンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続してAGNDにバイパスします。

AGND(ピン5): アナログ・グランド。

D11からD4(ピン6から13): スリープステート・データ出力。

DGND(ピン14): デジタル・グランド。

D3からD0(ピン15から18): スリープステート・データ出力。

OGND(ピン19): デジタル出力バッファ・グランド。

NAP/SLP(ピン20): パワー・シャットダウン・モード。“H”にすると高速ウェイクアップのナップ・モードに入ります。

SHDN(ピン21): シャットダウン入力。“L”にすると、NAP/SLPピンによって選択されるシャットダウン・モードを起動します。使用しない場合は“H”に接続してください。

RD(ピン22): リード入力。CSが“L”のときに出力ドライバをイネーブします。

CONVST(ピン23): 変換開始信号。このアクティブ“L”信号の立下りエッジで変換を開始します。

CS(ピン24): チップ・セレクト入力。ADCがCONVSTおよびRD入力を認識するには“L”でなければなりません。

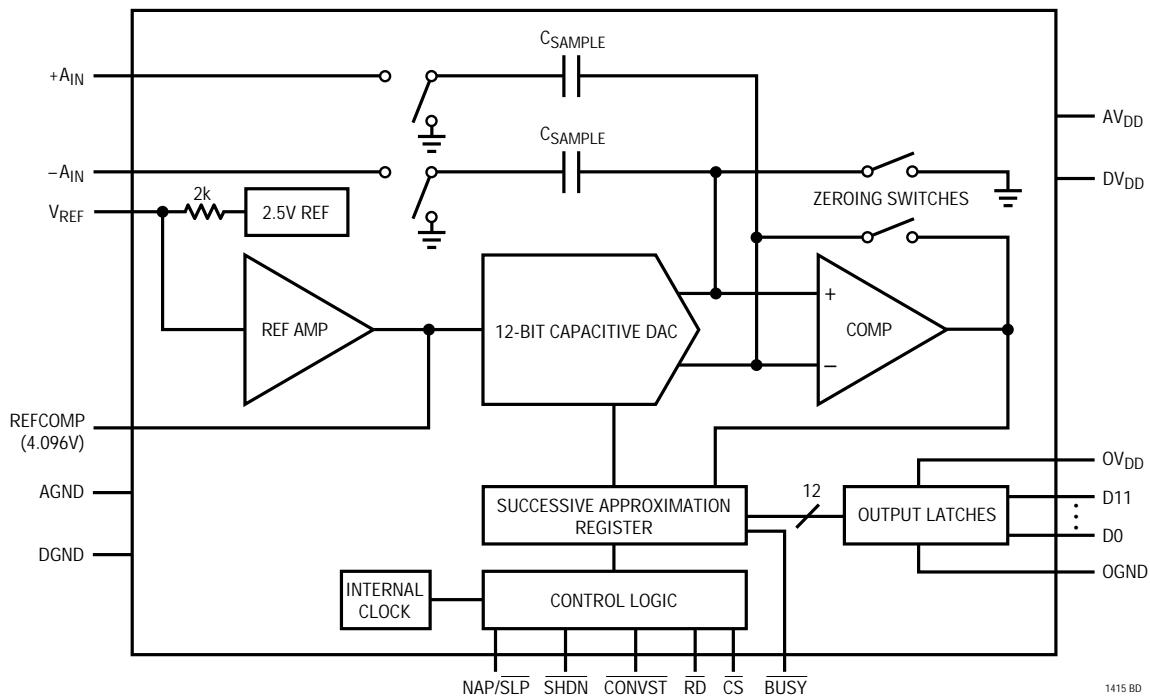
BUSY(ピン25): BUSY出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。BUSYの立上りエッジを使用して、出力データをラッチすることができます。

OV_{DD}(ピン26): デジタル出力バッファ電源。5V出力の場合はピン28に短絡します。3Vロジックをドライブするために3Vに接続します。

DV_{DD}(ピン27): 5V正電源。ピン28に短絡します。

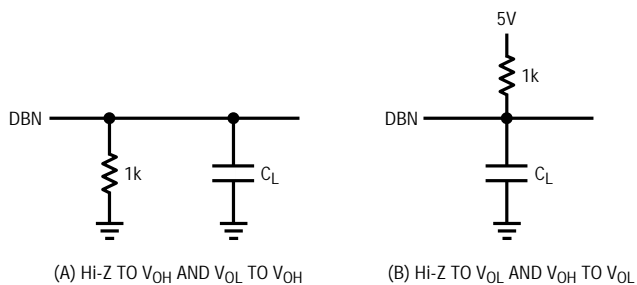
AV_{DD}(ピン28): 5V正電源。10μFタンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続してAGNDにバイパスします。

機能ブロック図

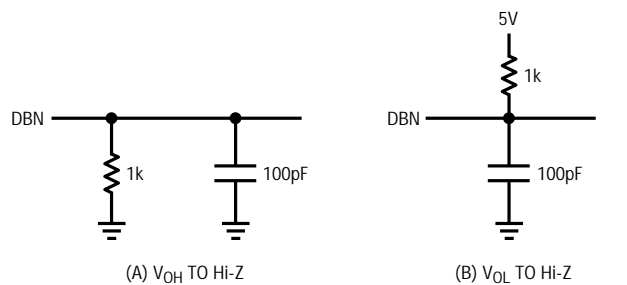


テスト回路

アクセス・タイミングの負荷回路



バス放棄時間の負荷回路



アプリケーション情報

変換の詳細説明

LTC1415は逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を12ビットの平行出力に変換します。このADCは高精度リファレンスと内部クロックを備えています。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換開始は、 \overline{CS} および \overline{CONVST} 入力でコントロールされます。変換が開始すると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の差動12ビット容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)にシーケンスされます。図1を参照すると、 $+A_{IN}$ および $-A_{IN}$ 入力はアキュイジション・フェーズ中にサンプル&ホールド・コンデンサ(C_{SAMPLE})に接続され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアキュイジション・フェーズでは、150nsの最小遅延時間により、サンプル&ホールド・コンデンサがアナログ入力を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} コンデンサをグランドにスイッチして、アナログ入力電荷をコンパレータ

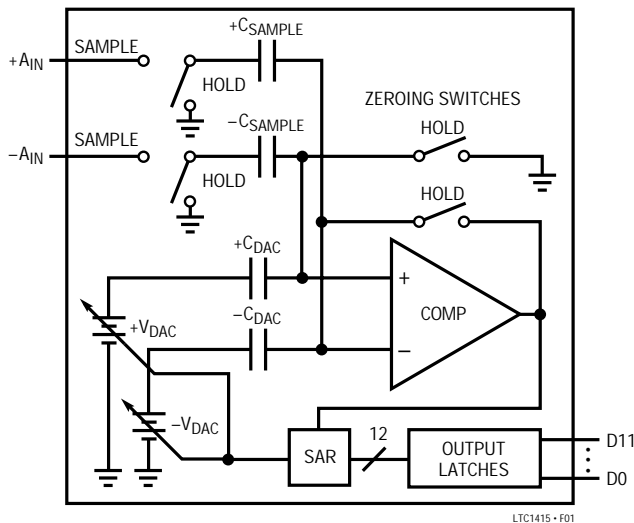


図1. 簡略ブロック図

の加算点に送ります。この入力電荷は、微分容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、差動DAC出力は $+A_{IN}$ および $-A_{IN}$ 入力電荷とバランスします。 A_{IN+} と A_{IN-} の差を表すSAR成分(12ビット・データ・ワード)が12ビット出力ラッチにロードされます。

ダイナミック特性

LTC1415は非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2に、標準的なLTC1415のFFTプロットを示します。

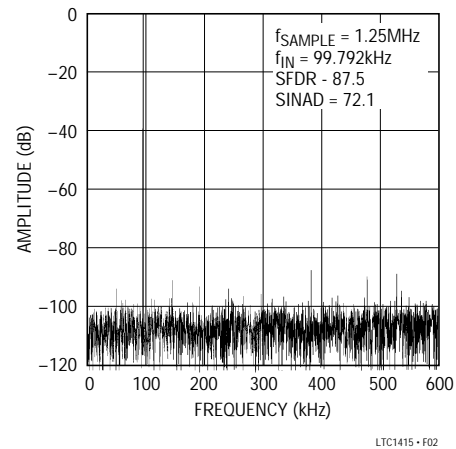


図2. LTC1415の非平均化4096点FFTプロット

SN比

SN + 歪み比 $S/(N + D)$ つまり SINAD は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2に1.25MHzのサンプリング・レートと100kHz入力での標準スペクトル成分を示します。ダイナミック特性は入力周波数が625kHzのナイキスト限界まで良好です。

アプリケーション情報

有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり $S(N+D)$ に直接関係します。

$$N = [S(N+D) - 1.76] / 6.02$$

ここで、Nは分解能の有効ビット数であり、 $S(N+D)$ はdBで表されます。1.25MHzの最大サンプリング・レートで、LTC1415は625kHzのナイキスト入力周波数まで、非常に良好なENOBを維持します(図3を参照)。

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定され

ます。THDは次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_N は第2高調波から第N高調波の振幅です。THDと入力周波数の関係を図4に示します。LTC1415は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

混変調歪み

ADC入力信号が2つ以上のスペクトル成分からなるときには、ADC伝達関数の非直線性によって、THDに加え

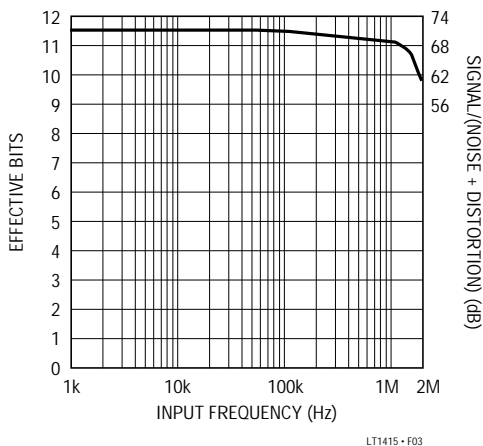


図3. 有効ビットおよび $S(N+D)$ と入力周波数

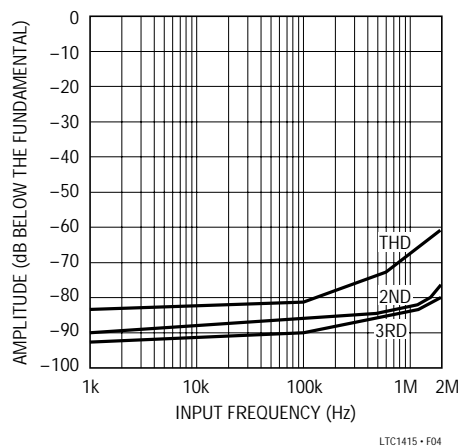


図4. 歪みと入力周波数

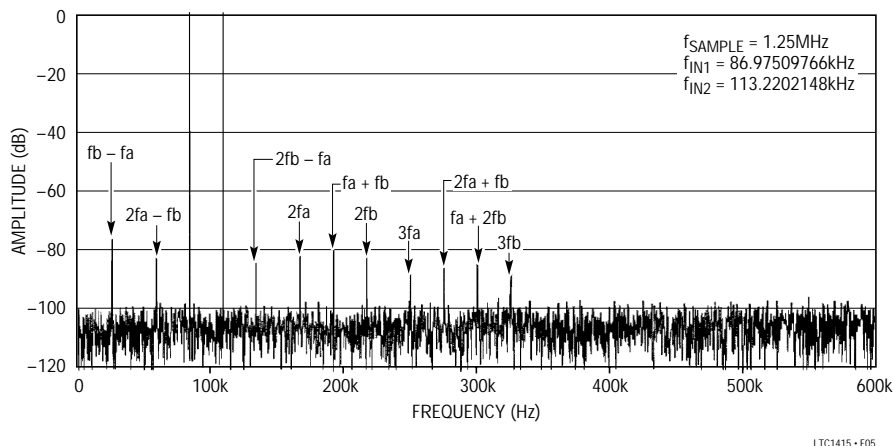


図5. 混変調歪みプロット

アプリケーション情報

て混変調 (IMD) が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見れたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $mf_a \pm nf_b$ に歪み成分が形成されます。たとえば、2次IMDの項は $(f_a + f_b)$ と $(f_a - f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値 (dB) は次式で表すことができます。

$$\text{IMD}(f_a \pm f_b) = 20\text{Log} \frac{(f_a \pm f_b)\text{の振幅}}{f_a\text{の振幅}}$$

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

フルパワーおよび最大直線帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。最大直線帯域幅は、 $S/(N + D)$ が68dB(有効ビット11ビット)に低下する入力周波数です。

LTC1415はADCが入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができるように設計されています。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S/(N + D)$ では歪みが大きな部分を占めます。

アナログ入力のドライブ

LTC1415の差動アナログ入力は簡単にドライブできます。入力は差動、あるいはシングルエンド入力として(すなわち、 $-A_{IN}$ 入力を接地)ドライブ可能です。 $+A_{IN}$ 入力と $-A_{IN}$ 入力は同時にサンプリングされます。両方の入力に同相となる不要な信号は、サンプル&ホールド回路の同相除去比によって低減されます。入力電流は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを生じます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1415入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、

アキュイジション・タイムも増加します(図6参照)。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリング時間が150nsであること)。

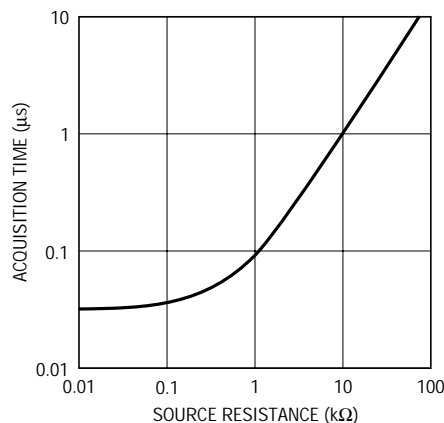


図6. アキュイジション・タイムとソース抵抗

入力アンプの選択

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。まず、サンプリング・コンデンサを充電する際にアンプで発生する電圧スパイクの振幅を制限するために、閉ループ帯域幅周波数で低い出力インピーダンス(100以下)をもつアンプを選択します。たとえば、+1の利得と50MHzのユニティゲイン帯域幅をもつアンプを使用した場合、50MHzでの出力インピーダンスは、100以下でなければなりません。もう1つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ帯域幅が20MHz以上でなければならないことです。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くとることができます。

LTC1415ををドライブするための最適なオペアンプの選択は、アプリケーションに依存します。一般に、アプリケーションは次の2つに分類されます。ダイナミック仕様が最も重要なACアプリケーションと、DC精度とセトリング・タイムが最も重要なタイム・ドメイン・アプリケーションです。

アプリケーション情報

以下のリストはLTC1415をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT®1215/LT1216：デュアルおよびクワッド、23MHz、50V/μs単一電源オペアンプ。単一5V～±15V電源、6.6mA仕様、0.5LSBへのセトリング・タイム90nsのセトリング。

LT1223：100MHzビデオ電流帰還アンプ。±5V～±15V電源、6mAの電源電流。400kHzまでおよびそれ以上で低歪み。低ノイズ。ACアプリケーションに最適。

LT1227：140MHzビデオ電流帰還アンプ。±5V～±15V電源、消費電流10mA。400kHz以上の周波数で歪みが最小。低ノイズ。ACアプリケーションに最適。

LT1229/LT1230：デュアルおよびクワッド100MHz電流帰還アンプ。±2V～±15V電源、各アンプの消費電流6mA。低ノイズ。良好なACスペック。

LT1360：37MHz電圧帰還アンプ。±5V～±15V電源。消費電流3.8mA。良好なACおよびDCスペック。0.5LSBへのセトリング・タイム70ns。

LT1363：50MHz、450V/μsオペアンプ。±5V～±15V電源。消費電流6.3mA。良好なACおよびDCスペック。0.5LSBへのセトリング・タイム60ns。

LT1364/LT1365：デュアルおよびクワッド50MHz、450V/μsオペアンプ。±5V～±15V電源、1アンプ当たり消費電流6.3mA。0.5LSBへのセトリング・タイム60ns。

入力フィルタリング

入力アンプおよび他の回路のノイズと歪みがLTC1415のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル&ホールド回路の小信号帯域幅は20MHzです。アナログ入力に現れるノイズまたは歪み成分は、この全帯域幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。多くのアプリケーションで、単純な1ポールRCフィルタで十分です。たとえば、図7は+ A_{IN} からグラウンドに1000pFコンデンサと100のソース抵抗を接続すると、入力帯域幅が1.6MHzに制限されることを示します。また、1000pFコンデンサは入力サンプル&ホールドのための電荷貯蔵庫として働き、ADC入

LinearViewはリニアテクノロジー社の商標です。

力をグリッチの影響を受けやすいサンプリング回路から切り離します。コンデンサと抵抗は歪みを増大させる可能性があるため、これらの部品には高品質なものを使用しなければなりません。NPOとシルバ・マイカ型誘電体コンデンサは優れた直線性を備えています。また、カーボン表面実装抵抗は、自己加熱や半田付け中に生じる損傷から歪みを生じることがあります。金属皮膜表面実装抵抗はこれらの問題の影響を受けにくいものです。

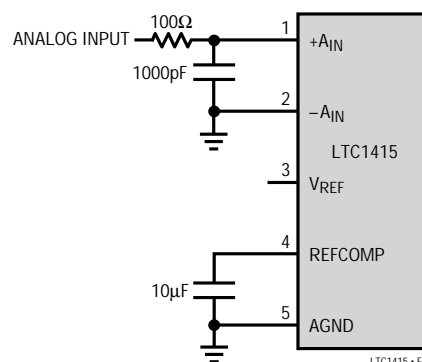


図7. RC入力フィルタ

入力範囲

LTC1415の4.096V入力範囲は、ノイズと歪みが低くなるように最適化されています。大部分の高性能オペアンプもこの範囲で最適に動作するため、アナログ入力への直接結合が可能で、特殊な変換回路は必要ありません。

アプリケーションによっては、他の入力範囲が必要です。LTC1415の差動入力とリファレンス回路は、多くの場合、回路をほとんどあるいはまったく追加しなくても、他の入力レンジに対応できます。以下の項ではリファレンスおよび入力回路と、それらが入力範囲に与える影響について述べます。

内部リファレンス

LTC1415は温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは2.500Vに調整されています。このリファレンスは内部でリファレンス・アンプに接続され、 V_{REF} (ピン3)から外部に引き出されています。図8aを参照してください。2kの抵抗が出力と直列に接続されているため、外部リファレンスまたは他の回路で簡単にオーバドライブできます。リファレンス・アンプは、 V_{REF} ピンの電圧を1.638倍

アプリケーション情報

に増幅して、必要な4.096Vの内部リファレンス電圧を生成します。これによって、 V_{REF} ピンと高速容量性DAC間にバッファリングを提供します。リファレンス・アンプ補償ピン(REFCOMP、ピン4)は、コンデンサでグラウンドにバイパスしなければなりません。リファレンス・アンプは1 μ F以上のコンデンサで安定動作します。最高のノイズ性能を得るために、10 μ Fのセラミック・コンデンサか10 μ Fのタンタル・コンデンサと並列に0.1 μ Fのセラミック・コンデンサを接続することを推奨しています。

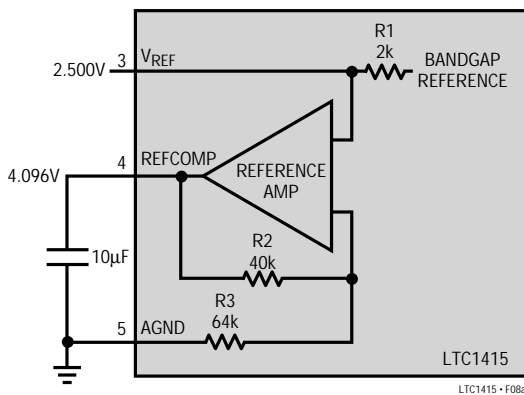


図8a. LTC1415のリファレンス回路

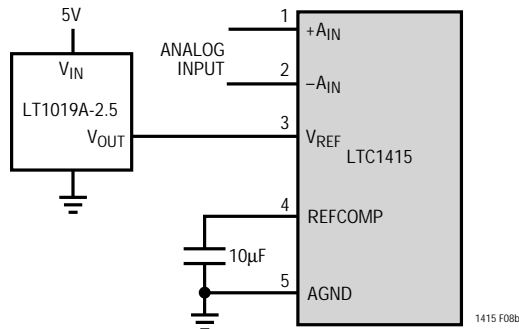


図8b. LT1019-2.5を外部リファレンスとして使用

V_{REF} ピンは、図9に示すとおり、DACまたは他の方法でドライブすることができます。これはピーク入力信号振幅が変動する可能性があるアプリケーションに役立ちます。ADCの入力スパンを調整してピーク入力信号に一致させ、SN比を最大限に高めることができます。内部LTC1415リファレンス・アンプのフィルタリングにより、この回路の帯域幅とセトリング・タイムが制限され

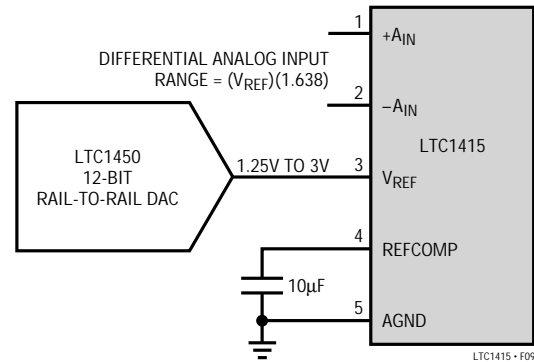


図9. DACでの V_{REF} のドライブによるフルスケールの調整

ます。リファレンス調整の後、5msのセトリング・タイムを設ける必要があります。

差動入力

LTC1415はユニークな差動サンプル&ホールド回路を備え、レール・トゥ・レール入力が可能です。ADCは同相電圧に関係なく、常に $+A_{IN} - (-A_{IN})$ の差を変換します。同相除去は、DCから1MHzまで一定です。図10を参照してください。唯一の要求条件は、両方の入力がある V_{DD} または $AGND$ 電源電圧を超えてはならないことです。積分非直線性誤差(INL)と微分直線性誤差(DNL)は、同相電圧とは無関係ですが、バイポーラ・ゼロ誤差(BZE)は変動します。BZEの変化は、標準で同相電圧の0.1%未満です。差動入力は、異なる入力範囲を受け入れることができ柔軟性が高くなっています。

図10bは入力範囲を上にも200mVだけシフトする回路です。これはADC入力をドライブするアンプが、出力負荷またはセトリング・タイムの問題のために、グラウンドまで振幅できないアプリケーションで役立つ場合があります。

ACアプリケーションによっては、歪みによって性能が制限される可能性があります。ほとんどの回路では、信号が電源電圧またはグラウンドに近づく、歪みが大きくなります。歪みは信号振幅を低減し、同相電圧をほぼ電源電圧の中間に維持すれば低減できる可能性があります。図10cの回路は、ADCのフルスケールを4.096Vから

アプリケーション情報

2.048Vに低減し、同相電圧をフルスケールの半分から2.274Vにシフトします。

AC結合入力

アナログ入力は、入力がDC情報がないアプリケーションではAC結合することが可能です。ADCの入力は中間

スケールでDCバイアスする必要があります。図10dと図10eに、AC結合を必要なバイアス方法を示します。図10dは4.096Vのフルスケール、2.048Vの同相電圧、および0Vから4.096Vまで振幅する入力をもつADCを示します。この回路ではノイズは最低 SINAD = 72dB 100kHzまで)ですが、高い入力周波数で歪みが制限されます

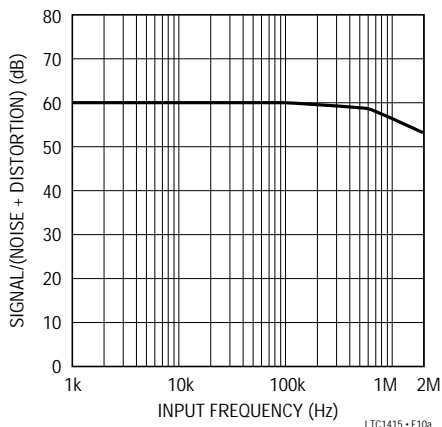


図10a. CMRRと入力周波数

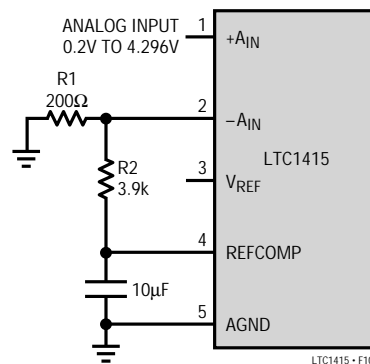


図10b. 入力範囲をグラウンドから200mVだけ上へシフト

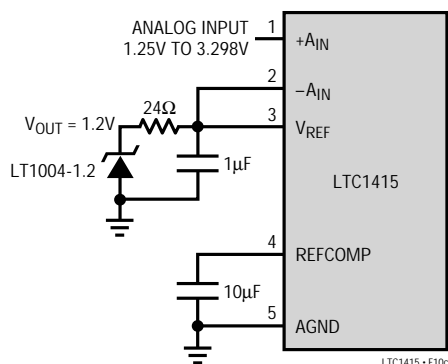


図10c. 同相電圧が2.274Vの2.048V入力範囲。低歪みACアプリケーション用

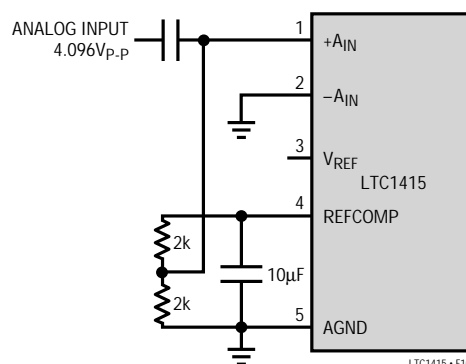


図10d. AC結合での4.096V_{p-p}入力範囲。低ノイズACアプリケーション用

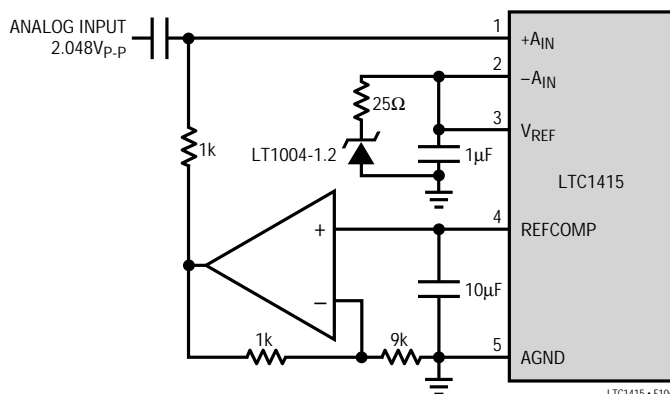


図10e. AC結合での2.048V_{p-p}入力範囲。低歪みACアプリケーション用

アプリケーション情報

(600kHzでTHD = 75dB)。図10eのADCでは、フルスケールが2.048Vで同相電圧は2.27Vです。この回路では信号振幅が低減されており、より高い入力周波数において歪みが改善されています(600kHzでTHD = 82dB)が、低い周波数ではSINADが最悪(100kHzでのSINAD = 70dB)です。

フルスケールおよびオフセットの調整

図11aにLTC1415の理想的な入出力特性を示します。コード遷移は連続する整数のLSB値の間(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS - 1.5LSB、FS - 0.5LSB)に現れます。出力コードは、1LSB = $FS/4096 = 4.096V/4096 = 1mV$ の自然バイナリです。

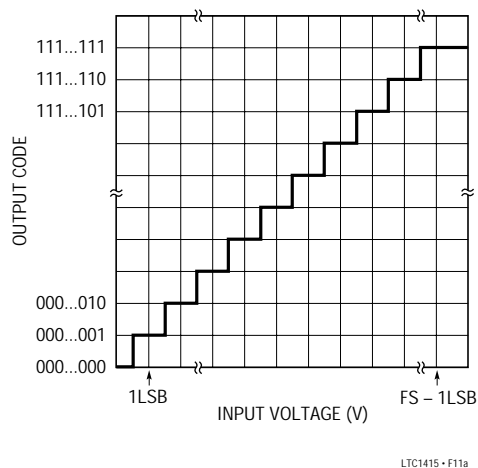


図11a. LTC1415伝達特性

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図11bにフルスケール誤差の調整に必要な追加部品を示します。ゼロ・オフセットは、 $-A_{IN}$ 入力に印加されるオフセットを調整して達成されます。

オフセット誤差をゼロにするには、0.5mV(すなわち、0.5LSB)を $+A_{IN}$ に印加し、出力コードが0000 0000 0000と0000 0000 0001の間で変化するまで、 $-A_{IN}$ 入力(R8)のオフセットを調整します。フルスケール調整を行うには、4.0945V(FS - 1.5LSB)の入力電圧をアナログ入力に

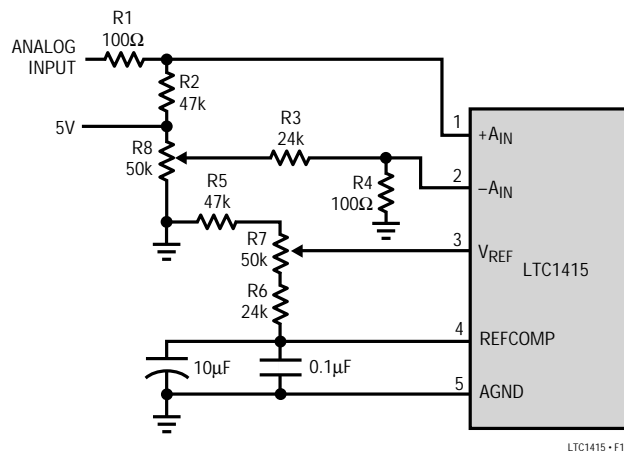


図11b. オフセットおよびフルスケール調整回路

印加し、出力コードが1111 1111 1110と1111 1111 1111の間で変化するまでR7を調整します。

ボード・レイアウトと接地

高分解能または高速A/Dコンバータには、ワイヤラップ・ボードは使用しないでください。LTC1415から最適な性能を引き出すには、グラウンド・プレーン付きのPCボードが必要です。ADC領域の下のグラウンド・プレーンは、すべてのADCグラウンド間が低インピーダンス・パスになり、すべてのADCデカップリング・コンデンサが提供されるよう、できるだけ亀裂や穴がないようにしなければなりません。デジタル・ノイズがアナログ入力、リファレンス、またはアナログ電源ラインに結合されるのを防止することが重要です。レイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にアナログ信号トラックに沿って、デジタル・トラックを走らせないように注意してください。

ロジックのシステム・グラウンドから離れたアナログ・グラウンド・プレーンを、ADCの下またはADCの近くに設けなければなりません。ピン5 (AGND)、ピン14、およびピン19 (ADCのDGND)他のすべてのアナログ・グラウンドは、この1つのアナログ・グラウンド・ポイントに接続してください。また、REFCOMPバイパス・コンデンサと DV_{DD} バイパス・コンデンサもこのアナログ・グラウンド・プレーンに接続します。他のデジタル・グラウンドをこのアナログ・グラウンド・プレーンに接続してはなりません。このADCを低ノイズで動作させるのに、低インピーダンスのアナログおよび

アプリケーション情報

デジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

LTC1415はノイズの結合を最小限に抑えるために差動入力を備えています。+ A_{IN} と- A_{IN} リードの同相ノイズは入力CMRRによって除去されます。- A_{IN} 入力を+ A_{IN} 入力のグランド・センスとして使用することができます。LTC1415は+ A_{IN} と- A_{IN} 間の電圧差を保持し変換します。+ A_{IN} (ピン1)と- A_{IN} (ピン2)へのリードは、できる限り短くしなければなりません。これが可能でないアプリケーションでは、+ A_{IN} および- A_{IN} トレースを平行に走らせて、結合を等しくしなければなりません。

電源のバイパス

V_{DD} ピンとREFCOMPピンには、本データシートの最初のページにある標準的応用例に示すように、高品質で低直列抵抗のセラミックの10 μ Fバイパス・コンデンサを使用してください。村田製作所製GRM235Y5V106Z016などの表面実装セラミック・コンデンサは、小さなボード・スペースで優れたバイパスを提供します。あるいは、10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して使用することもできます。これらのコンデンサはできる限りピンの近くに配置します。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

レイアウト例

図13a、13b、13c、13dは、推奨評価ボードの回路図とレイアウトを示します。レイアウトは、2層PCボードでのデカップリング・コンデンサとグランド・プレーンの正しい使い方を示しています。

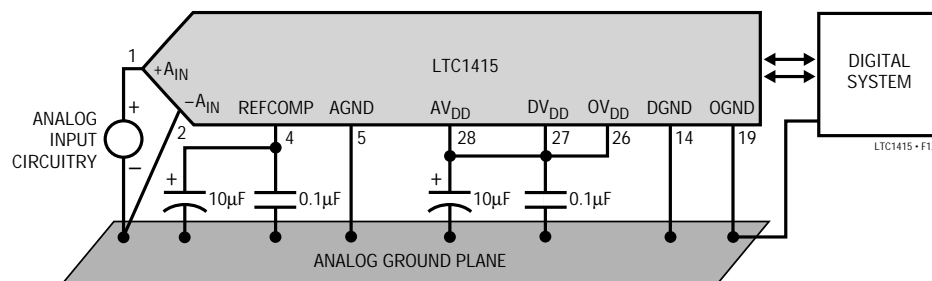
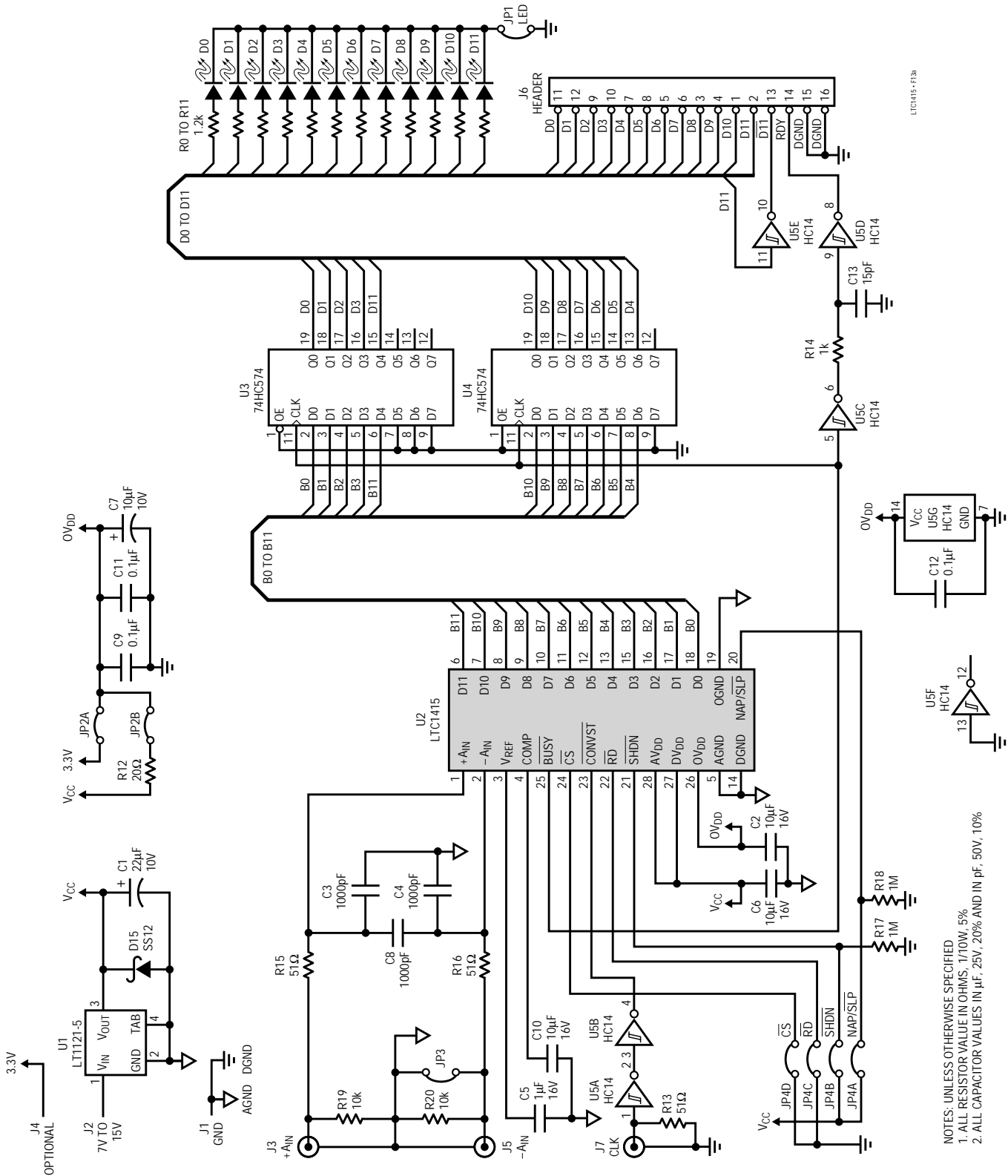


図12. 電源グランドの実際

アプリケーション情報



NOTES: UNLESS OTHERWISE SPECIFIED
 1. ALL RESISTOR VALUE IN OHMS, 1/10W, 5%
 2. ALL CAPACITOR VALUES IN μF, 25V, 20% AND IN pF, 50V, 10%

図13a. 推奨評価回路図

アプリケーション情報

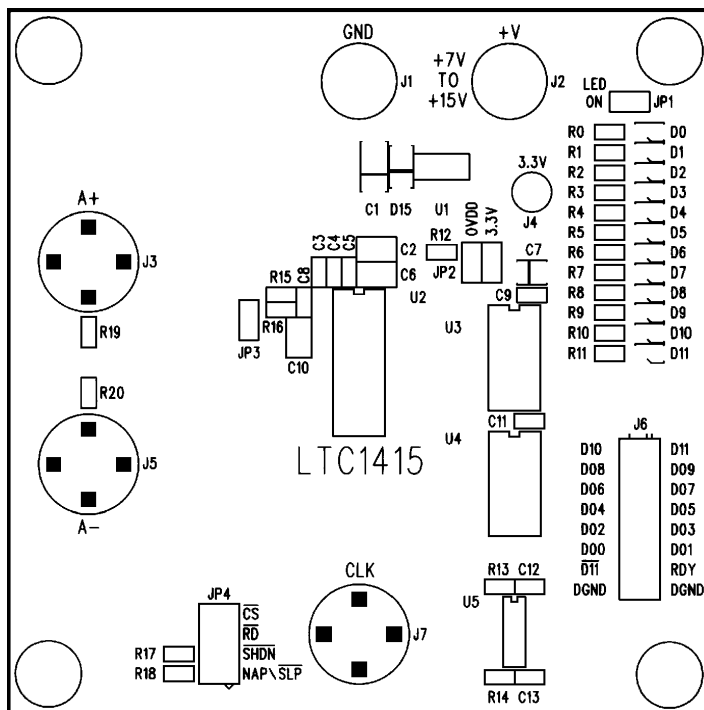


図13b. 推奨評価回路ボード部品面のシルクスクリーン

6

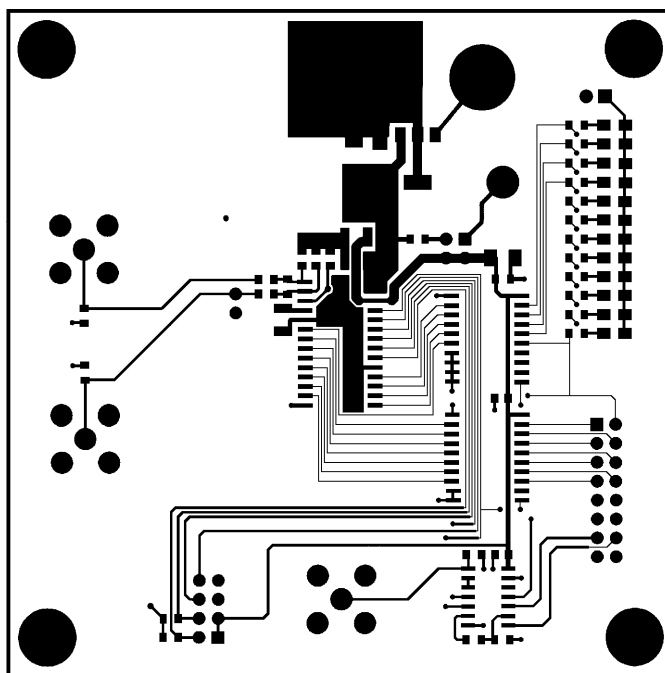


図13c. 推奨評価回路ボード部品面のレイアウト

アプリケーション情報

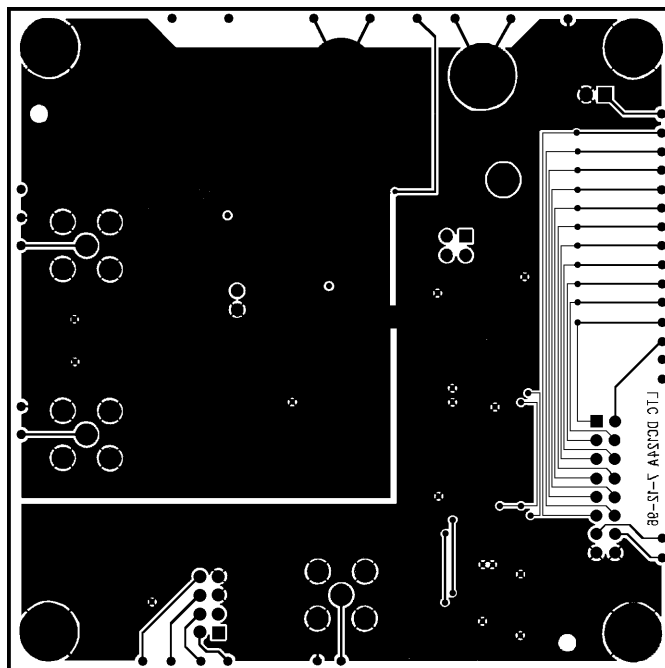


図13d. 推奨評価回路ボード半田面のレイアウト

デジタル・インタフェース

このA/Dコンバータは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 \overline{CS} および \overline{RD} コントロール入力は、すべての周辺メモリ・インタフェースに共通です。別々の \overline{CONVST} を使用して、変換を開始します。

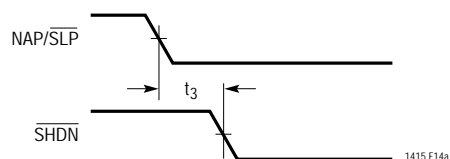
内部クロック

このA/Dコンバータには内部クロックがあり、他のADCのように外部クロックと \overline{CS} および \overline{RD} 信号間で同期をとる必要はありません。内部クロックは標準変換時間 $0.70\mu\text{s}$ 、および全動作温度範囲における最大変換時間 $0.75\mu\text{s}$ を達成するように製造時に調整されています。外部調整は不要です。保証最大アキュリション・タイムは 150ns です。加えて、 800ns のスループット時間と 1.25MSPS の最小サンプリング・レートが保証されます。

電源シャットダウン

LTC1415にはナップとスリープの2つのパワー・シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が87%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナッ

プからアクティブになるまでのウェイクアップ時間は 200ns です。図14aに示すセットアップ時間に従い、誤ってスリープ・モードを起動するのを避けてください。スリープ・モードでは、すべてのバイアス電流がシャットダウンされ、リーク電流は約 $1\mu\text{A}$ のままです。スリープ・モードからのウェイクアップ時間は、リファレンス回路が立ち上がった後に、完全12ビット精度では0.01%にセトリングしなければならないため、より低速になります。スリープ・モードのウェイクアップ時間は、 $\overline{REFCOMR}$ (ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨される $10\mu\text{F}$ コンデンサでは 10ms です。シャットダウンはピン21(\overline{SHDN})で制御され、 \overline{SHDN} が“L”のときにADCはシャットダウン状態になっています。シャットダウン・モードはピン20($\overline{NAP/SLP}$)で選択され、“H”のときナップを選択します。

図14a. $\overline{NAP/SLP}$ から \overline{SHDN} のタイミング

アプリケーション情報

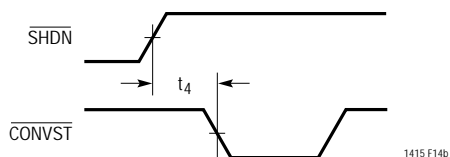


図14b. SHDNからCONVSTのウェイクアップ・タイミング

タイミングとコントロール

変換開始およびデータ読み込み動作は、 $\overline{\text{CONVST}}$ 、 $\overline{\text{CS}}$ 、および $\overline{\text{RD}}$ の3つのデジタル入力によってコントロールされます。 $\overline{\text{CONVST}}$ ピンにロジック“0”を印加すると、ADCが選択された後(すなわち、 $\overline{\text{CS}}$ が“L”)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは $\overline{\text{BUSY}}$ 出力で表示され、変換実行中この出力は“L”になっています。

図16～図20に、いくつかの異なる動作モードを示します。モード1aと1b(図16と18)では、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ は両方とも“L”に接続されます。 $\overline{\text{CONVST}}$ の立下りエッジで変換を開始します。データ出力は常にインエーブルされ、データは $\overline{\text{BUSY}}$ の立上りエッジでラッチすることができます。モード1aは、幅の狭いロジック“L”の $\overline{\text{CONVST}}$ パルスによる動作を示します。モード1bは、幅の狭いロジック“H”の $\overline{\text{CONVST}}$ パルスによる動作を示します。

モード2(図18)では、 $\overline{\text{CS}}$ は“L”に接続されます。 $\overline{\text{CONVST}}$ 信号の立下りエッジで再び変換を開始します。データ出力は、MPUが $\overline{\text{RD}}$ 信号で読み出すまでスリーステートになっています。モード2は、共有MPUデータ・バスでの動作に使用できます。

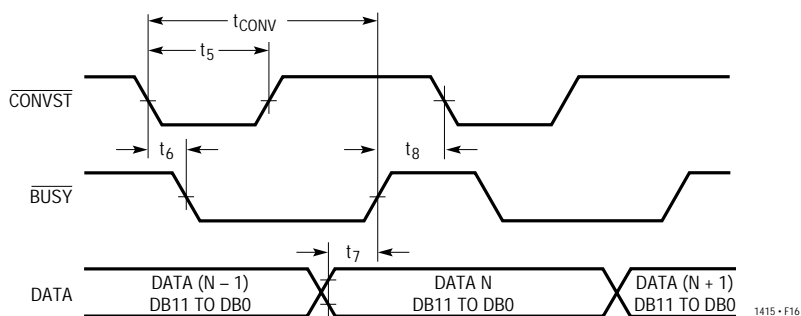


図16. モード1aでのCONVSTによる変換の開始。データ出力は常時インエーブル。

低速メモリ・モードおよびROMモード(図19と図20)では、 $\overline{\text{CS}}$ は“L”に接続され、 $\overline{\text{CONVST}}$ と $\overline{\text{RD}}$ は連結されます。MPUは変換を開始して、 $\overline{\text{RD}}$ 信号で出力を読み出します。変換はMPUまたはDSP(外部サンプル・クロックではなく)によって開始されます。

低速メモリ・モードでは、プロセッサは $\overline{\text{RD}}$ ($=\overline{\text{CONVST}}$)にロジック“L”を印加します。 $\overline{\text{BUSY}}$ が“L”になり、プロセッサを強制的にWAIT状態にします。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。 $\overline{\text{BUSY}}$ が“H”になって、プロセッサを解放すると、プロセッサは $\overline{\text{RD}}$ ($=\overline{\text{CONVST}}$)を“H”に戻して、新しい変換データを読み出します。

ROMモードでは、プロセッサは $\overline{\text{RD}}$ ($=\overline{\text{CONVST}}$)を“L”にして変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果を読み出して、別の変換を開始することができます。

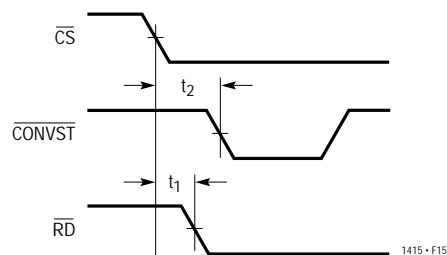
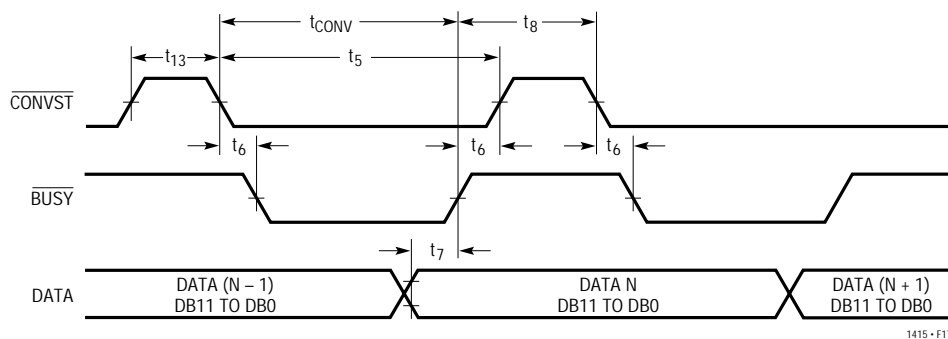


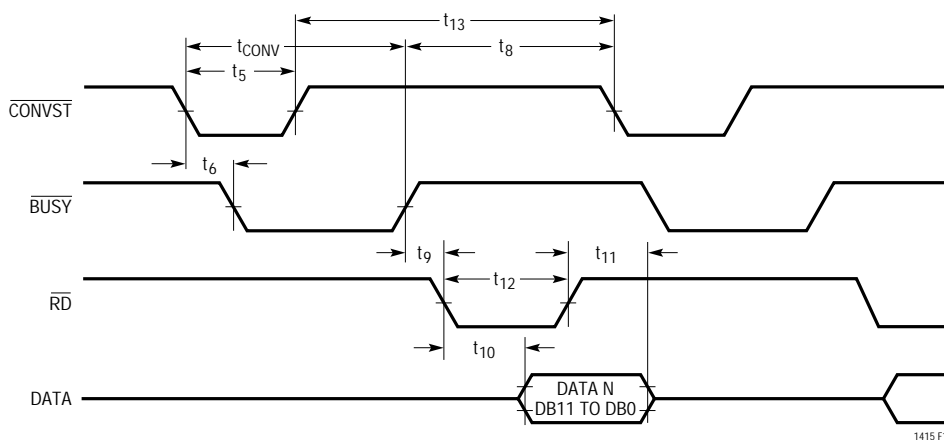
図15. CSからCONVSTのセットアップ・タイミング

アプリケーション情報



1415-F17

図17. モード1bでの $\overline{\text{CONVST}}$ による変換の開始。 $\overline{\text{RD}}$ でデータの読み出し。



1415-F18

図18. モード2での $\overline{\text{CONVST}}$ による変換の開始。 $\overline{\text{RD}}$ でデータの読み出し。

アプリケーション情報

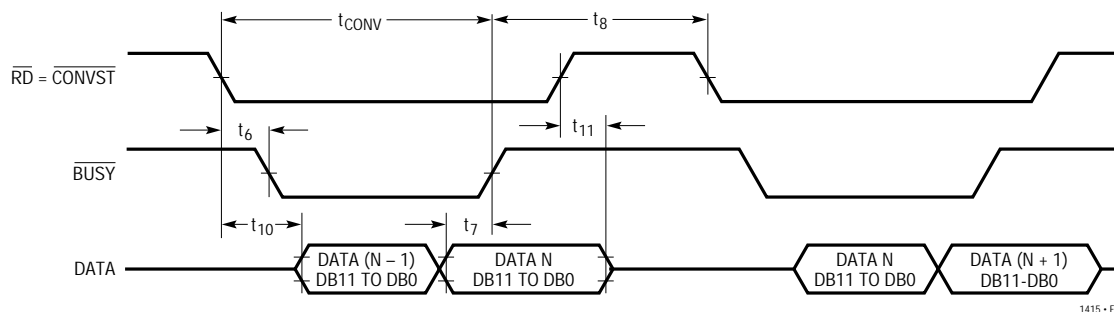


図19. 低速メモリ・モード・タイミング

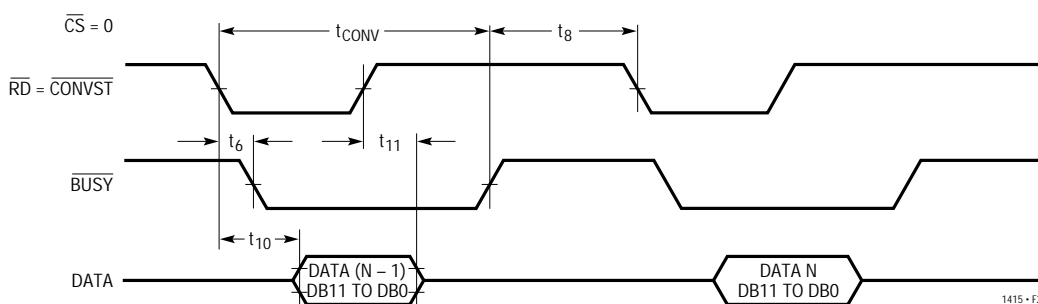


図20. ROMモード・タイミング

関連製品

PART NUMBER	DESCRIPTION	COMMENTS
LTC1273/75/76	Complete 5V Sampling 12-Bit ADCs with 70dB SINAD at Nyquist	Lower Power 75mW and Cost Effective for $f_{\text{SAMPLE}} \leq 300\text{ksp}$ s
LTC1274/77	Low Power 12-Bit ADCs with Nap and Sleep Mode Shutdown	Lowest Power (10mW) for $f_{\text{SAMPLE}} \leq 100\text{ksp}$ s
LTC1278/79	High Speed Sampling 12-Bit ADCs with Shutdown	Cost Effective 12-Bit ADCs with Convert Start Input Best for 300ksp s < $f_{\text{SAMPLE}} \leq 600\text{ksp}$ s
LTC1282	Complete 3V 12-Bit ADC with 12mW Power Dissipation	Fully Specified for 3V-Powered Applications, $f_{\text{SAMPLE}} \leq 140\text{ksp}$ s
LTC1409	Low Power 12-Bit, 800ksp Sampling ADC	Best Dynamic Performance, $f_{\text{SAMPLE}} \leq 800\text{ksp}$ s, 80mW Dissipation
LTC1410	12-Bit, 1.25Msp Sampling ADC with Shutdown	Best Dynamic Performance, THD = 84 and SINAD = 71 at Nyquist
LTC1419	14-Bit, 800ksp Sampling ADC	81.5dB SINAD, 150mW from $\pm 5\text{V}$ Supplies
LTC1605	16-Bit, 100ksp Sampling ADC	Single Supply, $\pm 10\text{V}$ Input Range, Low Power