

特長

- サンプル・レート：1.25Msps
- 消費電力：160mW
- ナイキスト入力周波数にて71dB S/(N+D) および82dB THD
- パイプライン遅延なし
- ナップ(7mW)およびスリープ(10μW)シャットダウン・モード
- 内部リファレンス(15ppm/)または外部リファレンスで動作
- 真の差動入力によりコモンモード・ノイズを除去
- 20MHzのフルパワー・バンド幅
- ±2.5Vのバイポーラ入力範囲
- 28ピンSOワイド・パッケージ

アプリケーション

- テレコム
- デジタル信号処理
- 多チャンネル・データ収集システム
- 高速データ変換
- スペクトル分析
- イメージング・システム

概要

LTC[®]1410は、0.65μs、1.25Mspsサンプリング12ビットA/Dコンバータです。±5V電源で動作し、消費電力はわずか160mWです。このデバイスは使いやすく、広いダイナミック・レンジをもつサンプル&ホールド、高精度リファレンスを備えており、外部部品は一切不要です。2つのデジタル的に選択可能なパワー・シャットダウン・モードがあり、低消費電力システムに柔軟に対応します。

LTC1410のフルスケール入力範囲は±2.5Vです。DCスペックの最大値には、全温度範囲での±1LSB INLと±1LSB DNLが含まれます。625kHzのナイキスト入力周波数での71dB S/(N+D)および82dB THDなど、卓越したAC性能を実現しています。

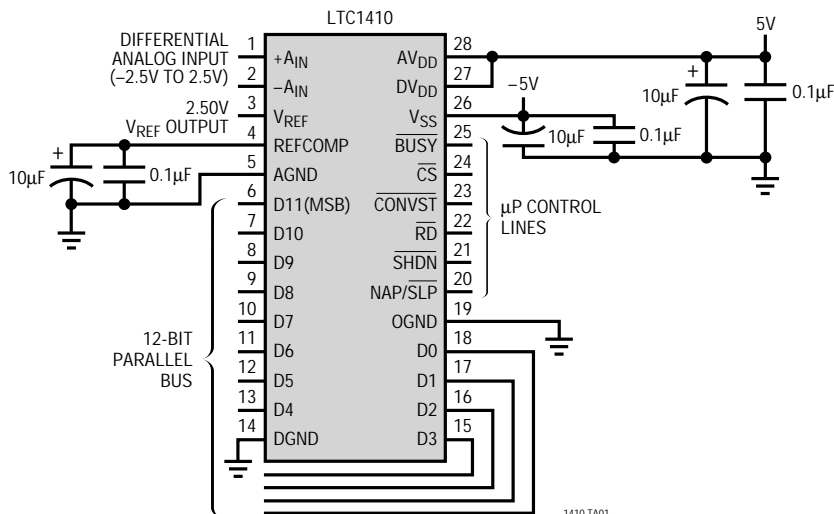
ユニークな差動入力サンプル&ホールドにより、20MHzバンド幅までシングルエンドまたは差動入力信号を得ることができます。また、60dBの同相除去を実現しているため、ユーザはソースから差動的に信号を測定することにより、グラウンド・ループと同相ノイズを除去できます。

このADCにはμPコンパチブル、12ビットの平行出力ポートがあります。変換結果にはパイプライン遅延がありません。変換スタート入力とデータレディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。

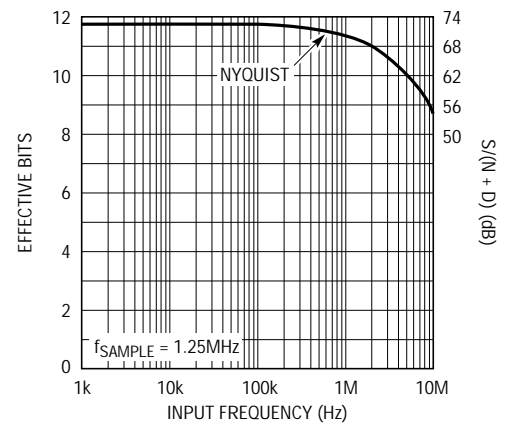
LT、LTC、LTはリニアテクノロジー社の登録商標です。

TYPICAL APPLICATION

Complete 1.25MHz, 12-Bit Sampling A/D Converter



Effective Bits and Signal-to-(Noise + Distortion) vs Input Frequency



ABSOLUTE MAXIMUM RATINGS

 $AV_{DD} = DV_{DD} = V_{DD}$ (Notes 1, 2)

Supply Voltage (V_{DD})	6V
Negative Supply Voltage (V_{SS})	-6V
Total Supply Voltage (V_{DD} to V_{SS})	12V
Analog Input Voltage (Note 3)	$V_{SS} - 0.3V$ to $V_{DD} + 0.3V$
Digital Input Voltage (Note 4)	$V_{SS} - 0.3V$ to 10V
Digital Output Voltage	-0.3V to $V_{DD} + 0.3V$
Power Dissipation	500mW
Operating Temperature Range	
LTC1410C	0°C to 70°C
LTC1410I	-40°C to 85°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION

TOP VIEW		ORDER PART NUMBER
+AIN	1	28 AV _{DD}
-AIN	2	27 DV _{DD}
V _{REF}	3	26 V _{SS}
REFCOMP	4	25 \overline{BUSY}
AGND	5	24 \overline{CS}
D11(MSB)	6	23 \overline{CONVST}
D10	7	22 \overline{RD}
D9	8	21 \overline{SHDN}
D8	9	20 NAP/ \overline{SLP}
D7	10	19 OGND
D6	11	18 D0
D5	12	17 D1
D4	13	16 D2
DGND	14	15 D3

G PACKAGE SW PACKAGE
28-LEAD PLASTIC SSOP 28-LEAD PLASTIC SO WIDE

$T_{JMAX} = 110^{\circ}C, \theta_{JA} = 90^{\circ}C/W$ (SW)
 $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 95^{\circ}C/W$ (G)

LTC1410CG
LTC1410CSW
LTC1410IG
LTC1410ISW

Consult factory for Military grade parts.

CONVERTER CHARACTERISTICS With Internal Reference (Notes 5, 6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 7)	●	±0.3	±1	LSB
Differential Linearity Error		●	±0.3	±1	LSB
Offset Error	(Note 8)	●	±2	±6 ±8	LSB LSB
Full-Scale Error				±15	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$	●	±15		ppm/°C

ANALOG INPUT (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 9)	$4.75V \leq V_{DD} \leq 5.25V, -5.25V \leq V_{SS} \leq -4.75V$	●	±2.5		V
I_{IN}	Analog Input Leakage Current	$\overline{CS} = \text{High}$	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions During Conversions		17 5		pF pF
t_{ACQ}	Sample-and-Hold Acquisition Time		●	50	100	ns
t_{AP}	Sample-and-Hold Aperture Delay Time			-1.5		ns
t_{jitter}	Sample-and-Hold Aperture Delay Time Jitter			5		ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio	$-2.5V < (-A_{IN} = A_{IN}) < 2.5V$		60		dB

DYNAMIC ACCURACY (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	100kHz Input Signal (Note 12)	●	70	72.5	dB	
		600kHz Input Signal (Note 12)	●	68	71.0	dB	
THD	Total Harmonic Distortion	100kHz Input Signal, First 5 Harmonics	●		-85	dB	
		600kHz Input Signal, First 5 Harmonics	●		-82	-74	dB
	Peak Harmonic or Spurious Noise	600kHz Input Signal	●		-84	-74	dB
IMD	Intermodulation Distortion	$f_{IN1} = 29.37\text{kHz}$, $f_{IN2} = 32.446\text{kHz}$			-84	dB	
	Full Power Bandwidth				20	MHz	
	Full Linear Bandwidth	(S/(N + D) \geq 68dB)			2.5	MHz	

INTERNAL REFERENCE CHARACTERISTICS (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.480	2.500	2.520	V
V_{REF} Output Tempco	$I_{OUT} = 0$		± 15		ppm/°C
V_{REF} Line Regulation	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}$ $-5.25\text{V} \leq V_{SS} \leq -4.75\text{V}$		0.01		LSB/V
V_{REF} Output Resistance	$ I_{OUT} \leq 0.1\text{mA}$		2		k Ω
COMP Output Voltage	$I_{OUT} = 0$		4.06		V

DIGITAL INPUTS AND DIGITAL OUTPUTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	●	2.4		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}	●		± 10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_O = -10\mu\text{A}$	●	4.5		V
		$I_O = -200\mu\text{A}$	●	4.0		V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$ $I_O = 160\mu\text{A}$	●	0.05		V
		$I_O = 1.6\text{mA}$	●	0.10	0.4	V
I_{OZ}	High-Z Output Leakage D11 to D0	$V_{OUT} = 0\text{V}$ to V_{DD} , \overline{CS} High	●		± 10	μA
C_{OZ}	High-Z Output Capacitance D11 to D0	\overline{CS} High (Note 9)	●		15	pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA

POWER REQUIREMENTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Positive Supply Voltage	(Notes 10, 11)		4.75	5.25	V
V_{SS}	Negative Supply Voltage	(Note 10)		-4.75	-5.25	V
I_{DD}	Positive Supply Current	$\overline{CS} = \overline{RD} = \overline{CONVST} = 5\text{V}$	●	12	16	mA
		Nap Mode $\overline{SHDN} = 0\text{V}$, $\overline{NAP/SLP} = 5\text{V}$		1.5	2.3	mA
		Sleep Mode $\overline{SHDN} = 0\text{V}$, $\overline{NAP/SLP} = 0\text{V}$		1	100	μA
I_{SS}	Negative Supply Current	$\overline{CS} = \overline{RD} = \overline{CONVST} = 5\text{V}$	●	20	30	mA
		Nap Mode $\overline{SHDN} = 0\text{V}$, $\overline{NAP/SLP} = 5\text{V}$		10	200	μA
		Sleep Mode $\overline{SHDN} = 0\text{V}$, $\overline{NAP/SLP} = 0\text{V}$		1	100	μA

POWER REQUIREMENTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
P _D	Power Dissipation			160	230	mW
	Nap Mode	$\overline{\text{SHDN}} = 0\text{V}$, $\text{NAP}/\overline{\text{SLP}} = 5\text{V}$		7.5	12	mW
	Sleep Mode	$\overline{\text{SHDN}} = 0\text{V}$, $\text{NAP}/\overline{\text{SLP}} = 0\text{V}$		0.01	1	mW

TIMING CHARACTERISTICS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SAMPLE(MAX)}	Maximum Sampling Frequency		●	1.25		MHz
t _{CONV}	Conversion Time		●	650	750	ns
t _{ACQ}	Acquisition Time		●	50	100	ns
t _{ACQ+CONV}	Throughput Time (Acquisition + Conversion)		●		800	ns
t ₁	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time	(Notes 9, 10)	●	0		ns
t ₂	$\overline{\text{CS}}\downarrow$ to $\overline{\text{CONVST}}\downarrow$ Setup Time	(Notes 9, 10)	●	10		ns
t ₃	$\text{NAP}/\overline{\text{SLP}}\downarrow$ to $\overline{\text{SHDN}}\downarrow$ Setup Time	(Notes 9, 10)	●	10		ns
t ₄	$\overline{\text{SHDN}}\uparrow$ to $\overline{\text{CONVST}}\downarrow$ Wake-Up Time	(Note 10)		200		ns
t ₅	$\overline{\text{CONVST}}$ Low Time	(Notes 10, 11)	●	40		ns
t ₆	$\overline{\text{CONVST}}$ to $\overline{\text{BUSY}}$ Delay	C _L = 25pF	●	10		ns
					50	ns
t ₇	Data Ready Before $\overline{\text{BUSY}}\uparrow$		●	20	35	ns
				15		ns
t ₈	Delay Between Conversions	(Note 10)	●	40		ns
t ₉	Wait Time $\overline{\text{RD}}\downarrow$ After $\overline{\text{BUSY}}\uparrow$	(Note 10)	●	-5		ns
t ₁₀	Data Access Time After $\overline{\text{RD}}\downarrow$	C _L = 25pF	●	15	25	ns
					35	ns
			●	20	35	ns
t ₁₁	Bus Relinquish Time	Commercial Industrial	●	8	20	ns
					25	ns
			●		30	ns
t ₁₂	$\overline{\text{RD}}$ Low Time		●	t ₁₀		ns
t ₁₃	$\overline{\text{CONVST}}$ High Time		●	40		ns
t ₁₄	Aperture Delay of Sample-and-Hold			-1.5		ns

The ● denotes specifications which apply over the full operating temperature range; all other limits and typicals T_A = 25°C.

Note 1: Absolute Maximum Ratings are those values beyond which the life of a device may be impaired.

Note 2: All voltage values are with respect to ground with DGND, OGND and AGND wired together unless otherwise noted.

Note 3: When these pin voltages are taken below V_{SS} or above V_{DD}, they will be clamped by internal diodes. This product can handle input currents greater than 100mA below V_{SS} or above V_{DD} without latchup.

Note 4: When these pin voltages are taken below V_{SS}, they will be clamped by internal diodes. This product can handle input currents greater than 100mA below V_{SS} without latchup. These pins are not clamped to V_{DD}.

Note 5: V_{DD} = 5V, V_{SS} = -5V, f_{SAMPLE} = 1.25MHz, t_r = t_f = 5ns unless otherwise specified.

Note 6: Linearity, offset and full-scale specifications apply for a single-ended +A_{IN} input with -A_{IN} grounded.

Note 7: Integral nonlinearity is defined as the deviation of a code from a straight line passing through the actual endpoints of the transfer curve. The deviation is measured from the center of the quantization band.

Note 8: Bipolar offset is the offset voltage measured from -0.5LSB when the output code flickers between 0000 0000 0000 and 1111 1111 1111.

Note 9: Guaranteed by design, not subject to test.

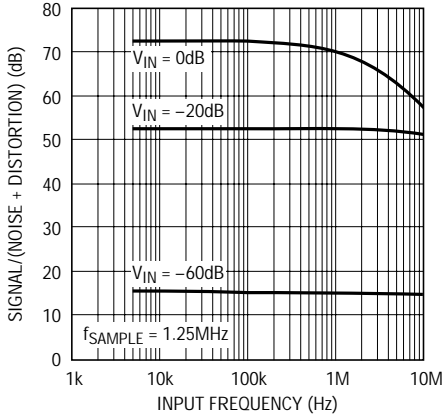
Note 10: Recommended operating conditions.

Note 11: The falling $\overline{\text{CONVST}}$ edge starts a conversion. If $\overline{\text{CONVST}}$ returns high at a critical point during the conversion it can create small errors. For best results ensure that $\overline{\text{CONVST}}$ returns high either within 425ns after the start of the conversion or after $\overline{\text{BUSY}}$ rises.

Note 12: Signal-to-noise ratio (SNR) is measured at 100kHz and distortion is measured at 600kHz. These results are used to calculate signal-to-noise plus distortion (SINAD).

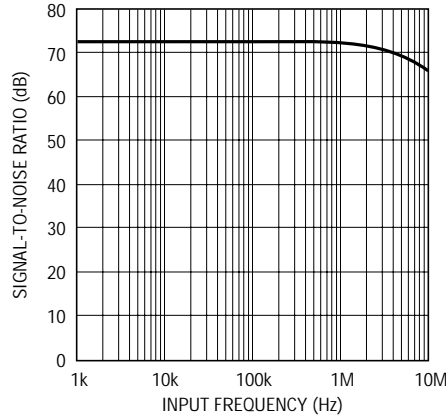
TYPICAL PERFORMANCE CHARACTERISTICS

S/(N + D) vs Input Frequency and Amplitude



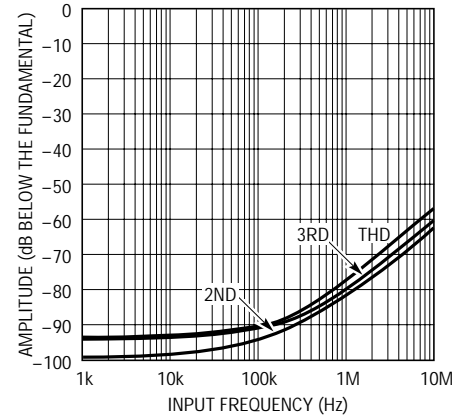
1410 G01

Signal-to-Noise Ratio vs Input Frequency



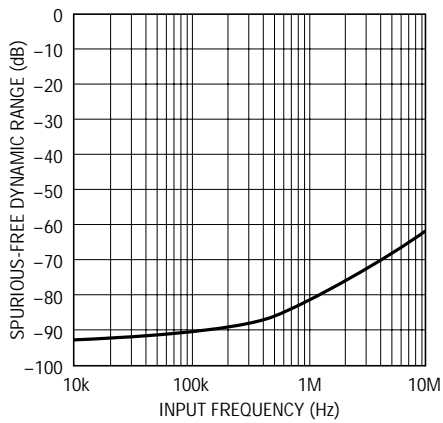
1410 G02

Distortion vs Input Frequency



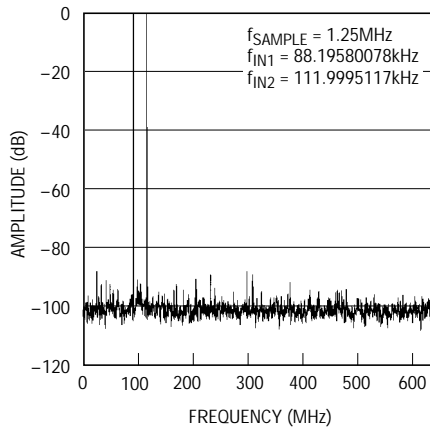
1410 G03

Spurious-Free Dynamic Range vs Input Frequency



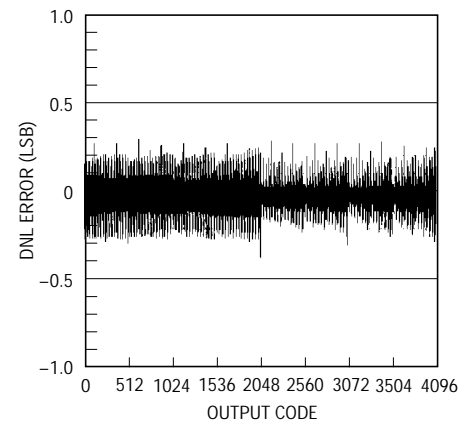
1410 G04

Intermodulation Distortion Plot



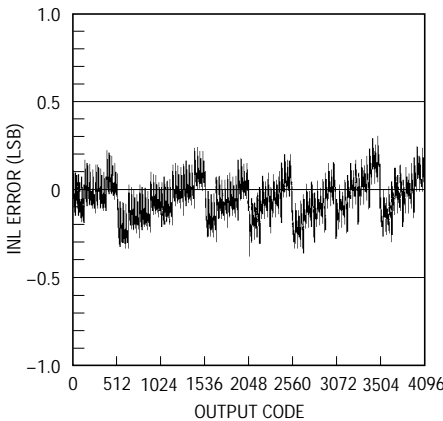
1410 G05

Differential Nonlinearity vs Output Code



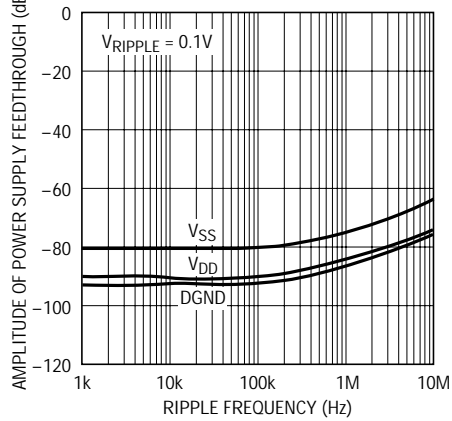
1410 G06

Integral Nonlinearity vs Output Code



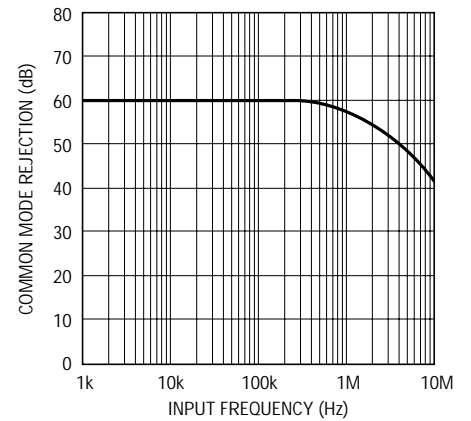
1410 G07

Power Supply Feedthrough vs Ripple Frequency



1410 G08

Input Common Mode Rejection vs Input Frequency



1410 G09

ピン機能

+A_{IN}(ピン1): 正のアナログ入力、±2.5V。

-A_{IN}(ピン2): 負のアナログ入力、±2.5V。

V_{REF}(ピン3): 2.50Vリファレンス出力。

REFCOMP(ピン4): 4.06Vリファレンス・バイパス・ピン。10μFタンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

AGND(ピン5): アナログ・グランド。

D11からD4(ピン6から13): スリーステート・データ出力。

DGND(ピン14): 内部ロジック用デジタル・グランド、AGNDに接続。

D3からD0(ピン15から18): スリーステート・データ出力。

OGND(ピン19): 出力ドライバ用デジタル・グランド、SGNDに接続。

NAP/SLP(ピン20): パワー・シャットダウン・モード。SHDNピンで呼び出したモードに入ります。“L”でスリープ・モードに、“H”で高速ウェイクアップのナップ・モードに入ります。

SHDN(ピン21): パワー・シャットダウン入力、“L”ロジック・レベルでNAP/SLPピンで選択したシャットダウン・モードを呼び出します。

RD(ピン22): リード入力。CSが“L”のときに出力ドライバをイネーブルします。

CONVST(ピン23): 変換スタート信号。このアクティブ“L”信号は、立下りエッジで変換を開始します。

CS(ピン24): チップ・セレクト入力。ADCがCONVSTおよびRD入力を認識するには“L”でなければなりません。

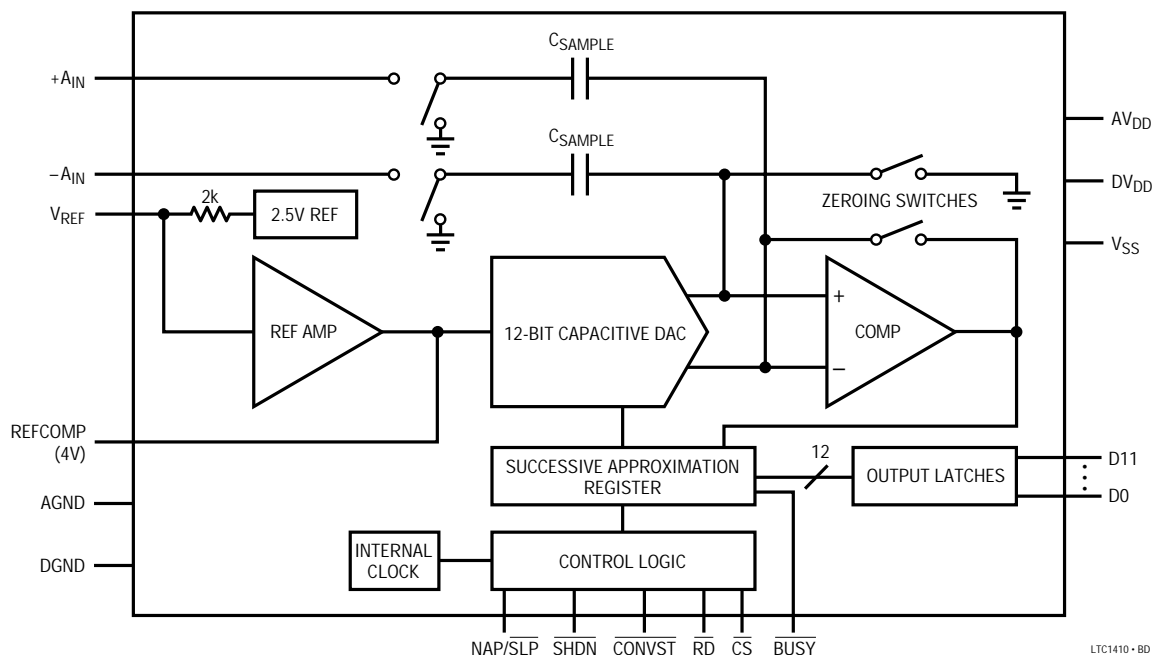
BUSY(ピン25): BUSY出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。BUSYの立上りエッジでデータが有効になります。

V_{SS}(ピン26): -5V負電源。10μFタンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

DV_{DD}(ピン27): 5V正電源。ピン28に短絡します。

AV_{DD}(ピン28): 5V正電源。10μFタンタル・コンデンサと0.1μFセラミック・コンデンサを並列に接続して、AGNDにバイパスします。

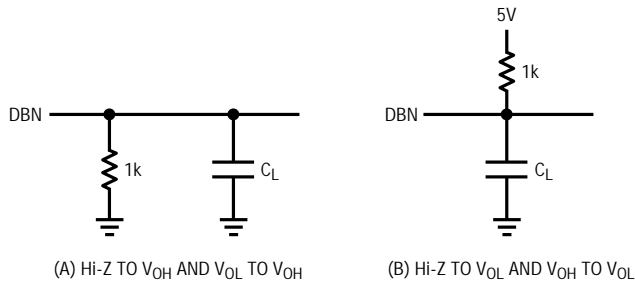
FUNCTIONAL BLOCK DIAGRAM



LTC1410 • BD

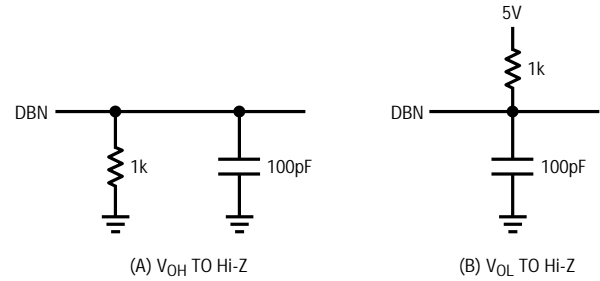
TEST CIRCUITS

Load Circuits for Access Timing



1410 TC01

Load Circuits for Output Float Delay



1410 TC02

アプリケーション情報

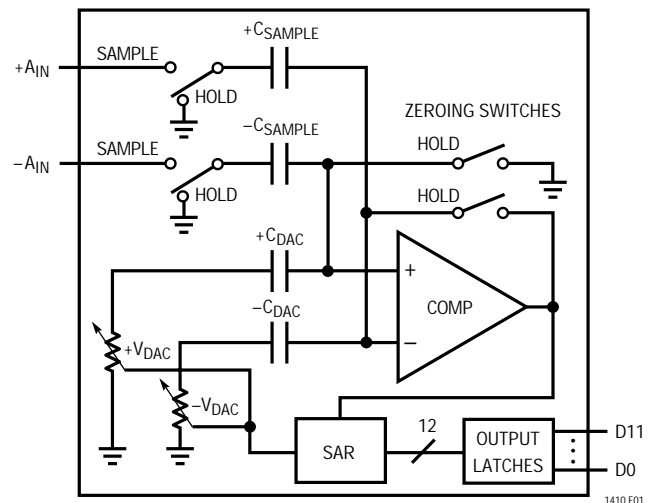
変換の詳細説明

LT1410は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用し、アナログ信号を12ビットの平行出力に変換します。このADCは高精度リファレンスと内部クロックを備えています。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースの項を参照してください)。

変換スタートは、 \overline{CS} と \overline{CONVST} 入力で制御されます。変換が開始すると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、それを再スタートすることはできません。

変換中は、内部の差動12ビット容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)にシーケンスされます。図1を参照すると、 $+A_{IN}$ および $-A_{IN}$ 入力はアキュイジション・フェーズ中にサンプル&ホールド・コンデンサ(C_{SAMPLE})に接続され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアキュイジション・フェーズでは、100nsの最小遅延時間により、サンプル&ホールド・コンデンサがアナログ信号を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} コンデンサをグラウンドにスイッチして、アナログ入力電荷をコンパレータの加算

ジャンクションに送ります。この入力電荷は、微分容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は、高速コンパレータで行なわれます。変換が終わると、微分DAC出力は $+A_{IN}$ および $-A_{IN}$ 入力電荷とバランスします。 $+A_{IN}$ と $-A_{IN}$ の差を表すSAR成分(12ビット・データ・ワード)が12ビット出力ラッチにロードされます。



1410 F01

Figure 1. Simplified Block Diagram

アプリケーション情報

ダイナミック特性

LTC1410は、非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、高速フーリエ変換(FFT)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。

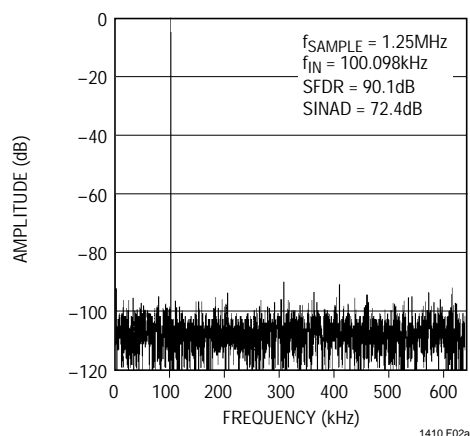


Figure 2a. LTC1410 Nonaveraged 4096 Point FFT, 100kHz Input

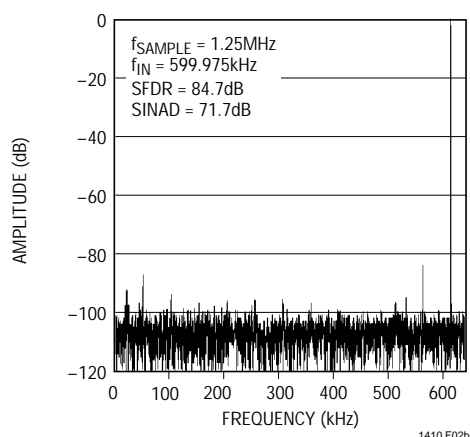


Figure 2b. LTC1410 Nonaveraged 4096 Point FFT, 600kHz Input

SN比

SN + 歪み比 $S(N + D)$ は、ADC出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aと2bに、100kHz

および600kHz入力に対する1.25MHzサンプリング・レートでの標準スペクトル成分を示します。ダイナミック特性は入力周波数が625kHz以上のナイキスト限界まで良好です。

有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり $S(N + D)$ に直接関係します。

$$N = [S/(N + D) - 1.76]/6.02$$

ここで、Nは分解能の有効ビット数であり、 $S(N + D)$ はdBで表されます。1.25MHzの最大サンプリング・レートで、LTC1410は625kHz以上のナイキスト入力周波数まで非常に良好な有効ビット数を維持します。図3を参照してください。

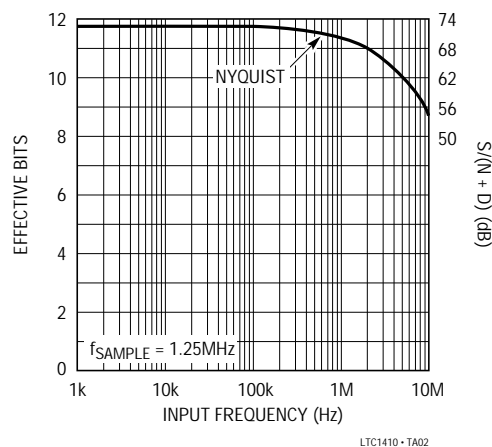


Figure 3. Effective Bits and Signal/(Noise + Distortion) vs Input Frequency

全高調波ひずみ(THD)

全高調波歪み(THD)は、入力信号のすべての高調波のRMS合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されず。THDは次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

アプリケーション情報

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_n は第2高調波から第n高調波の振幅です。THD対入力周波数を図4に示します。LTC1410は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

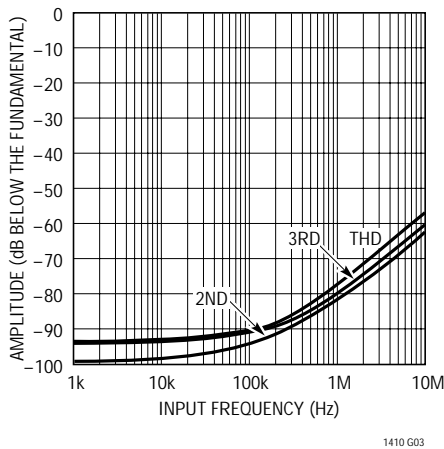


Figure 4. Distortion vs Input Frequency

混変調ひずみ (IMD)

ADC入力信号が2つ以上のスペクトル成分から成るときには、ADC伝達関数の非直線性によって、THDに加えて混変調歪みが発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見われたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $mf_a \pm nf_b$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値 (dB) は次式で表すことができます。

$$\text{IMD}(f_a + f_b) = 20 \log \frac{(f_a \pm f_b) \text{ での振幅}}{f_a \text{ での振幅}}$$

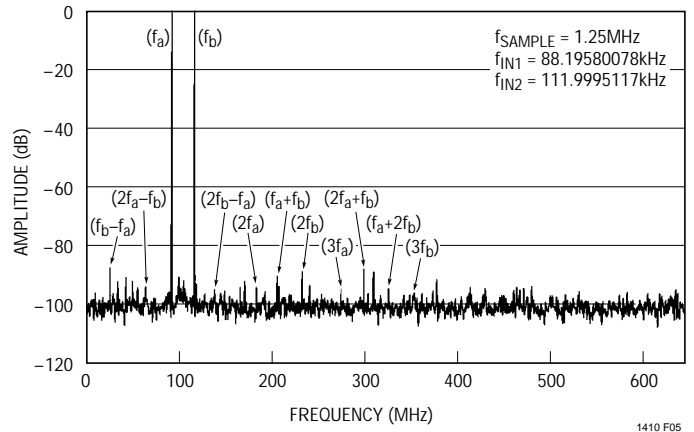


Figure 5. Intermodulation Distortion Plot

最大高調波またはスプリアス・ノイズ

最大高調波またはスプリアス・ノイズは、入力信号とDCを除いた最大のスペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

最大電力および最大直線帯域幅

最大電力帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S(N + D)$ が68dB(有効ビット11ビット)に低下する入力周波数です。LTC1410は、入力帯域幅が最大になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S(N + D)$ では歪みが大きな部分を占めます。

アナログ入力のドライブ

LTC1410の差動アナログ入力は簡単にドライブできます。入力は差動、あるいはシングルエンド入力として(すなわち、 $-A_{IN}$ 入力を接地)ドライブ可能です。 $+A_{IN}$ 入力と $-A_{IN}$ 入力は同時にサンプリングされます。両方の入りに同相となる不要な信号は、サンプル&ホールド回路の同相除去比によって低減されます。入力電流は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つ

アプリケーション情報

だけ小さな電流スパイクを生じます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1410入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、アキュイジション・タイムも増加します(図6参照)。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリング時間が100nsであること)。

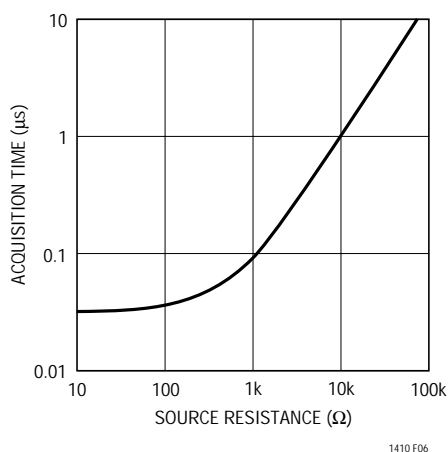


Figure 6. Acquisition Time vs Source Resistance

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。まず、閉ループ・バンド幅周波数で低い出力インピーダンス(100以下)をもつアンプを選択します。たとえば、+1の利得と50MHzの閉ループ・バンド幅をもつアンプを使用した場合、50MHzでの出力インピーダンスは、100以下でなければなりません。もう1つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ・バンド幅が20MHz以上でなければならないことです。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くすることができます。このADCの入力のドライブには、LT[®]1360、LT1220、LT1223、LT1224、LT1227などのオペアンプが適しています。

入力アンプのノイズと歪みがLTC1410のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル&ホールド回路の小信号バンド幅は

20MHzです。アナログ入力に現れるノイズはこの全バンド幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。通常は、単純な1ポールRCフィルタで十分です。たとえば、図7は+A_{IN}からグランドに1000pFコンデンサと100のソース抵抗を接続すると、入力バンド幅が1.6MHzに制限されることを示します。単純なRCフィルタでもACアプリケーションでは十分に動作しますが、過渡応答が制限されます。最大速度で動作させるには、高速セトリングの低ノイズ・アンプを選択しなければなりません。

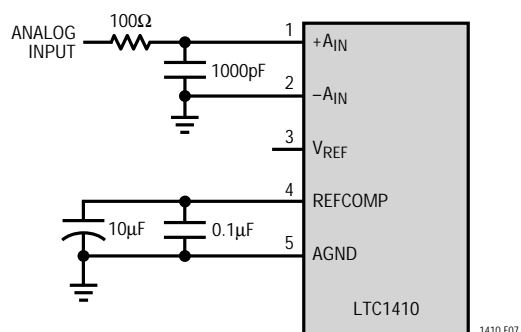


Figure 7. RC Input Filter

内部リファレンス

LTC1410は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.500Vにトリミングされています。このリファレンスは内部でリファレンス・アンプに接続されており、V_{REF}(ピン3)から外部に引き出されています。図8aを参照してください。2kの抵抗が出力と直列に接続されているため、外部リファレンスを必要とするアプ

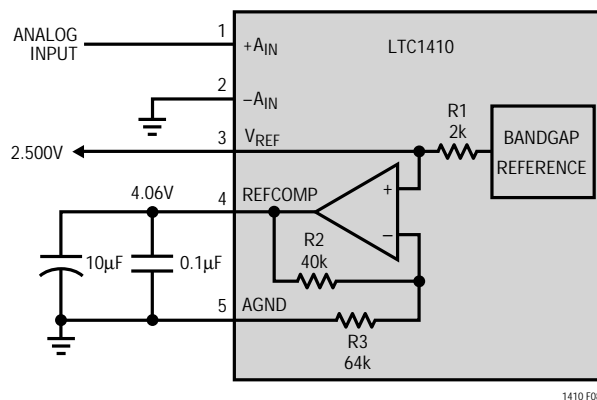


Figure 8a. LTC1410 Reference Circuit

アプリケーション情報

リケーションで、簡単にオーバドライブできます。リファレンス・アンプは、内部リファレンスと容量性DAC間にバッファリングを提供します。リファレンス・アンプ補償ピンREFCOMP(ピン4)は、コンデンサでグラウンドにバイパスしなければなりません。リファレンス・アンプは、1 μ F以上のコンデンサで安定します。最高のノイズ性能を得るために、10 μ Fのタンタル・コンデンサと並列に0.1 μ Fのセラミック・コンデンサを接続することを推奨しています。

外部リファレンス(図8b)、DAC、または他の方法でV_{REF}ピンをドライブして、入力スパン調整を行うことができます。規定された直線性を得るには、リファレンスを2.25V~2.75Vの範囲で保持しなければなりません。

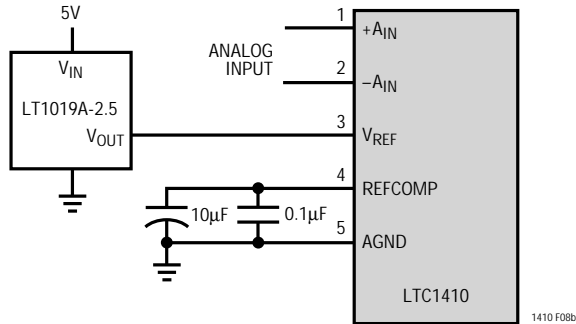


Figure 8b. Using the LT1019-2.5 as an External Reference

フルスケールおよびオフセットの調整

図9にLTC1410の理想的な入出力特性を示します。コード・トランジションは、連続する整数のLSB値の間の中間(すなわち、-FS + 0.5LSB、-FS + 1.5LSB、-FS + 2.5LSB、...FS - 1.5LSB、FS - 0.5LSB)に現れます。出力コードは、 $1\text{LSB} = \frac{(+FS) - (-FS)}{4096} = \frac{5\text{V}}{4096} = 1.22\text{mV}$ の2の相補バイナリです。

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前にオフセット誤差を調整しなければなりません。図10に、フルスケール誤差調整に必要な追加部品を示します。ゼロ・オフセットは、-A_{IN}入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、-0.61mV(すなわち、-0.5LSB)を+A_{IN}に印加し、出力コードが0000 0000 0000と1111 1111 1111の間で変化するまで、オフセット・トリム抵抗を調整します。フルスケール調整を行うには、2.49817Vの入力電圧(FS - 1.5LSB)をA_{IN}に

印加し、出力コードが0111 1111 1110と0111 1111 1111の間で変化するまでR2を調整します。

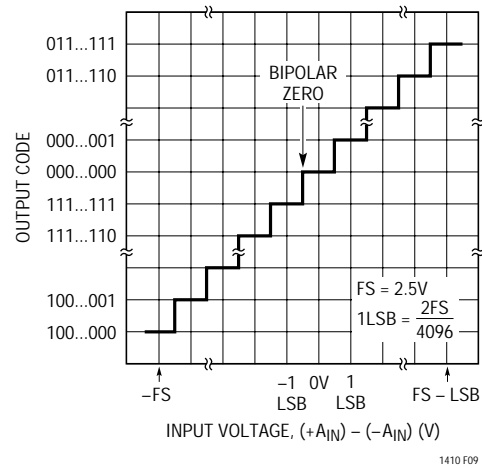


Figure 9. LTC1410 Transfer Characteristics

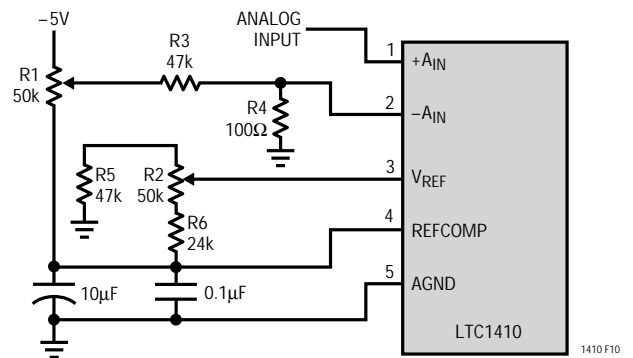


Figure 10. Offset and Full-Scale Adjust Circuit

ボード・レイアウトとバイパス

ワイヤラップ・ボードは、高分解能または高速A/Dコンバータに推奨できません。LTC1410から最適な性能を引き出すには、グラウンド・プレーン付きのPCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にADCの下やアナログ信号トラックに沿ってデジタル・トラックを走らせないよう注意してください。アナログ入力はAGNDで遮蔽しなければなりません。

アプリケーション情報

本データシートの最初のページの代表的なアプリケーションに示すように、 V_{DD} 、 V_{SS} 、およびREFCOMPピンには、高品質のタンタルおよびセラミック・バイパス・コンデンサを使用してください。これらのコンデンサはできる限りピンの近くに配置します。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。

LTC1410はノイズの結合を最小限に抑えるために差動入力力を備えています。 $+A_{IN}$ と $-A_{IN}$ リードの同相ノイズは入力CMRRによって除去されます。 $-A_{IN}$ 入力を $+A_{IN}$ 入力のグランド・センスとして使用することができます。LTC1410は $+A_{IN}$ と $-A_{IN}$ 間の電圧差を保持し変換します。 $+A_{IN}$ (ピン1)へのリードと $-A_{IN}$ へのリード(ピン2)は、できる限り短くしなければなりません。これが可能でないアプリケーションでは、 $+A_{IN}$ および $-A_{IN}$ トレースを平行して走らせて、結合を等しくしなければなりません。

ロジックのシステム・グランドから離れたシングル・ポイントのアナログ・グランドを、ピン5(A_{AGND})のアナログ・グランド面で、またはできる限りADCの近くに設けてください。ピン14とピン19(A_{DGND})および他のすべてのアナログ・グランドは、このシングル・アナログ・グランド・ポイントに接続してください。他のデジタル・グランドをこのアナログ・グランド・ポイントに接続してはなりません。このADCを低ノイズで動作させるには、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠であり、またこれらのトラックのフォ

イル幅はできる限り広くなければなりません。ADCのデータ出力とコントロール信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリープ状態・バッファを使ってADCのデータ・バスを分離すれば解決できます。

デジタル・インタフェース

このA/Dコンバータは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 \overline{CS} および \overline{RD} コントロール入力は、すべての周辺メモリ・インタフェースに共通です。個々の \overline{CONVST} が変換開始に使用されます。

内部クロック

このA/Dコンバータには内部クロックがあり、他のADCのように外部クロックと \overline{CS} および \overline{RD} 信号間で同期をとる必要はありません。内部クロックは標準変換時間 $0.65\mu\text{s}$ 、および全動作温度範囲における最大変換時間 $0.75\mu\text{s}$ を達成するよう製造時にトリミングされています。外部調整は不要です。保証最大アキュイジション・タイムは 100ns です。加えて、 800ns のスループット時間と 1.25Msps の最小サンプリング・レートが保証されます。

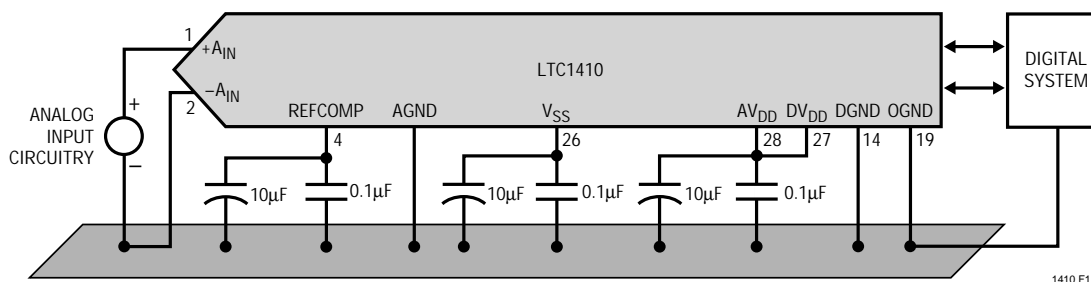


Figure 11. Power Supply Grounding Practice

アプリケーション情報

パワー・シャットダウン

LTC1410にはナップとスリープの2つのパワー・シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が95%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナップからアクティブになるまでのウェイクアップ時間は200nsです。スリープ・モードでは、すべてのバイアス電流がシャットダウンされ、リーク電流は約1 μ Aのままです。

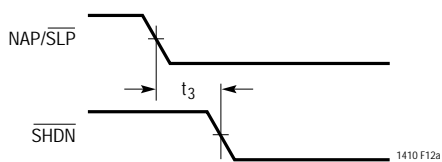


Figure 12a. NAP/SLP to SHDN Timing

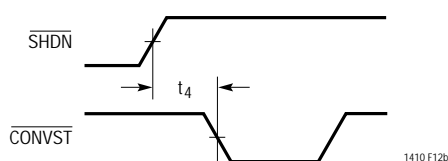


Figure 12b. SHDN to CONVST Wake-Up Timing

スリープ・モードからのウェイクアップ時間は、リファレンス回路がパワーアップ後に、完全12ビット精度では0.01%に整定しなければならないため、より低速になります。スリープ・モードのウェイクアップ時間は、REFCOMP(ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨される10 μ Fコンデンサでは10msです。

シャットダウンはピン21(SHDN)で制御され、SHDNが“L”のときにADCはシャットダウン状態になっています。シャットダウン・モードはピン20(NAP/SLP)で選択され、“H”のときナップを選択します。

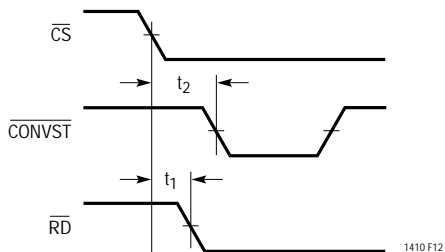


Figure 13. CS to CONVST Setup Timing

タイミングとコントロール

変換スタートおよびデータ読み込み動作は、 $\overline{\text{CONVST}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ の3つのデジタル入力でコントロールされます。 $\overline{\text{CONVST}}$ ピンにロジック“0”を印加すると、ADCが選択された後(すなわち、 $\overline{\text{CS}}$ が“L”)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは $\overline{\text{BUSY}}$ 出力で表示され、変換実行中この出力は“L”になっています。

図14~18にいくつかの動作モードを示します。モード1aと1b(図14および図15)で、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ は両方とも“L”に接続されます。 $\overline{\text{CONVST}}$ の立下りエッジで変換を開始します。データ出力は常時イネーブルされ、 $\overline{\text{BUSY}}$ 立上りエッジでデータをラッチすることができます。モード1aは、幅の狭い論理“L”の $\overline{\text{CONVST}}$ パルスによる動作を示しています。また、モード1bは幅の狭い論理“H”の $\overline{\text{CONVST}}$ パルスを示します。

モード2(図16)では、 $\overline{\text{CS}}$ は“L”に接続されます。 $\overline{\text{CONVST}}$ 信号の立下りエッジで再び変換を開始します。データ出力は、MPUが $\overline{\text{RD}}$ 信号で読み出すまでスリーステートになっています。モード2は、共有MPUデータバスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図17と図18)では、 $\overline{\text{CS}}$ は“L”に接続され、 $\overline{\text{CONVST}}$ と $\overline{\text{RD}}$ は連結されます。MPUは変換を開始して、 $\overline{\text{RD}}$ 信号で出力を読み出します。変換は、MPUまたはDSPによって開始されます(外部サンプル・クロックなし)。

低速メモリ・モードでは、プロセッサは $\overline{\text{RD}} (= \overline{\text{CONVST}})$ に論理“L”を印加して、変換を開始します。 $\overline{\text{BUSY}}$ が“L”になると、プロセッサはウェイト・ステートに入ります。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。 $\overline{\text{BUSY}}$ が“H”になって、プロセッサを解放すると、プロセッサは $\overline{\text{RD}} (= \overline{\text{CONVST}})$ を“H”に戻して、新しい変換データを読み出します。

ROMモードでは、プロセッサは $\overline{\text{RD}} (= \overline{\text{CONVST}})$ を“L”にして変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果読み出して、別の変換を開始することができます。

APPLICATIONS INFORMATION

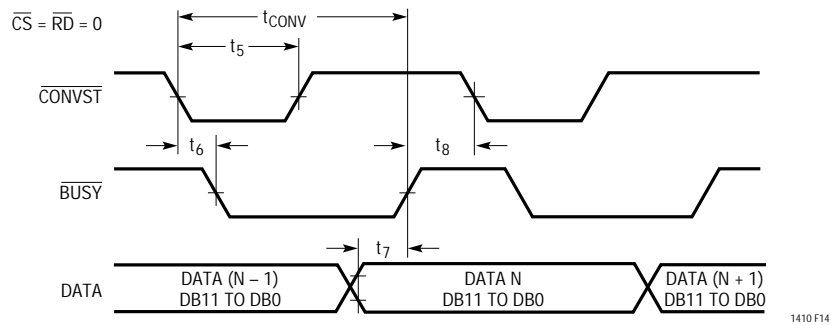


Figure 14. Mode 1a. \overline{CONVST} Starts a Conversion. Data Outputs Always Enabled ($\overline{CONVST} = \square$)

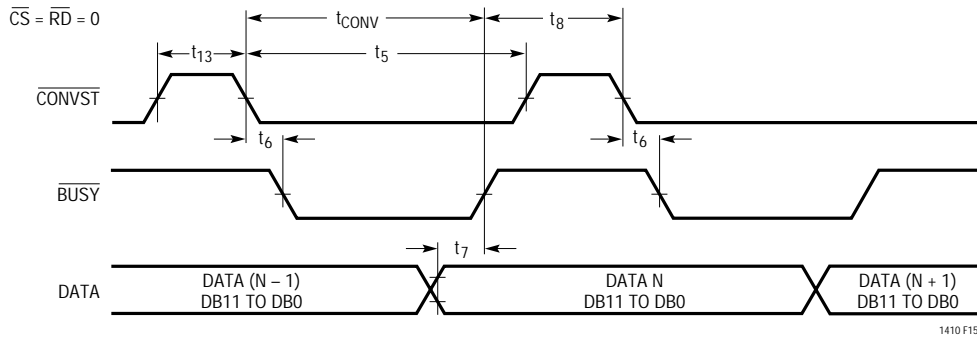


Figure 15. Mode 1b. \overline{CONVST} Starts a Conversion. Data Outputs Always Enabled ($\overline{CONVST} = \square$)

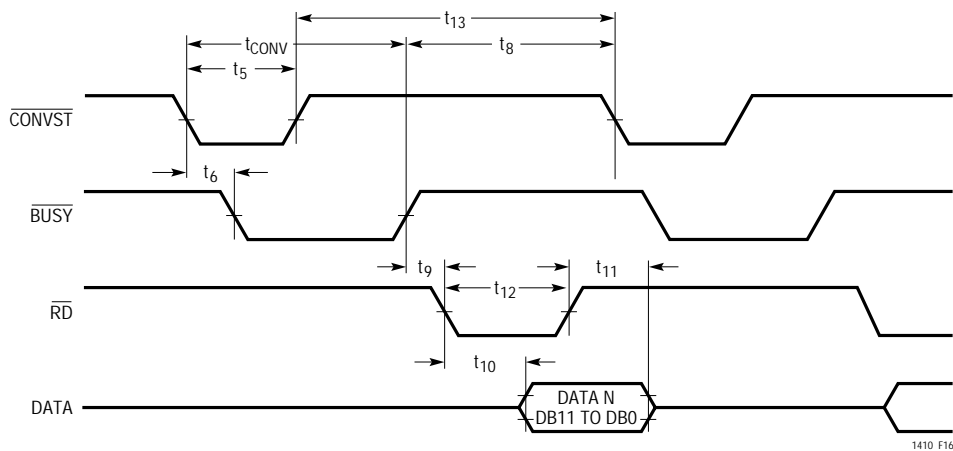


Figure 16. Mode 2. \overline{CONVST} Starts a Conversion. Data is Read by \overline{RD}

APPLICATIONS INFORMATION

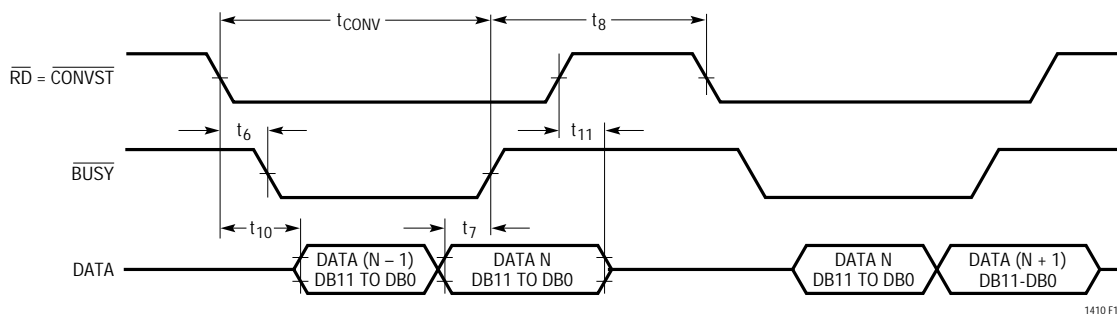


Figure 17. Slow Memory Mode Timing

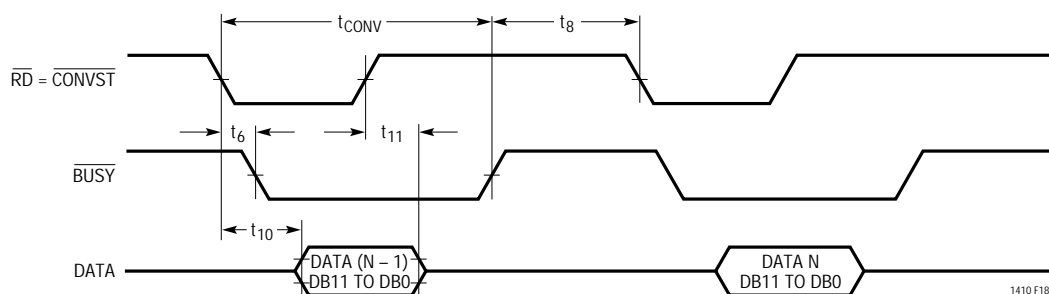


Figure 18. ROM Mode Timing

RELATED PARTS

12-Bit Sampling A/D Converters

PART NUMBER	DESCRIPTION	COMMENTS
LTC1273/75/76	Complete 5V Sampling 12-Bit ADCs with 70dB SINAD at Nyquist	Lower Power and Cost Effective for $f_{SAMPLE} \leq 300ksp$ s
LTC1274/77	Low Power 12-Bit ADCs with Nap and Sleep Mode Shutdown	Lowest Power for $f_{SAMPLE} \leq 100ksp$ s
LTC1278/79	High Speed Sampling 12-Bit ADCs with Shutdown	Cost Effective 12-Bit ADCs -- Best for 2-Pair HDLSL, $f_{SAMPLE} \leq 500ksp$ s/600ksp
LTC1282	Complete 3V 12-Bit ADCs with 12mW Power Dissipation	Fully Specified for 3V-Powered Applications, $f_{SAMPLE} \leq 140ksp$ s