

シャットダウン付き、6チャンネル 14ビット、600ksps、同時サンプリングADC

特長

- 6つの同時サンプリング差動入力を装備した
600ksps ADC
- チャンネル当たりのスループット: 100ksps
- SINAD: 76dB
- 低消費電力: 15mW
- 単一3V電源動作
- 外部リファレンスでオーバードライブ可能な
2.5Vバンドギャップ・リファレンスを内蔵
- 3線シリアル・インターフェイス
- CONVによってトリガされる内部変換
- スリープ(6μW)シャットダウン・モード
- ナップ(3.3mW)シャットダウン・モード
- 0V~2.5Vのユニポーラまたは±1.25Vの
バイポーラ差動入力範囲
- 同相除去比: 90dB
- 小型32ピン(5mm×5mm)QFNパッケージ

アプリケーション

- 多相電力測定
- 多相モータ制御
- データ収集システム
- 無停電電源

LT、LT、LTC、LTMはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。6084440、6522187を含む米国特許によって保護されています。

概要

LTC[®]1408は、同時にサンプリングされる6つの差動入力を備えた14ビット、600ksps ADCです。このデバイスは、単一3V電源で消費電流がわずか5mAで、小型32ピン(5mm×5mm)QFNパッケージで供給されます。スリープ・シャットダウン機能により、消費電力を6μWに低減できます。低消費電力、小型パッケージのLTC1408は、携帯アプリケーションに適しています。

LTC1408は、CONV信号の立ち上がりエッジで同時にサンプリングされる6つの個別の差動入力を搭載しています。これらのサンプリングされた6つの入力、100ksps/チャンネルのレートで変換されます。

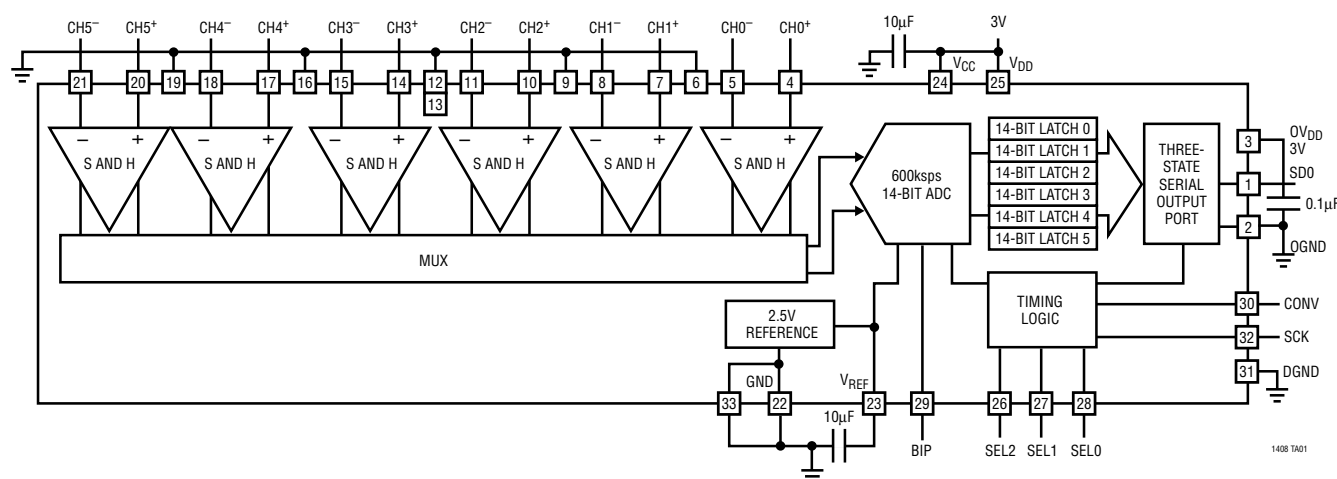
90dBの同相除去比により、ソースから差動で信号を測定することによってグラウンド・ループや同相ノイズを排除できます。

このデバイスは、BIPピンの状態に応じて、0V~2.5Vのユニポーラ入力または±1.25Vのバイポーラ入力を差動変換します。差動入力範囲が維持されている間は、どのアナログ入力もレール・トゥ・レール振幅を許容できます。

SEL2、SEL1、SEL0入力の論理状態に応じて、変換シーケンスを省略して6チャンネルより少ないチャンネル数での変換をすることができます。

シリアル・インターフェイスが6つの変換結果を96クロックで送出するので、標準シリアル・インターフェイスと互換です。

ブロック図



LTC1408

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD} , V_{CC} , OV_{DD}) 4V

アナログ入力電圧

(Note 3) $-0.3V \sim (V_{DD} + 0.3V)$

デジタル入力電圧 $-0.3V \sim (V_{DD} + 0.3V)$

デジタル出力電圧 $-0.3V \sim (V_{DD} + 0.3V)$

消費電力 100mW

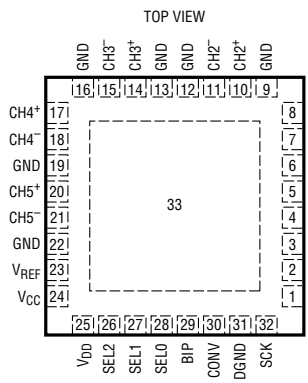
動作温度範囲

LTC1408C $0^{\circ}C \sim 70^{\circ}C$

LTC1408I $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲 $-65^{\circ}C \sim 125^{\circ}C$

パッケージ/発注情報

 TOP VIEW 32-PIN (5mm x 5mm) PLASTIC QFN $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 34^{\circ}C/W$ EXPOSED PIN IS GND (PAD 33) MUST BE SOLDERED TO PCB	ORDER PART NUMBER
	LTC1408CUH LTC1408IUH
	QFN PART MARKING
	1408
	Order Options Tape and Reel: Add #TR
	Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF
	Lead Free Part Marking: http://www.linear-tech.co.jp/leadfree/

さらに広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。内部リファレンス使用、 $V_{DD} = 3V$ 、 $V_{DD} = V_{CC} = 3V$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	(Note 5)	●	−3	±0.5	3	LSB
Offset Error	(Note 4)	●	−4.5	±1	4.5	mV
Offset Match from CH0 to CH5			−3	±0.5	3	mV
Range Error	(Note 4)	●	−12	±2	12	mV
Range Match from CH0 to CH5			−5	±1	5	mV
Range Tempco	Internal Reference (Note 4)			±15		ppm/°C
	External Reference			±1		ppm/°C

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。内部リファレンス使用、 $V_{DD} = 3V$ 、 $V_{DD} = V_{CC} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Differential Input Range (Notes 3, 8, 9)	$2.7V \leq V_{DD} \leq 3.3V$		0 to 2.5		V
V_{CM}	Analog Common Mode + Differential Input Range	(Note 8)		0 to V_{DD}		V
I_{IN}	Analog Input Leakage Current		●		1	μA
C_{IN}	Analog Input Capacitance			13		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	(Note 6)	●		39	ns
t_{AP}	Sample-and-Hold Aperture Delay Time			1		ns
t_{JITTER}	Sample-and-Hold Aperture Delay Time Jitter			0.3		ps
t_{SK}	Channel to Channel Aperture Skew			200		ps
CMRR	Analog Input Common Mode Rejection Ratio	$f_{IN} = 100kHz$, $V_{IN} = 0V$ to 3V		-83		dB
		$f_{IN} = 10MHz$, $V_{IN} = 0V$ to 3V		-67		dB

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = 3\text{V}$ 、 $V_{DD} = V_{CC} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SINAD	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal	●	73	76		dB
		300kHz Input Signal			76		dB
		100kHz Input Signal, External $V_{REF} = 3.3\text{V}$, $V_{DD} \geq 3.3\text{V}$			79		dB
		300kHz Input Signal, External $V_{REF} = 3.3\text{V}$, $V_{DD} \geq 3.3\text{V}$			79		dB
THD	Total Harmonic Distortion	100kHz First 5 Harmonics	●	-80	-90		dB
		300kHz First 5 Harmonics			-86		dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal			90		dB
		300kHz Input Signal			86		dB
IMD	Intermodulation Distortion	0.625V _{P-P} , 833kHz into CH0+, 0.625V _{P-P} , 841kHz into CH0-. Bipolar Mode. Also Applicable to Other Channels			-80		dB
	Code-to-Code Transition Noise	$V_{REF} = 2.5\text{V}$ (Note 17)			0.7		LSB _{RMS}
	Full Power Bandwidth	$V_{IN} = 2.5\text{V}_{P-P}$, $SDO = 11585\text{LSB}_{P-P}$ (-3dBFS) (Note 15)			50		MHz
	Full Linear Bandwidth	$S/(N + D) \geq 68\text{dB}$, Bipolar Differential Input			5		MHz

内部リファレンス特性 $T_A = 25^\circ\text{C}$ 。 $V_{DD} = V_{CC} = 3\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$			2.5		V
V_{REF} Output Tempco				15		ppm/ $^\circ\text{C}$
V_{REF} Line Regulation	$V_{DD} = 2.7\text{V}$ to 3.6V , $V_{REF} = 2.5\text{V}$			600		$\mu\text{V/V}$
V_{REF} Output Resistance	Load Current = 0.5mA			0.2		Ω
V_{REF} Settling Time				2		ms

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = V_{CC} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 3.3\text{V}$	●	2.4			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 2.7\text{V}$	●			0.6	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}	●			± 10	μA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 3\text{V}$, $I_{OUT} = -200\mu\text{A}$	●	2.5	2.9		V
V_{OL}	Low Level Output Voltage	$V_{DD} = 2.7\text{V}$, $I_{OUT} = 160\mu\text{A}$			0.05		V
		$V_{DD} = 2.7\text{V}$, $I_{OUT} = 1.6\text{mA}$	●			0.4	V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	$V_{OUT} = 0\text{V}$ and V_{DD}	●			± 10	μA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}				1		pF
I_{SOURCE}	Output Short-Circuit Source Current	$V_{OUT} = 0\text{V}$, $V_{DD} = 3\text{V}$			20		mA
I_{SINK}	Output Short-Circuit Sink Current	$V_{OUT} = V_{DD} = 3\text{V}$			15		mA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = V_{CC} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}, V_{CC}	Supply Voltage		2.7		3.6	V
$I_{DD} + I_{CC}$	Supply Current	Active Mode, $f_{\text{SAMPLE}} = 600\text{ksps}$ Nap Mode Sleep Mode	● ●	5 1.1 2.0	7 1.9 15	 mA mA μA
PD	Power Dissipation	Active Mode with SCK, $f_{\text{SAMPLE}} = 600\text{ksps}$		15		mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{\text{SAMPLE}}(\text{MAX})$	Maximum Sampling Frequency per Channel (Conversion Rate)	●	100			kHz
$t_{\text{THROUGHPUT}}$	Minimum Sampling Period (Conversion + Acquisition Period)	●			667	ns
t_{SCK}	Clock Period	(Note 16) ●	100		10000	ns
t_{CONV}	Conversion Time	(Notes 6, 17)	96			SCLK cycles
t_1	Minimum Positive or Negative SCLK Pulse Width	(Note 6)	2			ns
t_2	CONV to SCK Setup Time	(Notes 6, 10)	3		10000	ns
t_3	SCK Before CONV	(Note 6)	0			ns
t_4	Minimum Positive or Negative CONV Pulse Width	(Note 6)	4			ns
t_5	SCK to Sample Mode	(Note 6)	4			ns
t_6	CONV to Hold Mode	(Notes 6, 11)	1.2			ns
t_7	96th SCK $\uparrow$ to CONV $\uparrow$ Interval (Affects Acquisition Period)	(Notes 6, 7, 13)	45			ns
t_8	Minimum Delay from SCK to Valid Bits 0 Through 11	(Notes 6, 12)	8			ns
t_9	SCK to Hi-Z at SDO	(Notes 6, 12)	6			ns
t_{10}	Previous SDO Bit Remains Valid After SCK	(Notes 6, 12)	2			ns
t_{11}	V_{REF} Settling Time After Sleep-to-Wake Transition	(Notes 6, 14)		2		ms

Note 1: 絶対最大定格はそれを超えるとデバイスに永続的な損傷を与える可能性がある値。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: すべての電圧値はグラウンドGNDを基準にしている。

Note 3: これらのピンをGNDより低くするか V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品はGNDより低い、または V_{DD} より高い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: オフセットと範囲の規格値は、 $\text{CH0}^- \sim \text{CH5}^-$ を接地し、内部2.5Vリファレンスを使用したシングルエンドの $\text{CH0}^+ \sim \text{CH5}^+$ 入力に適用される。

Note 5: 積分直線性は外部の2.55Vリファレンスを使ってテストされ、伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化帯域の中心から測定される。直線性は CH0 のみテストされる。

Note 6: 設計によって保証されているが、テストされていない。

Note 7: 推奨動作条件。

Note 8: アナログ入力範囲は $\text{CHx}^+ \text{ and } \text{CHx}^- (x = 0 \sim 5)$ の間の電圧差に対して定義されている。

Note 9: CHx^+ および CHx^- の絶対電圧はこの範囲内でなければならない。

Note 10: 3ns未満を許容できれば、データは1クロック・サイクル後に出力される。クロックを定格速度で動作させるとき、SCKよりも半クロック前にCONVが立ち上がるのが最良である。

Note 11: アバーチャ遅延とは異なる。アバーチャ遅延(1ns)は、サンプル・ホールドによる2.2nsの遅延とCONVからHoldモードまでの1.2nsの遅延の差である。

Note 12: SCKの立ち上がりエッジは出力データをストレージ・ラッチに捕捉することが保証されている。

Note 13: 入力信号を取得する期間は96番目の立ち上がりクロックによって開始され、CONVの立ち上がりエッジによって終了する。

Note 14: 内部リファレンスは、SCKが1サイクル以上で、容量性負荷が10 μF のとき、スリープ・モードから復帰した後2msでセトリングする。

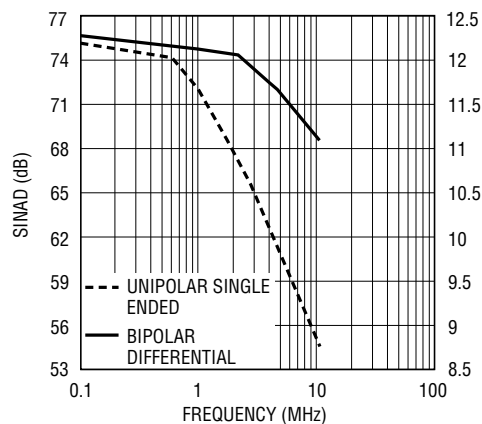
Note 15: フルパワー帯域幅は2.5V_{p-p}の入力正弦波に対して出力コード振幅が3dB低下する周波数である。

Note 16: 最大クロック周期により、変換時のアナログ性能が保証される。出力データは任意の長いクロック周期で読み出すことができる。

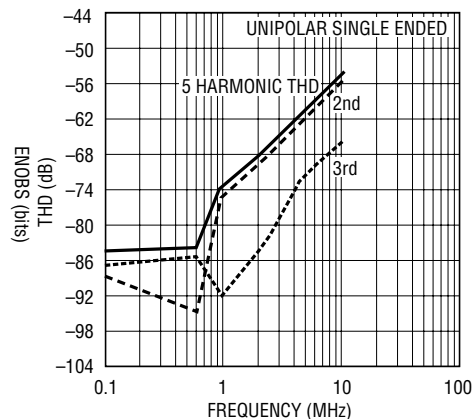
Note 17: 変換プロセスはイネーブルされた各チャンネルで16クロックを要し、6チャンネルすべてでは最大96クロックを要する。

標準的性能特性 $V_{DD} = 3V$, $T_A = 25^\circ C$.

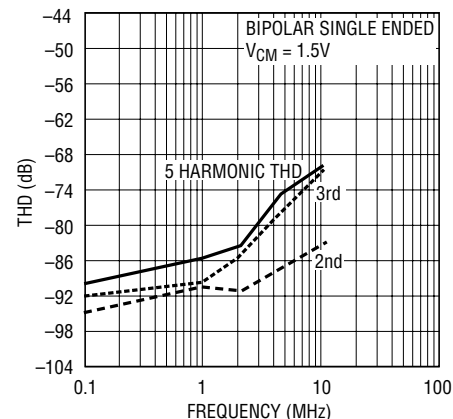
SINADおよびENOBと周波数



1408 G01

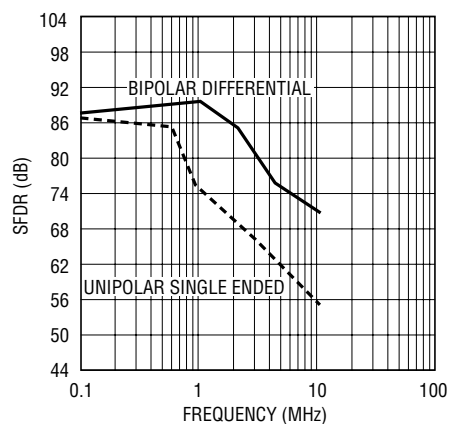
THD、2次、および3次と
入力周波数

1408 G02

THD、2次、および3次と
入力周波数

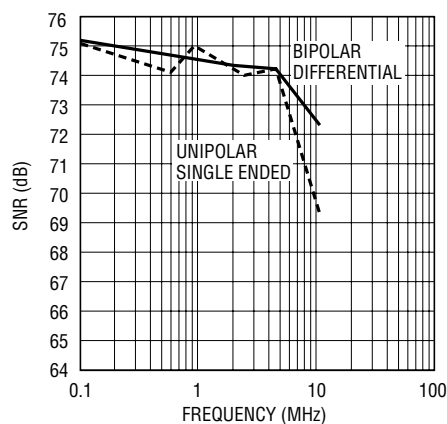
1408 G03

SFDRと入力周波数

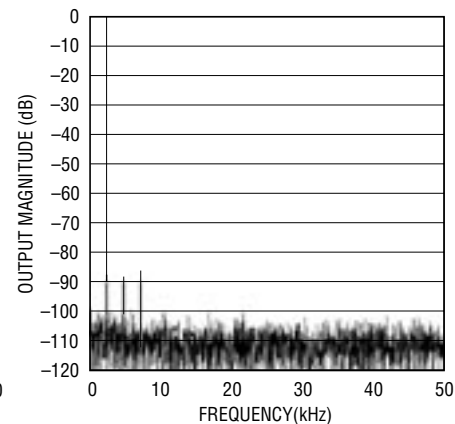


1408 G04

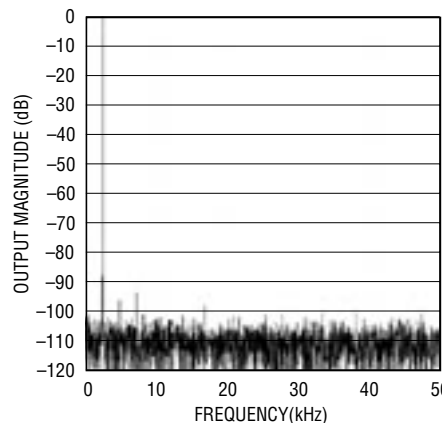
SNRと入力周波数



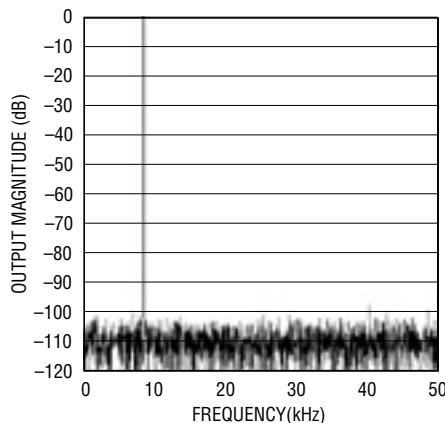
1408 G05

98kHzユニポーラ正弦波の4096
ポイントのFFTプロット、100 kps

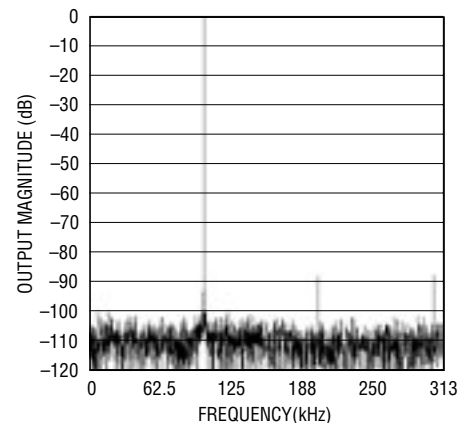
1408 G06

98kHzバイポーラ正弦波の4096
ポイントのFFTプロット、100 kps

1408 G07

591kHzバイポーラ差動正弦波の
4096ポイントのFFTプロット、
100 kps

1408 G08

101kHzユニポーラ・
シングルエンド正弦波の4096
ポイントのFFTプロット、625 kps

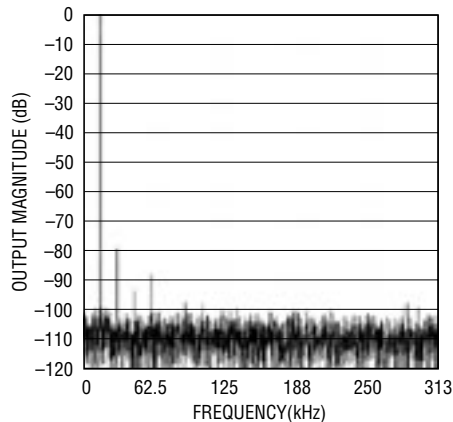
1408 G09

1408fa

LTC1408

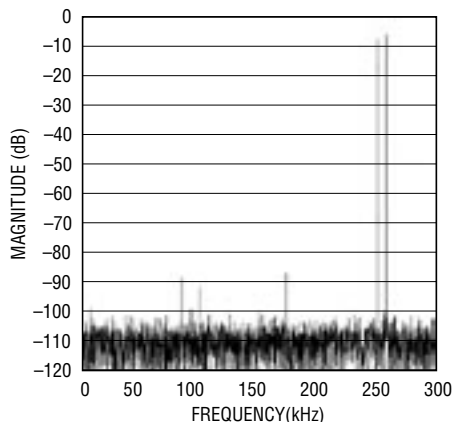
標準的性能特性 $V_{DD} = 3V$, $T_A = 25^\circ C$

610kHzユニポーラ・
シングルエンド入力正弦波の
4096ポイントのFFT、625 ksps

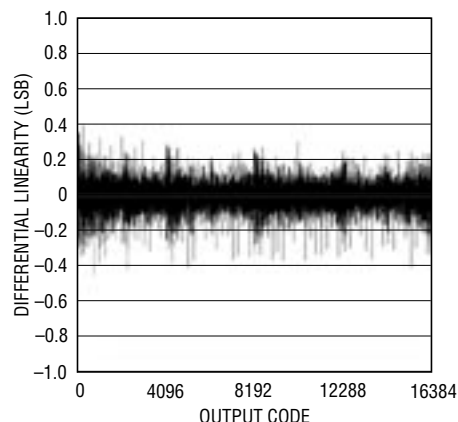


1408 G10

CH0+に833kHz、CH0-に841kHzを
入力した、588kspsバイポーラ・
モードの4096ポイントのFFT

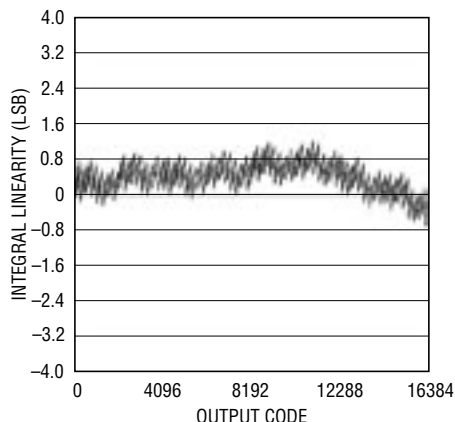


内部2.5Vリファレンスを使った
CH0の微分直線性、ユニポーラ・
モード



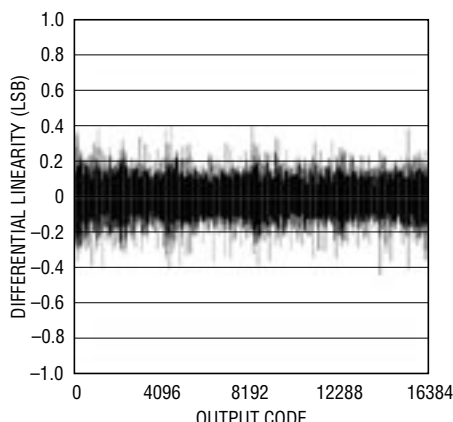
1408 G12

内部2.5Vリファレンスを使った
CH0の積分直線性のエンドポイント
の適合、ユニポーラ・モード



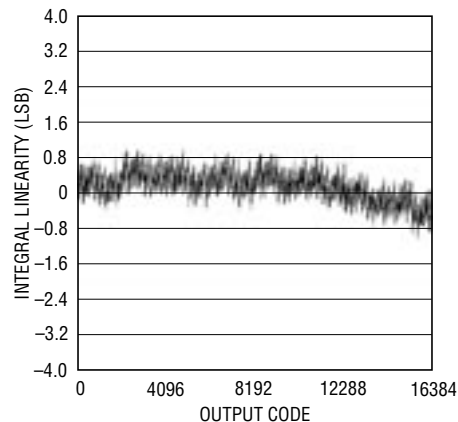
1408 G13

内部2.5Vリファレンスを使った
CH0の微分直線性、バイポーラ・
モードの差動入力



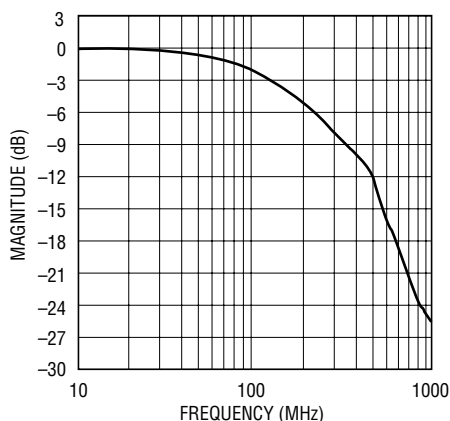
1408 G14

積分直線性の
エンドポイントの適合



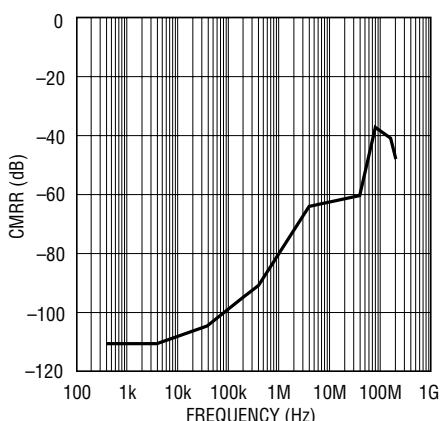
1408 G15

フルスケール信号応答



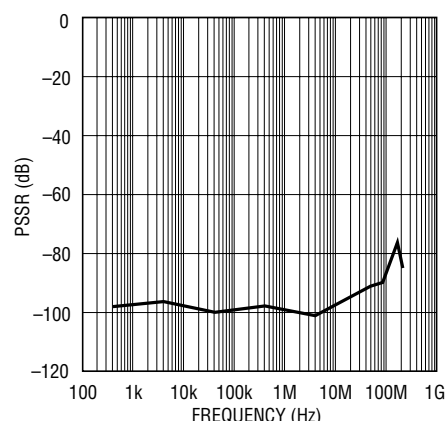
1408 G16

CMRRと周波数



1408 G20

クロストークと周波数

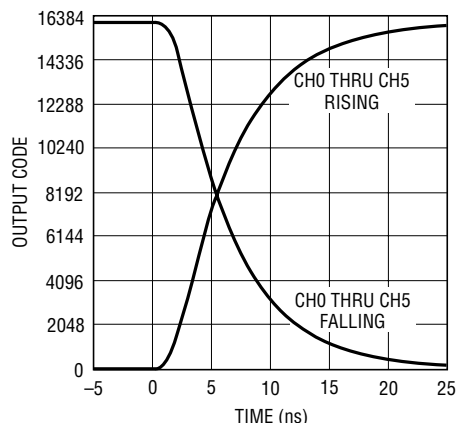


1408 G21

1408fa

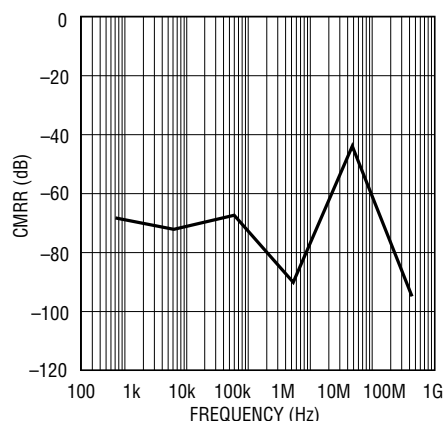
標準的性能特性 $V_{DD} = 3V$, $T_A = 25^\circ C$

6チャンネルすべての25 Ω ソース・
サンプリングからの同時ステップ
周波数 = 625kps
入力周波数 = 625.0381MHz



1408 G22

PSRRと周波数



1408 G23

ピン機能

SDO (ピン1): スリーステートのシリアル・データ出力。6つの出力データ・ワードの各組は、前の変換開始点の6つのアナログ入力チャンネルを表しています。CH0のデータが最初に出され、CH5のデータが最後に出されます。各データ・ワードはMSBを先頭にして出力されます。

OGND (ピン2): SDO電流のグラウンド・リターン。このパッドは必ずグラウンド・プレーンの電位の300mV以内にしてください。

OV_{DD} (ピン3): SDOピンの電源。OV_{DD}はV_{DD}より300mV以上高くしてはならないので、低い電圧にして低電圧のロジック・ファミリとインターフェイスさせることができます。SDOが無負荷で“H”状態だと、OV_{DD}の電位になります。

CH0⁺ (ピン4): チャンネル0の非反転入力。CH0⁺はCH0⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH0⁻ (ピン5): チャンネル0の反転入力。CH0⁻はCH0⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

GND (ピン6、9、12、13、16、19): アナログ・グラウンド。これらのグラウンド・ピンはデバイスの下で強固なグラウンド・プレーンに直接接続する必要があります。アナログ信号電流はこれらの接続点を通して流れます。

CH1⁺ (ピン7): チャンネル1の非反転入力。CH1⁺はCH1⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH1⁻ (ピン8): チャンネル1の反転入力。CH1⁻はCH1⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH2⁺ (ピン10): チャンネル2の非反転入力。CH2⁺はCH2⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH2⁻ (ピン11): チャンネル2の反転入力。CH2⁻はCH2⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

ピン機能

CH3⁺ (ピン14): チャンネル3の非反転入力。CH3⁺はCH3⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH3⁻ (ピン15): チャンネル3の反転入力。CH3⁻はCH3⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH4⁺ (ピン17): チャンネル4の非反転入力。CH4⁺はCH4⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH4⁻ (ピン18): チャンネル4の反転入力。CH4⁻はCH4⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH5⁺ (ピン20): チャンネル5の非反転入力。CH5⁺はCH5⁻に対して完全に差動で動作し、差動振幅は0V~2.5Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

CH5⁻ (ピン21): チャンネル5の反転入力。CH5⁻はCH5⁺に対して完全に差動で動作し、差動振幅は-2.5V~0Vまたは±1.25Vで、絶対入力範囲は0V~V_{DD}です。

GND (ピン22): リファレンス用アナログ・グラウンド。アナログ・グラウンドはデバイスの下の強固なグラウンド・プレーンに直接接続する必要があります。アナログ信号電流はこの接続点を通して流れます。10μFのリファレンス・バイパス・コンデンサをこのパッドに戻す必要があります。

V_{REF} (ピン23): 2.5Vの内部リファレンス。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサと並列に接続した10μFのタンタル・コンデンサ)を使用してGNDおよび強固なアナログ・グラウンド・プレーンにバイパスしてください。2.55V~V_{DD}(V_{CC})の外部リファレンス電圧でオーバードライブすることができます。

V_{CC} (ピン24): アナログ3V正電源。このピンはアナログ部分に3Vを供給します。0.1μFのセラミック・コンデンサと並列に接続した10μFのセラミック・コンデンサ(または10μFのタンタル・コンデンサ)を使用して強固なアナログ・グラウンド・プレーンにバイパスしてください。0.1μFのバイパス・コンデンサはできるだけピン24に近づけて配置するようにしてください。ピン24をピン25に接続する必要があります。

V_{DD} (ピン25): デジタル3V正電源。このピンはロジック部分に3Vを供給します。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサと並列に接続した10μFのタンタル・コンデンサ)を使用してDGNDピンおよび強固なアナログ・グラウンド・プレーンにバイパスしてください。内部のデジタル出力信号電流はこのピンを流れるということに留意してください。0.1μFのバイパス・コンデンサはできるだけピン25に近づけて配置するように注意してください。ピン25をピン24に接続する必要があります。

SEL2 (ピン26): 変換されるチャンネル数を制御する最上位ビット。SEL1とSEL0との組み合わせで000に設定することによって、最初のチャンネル(CH0)のみでの変換が選択されます。SEL_xを増加することによって、チャンネル(CH0~CH5)での変換が追加選択されます。101、110、111では、6チャンネルすべてでの変換が選択されます。変換中および次の変換のデータ読み出し中は、状態を固定しておく必要があります。

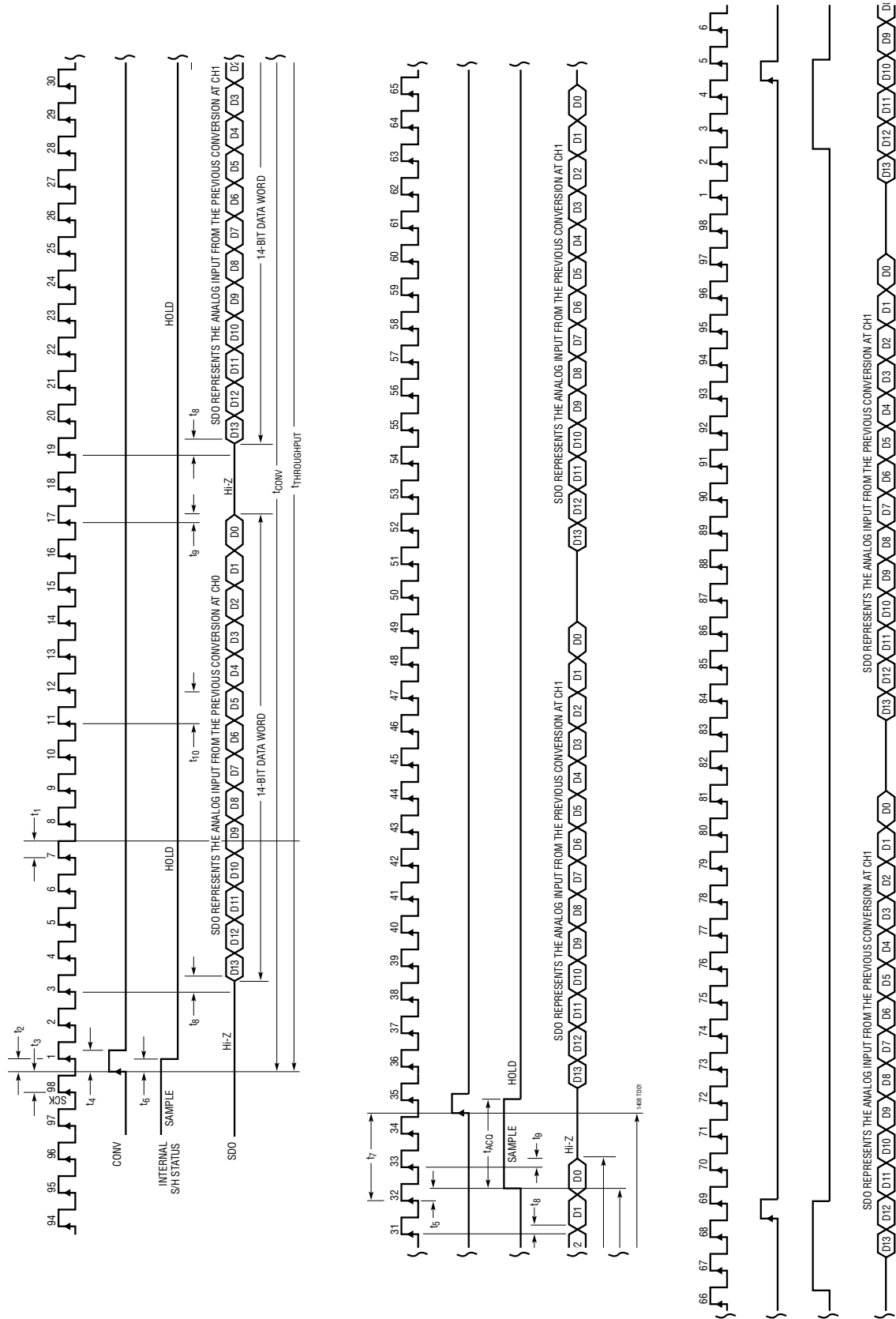
SEL1 (ピン27): 変換されるチャンネル数を制御する中位ビット。SEL0とSEL2との組み合わせで000に設定することによって、最初のチャンネル(CH0)のみでの変換が選択されます。SEL_xを増加することによって、変換のチャンネルが追加選択されます。101、110、111では、6チャンネル(CH0~CH5)すべてでの変換が選択されます。変換中および次の変換のデータ読み出し中は、状態を固定しておく必要があります。

SEL0 (ピン28): 変換されるチャンネル数を制御する最下位ビット。SEL1とSEL2との組み合わせで000に設定することによって、最初のチャンネル(CH0)のみでの変換が選択されます。SEL_xを増加することによって、変換のチャンネルが追加選択されます。101、110、111では、6チャンネル(CH0~CH5)すべてでの変換が選択されます。変換中および次の変換のデータ読み出し中は、状態を固定しておく必要があります。

BIP (ピン29): バイポーラ/ユニポーラ・モード。入力差動範囲はBIPが“L”では0V~2.5Vで、BIPが“H”では±1.25Vです。変換中および次の変換のデータ読み出し中は、状態を固定しておく必要があります。変換と変換の間でBIPを切り替える場合、次の変換が開始される前に十分な収集時間を割り当てる必要があります。出力データは、バイポーラ・モードでは2の補数の形式で、ユニポーラ・モードではストレート・バイナリの形式です。

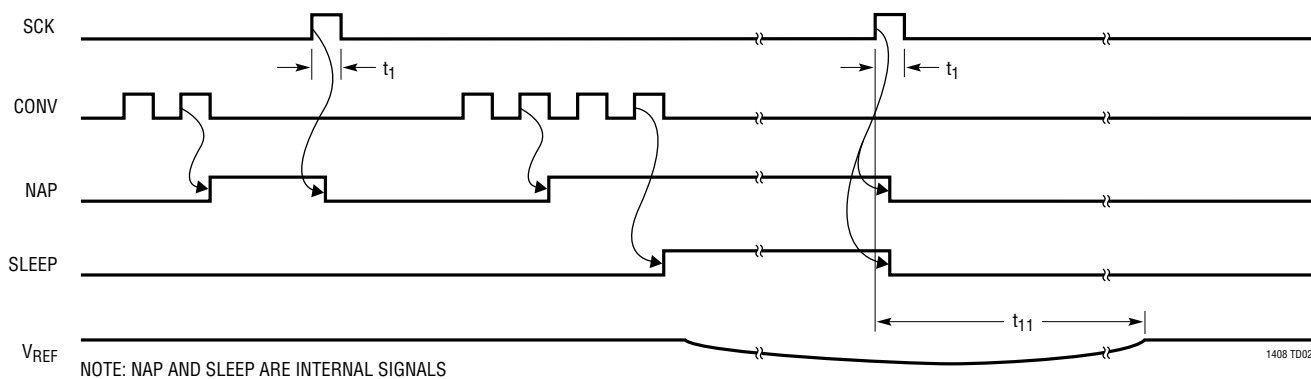
タイミング図

LTC1408のタイミング図

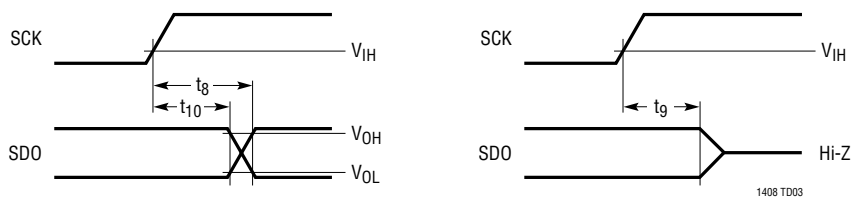


タイミング図

ナップ・モードとスリープ・モードの波形



SCKからSD0への遅延



アプリケーション情報

変換チャンネル数の選択
(SEL2、SEL1、SEL0)

これら3つの制御ピンによって、変換されるチャンネル数が選択されます。000の場合、最初のチャンネル(CH0)のみでの変換が選択されます。SELxを増加することによって、変換のチャンネルを(最大6チャンネル)追加選択できます。101、110、111では、6チャンネルすべてでの変換が選択されます。変換中および次の変換のデータ読み出し中は、これらのピンの状態を固定しておく必要があります。変換と変換の間にモードの切り替えを行う場合、特定のチャンネルの出力データはそのチャンネルが再度変換されるまで変化しないことに注意してください。たとえば、SELx = 011の4チャンネル(CH0、CH1、CH2、CH3)のシーケンスを変換する場合、これらのチャンネルの変換後にSELxを001に切り替えると、CH0とCH1のみが変換されます。表1を参照してください。2つのチャンネルの最初の組の変換中、前の4つのチャンネルのグループの一部として変換された同じ2つのチャンネルからデータを読み出すことができます。その後で、4つ以上のチャンネルを変換して、4つのチャンネルの最初の組で変換されたCH2とCH3の未読データを読み返すことができます。通常、これらのピンは結線されているので、特定のアプリケーションでの正確なチャンネル数が設定可能です。

バイポーラ/ユニポーラ・モード

各CHxの入力差動ペアの入力電圧範囲は、BIPが“L”ではユニポーラの0V~2.5Vで、BIPが“H”ではバイポーラの±1.25Vです。このピンは、変換中および次の変換のデータ読み出し中は、状態を固定しておく必要があります。変換と変換の間でBIPを切り替える場合、次の変換が開始される前に十分な収集時間を割り当てる必要があります。バ

イポーラからユニポーラまたはユニポーラからバイポーラへモードを変更した後でも、MSBを反転してこれらの変換されたモードのチャンネルを読み出すことによって、新しいモードのチャンネルの最初の組を読み出すことができます。

アナログ入力のドライブ

LTC1408の差動アナログ入力のドライブは容易です。これらの入力には差動入力またはシングルエンド入力(つまり、CH0⁻入力を接地)としてドライブすることができます。6つのすべての差動アナログ入力ペア(CH0⁺とCH0⁻、CH1⁺とCH1⁻、CH2⁺とCH2⁻、CH3⁺とCH3⁻、CH4⁺とCH4⁻、CH5⁺とCH5⁻)の12のアナログ入力のすべてが同時にサンプリングされます。各入力ペアの両入力に共通な不要信号はすべてサンプル・ホールド回路の同相除去によって低減されます。入力には、変換終了時点でサンプル・ホールド・コンデンサを充電する間、小さな電流スパイクが流れるだけです。変換時、アナログ入力には小さなリーク電流だけが流れます。ドライブ回路のソース・インピーダンスが小さい場合、LTC1408の入力を直接ドライブすることができます。ソース・インピーダンスが増加するにしたがって、収集時間も増加します。大きいソース・インピーダンスでの収集時間を最小限に抑えるには、バッファ・アンプを使用する必要があります。主な要件として、アナログ入力をドライブするアンプは小電流スパイクの後、次の変換が開始される前にセトリングする必要があります(セトリングに割り当てる時間は最大スループット・レートの場合、最短で39nsが必要)。入力アンプの選択時には、アンプによって追加されるノイズと高調波歪みの大きさについても考慮してください。

表1. 変換シーケンス制御
(「acquire(収集)」はすべてのチャンネルの同時サンプリングを示し、CHxはチャンネルの変換を示す)

SEL2	SEL1	SEL0	CHANNEL ACQUISITION AND CONVERSION SEQUENCE
0	0	0	acquire, CH0, acquire, CH0...
0	0	1	acquire, CH0, CH1, acquire, CH0, CH1...
0	1	0	acquire, CH0, CH1, CH2, acquire, CH0, CH1, CH2...
0	1	1	acquire, CH0, CH1, CH2, CH3, acquire, CH0, CH1, CH2, CH3...
1	0	0	acquire, CH0, CH1, CH2, CH3, CH4, acquire, CH0, CH1, CH2, CH3, CH4...
1	0	1	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...
1	1	0	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...
1	1	1	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...

アプリケーション情報

入力アンプの選択

いくつかの要件を考慮すれば、入力アンプの選択は容易です。まず、サンプリング・コンデンサの充電によって生じる、アンプから見た電圧スパイクの大きさを制限するには、閉ループ帯域幅周波数での出力インピーダンスが小さい(100Ω未満)アンプを選択します。たとえば、アンプが利得1で使用されていて、そのユニティゲイン帯域幅が50MHzであれば、50MHzでの出力インピーダンスは100Ω未満でなければなりません。2番目の要件として、最大スループットでの小信号の適切なセトリングを確保するために、閉ループ帯域幅は40MHzより大きくなければなりません。低速のオペアンプが使用される場合、変換と変換の間隔を大きくすることによって、セトリング時間を長くすることができます。LTC1408のドライブに最適なオペアンプはアプリケーションに依存します。一般に、アプリケーションは2つに分類されます。ダイナミックな仕様が最も重要なACアプリケーションと、DC精度やセトリング時間が最も重要な時間領域のアプリケーションです。LTC1408をドライブするのに適したオペアンプをまとめて以下に列挙します。(詳細な情報は、リニアテクノロジー社のデータブックとWebサイトwww.linear-tech.co.jpを参照してください。)

LinearViewはリニアテクノロジー社の商標です。

LTC1566-1: 低ノイズの2.3MHz連続時間ローパス・フィルタ。

LT[®]1630: デュアル30MHzレール・トゥ・レール電圧帰還アンプ。2.7V〜±15V電源。非常に高い A_{VOL} 、500μVのオフセット、4Vの振幅で0.5LSBへのセトリングが520ns。THDとノイズが40kHzまで−93dB、320kHzまで1LSB未満($A_V=1$ 、1kΩに対して2V_{P-P}、 $V_S=5V$)なので、レール・トゥ・レール動作が望ましいACアプリケーション(1/3ナイキストまで)に最適。クワッド・バージョンはLT1631として供給されている。

LT1632: デュアル45MHzレール・トゥ・レール電圧帰還アンプ。2.7V〜±15V電源。非常に高い A_{VOL} 、1.5mVのオフセット、4Vの振幅で0.5LSBへのセトリングが400ns。単一5V電源のアプリケーションに適している。THDとノイズが40kHzまで−93dB、800kHzまで1LSB未満($A_V=1$ 、1kΩに対して2V_{P-P}、 $V_S=5V$)なので、レール・トゥ・レール動作が望ましいACアプリケーションに最適。クワッド・バージョンはLT1633として供給されている。

LT1801: 80MHz GBWP、500kHzで−75dBc、2mA/アンプ、8.5nV/√Hz。

LT1806/LT1807: 325MHz GBWP、5MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、10mA/アンプ、3.5nV/√Hz。

LT1810: 180MHz GBWP、5MHzで−90dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、16nV/√Hz。

LT1818/LT1819: 400MHz、2500V/μs、9mA、シングル/デュアル電圧モード・オペアンプ。

LT6200: 165MHz GBWP、1MHzで−85dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、0.95nV/√Hz。

LT6203: 100MHz GBWP、1MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、3mA/アンプ、1.9nV/√Hz。

LT6600: アンプ/フィルタ、差動入出力、10MHzのカットオフ周波数。

アプリケーション情報

入力フィルタ処理とソース・インピーダンス

入力アンプと他の回路のノイズと歪みがLTC1408のノイズと歪みに加わるので、それらについて考慮する必要があります。サンプル・ホールド回路の小信号帯域幅は50MHzです。アナログ入力に存在するすべてのノイズや歪みは、この帯域幅全体にわたって加算されます。ノイズの多い入力回路はアナログ入力の前でフィルタ処理し、ノイズを最小限に抑える必要があります。多くのアプリケーションでは、シンプルな1ポールのRCフィルタで十分です。たとえば、図1にはCH0⁺からグランドに接続した47pFのコンデンサと51Ωのソース抵抗が示されており、正味入力帯域幅を30MHzに制限します。47pFのコンデンサは入力のサンプル・ホールドのための蓄電コンデンサとしても機能して、サンプリング・グリッチに敏感な回路からADCの入力を絶縁します。これらの部品は歪みを大きくする可能性があるため、高品質のコンデンサと抵抗を使用する必要があります。NP0やシルバーマイカ・タイプの誘電体コンデンサは優れた直線性を備えています。表面実装カーボン抵抗は自己発熱や半田付けで生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は両方の問題に対してはるかに耐性があります。振幅の大きな不要な信号の周波数が所期の信号周波数に近接している場合、マルチ・ポールのフィルタが必要です。

大きな外部ソース抵抗を13pFの入力コンデンサと組み合わせると、定格50MHzの入力帯域幅を減少させ、収集時間が39nsより長くなります。

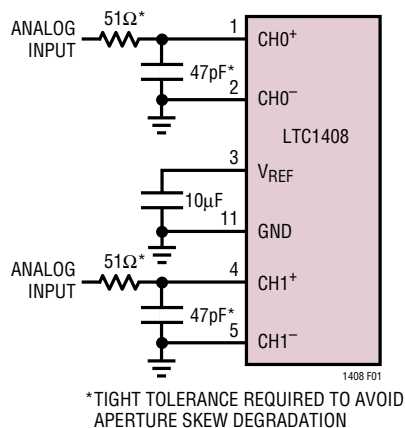


図1. RC入力フィルタ

入力範囲

LTC1408のアナログ入力は単一電源で完全に差動でドライブすることができます。差動振幅が、BIP(ピン29)が“L”のとき2.5Vを、“H”のとき±1.25Vを超えない限り、どちらの入力もV_{CC}まで振幅することができます。0V~2.5Vの範囲は、単一電源のアプリケーションでのシングルエンド入力の用途にも最適です。入力の同相範囲はグランドから電源電圧V_{CC}に達します。任意の入力ペアでCH⁺とCH⁻の差が2.5V(ユニポーラ)または1.25V(バイポーラ)を超えると、出力コードは正のフルスケールに固定され、この差が0V(ユニポーラ)または-1.25V(バイポーラ)を下回ると、出力コードは負のフルスケールに固定されます。

内部リファレンス

LTC1408には温度補償されたバンドギャップ・リファレンスが内蔵されており、2.5Vの正確な入力スパンを得るため、製造時にほぼ2.5Vに調整されています。リファレンス・アンプの出力V_{REF}(ピン23)はコンデンサでグランドにバイパスする必要があります。リファレンス・アンプは1μF以上のコンデンサで安定します。最良のノイズ性能を得るには、0.1μFのセラミック・コンデンサと並列に接続した10μFのセラミック・コンデンサまたは10μFのタンタル・コンデンサを推奨します。図2に示すように、V_{REF}ピンは外部のリファレンスでオーバードライブすることができます。外部リファレンスの電圧は、内部リファレンスのオープンドレインPチャネル出力の2.5Vより高くする必要があります。外部リファレンスの推奨範囲は2.55V~V_{DD}です。2.55Vの外部リファレンスのDC消費負荷電流は0.75mA、変換時の電流は最大3mAです。

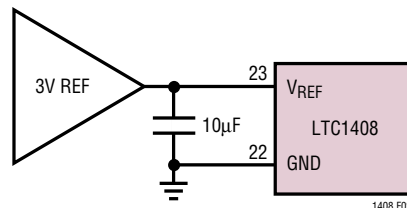


図2. 外部リファレンス

アプリケーション情報

入力スパンとリファレンス電圧

差動入力範囲のユニポーラ電圧スパンは、リファレンスのバッファ出力 V_{REF} (ピン23)の電圧とグラウンドの電圧の差に等しくなります。内部リファレンスを使用している場合、ADCの差動入力範囲は0V～2.5Vです。内部のADCはこれら2つのノードを基準にしています。この関係は外部リファレンスについても同様です。

差動入力

ADCはいずれの入力ペアの同相電圧にも依存せずに、常に CH^+ から CH^- を差し引いた値を変換します。同相除去は高い周波数でも有効です(図3を参照)。唯一の要件は両方の入力グラウンドを下回ることも、 V_{DD} を超えることもないことです。

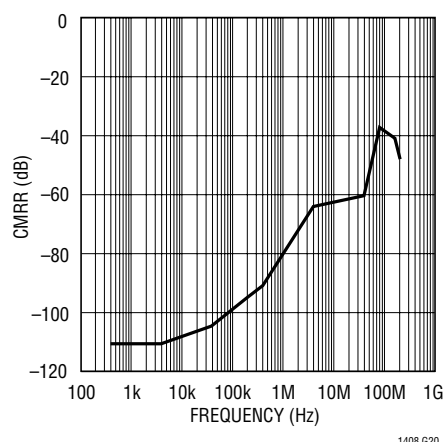


図3. CMRRと入力周波数

積分非直線性誤差(INL)と微分非直線性誤差(DNL)は通常、同相電圧に依存しません。ただし、オフセット誤差は変化します。DCのCMRRは標準で-90dBより優れています。

LTC1408のユニポーラ・モード(BIP = “L”)での理想的な入力/出力特性を図4に示します。コードの遷移は、隣接する整数のLSB値の間(つまり、0.5LSB、1.5LSB、2.5LSB、FS-1.5LSB)で生じます。LTC1408の場合、出力コードは $1\text{LSB} = 2.5\text{V}/16384 = 153\mu\text{V}$ のストレート・バイナリです。LTC1408の白色ガウスノイズは0.7LSB RMSです。

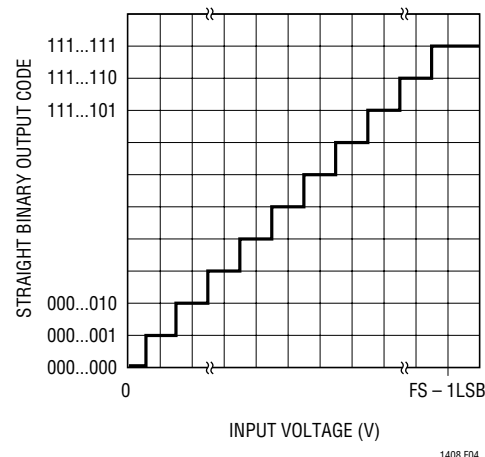


図4. LTC1408のユニポーラ・モード (BIP = “L”)での伝達特性

LTC1408のバイポーラ・モード(BIP = “H”)での理想的な入力/出力特性を図5に示します。コードの遷移は、隣接する整数のLSB値の間(つまり、0.5LSB、1.5LSB、2.5LSB、FS-1.5LSB)で生じます。LTC1408の場合、出力コードは $1\text{LSB} = 2.5\text{V}/16384 = 153\mu\text{V}$ の2の補数です。LTC1408の白色ガウスノイズは0.7LSB RMSです。

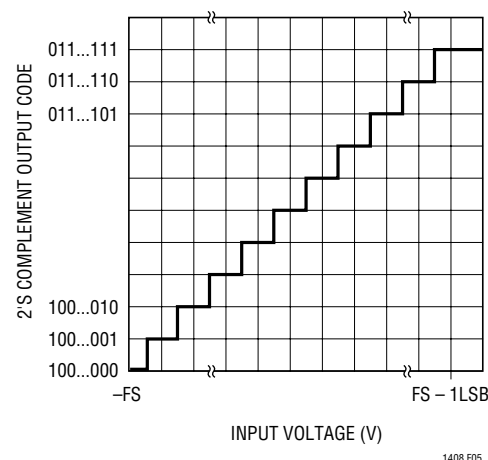


図5. LTC1408のバイポーラ・モード (BIP = “H”)での伝達特性

アプリケーション情報

パワーダウン・モード

起動すると、LTC1408はアクティブ状態に初期化され、変換の準備ができます。ナップ・モードとスリープ・モードの波形はLTC1408のパワーダウン・モードを示しています。SCK入力とCONV入力によりパワーダウン・モードが制御されます(「タイミング図」を参照)。CONVに2つの立ち上がりエッジが印加されると、その間にSCKの立ち上がりエッジが入り込むことなく、LTC1408はナップ・モードになり、電力消費は15mWから3.3mWに低下します。ナップ・モードでは内部リファレンスに電力が供給されたままです。1つ以上のSCKの立ち上がりエッジが印加されるとLTC1408は即座に復帰し、CONVは1クロック以内に正確な変換を開始することができます。CONVに4つの立ち上がりエッジが印加されると、その間にSCKの立ち上がりエッジが入り込むことなく、LTC1408はスリープ・モードになり、電力消費は15mWから10 μ Wに低下します。SCKに1つ以上の立ち上がりエッジが印加されると、LTC1408は復帰し動作を再開します。内部リファレンス(V_{REF})は10 μ Fの負荷ではスルーしてセトリングするまで2msかかります。スリープ・モードを頻繁に使用すると、出力データの精度が低下します。低速の変換では、ナップ・モードとスリープ・モードを使用して電力消費を大幅に減らすことができます。

デジタル・インターフェイス

LTC1408には3線SPI(シリアル・ペリフェラル・インターフェイス)インターフェイスが備わっています。SCKとCONVの入力およびSDO出力にはこのインターフェイスが実装されています。ロジック振幅が V_{DD} を上回らなければ、SCK入力とCONV入力は3Vロジックの振幅を許容し、TTL互換です。3つのシリアル・ポートの信号の詳細について、以下に説明します。

変換開始入力(CONV)

CONVの立ち上がりエッジで変換が開始されますが、それ以降のCONVの立ち上がりエッジは、SCKに96の立ち上がりエッジが印加されるまで、LTC1408によって無視されます。CONVのデューティ・サイクルは、プロセッサのシリアル・ポートのフレーム同期信号として使用するため、任意に選択することができます。CONVを生成するシンプルな方法として、LTC1408をドライブするためにSCK 1個分の幅のパルスを作成し、この信号をバッファしてプロセッサのシリアル・ポートのフレーム同期入力をドライブします。LTC1408のCONV入力を最初にドライブして、変換開始時にCONVによってトリガされたサンプル・ホールドが遷移する間、デジタル・ノイズの影響を避けるのが良い方法です。CONV信号の“L”の部分の幅を15nsより広くして、CONVの立ち上がりエッジでサンプル・ホールドがホールド・モードになる直前にADCのフロントエンドにグリッチが生じるのを防ぐのも良い方法です。

アプリケーション情報

CONV入力のジッタの最小化

100kHzを上回る振幅が大きい正弦波がサンプリングされる高速アプリケーションでは、CONV信号のジッタをできるだけ小さくする(10ps以下)ことが必要です。普通の水晶クロック・モジュールの方形波出力は通常、この要件を容易に満たします。難しいのは、システム内の他のデジタル回路からのジッタの影響を受けることなしに、この水晶クロックからCONV信号を生成することです。水晶クロックからCONV入力までの信号経路内のクロック分配器やゲートは、システムの他の部分と同じ集積回路を共有すべきではありません。SCK入力とCONV入力は、シリアル・ポート・インターフェイスのドライブに使用されるデジタル・バッファで最初にドライブします。DSP内のマスタ・クロックは、たとえばDSPの水晶から直接供給されていても、既にジッタで劣化している可能性があることにも注意してください。高速プロセッサ・クロックの別の問題として、多くの場合、低コストで低速の水晶(10MHzなど)を使用し、高速ではあるもののジッタが大きいフェーズロック・ループのシステム・クロック(40MHzなど)を生成していることがあげられます。これらのPLLで生成された高速クロックのジッタは数ナノ秒に達することがあります。DSPポートで生成したフレーム同期信号を使用する場合、この信号にはDSPのマスタ・クロックと同じジッタが含まれることに注意してください。

RF信号発生器などの低ジッタのソースの出力をレベル・シフトまたは方形波化する回路を、20ページの「標準的応用例」の図に示します。1個のD型フリップフロップを使用してLTC1408へのCONV信号を生成します。マスタ・クロック信号をタイミング調整することによって、制御デバイス(DSP、FPGAなど)から生じるクロック・ジッタを排除します。インバータとフリップフロップはともにアナログ部品として扱う必要があるため、クリーンなアナログ電源から電力を供給します。

シリアル・クロック入力(SCK)

SCKの立ち上がりエッジによって変換プロセスが進行し、同時にSDOデータ・ストリームの各ビットが更新されます。CONVが立ち上がった後、SCKの3番目の立ち上がりエッジにより、最大6組の14データ・ビットがMSBを先頭にして送出されます。シンプルな手法として、LTC1408をドライブするSCKを最初に生成してから、必要な個数のインバータを使用してこの信号をバッファし、プロセッサのシリアル・ポートのシリアル・クロック入力をドライブします。クロックの立ち上がりエッジを使用してデータをシリアル・データ出力(SDO)からプロセッサのシリアル・ポートにラッチします。14ビットのシリアル・データは、フレーム同期ごとに96クロック以上を使用し、6つの16ビット・ワードとして右揃えで受信されます。SEL0～SEL2によって5つ以下のチャンネルを選択して変換する場合、アナログ入力を変換して次の変換パルスの変換データを読み出すのに、1チャンネルあたり16クロックを必要とします。LTC1408のSCK入力を最初にドライブし、内部高速コンパレータによって内部でビットの比較判定が行われる間のデジタル・ノイズの影響を避けるのが良い方法です。CONV入力とは異なり、入力信号が既にサンプリングされて一定に保たれているので、SCK入力はジッタに対して敏感ではありません。

シリアル・データ出力(SDO)

起動時に、SDO出力は自動的にハイ・インピーダンス状態にリセットされます。SDO出力は新たな変換が開始されるまではハイ・インピーダンス状態のままです。CONVの立ち上がりエッジで変換が開始されてからSCKの3番目の立ち上がりエッジの後、SDOから出力データ・ストリームの最大6組の14ビットが送出されます。6組以下の14ビット・ワードは2クロック・サイクルの間、ハイ・インピーダンス・モードで分離されます。SCKから有効なSDOまでの遅延の規格値に注意してください。SDOはSCKの次の立ち上がりエッジまで有効であることが常に保証されています。16～96ビットの出力データ・ストリームは、ほとんどのプロセッサの16ビットまたは32ビットのシリアル・ポートと互換性があります。

アプリケーション情報

ボード・レイアウトとバイパス

高分解能または高速A/Dコンバータにはワイヤラップ・ボードは推奨されません。LTC1408から最良の性能を得るには、グラウンド・プレーンを備えたPCボードが必要です。PCボードのレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離します。特に、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように注意してください。入力間に最適な位相整合が必要な場合、6本の入力チャンネルの12本の入力線の長さを整合させます。ただし、6本の入力チャンネルへの入力線の各ペアはグラウンド・トレースによって分離し、チャンネル間の高周波クロストークを防ぎます。

このデータシートの最初のページのブロック図に示されているように、V_{CC}ピン、V_{DD}ピン、V_{REF}ピンには高品質のタンタルまたはセラミックのバイパス・コンデンサを使います。最適性能を実現するには、V_{CC}ピン、V_{DD}ピン、V_{REF}ピンに10 μ Fの表面実装タンタル・コンデンサと0.1 μ Fのセラミック・コンデンサを組み合わせることを推奨します。代わりに、X5RやX7Rなどの10 μ Fセラミック・チップ・コンデンサを使うこともできます。これらのコンデンサはできるだけピンに近づけて配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。V_{CC}およびV_{DD}のバイパス・コンデンサはグラウンド・プレーンに戻り、V_{REF}のバイパス・コンデンサはピン22に戻ります。V_{CC}およびV_{DD}の0.1 μ Fのバイパス・コンデンサはできるだけピン24とピン25に近づけて配置するよう注意してください。

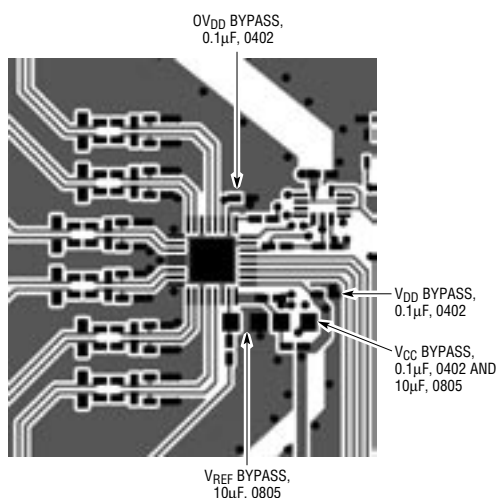


図6. 推奨レイアウト

システムの推奨グラウンド接続を図6に示します。アナログ回路のすべてのグラウンドはLTC1408の露出パッドのところで終端します。ノイズの無い動作を実現するため、LTC1408から電源へのグラウンド・リターンは低インピーダンスにします。32ピンQFNパッケージの露出パッドはグラウンド・パッドにも内部接続します。露出パッドはグラウンド接続のインダクタンスを減らすためにPCボードに半田付けします。グラウンド・ピン(GND、DGND、OGND)はすべて、LTC1408の下と同じグラウンド・プレーンに直接接続する必要があります。

TMS320C54xとのハードウェア・インターフェイス

LTC1408はシリアル出力のADCで、そのインターフェイスは高速デジタル信号プロセッサ(DSP)のバッファされた高速シリアル・ポート向けに設計されています。TMS320C54Xを使ったこのインターフェイスの例を図7に示します。

TMS320C54Xのバッファ付きシリアル・ポートはメモリの2kBセグメントに直接アクセスします。ADCのシリアル・データは、LTC1408の最大600kspsの変換レートで、2つの交互に切り替わる1kBセグメントにリアルタイムで集めることができます。DSPのアセンブリ・コードにより、外部の立ち上がりパルスを受け入れるようにBFSRピンのフレーム同期モードが設定され、外部の立ち上がりエッジを使うクロックを受け入れるようにBCLKRピンのシリアル・クロックが設定されます。LTC1408への信号の劣化を防ぐため、LTC1408の近くにバッファを追加して、DSPへの長いトラックをドライブすることができます。標準的なシステム・ボードを横断するにはこの構成が適切ですが、非常に長い伝送ラインの特性インピーダンスを整合させるには、バッファ出力のソース抵抗とDSPの終端抵抗が必要になるかもしれません。SDOの伝送ラインを終端する必要がある場合は、まずその伝送路を1個または2個の74ACxxゲートを使ってバッファします。DSPポートのTTLスレッシュホールドの入力は、LTC1408に使われる3Vの振幅に正しく応答します。

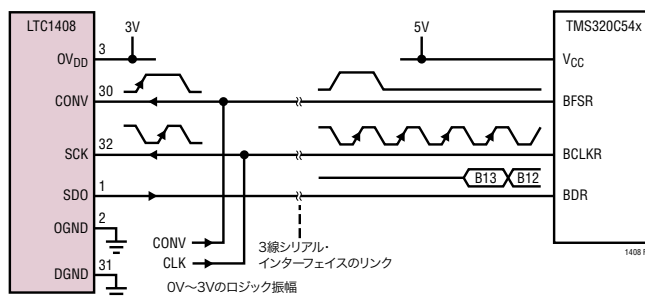


図7. TMS320C54xへのDSPシリアル・インターフェイス

LTC1408

関連製品

製品番号	説明	注釈
ADCs		
LTC1402	12ビット、2.2MspsシリアルADC	5Vまたは±5V電源、4.096Vまたは±2.5Vのスパン
LTC1403/LTC1403A	12/14ビット、2.8MspsシリアルADC	3V、15mW、ユニポーラ入力、MSOPパッケージ
LTC1403-1/LTC1403A-1	12/14ビット、2.8MspsシリアルADC	3V、15mW、バイポーラ入力、MSOPパッケージ
LTC1405	12ビット、5MspsパラレルADC	5V、選択可能なスパン、115mW
LTC1407/LTC1407A	12/14ビット、3Msps、同時サンプリングADC	3V、14mW、2チャンネル・ユニポーラ入力範囲
LTC1407-1/LTC1407A-1	12/14ビット、3Msps、同時サンプリングADC	3V、14mW、2チャンネル・バイポーラ入力範囲
LTC1411	14ビット、2.5MspsパラレルADC	5V、選択可能なスパン、SINAD:80dB
LTC1412	12ビット、3MspsパラレルADC	±5V電源、±2.5Vスパン、SINAD:72dB
LTC1420	12ビット、10MspsパラレルADC	5V、選択可能なスパン、SINAD:72dB
LTC1608	16ビット、500kspsパラレルADC	±5V電源、±2.5Vスパン、SINAD:90dB
LTC1609	16ビット、250kspsシリアルADC	5V設定可能なバイポーラ入力/ユニポーラ入力
LTC1864/LTC1865/ LTC1864L/LTC1865L	16ビット、250ksps、1チャンネル/ 2チャンネル・シリアルADC	5Vまたは3V (Lバージョン)、マイクロパワー、MSOPパッケージ
DACs		
LTC1592	16ビット、シリアルSoftSpan™ IOUT DAC	INL/DNL:±1LSB、ソフトウェアで選択可能なスパン
LTC1666/LTC1667/ LTC1668	12/14/16ビット、50Msps DAC	SFDR:87dB、セトリング時間:20ns
リファレンス		
LT1460-2.5	マイクロパワーのシリーズ電圧リファレンス	初期精度:0.10%、ドリフト:10ppm
LT1461-2.5	高精度電圧リファレンス	初期精度:0.04%、ドリフト:3ppm
LT1790-2.5	マイクロパワー・シリアル・リファレンス (SOT-23)	初期精度:0.05%、ドリフト:10ppm

SoftSpanはリニアテクノロジー社の商標です。

標準的応用例

RF正弦波発生器を使用したテストを可能にするクロック方形波生成/レベルシフト回路。
低ジッタ・クロック・タイミングを保持する変換タイミング調整フリップフロップ

