シャットダウン機能付きシリアル12ビット/14ビット、3Msps同時サンプリングADC

特長

- **2つの同時サンプリング差動入力を装備した3MspsサンプリングADC**
- **チャネル当たりのスループット：1.5Msps**
- **低消費電力：14mW（標準）**
- **単一3V電源動作**
- ±1.25Vの差動入力範囲
- 0V～2.5Vの入力範囲バージョン（LTC1407/LTC1407A）とピン互換
- 外部オーバードライブ機能付き2.5Vバンドギャップ・リファレンスを内蔵
- 3線シリアル・インタフェース
- スリープ（10μW）シャットダウン・モード
- ナップ（3mW）シャットダウン・モード
- 同相除去比：100kHzで80dB
- 小型10ピンMSパッケージ

アプリケーション

- テレコム
- データ収集システム
- 無停電電源
- マルチフェーズ・モータ制御
- I&Q復調
- 産業用無線

概要

LTC®1407-1/LTC1407A-1は、1.5Mspsで同時にサンプリングされる2つの差動入力を備えた12ビット/14ビット、3Msps ADCです。これらのデバイスは、単一3V電源で消費電流がわずか4.7mAで、小型10ピンMSパッケージで供給されます。スリープ・シャットダウン機能により、消費電力を10μWに低減できます。高速、低消費電力、小型パッケージのLTC1407-1/LTC1407A-1は、高速の携帯アプリケーションに適しています。

LTC1407-1/LTC1407A-1は、CONV信号の立ち上がりエッジで同時にサンプリングされる2つの個別の差動入力を搭載しています。これらのサンプリングされた入力は、1.5Msps/チャネルのレートで変換されます。

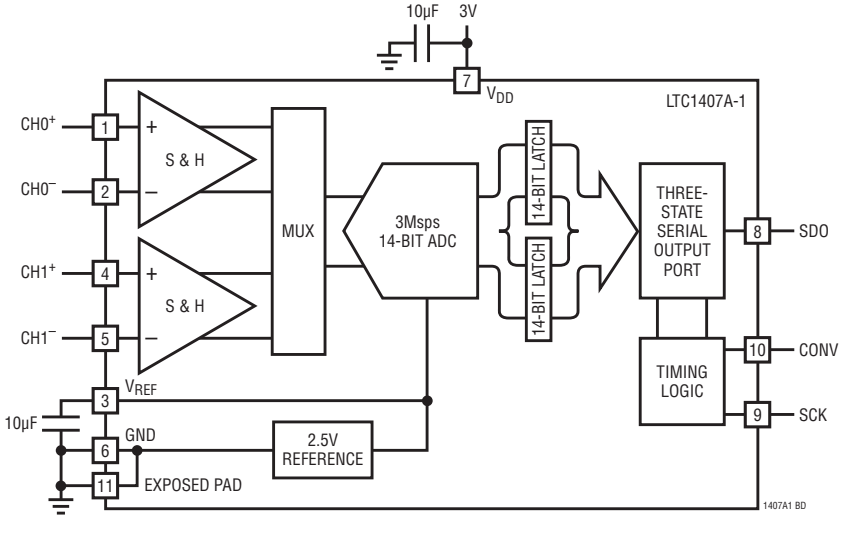
80dBの同相除去比により、ソースから差動で信号を測定することによってグランド・ループや同相ノイズを排除できます。

これらのデバイスは、−1.25V～1.25Vのバイポーラ入力を差動変換します。$CH0^+$、$CH0^-$、$CH1^+$、$CH1^-$の絶対電圧振幅はグランドから電源電圧までです。

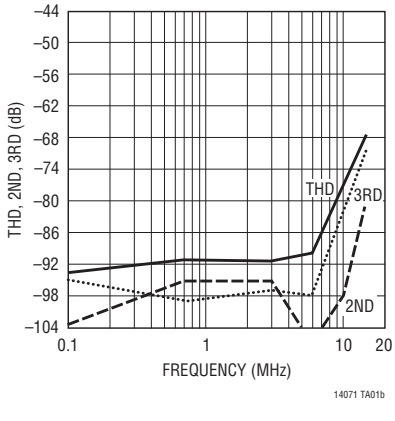
シリアル・インタフェースが2つの変換結果を32クロックで送出するので、標準シリアル・インタフェースと互換です。

、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。6084440、6522187を含む米国特許により保護されています。

ブロック図



差動入力信号のTHD、2次、および3次と入力周波数

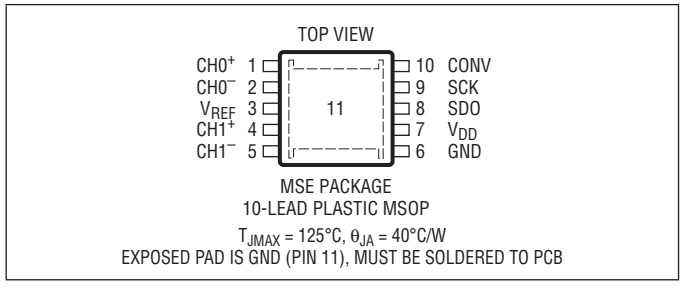


絶対最大定格

(Notes 1、2)

電源電圧(V_{DD}) 4V
アナログ入力電圧(Note 3) ..... –0.3V～(V_{DD}+0.3V)
デジタル入力電圧 ..... –0.3V～(V_{DD}+0.3V)
デジタル出力電圧 ..... –0.3V～(V_{DD}+0.3V)
消費電力 100mW
動作温度範囲
　LTC1407C-1/LTC1407AC-1 ..... 0°C～70°C
　LTC1407I-1/LTC1407AI-1 ..... –40°C～85°C
保存温度範囲 ..... –65°C～150°C
リード温度(半田付け、10秒) ..... 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC1407CMSE-1#PBF	LTC1407CMSE-1#TRPBF	LTBGT	10-Lead Plastic MSOP	0°C to 70°C
LTC1407IMSE-1#PBF	LTC1407IMSE-1#TRPBF	LTBGV	10-Lead Plastic MSOP	–40°C to 85°C
LTC1407ACMSE-1#PBF	LTC1407ACMSE-1#TRPBF	LTBGW	10-Lead Plastic MSOP	0°C to 70°C
LTC1407AIMSE-1#PBF	LTC1407AIMSE-1#TRPBF	LTBGX	10-Lead Plastic MSOP	–40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

コンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。内部リファレンスを使用。V_{DD} = 3V。

PARAMETER	CONDITIONS		LTC1407-1 MIN	LTC1407-1 TYP	LTC1407-1 MAX	LTC1407A-1 MIN	LTC1407A-1 TYP	LTC1407A-1 MAX	
Resolution (No Missing Codes)		●	12			14			Bits
Integral Linearity Error	(Notes 5, 17)	●	–2	±0.25	2	–4	±0.5	4	LSB
Offset Error	(Notes 4, 17)	●	–10	±1	10	–20	±2	20	LSB
Offset Match from CH0 to CH1	(Note 17)		–5	±0.5	5	–10	±1	10	LSB
Gain Error	(Notes 4, 17)	●	–30	±5	30	–60	±10	60	LSB
Gain Match from CH0 to CH1	(Note 17)		–5	±1	5	–10	±2	10	LSB
Gain Tempco	Internal Reference (Note 4) External Reference			±15 ±1			±15 ±1		ppm/°C ppm/°C

アナログ入力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。内部リファレンスを使用。V_{DD} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Differential Input Range (Notes 3, 8, 9)	2.7V ≤ V_{DD} ≤ 3.3V			–1.25 to 1.25		V
V_{CM}	Analog Common Mode + Differential Input Range (Note 10)				0 to V_{DD}		V
I_{IN}	Analog Input Leakage Current		●			1	µA
C_{IN}	Analog Input Capacitance	(Note 18)			13		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	(Note 6)	●			39	ns
t_{AP}	Sample-and-Hold Aperture Delay Time				1		ns
t_{JITTER}	Sample-and-Hold Aperture Delay Time Jitter				0.3		ps
t_{SK}	Sample-and-Hold Aperture Skew from CH0 to CH1				200		ps
CMRR	Analog Input Common Mode Rejection Ratio	f_{IN} = 1MHz, V_{IN} = 0V to 3V f_{IN} = 100MHz, V_{IN} = 0V to 3V			–60 –15		dB dB

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。内部リファレンスを使用。V_{DD} = 3V。シングルエンドの信号は、$CH0^-/CH1^-$ = 1.5V DCに固定して$CH0^+/CH1^+$をドライブ。差動信号は、V_{CM} = 1.5V DCに設定して各チャネルの両方の入力をドライブ

SYMBOL	PARAMETER	CONDITIONS		LTC1407-1 MIN	LTC1407-1 TYP	LTC1407-1 MAX	LTC1407A-1 MIN	LTC1407A-1 TYP	LTC1407A-1 MAX	UNITS
SINAD	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal (Note 19)			70.5			73.5		dB
		750kHz Input Signal (Note 19)	●	68	70.5		70	73.5		dB
		100kHz Input Signal, External V_{REF} = 3.3V, V_{DD} ≥ 3.3V (Note 19)			72.0			76.3		dB
		750kHz Input Signal, External V_{REF} = 3.3V, V_{DD} ≥ 3.3V (Note 19)			72.0			76.3		dB
THD	Total Harmonic Distortion	100kHz First 5 Harmonics (Note 19)			–87			–90		dB
		750kHz First 5 Harmonics (Note 19)	●		–83	–77		–86	–80	dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal (Note 19)			87			90		dB
		750kHz Input Signal (Note 19)			83			86		dB
IMD	Intermodulation Distortion	0.625V_{P-P} 1.4MHz Summed with 0.625V_{P-P}, 1.56MHz into $CH0^+$ and Inverted into $CH0^-$. Also Applicable to $CH1^+$ and $CH1^-$			–82			–82		dB
	Code-to-Code Transition Noise	V_{REF} = 2.5V (Note 17)			0.25			1		LSB_{RMS}
	Full Power Bandwidth	V_{IN} = 2.5V_{P-P}, SDO = 11585LSB_{P-P} (–3dBFS) (Note 15)			50			50		MHz
	Full Linear Bandwidth	S/(N + D) ≥ 68dB			5			5		MHz

内部リファレンスの特性　T_A = 25℃。V_{DD} = 3V。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	I_{OUT} = 0		2.5		V
V_{REF} Output Tempco			15		ppm/°C
V_{REF} Line Regulation	V_{DD} = 2.7V to 3.6V, V_{REF} = 2.5V		600		µV/V
V_{REF} Output Resistance	Load Current = 0.5mA		0.2		Ω
V_{REF} Setting Time			2		ms

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。V_{DD} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	V_{DD} = 3.3V	●	2.4			V
V_{IL}	Low Level Input Voltage	V_{DD} = 2.7V	●			0.6	V
I_{IN}	Digital Input Current	V_{IN} = 0V to V_{DD}	●			±10	µA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	V_{DD} = 3V, I_{OUT} = –200µA	●	2.5	2.9		V
V_{OL}	Low Level Output Voltage	V_{DD} = 2.7V, I_{OUT} = 160µA V_{DD} = 2.7V, I_{OUT} = 1.6mA	 ●		0.05 0.10	 0.4	V V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	V_{OUT} = 0V to V_{DD}	●			±10	µA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}				1		pF
I_{SOURCE}	Output Short-Circuit Source Current	V_{OUT} = 0V, V_{DD} = 3V			20		mA
I_{SINK}	Output Short-Circuit Sink Current	V_{OUT} = V_{DD} = 3V			15		mA

電源要件

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。内部リファレンスを使用。V_{DD} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage			2.7		3.6	V
I_{DD}	Supply Current	Active Mode, f_{SAMPLE} = 1.5Msps Nap Mode Sleep Mode (LTC1407) Sleep Mode (LTC1407A)	● ● 		4.7 1.1 2.0 2.0	7.0 1.5 15 10	mA mA µA µA
PD	Power Dissipation	Active Mode with SCK in Fixed State (Hi or Lo)			12		mW

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。V_{DD} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$f_{SAMPLE(MAX)}$	Maximum Sampling Frequency per Channel (Conversion Rate)		●	1.5			MHz
$t_{THROUGHPUT}$	Minimum Sampling Period (Conversion + Acquisition Period)		●			667	ns
t_{SCK}	Clock Period	(Note 16)	●	19.6		10000	ns
t_{CONV}	Conversion Time	(Note 6)		32	34		SCLK cycles
t_1	Minimum Positive or Negative SCLK Pulse Width	(Note 6)		2			ns
t_2	CONV to SCK Setup Time	(Notes 6, 10)		3		10000	ns
t_3	SCK Before CONV	(Note 6)		0			ns
t_4	Minimum Positive or Negative CONV Pulse Width	(Note 6)		4			ns
t_5	SCK to Sample Mode	(Note 6)		4			ns
t_6	CONV to Hold Mode	(Notes 6, 11)		1.2			ns
t_7	32nd SCK↑ to CONV↑ Interval (Affects Acquisition Period)	(Notes 6, 7, 13)		45			ns
t_8	Minimum Delay from SCK to Valid Bits 0 Through 11	(Notes 6, 12)		8			ns
t_9	SCK to Hi-Z at SDO	(Notes 6, 12)		6			ns
t_{10}	Previous SDO Bit Remains Valid After SCK	(Notes 6, 12)		2			ns
t_{12}	V_{REF} Settling Time After Sleep-to-Wake Transition	(Notes 6, 14)			2		ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はグランドGNDを基準にしている。

Note 3: これらのピンはGNDより下に引き下げられるか、V_{DD}より上に引き上げられると、内部ダイオードによってクランプされる。この製品はラッチアップを生じることなしに、GNDより低いかまたはV_{DD}より高い電圧で100mAを超える入力電流を処理することができる。

Note 4: オフセットと範囲の規格値は、$CH0^-$または$CH1^-$を接地し、内部の2.5Vリファレンスを使用した状態で、シングルエンドの$CH0^+$入力または$CH1^+$入力に適用される。

Note 5: 積分直線性は外部の2.55Vリファレンスを使ってテストされ、伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 6: 設計によって保証されているが、テストされない。

Note 7: 推奨動作条件。

Note 8: アナログ入力範囲は$CH0^+$と$CH0^-$のあいだ、または$CH1^+$と$CH1^-$の間の電圧差として定義されている。性能は、$CH0^-$ = 1.5V DCに固定し$CH0^+$をドライブした状態、ならびに$CH1^-$ = 1.5V DCに固定し$CH1^+$をドライブした状態で規定されている。

Note 9: $CH0^+$、$CH0^-$、$CH1^+$、$CH1^-$の絶対電圧はこの範囲内になければならない。

Note 10: 3ns未満が許容される場合、出力データは1クロック・サイクル後に現れる。クロックを定格速度で動作させるとき、CONVがSCKの半クロック前に立ち上がるのが最良である。

Note 11: アパーチャ遅延とは異なる。アパーチャ遅延(1ns)はサンプル・ホールドの2.2nsの遅延とCONVからホールド・モードまでの1.2nsの遅延の差である。

Note 12: 出力されるデータはSCKの立ち上がりエッジでストレージ・ラッチに捕捉されることが保証されている。

Note 13: 入力信号を取得する期間は32番目の立ち上がりクロックによって開始され、CONVの立ち上がりエッジで終了する。

Note 14: 内部リファレンスは、SCKが1サイクル以上与えられ容量負荷が10μFのとき、スリープ・モードからウェイクアップ後2msでセトリングする。

Note 15: フルパワー帯域幅は2.5V_{P-P}の入力正弦波で出力コード振幅が3dB低下する周波数である。

Note 16: 最大クロック周期により、変換時のアナログ性能が保証される。出力データは任意の長いクロック周期で読み出すことができる。

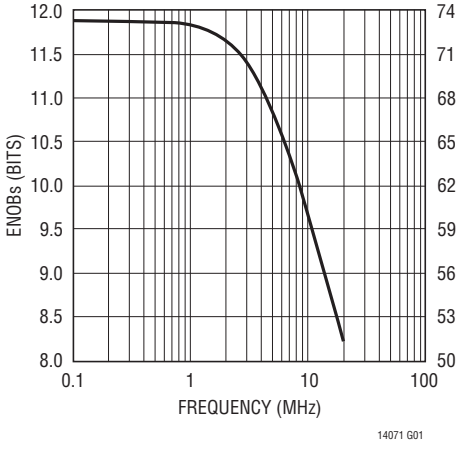
Note 17: LTC1407A-1は14ビットの分解能(1LSB = 152μV)で測定され、規定されており、LTC1407-1は12ビットの分解能(1LSB = 610μV)で測定され、規定されている。

Note 18: 各入力のサンプリング・コンデンサが入力容量のうちの4.1pFを占める。

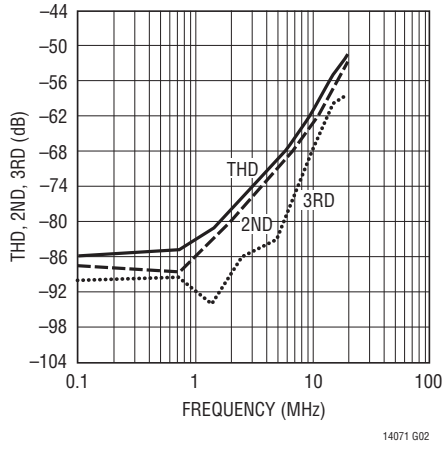
Note 19: 反転入力が1.5V DCに固定された状態で、フルスケールの正弦波が非反転入力に供給される。

標準的性能特性　V_{DD} = 3V、T_A = 25℃。シングルエンドの信号は、CH0–/CH1– = 1.5V DCに固定してCH0+/CH1+をドライブ、差動信号は、V_{CM} = 1.5V DCに設定して両方の入力をドライブ(LTC1407A-1)

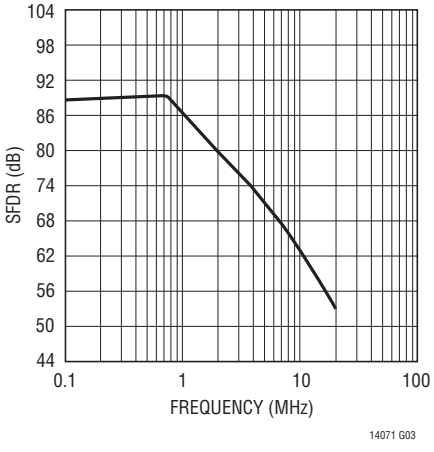
ENOBおよびSINADと入力正弦波周波数



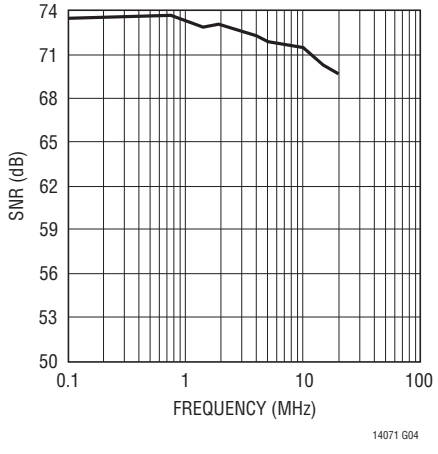
THD、2次、および3次と入力周波数



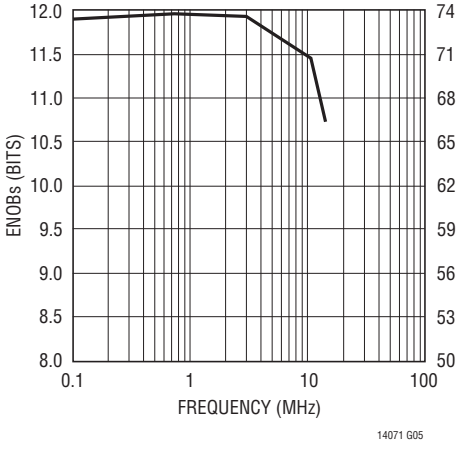
SFDRと入力周波数



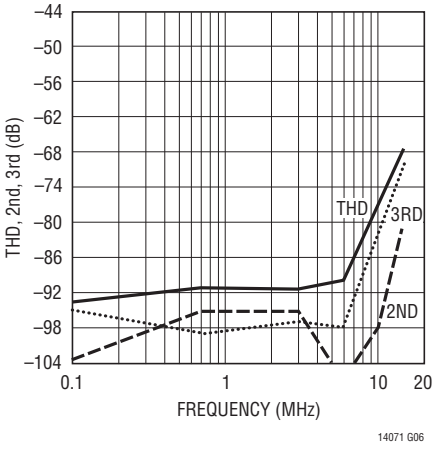
SNRと入力周波数



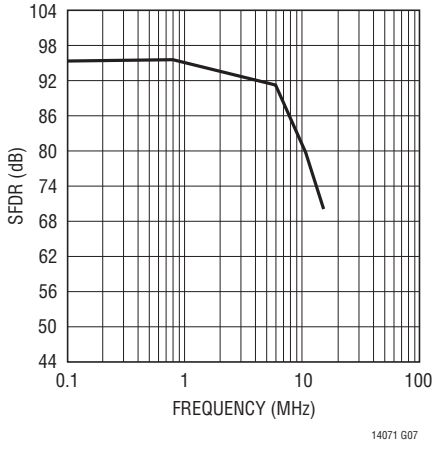
差動入力信号のENOBおよびSINADと入力正弦波周波数



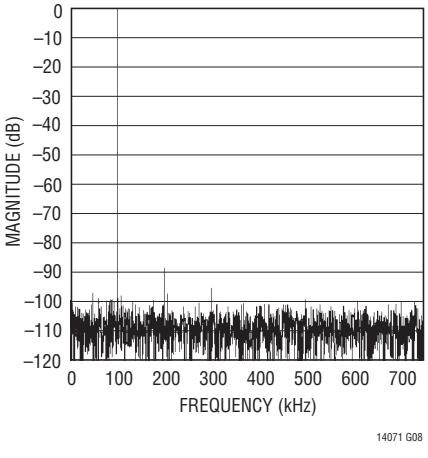
差動入力信号のTHD、2次および3次高調波歪みと入力周波数



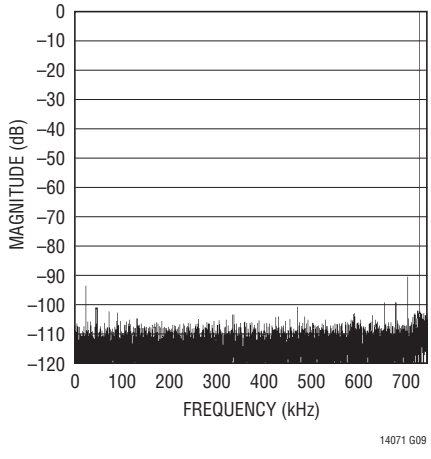
差動入力信号のSFDRと入力周波数



98kHz正弦波の4096ポイントのFFTプロット

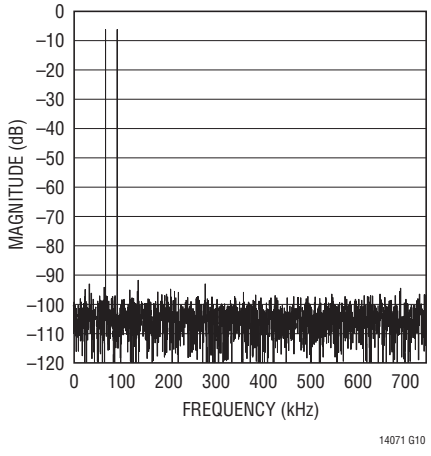


748kHz正弦波の4096ポイントのFFTプロット

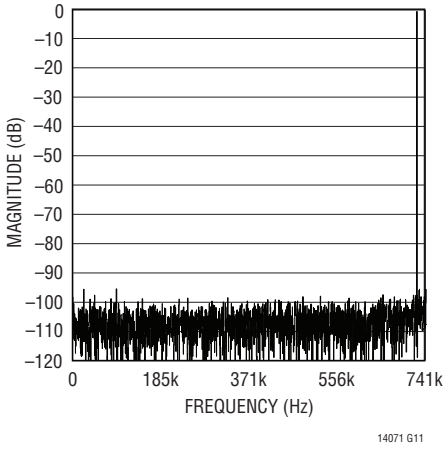


標準的性能特性 V_{DD} = 3V、T_A = 25°C。シングルエンドの信号は、CH0–/CH1– = 1.5V DCに固定してCH0+/CH1+をドライブ、差動信号は、V_{CM} = 1.5V DCに設定して両方の入力をドライブ(LTC1407A-1)

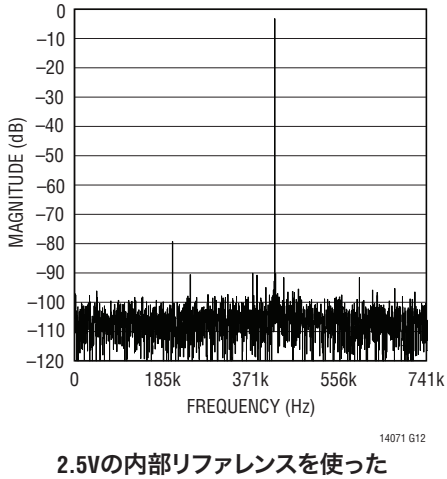
差動入力信号の1563kHz入力と加算された1403kHz入力のIMDの4096ポイントのFFTプロット



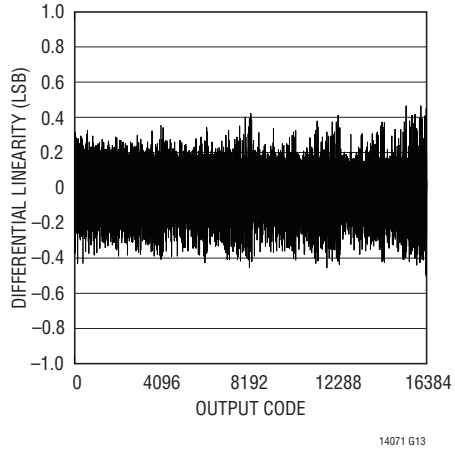
差動入力信号の748kHz正弦波の4096ポイントのFFTプロット



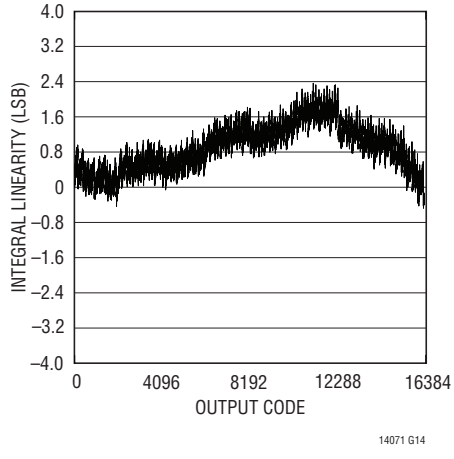
差動入力信号の10.7MHz正弦波の4096ポイントのFFTプロット



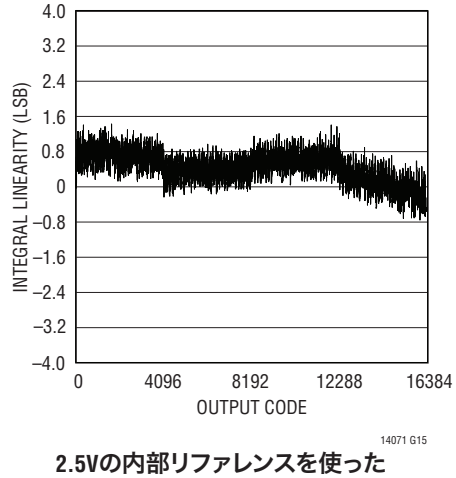
2.5Vの内部リファレンスを使ったCH0の微分直線性



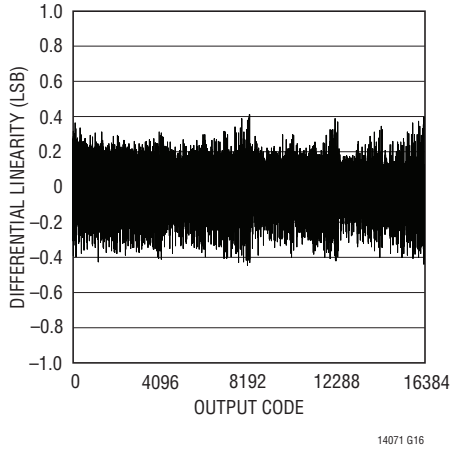
2.5Vの内部リファレンスを使ったCH0の積分直線性のエンドポイントの合致



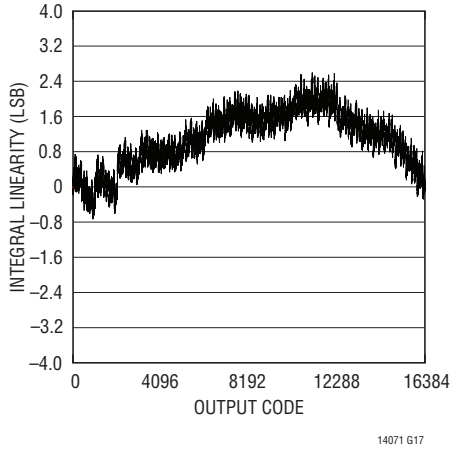
2.5Vの内部リファレンスを使ったCH0の積分直線性のエンドポイントの合致(差動入力信号の場合)



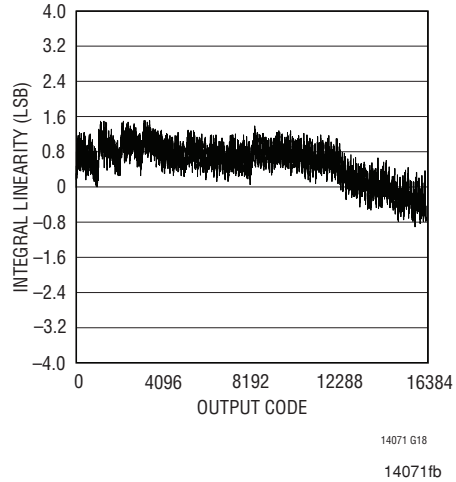
2.5Vの内部リファレンスを使ったCH1の微分直線性



2.5Vの内部リファレンスを使ったCH1の積分直線性のエンドポイントの合致

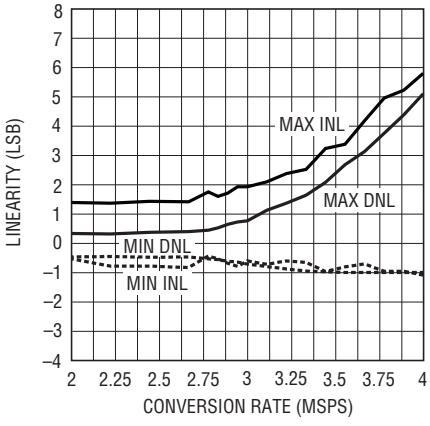


2.5Vの内部リファレンスを使ったCH1の積分直線性のエンドポイントの合致(差動入力信号の場合)

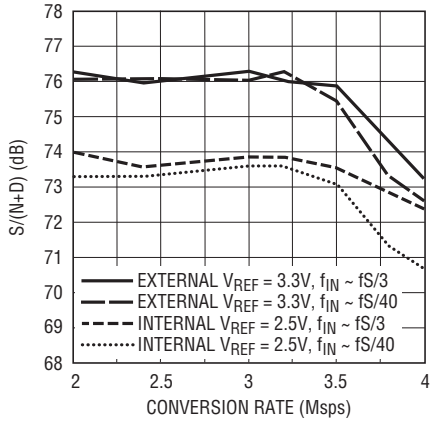


標準的性能特性　V_{DD} = 3V、T_A = 25℃。シングルエンドの信号は、CH0–/CH1– = 1.5V DCに固定してCH0+/CH1+をドライブ、差動信号は、V_{CM} = 1.5V DCに設定して両方の入力をドライブ（LTC1407A-1）

微分および積分直線性と変換レート

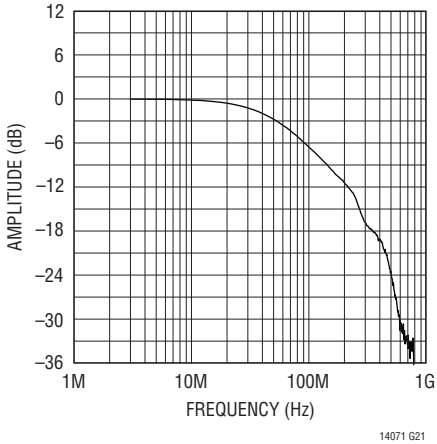


SINADと変換レート

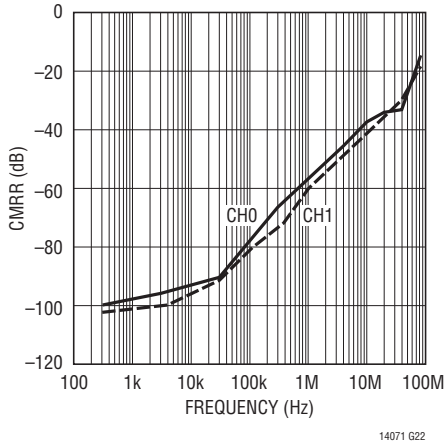


V_{DD} = 3V, T_A = 25℃（LTC1407-1/LTC1407A-1）

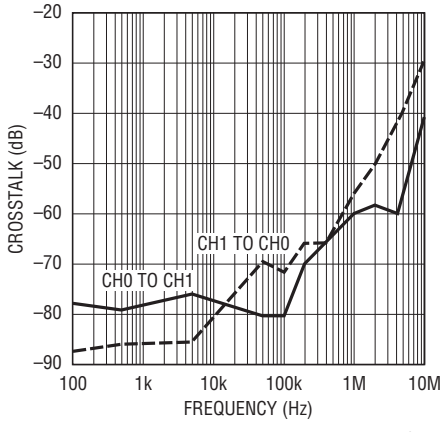
フルスケール信号の周波数応答



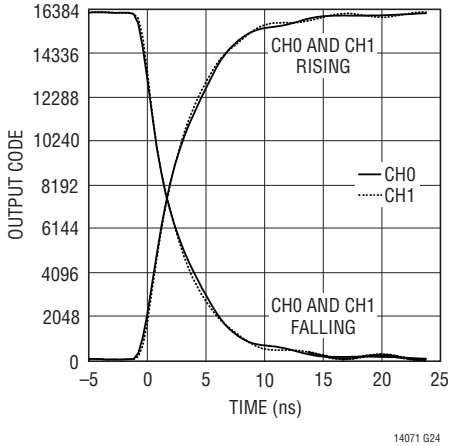
CMRRと周波数



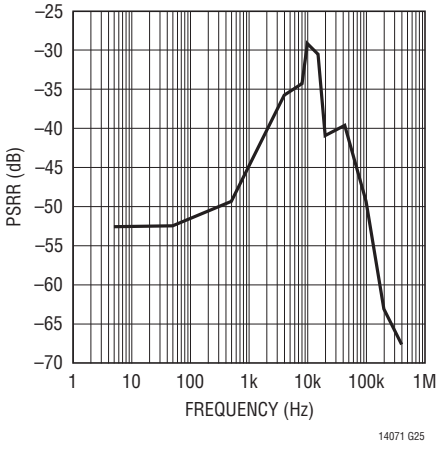
クロストークと周波数



25Ωソースからの同時入力ステップによるCH0とCH1の出力整合

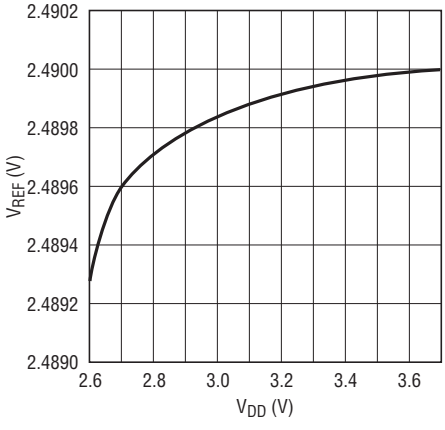


PSSRと周波数

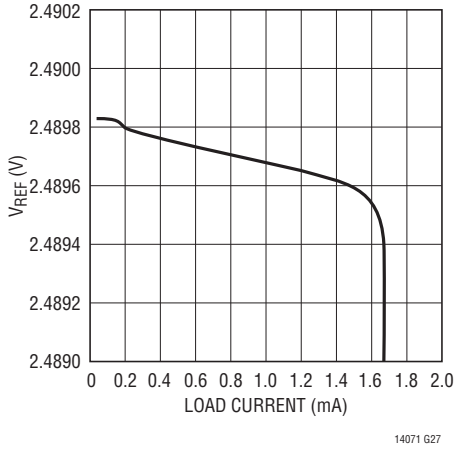


標準的性能特性　V_{DD} = 3V、T_A = 25℃（LTC1407-1/LTC1407A-1）

リファレンス電圧とV_{DD}



リファレンス電圧と負荷電流



ピン機能

CH0$^+$（ピン1）：チャネル0の非反転入力。CH0$^+$はCH0$^-$に対して完全に差動で動作し、CH0$^-$を基準にした差動振幅は−1.25V～1.25V、絶対入力範囲は0～V_{DD}です。

CH0$^-$（ピン2）：チャネル0の反転入力。CH0$^-$はCH0$^+$に対して完全に差動で動作し、CH0$^+$を基準にした差動振幅は1.25V～−1.25V、絶対入力範囲は0～V_{DD}です。

V_{REF}（ピン3）：2.5Vの内部リファレンス。10µFのセラミック・コンデンサ（または0.1µFのセラミック・コンデンサに並列接続した10µFのタンタル・コンデンサ）を使ってGNDおよび切れ目のないアナログ・グランド・プレーンにバイパスします。2.55V～V_{DD}の外部リファレンス電圧でオーバードライブすることができます。

CH1$^+$（ピン4）：チャネル1の非反転入力。CH1$^+$はCH1$^-$に対して完全に差動として動作し、CH1$^-$を基準にした差動振幅は−1.25V～1.25V、絶対入力範囲は0～V_{DD}です。

CH1$^-$（ピン5）：チャネル1の反転入力。CH1$^-$はCH1$^+$に対して完全に差動で動作し、CH1$^+$を基準にした差動振幅は1.25V～−1.25V、絶対入力範囲は0～V_{DD}です。

GND（ピン6、11）：グランドおよび露出パッド。この単一グランド・ピンと露出パッドはデバイスの下の切れ目のないグランド・プレーンに直接接続する必要があります。アナログ信号電流とデジタル出力信号電流はこれらの接続経路を通って流れることに留意してください。

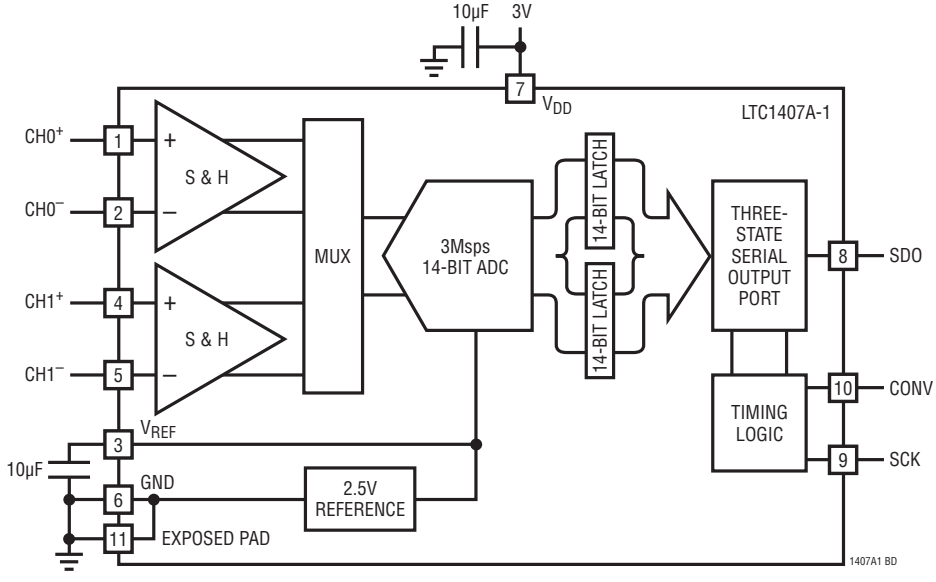
V_{DD}（ピン7）：3V正電源。この単一電源ピンはデバイス全体に3Vを供給します。0.1µFのセラミック・コンデンサに並列接続した10µFのセラミック・コンデンサ（または10µFのタンタル・コンデンサ）を使ってGNDピンおよび切れ目のないアナログ・グランド・プレーンにバイパスします。内部のアナログ信号電流とデジタル出力信号電流はこのピンを通って流れることに留意してください。0.1µFのバイパス・コンデンサはピン6とピン7にできるだけ近づけて配置するように注意してください。

SDO（ピン8）：スリー・ステートのシリアル・データ出力。出力データ・ワードの各組は前の変換開始点の2つのアナログ入力チャネルを表しています。出力形式は2の補数です。

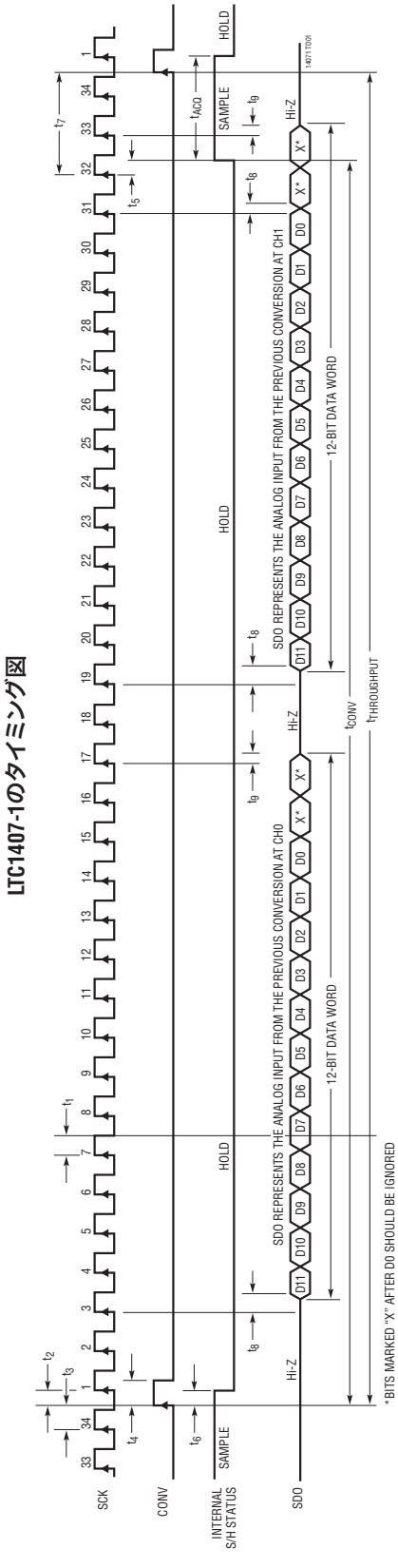
SCK（ピン9）：外部クロック入力。立ち上がりエッジで変換プロセスを進め、出力データを順番に送出します。1つ以上のパルスでスリープ状態からウェイクアップします。

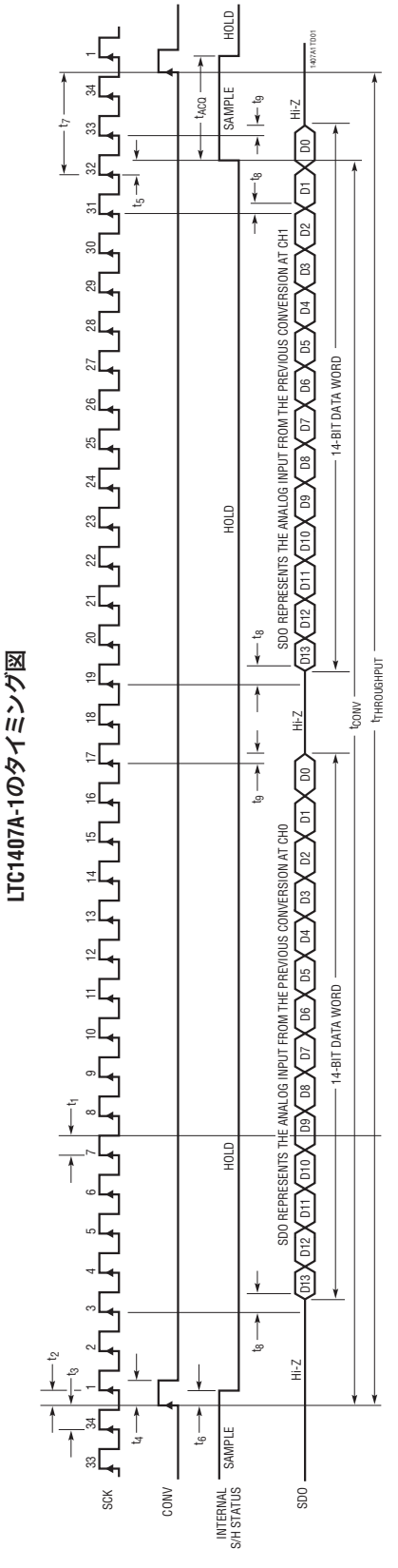
CONV（ピン10）：変換開始。立ち上がりエッジで2つのアナログ入力信号をホールドし、変換を開始します。SCKが“H”または“L”に固定された状態で2つのパルスを与えるとナップ・モードが開始されます。SCKが“H”または“L”に固定された状態で4つ以上のパルスを与えるとスリープ・モードが開始されます。

ブロック図


10µF
3V
7
VDD
LTC1407A-1
CH0+
1
CH0–
2
S & H
CH1+
4
CH1–
5
S & H
MUX
3Msps
14-BIT ADC
14-BIT LATCH
14-BIT LATCH
THREE-
STATE
SERIAL
OUTPUT
PORT
8
SDO
TIMING
LOGIC
10
CONV
9
SCK
VREF
3
10µF
GND
6
11
EXPOSED PAD
2.5V
REFERENCE
1407A1 BD

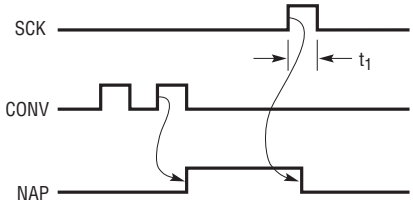
タイミング図


LTC1407-1のタイミング図
SCK
CONV
INTERNAL S/H STATUS
SDO
SAMPLE
HOLD
Hi-Z
SDO REPRESENTS THE ANALOG INPUT FROM THE PREVIOUS CONVERSION AT CH0
SDO REPRESENTS THE ANALOG INPUT FROM THE PREVIOUS CONVERSION AT CH1
12-BIT DATA WORD
* BITS MARKED "X" AFTER D0 SHOULD BE IGNORED
1407 TD01

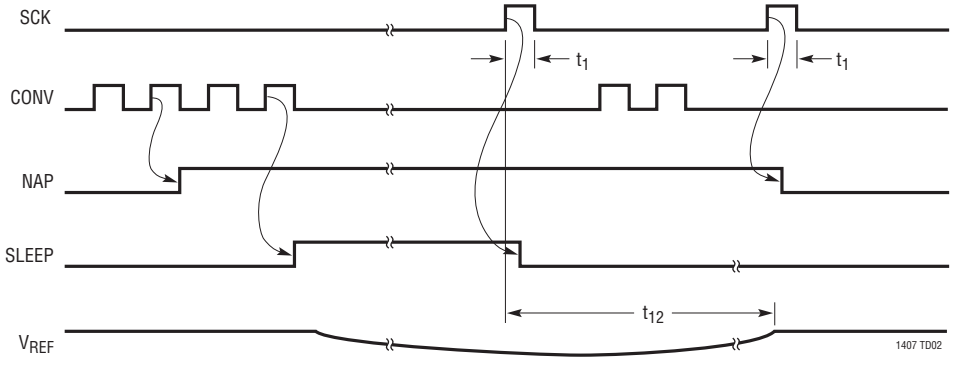

LTC1407A-1のタイミング図
SCK
CONV
INTERNAL S/H STATUS
SDO
SAMPLE
HOLD
Hi-Z
SDO REPRESENTS THE ANALOG INPUT FROM THE PREVIOUS CONVERSION AT CH0
SDO REPRESENTS THE ANALOG INPUT FROM THE PREVIOUS CONVERSION AT CH1
14-BIT DATA WORD
1407A TD01

タイミング図

ナップ・モードの波形

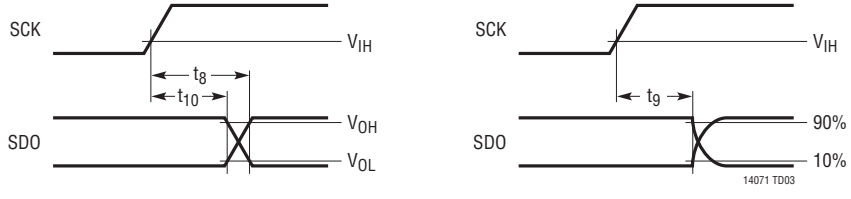


スリープ・モードの波形



NOTE: NAP AND SLEEP ARE INTERNAL SIGNALS

SCKからSDOへの遅延



アプリケーション情報

アナログ入力のドライブ

LTC1407-1/LTC1407A-1の差動アナログ入力は簡単にドライブできます。これらの入力は差動入力またはシングルエンド入力（つまりCHO$^-$入力をV_{CC}/2でAC接地）としてドライブすることができます。両方の差動アナログ入力ペア（CH0$^+$とCH0$^-$、およびCH1$^+$とCH1$^-$）の4つのアナログ入力のすべてが同時にサンプリングされます。各入力ペアの両入力に共通などんな不要信号でもサンプル・ホールド回路の同相除去によって低減されます。変換終了時にサンプル・ホールド・コンデンサを充電する間、入力には小さな電流スパイクが1回だけ生じます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合、LTC1407-1/LTC1407A-1の入力を直接ドライブすることができます。ソース・インピーダンスが増加するにつれ、収集時間も増加します。高いソース・インピーダンスで収集時間を最短にするには、バッファ・アンプを使用する必要があります。主な要件として、アナログ入力をドライブするアンプは小さな電流スパイクが発生した後、次の変換が開始される前にセトリングする必要があります（セトリング時間は最大スループットの場合39ns）。入力アンプの選択時には、アンプによって増えるノイズの大きさと高調波歪みについても留意してください。

入力アンプの選択

いくつかの要件を考慮に入れれば、入力アンプは簡単に選択できます。まず、サンプリング・コンデンサを充電する際にアンプで発生する電圧スパイクの大きさを制限するために、閉ループ帯域幅周波数で出力インピーダンスが低い（100Ω未満）アンプを選択します。たとえば、1 の利得でアンプが使われており、そのユニティゲイン帯域幅が50MHzであれば、50MHzでの出力インピーダンスは100Ω未満でなければなりません。2番目の要件は、最大スループットを得るための十分な小信号セトリング時間を確保するには、閉ループ帯域幅が40MHzより大きくなければならないことです。遅いオペアンプが使用される場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くすることができます。LTC1407-1/LTC1407A-1のドライブに最適なオペアンプの選択は、アプリケーションに依存します。一般に、アプリケーションは2つのカテゴリーに分類されます。ダイナミック仕様が最も重要なACアプリケーションと、DC精度とセトリング時間が最も重要な時間領域のアプリケーションです。以下のリストは、LTC1407-1/LTC1407A-1をドライブするのに適したオペアンプをまとめたものです。

LTC1566-1：低ノイズの2.3MHz連続時間ローパス・フィルタ。

LT®1630：デュアル30MHzレール・トゥ・レール電圧帰還アンプ。2.7V～±15V電源。非常に高いA_{VOL}、500μVのオフセット、4Vの振幅で0.5LSBへのセトリングが520ns。THDとノイズは40kHzまで−93dB、320kHzまで1LSB未満（A_V = 1、1kΩに対して$2V_{P-P}$、V_S = 5V）なので、レール・トゥ・レール性能が必要なACアプリケーション（1/3ナイキスト周波数まで）に最適。クワッド・バージョンがLT1631として供給されている。

LT1632：デュアル45MHzレール・トゥ・レール電圧帰還アンプ。2.7V～±15V電源。非常に高いA_{VOL}、1.5mVのオフセット、4Vの振幅で0.5LSBへのセトリングが400ns。単一5V電源のアプリケーションに適している。THDとノイズは40kHzまで−93dB、800kHzまで1LSB未満（A_V = 1、1kΩに対して$2V_{P-P}$、V_S =5V）なので、レール・トゥ・レール性能が必要なACアプリケーションに最適。クワッド・バージョンがLT1633として供給されている。

LT1801：80MHz GBWP、500kHzで−75dBc、2mA/アンプ、8.5nV/$\sqrt{Hz}$。

LT1806/LT1807：325MHz GBWP、5MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、10mA/アンプ、3.5nV/$\sqrt{Hz}$。

LT1810：180MHz GBWP、5MHzで−90dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、16nV/$\sqrt{Hz}$。

LinearViewはリニアテクノロジー社の商標です。

アプリケーション情報

LT1818/LT1819：400MHz、2500V/μs、9mA、シングル/デュアル電圧モード・オペアンプ

LT6200：165MHz GBWP、1MHzで−85dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/回路、0.95nV/√Hz。

LT6203：100MHz GBWP、1MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、3mA/回路、1.9nV/√Hz。

LT6600：アンプ/フィルタ、差動入出力、10MHzのカットオフ周波数。

入力フィルタ処理とソース・インピーダンス

入力アンプと他の回路のノイズと歪みはLTC1407-1/LTC1407A-1のノイズと歪みに加わるので、これらについて考慮する必要があります。サンプル・ホールド回路の小信号帯域幅は50MHzです。アナログ入力に現れるいずれのノイズまたは歪み積もこの帯域幅全体で合算されます。ノイズの多い入力回路はアナログ入力の前にフィルタ処理して、ノイズを最小に抑える必要があります。多くのアプリケーションでは簡単な1ポールのRCフィルタで十分です。たとえば、図1は、$CH0^+$からグランドに接続した47pFのコンデンサと51Ωのソース抵抗を示しており、正味の入力帯域幅が30MHzに制限されます。47pFのコンデンサは入力のサンプル・ホールド用の蓄電器としても機能して、サンプリング・グリッチの影響を受けやすい回路からADCの入力を絶縁します。これらの部品は歪みを大きくする可能性があるので、高品質のコンデンサと抵抗を使用します。NPOやシルバーマイカ・タイプの誘電体コンデンサは優れた直線性を備えています。表面実装カーボン抵抗は自己発熱や半田付け時に生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は両方の問題に対してはるかに耐性があります。振幅の大きい不要な信号の周波数が望みの信号周波数に近接している場合、多極フィルタが必要です。

外付けの大きなソース抵抗を13pFの入力コンデンサと組み合わせると、50MHz定格の入力帯域幅が減少し、収集時間が39nsよりも長くなります。

入力範囲

LTC1407-1/LTC1407A-1のアナログ入力は単一電源で完全に差動でドライブすることができます。差動振幅が1.25V以下であれば、どちらの入力も3Vまで振幅することができます。有効な入力範囲では、各チャネルの各入力は、各チャネルの他の入力とは常に最大±1.25Vの電圧差があります。単一電源アプリケーションでは、−1.25V～1.25Vの範囲はAC結合した信号にも最適です。ミッドサプライ（電源中央値）の1.5V DCの外部リファレンスを使用せずに単一電源システムで信号をAC結合する方法を図2に示します。DC同相レベルは、システムの単一電源電圧で既に制限されている前段によって与えられます。入力の同相範囲はグランドから電源電圧V_{DD}に及びます。$CH0^+$入力と$CH0^-$入力、または$CH1^+$入力と$CH1^-$入力の差が1.25Vを超えると、出力コードは0およびオール1に固定され、この差が−1.25Vを下回ると、出力コードは1およびオール0に固定されます。

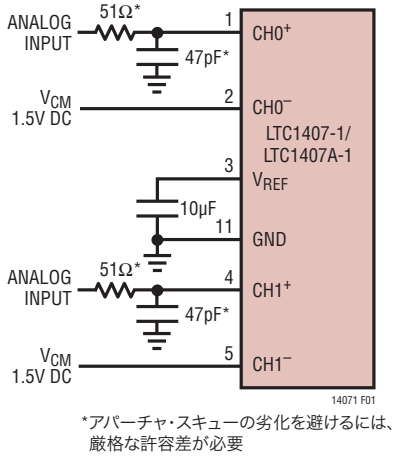


図1. RC入力フィルタ

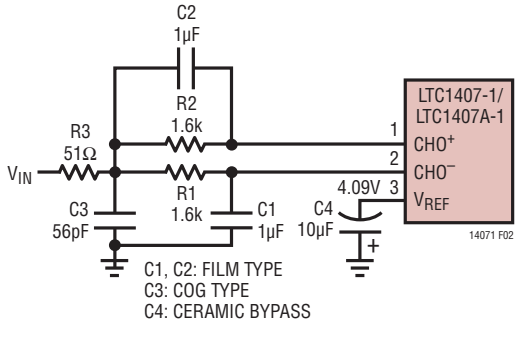


図2 カットオフ周波数が低い（1kHz）AC信号のAC結合

アプリケーション情報

内部リファレンス

LTC1407-1/LTC1407A-1は温度補償されたバンドギャップ・リファレンスを内蔵しており、正確に±1.25Vの入力範囲を得るために製造時に約2.5Vに調整されています。リファレンス・アンプの出力V_{REF}（ピン3）はコンデンサでグランドにバイパスする必要があります。リファレンス・アンプは1µF以上のコンデンサで安定します。最良のノイズ性能を得るには、10µFセラミック・コンデンサか10µFタンタル・コンデンサを0.1µFセラミック・コンデンサと並列接続することを推奨します。図3に示すように、V_{REF}ピンは外部リファレンスでオーバードライブすることができます。外部リファレンスの電圧は、内部リファレンスのオープン・ドレインPチャネル出力の2.5Vより高くする必要があります。外部リファレンスの推奨範囲は2.55V～V_{DD}です。2.55Vの外部リファレンスには0.75mAのDC静止負荷電流が流れ、変換時には3mAが流れます。

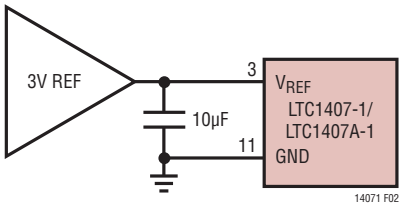


図3

入力範囲とリファレンス電圧

差動入力範囲のユニポーラ電圧範囲は、リファレンスのバッファ出力V_{REF}（ピン3）の電圧と露出パッド・グランドの電圧の差に等しくなります。内部リファレンスを使っているとき、ADCの差動入力範囲は−1.25V～1.25Vです。内部のADCはこれら2つのノードを基準にしています。この関係は外部リファレンスにも当てはまります。

差動入力

ADCはどちらの入力ペアの同相電圧にも関係なく、常に$CH0^+$から$CH0^-$を差し引いたバイポーラの差、または$CH1^+$から$CH1^-$を差し引いたバイポーラの差を変換します。同相除去は高い周波数でも有効です（図4を参照）。唯一の要件は、両方の入力がグランドを下回ることや両方の入力がV_{DD}を超えることはないということです。積分非直線性誤差（INL）と微分非直線性誤差（DNL）は同相電圧にはほとんど依存しません。ただし、オフセット誤差は変化します。CMRRは通常60dBよりも大きくなります。

LTC1407-1/LTC1407A-1の理想的な入力/出力特性を図5に示します。コードの遷移は、連続する整数のLSB値の中間点（つまり、0.5LSB、1.5LSB、2.5LSB、FS−1.5LSB）で生じます。出力コードは2の補数で、LTC1407A-1の場合1LSB = 2.5V/16384 = 153µVであり、LTC1407-1の場合1LSB= 2.5V/4096 = 610µVです。LTC1407A-1には1LSB RMSのホワイトガウスノイズがあります。図6aに、FFTのプロット（図6b）に示すような最適なTHD性能とSHDR性能を得るためにシングルエンドの入力信号を差動入力信号に変換するLTC1819を示します。

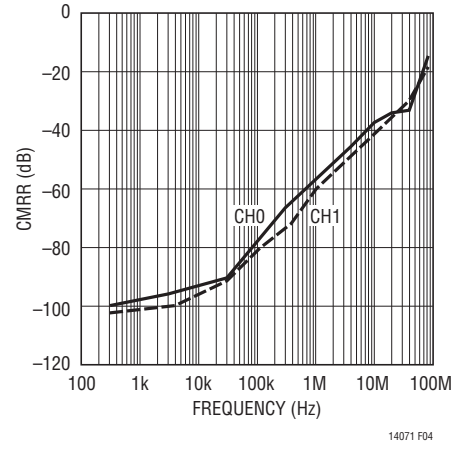


図4. CMRRと周波数

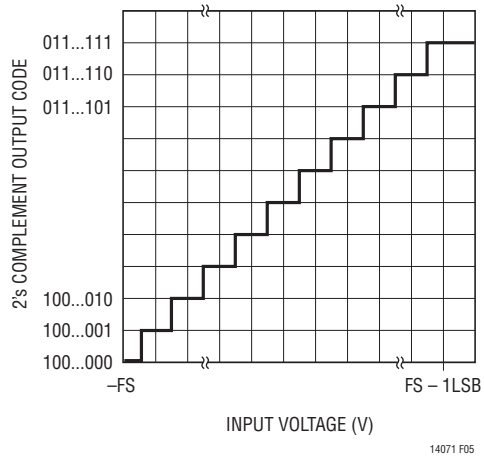


図5. LTC1407-1/LTC1407A-1の伝達特性

アプリケーション情報

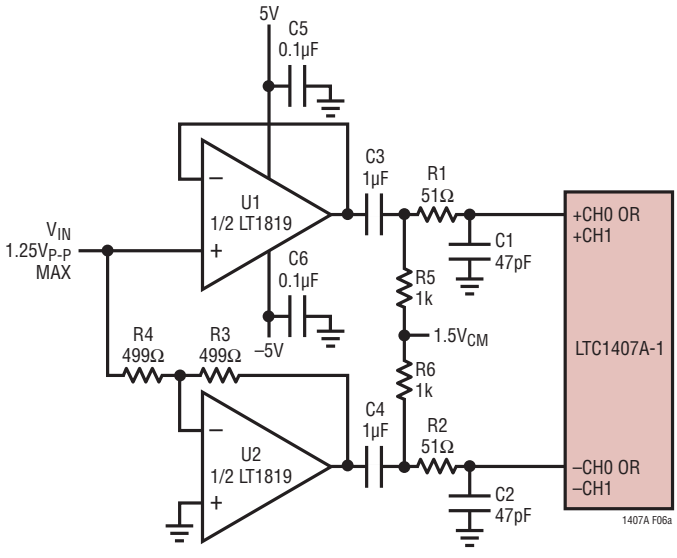


図6a. LTC1407A-1を差動でドライブするLT1819

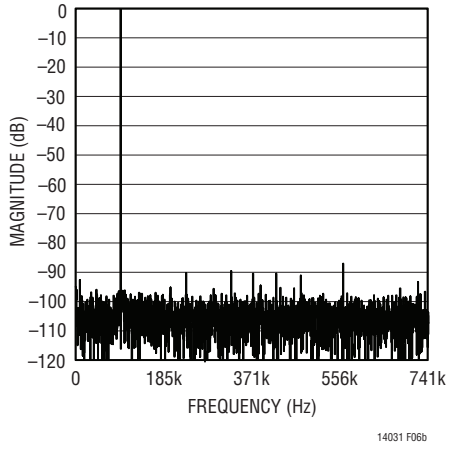


図6b. LTC1407-1の6MHz正弦波の4096ポイントのFFTプロット（LT1819が入力を差動でドライブ）

ボード・レイアウトとバイパス

高分解能や高速のA/Dコンバータにはワイヤラップ・ボードは推奨しません。LTC1407-1/LTC1407A-1から最良の性能を得るには、グランド・プレーンを備えたプリント回路基板が必要です。プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように注意します。入力間に最適な位相の整合が必要な場合は、2本の入力チャネルの4本の入力線の長さを一致させます。ただし、2本の入力チャネルへの入力線の各ペアはグランド・トレースによって分離し、チャネル間の高周波クロストークを防ぎます。

このデータシートの最初のページのブロック図に示されているように、V_{DD}ピンとV_{REF}ピンには高品質のタンタルおよびセラミックのバイパス・コンデンサを使います。最適な性能を得るために、V_{DD}ピンとV_{REF}ピンに10µFの表面実装タンタル・コンデンサと0.1µFのセラミック・コンデンサを使うことを推奨します。あるいは、X5RやX7Rなどの10µFセラミック・チップ・コンデンサを使うことができます。これらのコンデンサはできるだけピンに近づけて配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。V_{DD}のバイパス・コンデンサはGND（ピン6）に戻り、V_{REF}のバイパス・コンデンサは露出パッドのグランド（ピン11）に戻ります。V_{DD}の0.1µFのバイパス・コンデンサはできるだけピン6とピン7に近づけて配置するように注意してください。

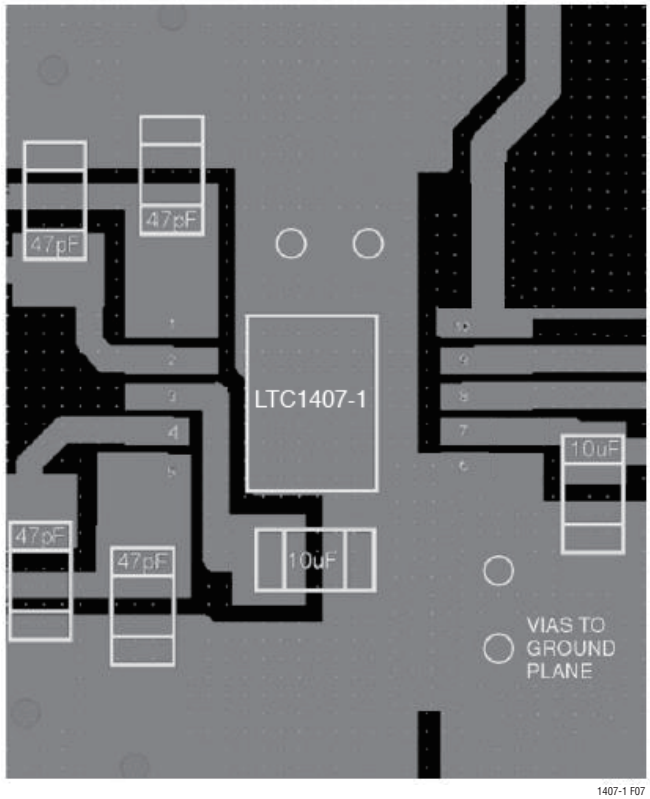


図7. 推奨レイアウト

推奨するシステム・グランドの接続を図7に示します。アナログ回路のすべてのグランドはLTC1407-1/LTC1407A-1の露出パッドで終端します。ノイズのない動作を実現するため、LTC1407-1/LTC1407A-1のピン6から電源へのグランド・リ

アプリケーション情報

ターンは低インピーダンスにします。10ピンMSEパッケージの露出パッドはピン6とLTC1407-1/LTC1407A-1のGNDにも接続します。グランド接続のインダクタンスを減らすために露出パッドはPCボードに半田付けします。デジタル回路のグランドは共通のデジタル電源に接続する必要があります。

パワーダウン・モード

電源を投入すると、LTC1407-1/LTC1407A-1はアクティブ状態に初期化され、変換の準備ができます。ナップ・モードとスリープ・モードの波形はLTC1407-1/LTC1407A-1のパワーダウン・モードを示しています。SCK入力とCONV入力によりパワーダウン・モードが制御されます(「タイミング図」を参照)。CONVに2つの立ち上がりエッジが与えられ、その間にSCKの立ち上がりエッジが与えられない場合、LTC1407-1/LTC1407A-1はナップ・モードになり、電力消費が14mWから6mWに低下します。ナップ・モードでは内部リファレンスに電力が与えられたままです。さらにSCKに1つ以上の立ち上がりエッジが与えられるとLTC1407-1/LTC1407A-1は動作のために直ちにウェイクアップし、CONVは1クロック以内に正確な変換を開始することができます。

CONVに4つの立ち上がりエッジが与えられ、その間にSCKの立ち上がりエッジが与えられない場合、LTC1407-1/LTC1407A-1はスリープ・モードになり、消費電力は14mWから10μWに減少します。デバイスをスリープ・モードから復帰させるためには、SCKに1つ以上の立ち上がりエッジを与え、続いてナップ要求を与える必要があります。SCKに1つ以上の立ち上がりエッジが与えられるとLTC1407-1/LTC1407A-1はウェイクアップして動作を再開します。スリープ・モードの後にナップ・モードになると、スリープ・モードでシャットダウンしていたリファレンスが再びアクティブになります。

内部リファレンス(V_{REF})は10μFの負荷ではスルーしてセトリングするのに2msかかります。スリープ・モードを2msごとよりも高い頻度で使用すると、内部リファレンスのセトリング精度が低下します。低速の変換では、ナップ・モードとスリープ・モードを使って消費電力を大幅に低減できることに注意してください。

デジタル・インタフェース

LTC1407-1/LTC1407A-1は3線SPI(シリアル・プロトコル・インタフェース)インタフェースを備えています。SCKとCONVの入力およびSDO出力によりこのインタフェースが実装されています。ロジック振幅がV_{DD}を超えなければ、SCK入力とCONV入力は3Vロジックからの振幅を受け入れ、TTL互換です。3つのシリアル・ポート信号について、以下に詳しく説明します。

変換開始入力(CONV)

CONVの立ち上がりエッジで変換が開始されますが、それ以降のCONVの立ち上がりエッジは、その後SCKに32の立ち上がりエッジが与えられるまで、LTC1407-1/LTC1407A-1によって無視されます。CONVのデューティ・サイクルは、プロセッサのシリアル・ポートのフレーム同期信号として使うために任意に選択することができます。CONVを発生させる簡単な方法として、LTC1407-1/LTC1407A-1をドライブするためにSCK1個分の幅のパルスをつくり、この信号をバッファしてプロセッサのシリアル・ポートのフレーム同期入力をドライブします。変換開始時にCONVによってトリガされるサンプルからホールドへの遷移時にデジタル・ノイズによる干渉を回避するために、LTC1407-1/LTC1407A-1のCONV入力を最初にドライブするのが良い方法です。また、CONVの立ち上がりエッジでサンプル・ホールドがホールド・モードになる直前にADCのフロントエンドにグリッチが生じるのを防ぐために、CONV信号の“L”部分の幅を15nsより広くすることも良い方法です。

CONV入力のジッタの最小化

100kHzを超える振幅の大きい正弦波がサンプリングされる高速アプリケーションでは、CONV信号のジッタをできるだけ小さくする(10ps以下)必要があります。一般的な水晶クロック・モジュールの方形波出力は、通常この条件を容易に満たします。難しいのは、システム内の他のデジタル回路からのジッタの影響を受けることなしに、この水晶クロックからCONV信号を発生させることです。クロック分周器も水晶クロックからCONV入力までの信号経路にあるどのゲートも、システムの他のデバイスと同じ集積回路を共有しないようにします。インタフェース回路の例に示すように、SCK入力とCONV入力は、シリアル・ポート・インタフェースをドライブするのに使われるデジタル・バッファで最初にドライブします。DSPのマスタ・クロックがDSPの水晶発振器から直接生成されていても、ジッタによって既に損なわれているおそれがあることにも注意してください。プロセッサの高速クロックのもう1つの問題は、安価な低速水晶発振器(10MHz)を使って高速だがジッタの多いフェーズロック・ループのシステム・クロック(40MHz)が生成される場合が多いことです。これらのPLLで生成される高速クロックのジッタは数ナノ秒に達することがあります。DSPポートで生成されたフレーム同期信号を使うことにした場合、この信号にはDSPのマスタ・クロックと同じジッタが含まれることに注意してください。

アプリケーション情報

シリアル・クロック入力（SCK）

SCKの立ち上がりエッジで変換プロセスが進み、SDOデータ・ストリームの各ビットも更新されます。CONVが立ち上がった後、SCKの3番目の立ち上がりエッジで、2組の12/14データ・ビットがMSBを先頭にクロックアウトされ始めます。簡単な方法としては、LTC1407-1/LTC1407A-1をドライブするSCKを最初に発生させ、この信号を適当な数のインバータを使ってバッファしてから、プロセッサのシリアル・ポートのシリアル・クロック入力をドライブします。クロックの立下りエッジでシリアル・データ出力（SDO）のデータをプロセッサのシリアル・ポートにラッチします。14ビットのシリアル・データは、フレーム同期ごとに32以上のクロックを使って2つの16ビット・ワードとして、右揃えで受け取られます。内部の高速コンパレータによる内部ビット比較の判定時にデジタル・ノイズによる干渉を回避するために、LTC1407-1/LTC1407A-1のSCK入力を最初にドライブするのが良いやり方です。CONV入力とは異なり、入力信号が既にサンプリングされて一定に保たれているので、SCK入力はジッタの影響を受けません。

シリアル・データ出力（SDO）

電源を投入すると、SDO出力は自動的にハイインピーダンス状態にリセットされます。新たな変換が開始するまでSDO出力はハイインピーダンス状態のままです。CONVの立ち上がりエッジで変換が開始された後、SCKの3番目の立ち上がりエッジの後で、SDOは2組の12/14ビットを2の補数の形式で出力データ・ストリームに送出します。2つの12/14ビット・ワードは、ハイインピーダンス・モードで2つのクロック・サイクルによって分離されます。SCKから有効なSDOまでの遅延の規定値に注意してください。SDOはSCKの次の立ち上がりエッジまで有効であることが常に保証されています。32ビットの出力データ・ストリームは、ほとんどのプロセッサの16ビットまたは32ビットのシリアル・ポートと互換性があります。

TMS320C54xへのハードウェア・インタフェース

LTC1407-1/LTC1407A-1はシリアル出力のADCで、そのインタフェースは高速デジタル信号プロセッサ（DSP）のバッファ付き高速シリアル・ポート向けに設計されています。TMS320C54xを使ったこのインタフェースの例を図8に示します。

TMS320C54xのバッファ付きシリアル・ポートは2kBのメモリ・セグメントに直接アクセスします。ADCのシリアル・データは、LTC1407-1/LTC1407A-1の最大3Mspsの変換レートで、交互に切り替わる2つの1kBセグメントにリアルタイムで収集できます。DSPのアセンブリ・コードにより、外部の立ち上がりパルスを受け入れるためにBFSRピンにフレーム同期モードを設定し、外部の立ち上がりエッジ・クロックを受け入れるためにBCLKRピンにシリアル・クロックを設定します。LTC1407-1/LTC1407A-1の近くにバッファを追加すれば、DSPまでの長いトラックをドライブしてLTC1407-1/LTC1407A-1への信号の劣化を防ぐことができます。標準的なシステム・ボードを横断するにはこの構成で十分ですが、非常に長い伝送ラインの特性インピーダンスを整合させるには、バッファ出力にソース抵抗が、またDSPには終端抵抗が必要な場合があります。SDOの伝送ラインを終端する必要があれば、まずその伝送ラインを1個もしくは2個の74ACxxゲートを使ってバッファします。DSPポートのTTLスレッショルドの入力は、LTC1407-1/LTC1407A-1に使われる3Vの振幅に正しく応答します。

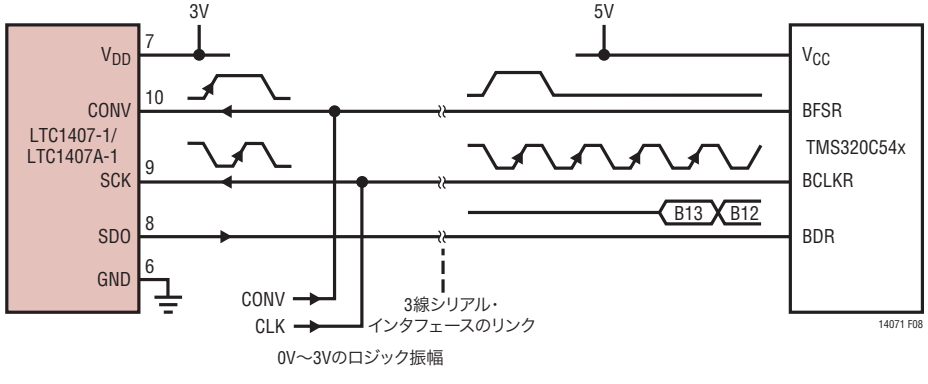


図8. TMS320C54xへのDSPシリアル・インタフェース

アプリケーション情報

```
; 12-03-03 ************************************************************
; Files: 014SIAB.ASM ->   1407A Sine wave collection with Serial Port interface
;        bvectors.asm     both channels collected in sequence in the same 2k record.
;        s2k14ini.asm     Buffered mode 2k buffer size.
; First element at 1024, last element at 1023, two middles at 2047 and 0000
; bipolar mode
; Works 16 or 64 clock frames.
; negative edge BCLKR
; negative BFSR pulse
; -0 data shifted
; ************************************************************************

         .width   160
         .length  110
         .title "sineb0 BSP in auto buffer mode"
         .mmregs
         .setsect ".text",    0x500,0    ;Set address of executable
         .setsect "vectors", 0x180,0     ;Set address of incoming 1403 data
         .setsect "buffer",   0x800,0    ;Set address of BSP buffer for clearing
         .setsect "result", 0x1800,0     ;Set address of result for clearing
        .text                            ;.text marks start of code

start:
                       ;this label seems necessary
                       ;Make sure /PWRDWN is low at J1-9
                       ;to turn off AC01 adc
        tim=#0fh
        prd=#0fh
        tcr = #10h      ; stop timer
        tspc = #0h      ; stop TDM serial port to AC01
        pmst = #01a0h   ; set up iptr. Processor Mode STatus register
        sp = #0700h     ; init stack pointer.
        dp = #0         ; data page
        ar2 = #1800h    ; pointer to computed receive buffer.
        ar3 = #0800h    ; pointer to Buffered Serial Port receive buffer
        ar4 = #0h       ; reset record counter
        call sineinit    ; Double clutch the initialization to insure a proper
sinepeek:
        call sineinit    ; reset. The external frame sync must occur 2.5 clocks
                       ; or more after the port comes out of reset.
wait    goto   wait


;      ———————— Buffered Receive Interrupt Routine ——————————

breceive:
        ifr = #10h               ; clear interrupt flags
        TC = bitf(@BSPCE,#4000h) ; check which half (bspce(bit14)) of buffer
        if (NTC) goto bufull      ; if this still the first half get next half
        bspce = #(2023h + 08000h); turn on halt for second half (bspce(bit15))
        return_enable
```

アプリケーション情報

```
;       ———————— mask and shift input data ————————————————

bufull:
        b = *ar3+ << -0         ; load acc b with BSP buffer and shift right -0
        b = #07FFFh & b         ; mask out the TRISTATE bits with #03FFFh
        b = b ^ #2000h          ; invert the MSB for bipolar operation
;
        *ar2+ = data(#0bh)      ; store B to out buffer and advance AR2 pointer
        TC = (@ar2 == #02000h)  ; output buffer is 2k starting at 1800h
        if (TC) goto start      ; restart if out buffer is at 1fffh
        goto bufull

;       ————————— dummy bsend return ——————————————
bsend   return_enable           ;this is also a dummy return to define bsend
                                ;in vector table file BVECTORS.ASM
;      ——————————— end ISR ———————————————

        .copy "c:\dskplus\1403\s2k14ini.asm"    ;initialize buffered serial port
        .space 16*32            ;clear a chunk at the end to mark the end

;=======================================================================
;
;  VECTORS
;
;=======================================================================
        .sect "vectors"                 ;The vectors start here
        .copy "c:\dskplus\1403\bvectors.asm"    ;get BSP vectors

        .sect "buffer"                ;Set address of BSP buffer for clearing
        .space 16*0x800
        .sect "result"                ;Set address of result for clearing
        .space 16*0x800

        .end

; ************************************************************************
; File: BVECTORS.ASM -> Vector Table for the 'C54x DSKplus           10.Jul.96
;                       BSP vectors and Debugger vectors
;                       TDM vectors just return
; ************************************************************************
; The vectors in this table can be configured for processing external and
; internal software interrupts. The DSKplus debugger uses four interrupt
; vectors. These are RESET, TRAP2, INT2, and HPIINT.
;   *  DO NOT MODIFY THESE FOUR VECTORS IF YOU PLAN TO USE THE DEBUGGER  *
;
; All other vector locations are free to use. When programming always be sure
; the HPIINT bit is unmasked (IMR=200h) to allow the communications kernel and
; host PC interact. INT2 should normally be masked (IMR(bit 2) = 0) so that the
; DSP will not interrupt itself during a HINT. HINT is tied to INT2 externally.
;
;
;
```

アプリケーション情報

```
          .title "Vector Table"
          .mmregs

reset     goto #80h         ;00; RESET  * DO NOT MODIFY IF USING DEBUGGER *
          nop
          nop
nmi       return_enable     ;04; non-maskable external interrupt
          nop
          nop
          nop
trap2     goto #88h         ;08; trap2  * DO NOT MODIFY IF USING DEBUGGER *
          nop
          nop
          .space 52*16      ;0C-3F: vectors for software interrupts 18-30
int0      return_enable     ;40; external interrupt int0
          nop
          nop
          nop
int1      return_enable     ;44; external interrupt int1
          nop
          nop
          nop
int2      return_enable     ;48; external interrupt int2
          nop
          nop
          nop
tint      return_enable     ;4C; internal timer interrupt
          nop
          nop
          nop
brint     goto breceive     ;50; BSP receive interrupt
          nop
          nop
          nop
bxint     goto bsend        ;54; BSP transmit interrupt
          nop
          nop
          nop
trint     return_enable     ;58; TDM receive interrupt
          nop
          nop
          nop
txint     return_enable     ;5C; TDM transmit interrupt
          nop
          nop
int3      return_enable     ;60; external interrupt int3
          nop
          nop
          nop
hpiint    dgoto #0e4h       ;64; HPIint  * DO NOT MODIFY IF USING DEBUGGER *
          nop
          nop
```

アプリケーション情報

```
         .space  24*16    ;68-7F; reserved area
*****************************************************************
*       (C) COPYRIGHT TEXAS INSTRUMENTS, INC. 1996              *
*****************************************************************
*                                                               *
* File: s2k14ini.ASM  BSP initialization code for the 'C54x DSKplus  *
*       for use with 1407 in buffered mode                      *
*       BSPC and SPC are the same in the 'C542                  *
*       BSPCE and SPCE seem the same in the 'C542               *
*****************************************************************
         .title "Buffered Serial Port Initialization Routine"
ON       .set 1
OFF      .set !ON
YES      .set 1
NO       .set !YES
BIT_8    .set 2
BIT_10   .set 1
BIT_12   .set 3
BIT_16   .set 0
GO       .set 0x80

*****************************************************************
* This is an example of how to initialize the Buffered Serial Port (BSP).
* The BSP is initialized to require an external CLK and FSX for
* operation. The data format is 16-bits, burst mode, with autobuffering
* enabled.
*
*****************************************************************************************
*LTC1407 timing from board with 10MHz crystal.
*
*10MHz, divided from 40MHz, forced to CLKIN by 1407 board.
*
*Horizontal scale is 25ns/chr or 100ns period at BCLKR
*
*Timing measured at DSP pins. Jxx pin labels for jumper cable.
*
*BFSR  Pin J1-20 ~~\____/~~~
```

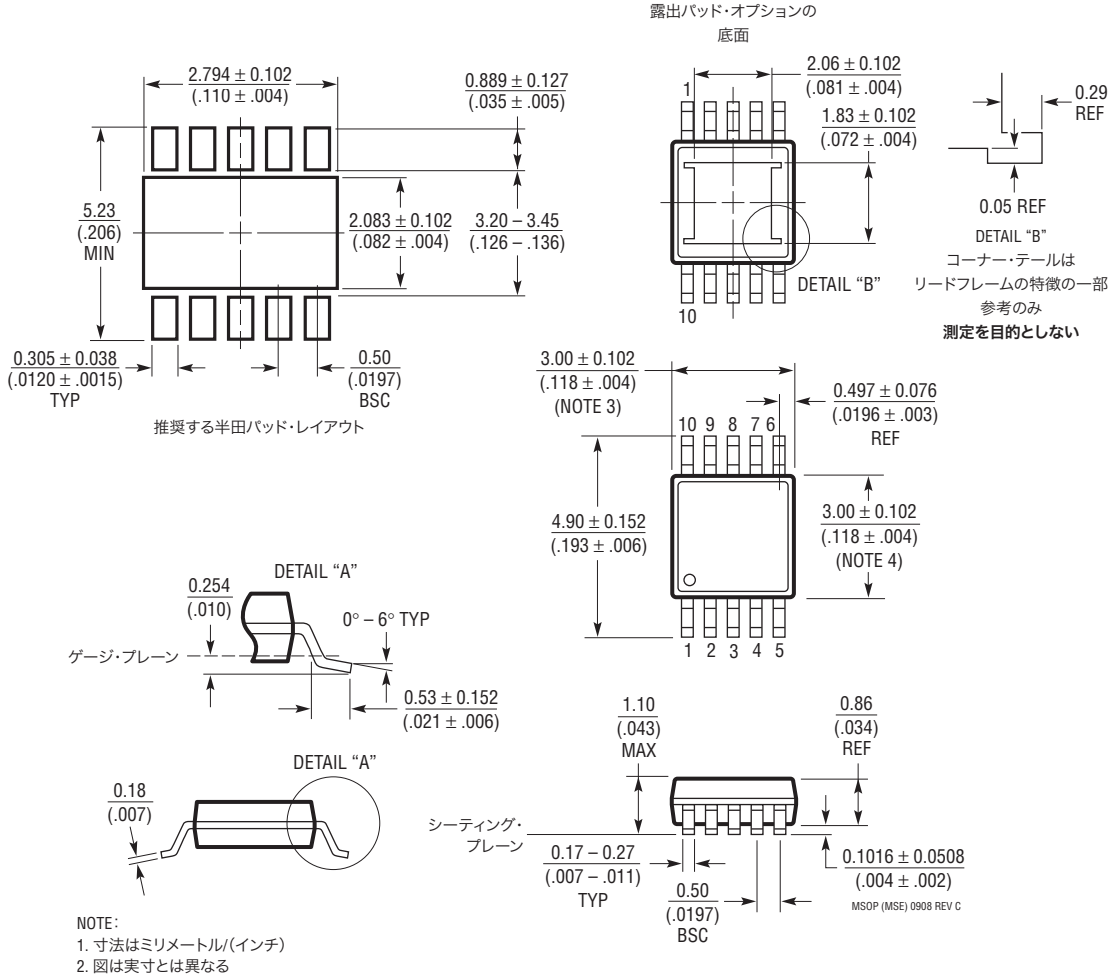
アプリケーション情報

```
* 2' cable from counter to CLK at DUT
*No right shift is needed to right justify the input data in the main program
*
*the two msbs should also be masked
*
*******************************************************************************
*
Loopback        .set    NO        ;(digital looback mode?)             DLB bit
Format          .set    BIT_16    ;(Data format? 16,12,10,8)            FO bit
IntSync         .set    NO        ;(internal Frame syncs generated?)  TXM bit
IntCLK          .set    NO        ;(internal clks generated?)         MCM bit
BurstMode       .set    YES       ;(if BurstMode=NO, then Continuous) FSM bit
CLKDIV          .set    3         ;(3=default value, 1/4 CLOCKOUT)
PCM_Mode        .set    NO        ;(Turn on PCM mode?)
FS_polarity     .set    YES       ;(change polarity)YES=^^^\_/^^^, NO=___/^\___
CLK_polarity    .set    NO        ;(change polarity)for BCLKR YES=_/^, NO=~\_
Frame_ignore    .set    !YES      ;(inverted  !YES -ignores frame)
XMTautobuf      .set    NO        ;(transmit autobuffering)
RCVautobuf      .set    YES       ;(receive autobuffering)
XMThalt         .set    NO        ;(transmit buff halt if XMT buff is full)
RCVhalt         .set    NO        ;(receive buff halt if RCV buff is full)
XMTbufAddr      .set    0x800     ;(address of transmit buffer)
XMTbufSize      .set    0x000     ;(length of transmit buffer)
RCVbufAddr      .set    0x800     ;(address of receive buffer)
RCVbufSize      .set    0x800     ;(length of receive buffer)works up to 800
*
* See notes in the 'C54x CPU and Peripherals Reference Guide on setting up
* valid buffer start and length values. Page 9-44
*
*
*****************************************************************
        .eval ((Loopback >> 1)|((Format & 2)<<1)|(BurstMode <<3)|(IntCLK <<4)|(IntSync
<<5)) ,SPCval
        .eval ((CLKDIV)|(FS_polarity <<5)|(CLK_polarity<<6)|((Format &
1)<<7)|(Frame_ignore<<8)|(PCM_Mode<<9)), SPCEval
        .eval (SPCEval|(XMTautobuf<<10)|(XMThalt<<12)|(RCVautobuf<<13)|(RCVhalt<<15)),
SPCEval

sineinit:
        bspc = #SPCval          ; places buffered serial port in reset
        ifr = #10h              ; clear interrupt flags
        imr = #210h             ; Enable HPINT,enable BRINT0
        intm = 0                ; all unmasked interrupts are enabled.
        bspce = #SPCEval        ; programs BSPCE and ABU
        axr = #XMTbufAddr       ; initializes transmit buffer start address
        bkx = #XMTbufSize       ; initializes transmit buffer size
        arr = #RCVbufAddr       ; initializes receive buffer start address
        bkr = #RCVbufSize       ; initializes receive buffer size
        bspc = #(SPCval | GO)   ; bring buffered serial port out of reset
        return                  ;for transmit and receive because GO=0xC0
```

パッケージ

MSEパッケージ
10ピン・プラスチックMSOP
(Reference LTC DWG # 05-08-1664 Rev C)



NOTE:
1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
   モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm(0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない
   リード間のバリまたは突出部は、各サイドで0.152mm(0.006")を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大0.102mm(0.004")であること

改訂履歴 （Rev Bよりスタート）

REV	日付	修正内容	頁番号
B	12/09	「ピン配置」を更新	2

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

関連製品

製品番号	説明	注釈
ADC		
LTC1608	16ビット、500kspsパラレルADC	±5V電源、入力範囲：±2.5V、SINAD：90dB
LTC1609	16ビット、200kspsシリアルADC	5V、設定可能なバイポーラ/ユニポーラ入力
LTC1403/LTC1403A	12/14ビット、2.8Mspsシリアル ADC	3V、14mW、ユニポーラ入力、MSOPパッケージ
LTC1403-1/LTC1403A-1	12/14ビット、2.8Mspsシリアル ADC	3V、14mW、バイポーラ入力、MSOPパッケージ
LTC1407/LTC1407A	12/14ビット、3Msps同時サンプリング ADC	3V、14mW、2チャネルのユニポーラ入力範囲
LTC1411	14ビット、2.5Mspsパラレル ADC	5V、選択可能な入力範囲、SINAD：80dB
LTC1420	12ビット、10Mspsパラレル ADC	5V、選択可能な入力範囲、SINAD：71dB
LTC1405	12ビット、5Mspsパラレル ADC	5V、選択可能な入力範囲、115mW
LTC1412	12ビット、3Mspsパラレル ADC	±5V電源、入力範囲：±2.5V、SINAD：72dB
LTC1402	12ビット、2.2Mspsシリアル ADC	5Vまたは±5V電源、入力範囲：4.096Vまたは±2.048V
LTC1864/LTC1865 LTC1864L/LTC1865L	16ビット、250ksps、1チャネル/2チャネルのシリアル ADC	5Vまたは3V（Lバージョン）、マイクロパワー、MSOPパッケージ
DAC		
LTC1666/LTC1667 LTC1668	12/14/16ビット、50Msps DAC	SFDR：87dB、セトリング時間：20ns
LTC1592	16ビット、シリアル SoftSpan™ I_{OUT} DAC	INL/DNL：±1LSB、ソフトウェアで選択可能な出力範囲
リファレンス		
LT1790-2.5	マイクロパワー・シリーズ・リファレンス、SOT-23パッケージ	初期精度：0.05%、ドリフト：10ppm
LT1461-2.5	高精度電圧リファレンス	初期精度：0.04%、ドリフト：3ppm
LT1460-2.5	マイクロパワー・シリーズ電圧リファレンス	初期精度：0.075%、ドリフト：10ppm

SoftSpanはリニアテクノロジー社の商標です。

26 リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

LT 0110 REV B • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2004