

低消費電力、8ビット、20Msps サンプリングA/Dコンバータ

1998年3月

特長

- 低消費電力、8ビット、20Msps ADC
- 250MHz内部サンプル・ホールド
- 70MHz入力周波数での有効ビット：7ビット
- 最大DNLおよびINL：±1LSB
- 単一5V電源および消費電力150mW
- パワーダウン時の消費電流1μA
- 真の差動入力により同相ノイズを除去
- シングルエンドまたは差動入力信号に対応
- ±1Vの差動または2Vのシングルエンド入力スパン
- アナログ入力コモンモードはV_{DD}およびGNDまで
- 24ピン細型SSOPパッケージ

アプリケーション

- テレコム
- ワイヤレス通信
- デジタル・セルラー電話
- CCDおよびイメージ・スキャナ
- ビデオのデジタル化およびデジタル・テレビ
- デジタル・カラー・コピー
- 高速アンダーサンプリング
- パーソナル・コンピュータ・ビデオ
- 高速データ収集

概要

LTC[®]1406は20Mspsサンプリング8ビットA/Dコンバータで、単一5V電源動作時の消費電力はわずか150mWです。このデバイスは使いやすく、帯域幅250MHzの広いダイナミックレンジを持つサンプル・ホールドを備えています。

LTC1406のフルスケール入力範囲は±1Vです。入力は差動または一方の入力を固定電圧に接続し、他の入力を±1Vのバイポーラ入力でドライブすることができます。最大DCスペックには、全温度範囲における±1LSBのDNLおよびINLが含まれています。1MHz入力でS(N+D)は48.5dBおよびTHDが62dB、10MHzのナイキスト入力周波数でS(N+D)は47.5dBおよびTHDが59dBなど、卓越したAC性能を実現しています。

独自の差動入力サンプル・ホールドにより、250MHz帯域幅までシングルエンドまたは差動入力信号を得ることができます。また、60dBの同相除去を実現しているため、ユーザはソースから差動的に信号を測定することにより、グラウンド・ループと同相ノイズを除去できます。

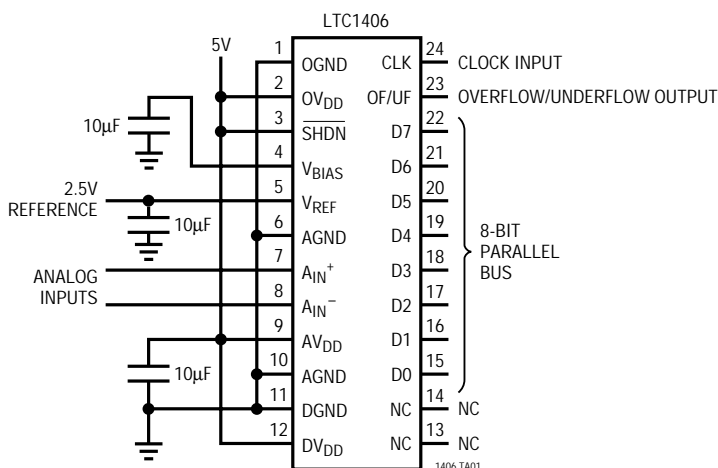
このADCは別々の電源とグラウンドを持つ8ビット・パラレル出力ポートを備えており、3Vデジタル・システムに簡単にインタフェースできます。パイプライン・アーキテクチャには、5クロック・サイクルのデータ待ち時間があります。

▲、LTC、LTIはリニアテクノロジー社の登録商標です。

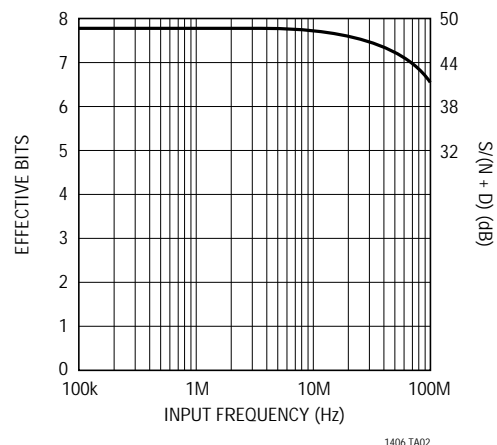
6

標準的応用例

低消費電力、20MHz、8ビット・サンプリングADC



有効ビット数およびS/(N+D)と入力周波数



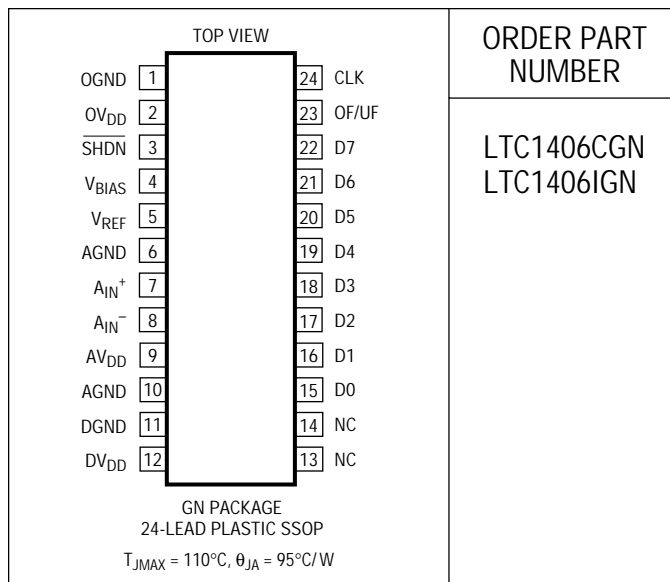
LTC1406

絶対最大定格

$AV_{DD} = OV_{DD} = DV_{DD} = V_{DD}$ (Notes 1、2)

電源電圧 (V_{DD})	6V
アナログ入力電圧 (Note 3)	- 0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧 (Note 4)	- 0.3V ~ 10V
デジタル出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
消費電力	500mW
動作温度範囲	
LTC1406C	0 ~ 70
LTC1406I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報



ミリタリ・グレード部品に関してはお問い合わせください。

コンバータ特性 (Notes 5、6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	8		Bits
Integral Linearity Error	(Note 7)	●	±0.5	±1	LSB
Differential Linearity Error		●	±0.25	±1	LSB
Offset Error	(Note 8)	●	±1	±8	LSB
Gain Error	With External 2.5V Reference		±1	±5	LSB

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Span [$(A_{IN}^+) - (A_{IN}^-)$] (Note 9)	$4.75V \leq V_{DD} \leq 5.25V$	●	±1		V
	Input (A_{IN}^+ or A_{IN}^-) Range	Voltage On Either A_{IN}^+ or A_{IN}^-	●	0	V_{DD}	V
I_{IN}	Analog Input Leakage Current	CLK = 0	●		±5	μA
C_{IN}	Analog Input Capacitance	CLK = 1 CLK = 0		4 2		pF pF
	Input Bandwidth			250		MHz
t_{AP}	Sample-and-Hold Aperture Delay Time			3		ns
t_{jitter}	Sample-and-Hold Aperture Delay Time Jitter			5		pSRMS
CMRR	Analog Input Common Mode Rejection Ratio	$-2.5V < (A_{IN}^- - A_{IN}^+) < 2.5V$		60		dB
V_{BIAS}	Internal Bias Voltage	No Load		2.2		V

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	1MHz Input Signal		48.5		dB
		10MHz Input Signal		47.5		dB
THD	Total Harmonic Distortion	1MHz Input Signal, First 5 Harmonics		-62		dB
		10MHz Input Signal, First 5 Harmonics		-59		dB
SFDR	Spurious Free Dynamic Range	1MHz Input Signal		63		dB
		10MHz Input Signal		60		dB
IMD	Intermodulation Distortion	$f_{IN1} = 3.4\text{MHz}$, $f_{IN2} = 3.5\text{MHz}$		60		dB

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	●	2.4		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V to } V_{DD}$	●		±5	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_O = -10\mu\text{A}$	●	4.0	4.5	V
		$V_{DD} = 4.75\text{V}$, $I_O = -200\mu\text{A}$				V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_O = 160\mu\text{A}$	●		0.05	V
		$V_{DD} = 4.75\text{V}$, $I_O = 1.6\text{mA}$			0.10	0.4
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-20		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		30		mA

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
AV_{DD}	Analog Positive Supply Voltage	(Note 10)		4.75	5.25	V	
DV_{DD}	Digital Positive Supply Voltage	(Note 10)		4.75	5.25	V	
OV_{DD}	Output Positive Supply Voltage	(Note 10)		2.7	5.25	V	
V_{BIAS}	Internal Bias Voltage	When Externally Driven (Note 10)		1.9	2.2	2.5	V
V_{REF}	Reference Voltage	(Note 10)		2	2.5	3	V
OGND	Output Ground	(Note 10)		0	2	V	
I_{DD}	Positive Supply Current	$AV_{DD} = DV_{DD} = OV_{DD} = 5\text{V}$, $f_{SMPL} = 20\text{MHz}$	●	30	40	mA	
P_D	Power Dissipation		●	150	200	mW	
	Power Down Positive Supply Current	$\overline{\text{SHDN}} = 0\text{V}$, $\text{CLK} = V_{DD}$ or 0		1	10	μA	
	Power Down Power Dissipation	$\overline{\text{SHDN}} = 0\text{V}$, $\text{CLK} = V_{DD}$ or 0		5	50	μW	

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{SMPL(MAX)}$	Maximum Sampling Frequency		●	20		MHz
t_1	Clock Period	(Notes 11, 12)	●	50		ns
t_2	Pulse Width High	(Notes 11, 12)	●	25		ns
t_3	Pulse Width Low	(Notes 11, 12)	●	25		ns
t_4	Output Delay	$C_L = 15\text{pF}$		15	25	ns
t_5	Pipeline Delay			5		Cycles

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_6	Aperture Delay			3		ns
	Aperture Jitter			5		psRMS

● は全動作温度範囲の規格値を意味する。他のすべての制限値はTA = 25 °Cでの標準値である。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値は、(注記がない限り) DGND、OGND、およびAGNDが接続されたグラウンドを基準とする。

Note 3: これらのピン電圧をグラウンドより低くするか、V_{DD}より高くすると、内部ダイオードによってクランプされる。この製品はグラウンドより低い、またはV_{DD}より高い電圧を加えてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧をグラウンドより低くすると、内部ダイオードでクランプされる。この製品はグラウンドより低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンはV_{DD}にクランプされない。

Note 5: 注記がない限り、V_{DD} = 5V、f_{SMPL} = 20MHz、t_r = t_f = 2ns

Note 6: 直線性、オフセット、およびフルスケール仕様は、A_{IN-}をV_{REF} = 2.5Vに接続した状態のシングルエンドA_{IN+}入力に適用される。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: バイポーラ・オフセットは出力コードが0111 1111と1000 0000の間で変化するとき、-0.5LSBから測定したオフセット電圧。

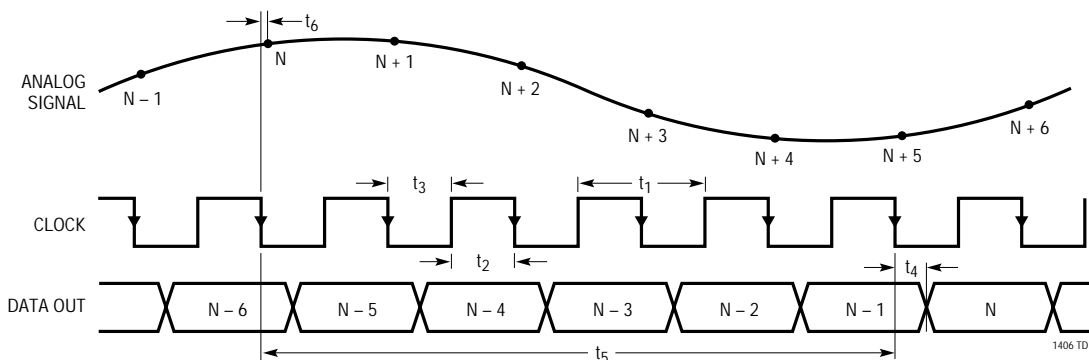
Note 9: 設計により保証されているがテストは行われない。

Note 10: 推奨動作条件

Note 11: CLKの立下りエッジで変換を開始する。

Note 12: 最大変換レートでは、50%デューティ・サイクルからの偏差によって、ステージ間のセトリング・タイムが25ns以下となり、性能に影響を受けることがある。

タイミング図



ピン機能

OGND_X (ピン1): デジタル・データ出力グランド。アナログ・グランド・プレーンに接続します。必要に応じて、ロジック・グランドに接続できます。

OV_{DD} (ピン2): デジタル・データ出力電源。通常5Vに接続されますが、3Vデジタル・ロジックとインタフェースするのにも使用できます。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、OGNDにバイパスします。

SHDN_X (ピン3): シャットダウン入力。ロジック“L”でシャットダウンを選択します。

V_{BIAS} (ピン4): 内部バイアス電圧。内部で2.2Vに設定されます。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、グランド・プレーンにバイパスします。

V_{REF} (ピン5): 外部2.5Vリファレンス入力。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、アナログ・グランド・プレーンにバイパスします。

AGND₂ (ピン6): アナログ・グランド。アナログ・グランド・プレーンに接続します。

A_{IN}⁺ (ピン7): $\pm 1V$ 入力。最大出力コードは $[(A_{IN}^+) - (A_{IN}^-)] = 1V$ のときに発生します。最小出力コードは、 $[(A_{IN}^+) - (A_{IN}^-)] = -1V$ のときに発生します。

A_{IN}⁻ (ピン8): $\pm 1V$ 入力。最大出力コードは $[(A_{IN}^+) - (A_{IN}^-)] = 1V$ のときに発生します。最小出力コードは、 $[(A_{IN}^+) - (A_{IN}^-)] = -1V$ のときに発生します。シングルエンド動作では、A_{IN}⁻をDC電圧(たとえば、V_{REF})に接続します。

AV_{DD} (ピン9): アナログ5V正電源。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、グランド・プレーンにバイパスします。

AGND_X (ピン10): アナログ・グランド。アナログ・グランド・プレーンに接続します。

DGND_X (ピン11): 内部ロジック用デジタル・グランド。アナログ・グランド・プレーンに接続します。

DV_{DD} (ピン12): デジタル5V正電源。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、DGNDにバイパスします。

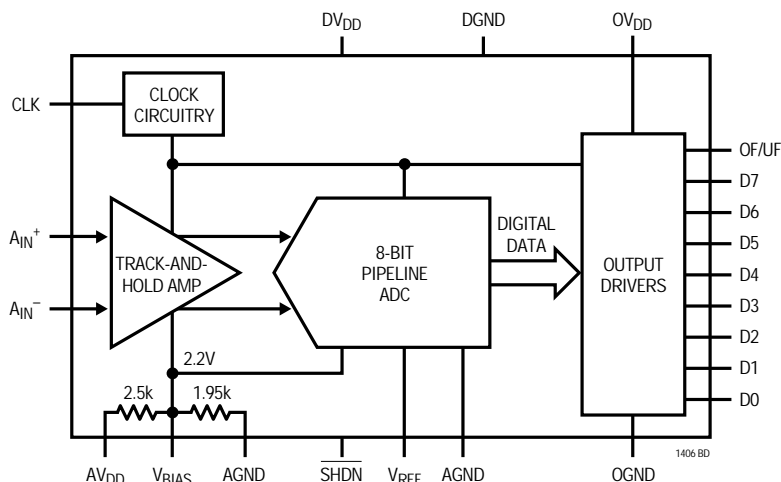
N_X (ピン13、14): 内部では接続されていません。

D7からD0_X (ピン15から22): デジタル・データ出力。出力はOV_{DD}とOGNDの間で振幅します。

OF/UF (ピン23): オーバフロー/アンダフロー・ビット。D7からD0がすべて“H”でOF/UF“H”のときにはオーバーレンジ、D7からD0がすべて“L”でOF/UF“H”のときにはアンダーレンジ状態を示します。OF/UF“L”は通常入力範囲での変換を示します。出力はOV_{DD}とOGNDの間で振幅します。

CLK (ピン24): クロック入力。内部サンプル・ホールドはCLKが“H”のときに入力信号に追従し、立下りエッジで入力信号をサンプリングします。

機能ブロック図



アプリケーション情報

変換の詳細説明

LTC1406は内部サンプル・ホールド回路とパイプライン量子化アーキテクチャを使用して、アナログ信号を8ビット・パラレル出力に変換します。CLK“H”で、入力スイッチが閉じ、入力サンプリング・コンデンサC_Sでアナログ入力が獲得されます(図1を参照)。

CLKの立下りエッジで入力スイッチが開き、入力信号を捕捉します。次に、サンプリング・コンデンサが短絡し、ホールド・コンデンサC_Hに電荷が転送され、トラック・ホールド・アンプ出力に比例する差動DC電圧が生じます。この差動電圧はコンパレータに送られ、コンパレータが最上位ビットを決定し、結果を減算します。残りは2倍に増幅され、同様のサンプル・ホールド回路を通して、次のステージに渡されます。これが連続して8段パイプライン・ステージに送られます。次にコンパレータ出力がデジタル誤差修正回路で結合されます。サンプリング・エッジ後の5クロック・サイクルで、出力に8ビット・ワードが現れます。

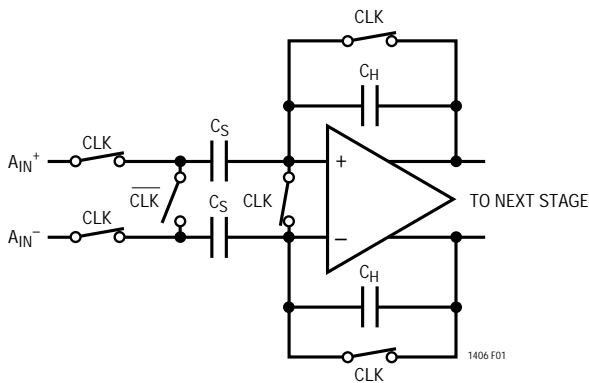


図1. 入力サンプル・ホールド・アンプ

ダイナミック特性

LTC1406は卓越した広い帯域幅のサンプリング能力を備えています。サンプル・ホールド・アンプの小信号入力帯域幅は250MHzで、ADCはコンバータのナイキスト周波数よりはるかに高い周波数で入力信号をアンダーサンプリングすることができます。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテスト

するために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪みの正弦波を加え、FFTアルゴリズムを用いてデジタル出力を解析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。

SN比

信号対ノイズ+歪み比[S(N+D)]は、ADC出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおりS(N+D)に直接関係します。

$$ENOB = [S(N+D) - 1.76]/6.02$$

ここで、ENOBは有効ビット数であり、S(N+D)はdBで表されます。20MHzの最大サンプリング・レートで、LTC1406は10MHz以上のナイキスト入力周波数まで、理想に近いENOBを維持します(図2参照)。

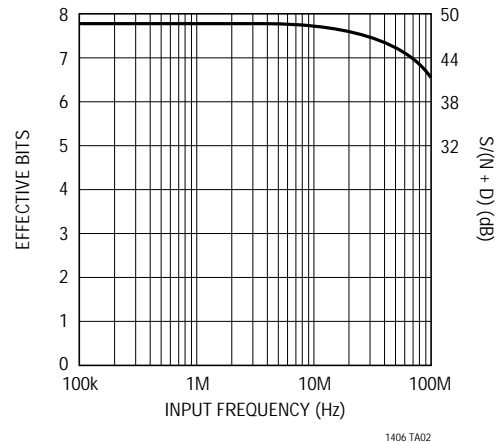


図2. 有効ビット数および信号対(ノイズ+歪み)と入力周波数

全高調波歪み

全高調波歪みは、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されます。THDは次式で表されます。

アプリケーション情報

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_n は第2高調波から第N次高調波の振幅です。LTC1406は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

混変調歪み

ADC入力信号が2つ以上のスペクトル成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調(IMD)が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $mf_a \pm nf_b$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値(dB)は次式で表すことができます。

$$\text{IMD}(f_a + f_b) = 20 \log \frac{(f_a + f_b) \text{での振幅}}{f_a \text{での振幅}}$$

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

入力帯域幅

入力帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。LTC1406は入力帯域幅が広く(250MHz)設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナ

イキスト周波数よりはるかに高い周波数では、 $S(N+D)$ では歪みが大きな部分を占めます。

アナログ入力

LTC1406はユニークな差動サンプル・ホールド回路を備え、レール・トゥ・レール入力が可能です。 A_{IN+} と A_{IN-} 入力は同時にサンプリングされ、ADCは同相電圧に関係なく、常に $(A_{IN+}) - (A_{IN-})$ の差を変換します。両方の入力に同相となる不要な信号は、サンプル・ホールド回路の同相除去によって除去されます。同相除去は、非常に高い周波数まで有効です。

入力は差動またはシングルエンドでドライブできます。差動モードでは、両方の入力が互いに $\pm 0.5V$ 位相を外してドライブされます。シングルエンド・モードでは、負入力が固定電圧に接続され、 A_{IN+} は信号入力として使用され、 A_{IN-} を中心とする $\pm 1V$ のバイポーラ入力範囲を与えます。同様に、 A_{IN+} を固定電圧に接続し、 A_{IN-} を信号入力として使用できます。どのような構成でも最大出力コード(1111 1111)は、 $(A_{IN+}) - (A_{IN-}) = 1V$ のときに発生し、最小出力コード(0000 0000)は $(A_{IN+}) - (A_{IN-}) = -1V$ のときに発生します。

各アナログ入力はグランドから V_{DD} まで振幅できますが、 V_{DD} を超えることはできません。したがって、同相入力電圧の範囲は差動モードでは $0.5V \sim 4.5V$ 、シングルエンド・モードでは $1V \sim 4V$ まで可能です。

たとえば、 A_{IN-} を V_{REF} ピン(2.5V)に接続した場合、入力範囲は $1.5V \sim 3.5V$ になります(図3aを参照)。他の範囲を使うには、入力を容量結合して事実上どの同相電圧でも2Vスパンを達成することができます(図3bを参照)。

RAIL-TO-RAILはモトローラ(株)の登録商標です。

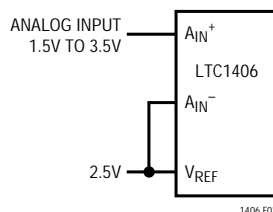


図3a. DC結合

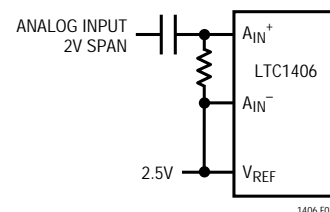


図3b. AC結合

アプリケーション情報

他の入力スパンを達成するために、リファレンス電圧 (V_{REF}) は2V ~ 3Vの範囲で可変することができます。 V_{REF} ピンはDACまたは他の手段でドライブすることもできます。これはピーク入力信号振幅が変動する可能性があるアプリケーションに役立ちます。ADCの入力スパンを調整してピーク入力信号に一致させ、SN比を最大限に高めることができます。

LTC1406のアナログ入力は簡単にドライブできます。入力にはCLKの立上りエッジの後、サンプル・ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクが生じます。CLKが“L”の間、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1406入力を直接ドライブできます。ソース・インピーダンスが増加すると、アキュイジション・タイムも増加します。ソース・インピーダンスが高いときに、アキュイジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るには、セトリング時間が25nsであること)。

入力アンプの選択

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。まず、サンプリング・コンデンサを充電する際にアンプで発生する電圧スパイクの振幅を制限するために、閉ループ帯域幅周波数で低い出力インピーダンス(50以下)をもつアンプを選択します。たとえば、1の利得と50MHzのユニティゲイン帯域幅をもつアンプを使用した場合、50MHzでの出力インピーダンスは、50以下でなければなりません。もう1つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ帯域幅が70MHz以上でなければならないことです。

以下のリストはLTC1406をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT®1223 : 100MHzビデオ電流帰還アンプ。消費電流6mA。±5V ~ ±15V電源。400kHz以上の周波数で低歪み。低ノイズ。ACアプリケーションに最適。

LT1227 : 140MHzビデオ電流帰還アンプ。消費電流10mA。±5V ~ ±15V電源。400kHz以上の周波数で歪みが最小。低ノイズ。ACアプリケーションに最適。

LT1229/LT1230 : デュアルおよびクワッド100MHz電流帰還アンプ。±2V ~ ±15V電源。低ノイズ。優れたAC仕様、アンプ当たりの消費電流6mA。

入出力特性

図4にLTC1406の理想的な入出力特性を示します。コード遷移は、連続する整数のLSB値の間(すなわち、 $-FS + 0.5LSB$ 、 $-FS + 1.5LSB$ 、 $-FS + 2.5LSB$ 、 \dots 、 $FS - 1.5LSB$ 、 $FS - 0.5LSB$)に現れます。出力コードは、 $1LSB = FS - (-FS) / 256 = 2V / 256 = 7.8125mV$ の自然バイナリです。OF/UFビットは入力が入力フルスケールを超えたことを示し、オーバーレンジまたはアンダーレンジ状態を検出するのに使用できます。OF/UFピンがロジック“H”で出力コードが0000 0000の場合は、入力が入力のフルスケールより低いことを示します。OF/UFピンがロジック“H”で、出力コードが1111 1111の場合は、入力が入力のフルスケールより大きいことを示します。OF/UFピンにロジック“L”が出力された場合は、入力が入力のフルスケール・レンジ内であることを示します。

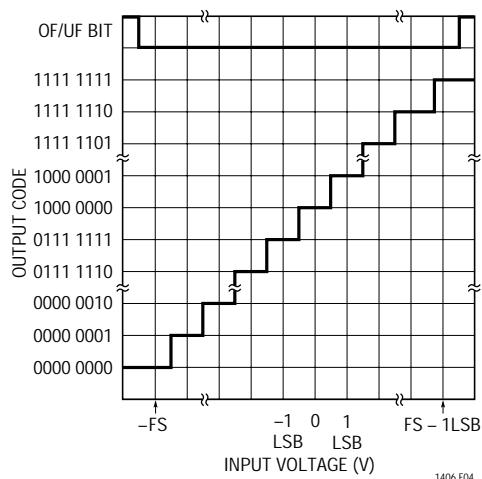


図4. LTC1406の伝達特性

LinearViewはリニアテクノロジー社の商標です。

アプリケーション情報

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。ゼロ・オフセットは、 A_{IN}^- 入力に印加されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、入力同相電圧 - 3.90625mV(すなわち、- 0.5LSB)の電圧を印加し、出力コードが0111 1111と1000 0000の間で変化するまで、 A_{IN}^- 入力のオフセットを調整します。フルスケール調整を行うには、入力同相電圧 + 988.28125mV(すなわち、FS - 1.5LSB)の入力電圧を A_{IN}^+ に印加し、出力コードが1111 1110と1111 1111の間で変化するまで V_{REF} 入力を調整します。

クロック

LTC1406には50%のデューティ・サイクル・クロックが必要です。デューティ・サイクルは1.9VであるCLK入力の公称スレッシュホールドから計測しなければなりません。20MHzの最大変換速度以下の変換速度では、各クロック・フェーズの長さが25ns以上ある限り、デューティ・サイクルが50%からずれても性能は低下しません。最大変換速度では、50%デューティ・サイクル・クロックからの偏差があると、ステージ間のセトリング・タイムが25ns未満になり、性能が影響を受けることがあります。

CLKピンが“H”のとき、ADCは2つアナログ入力間の差に追従します。CLKの立下りエッジで、入力がサンプリングされ、変換が開始されます。5クロック・サイクルの終わり(変換開始後の5番目の立下りCLKエッジ)で、変換からのデータが次の立下りCLKエッジまでデジタル出力に現れます。CLKの各立下りエッジで新しい変換を開始するため、連続した立下りCLKエッジで連続変換結果が得られます。

立下りエッジで変換を開始しますが、変換中は立上りエッジと立下りエッジの両方が内部で使用されます。したがって、ジッタが低く立上りおよび立下り時間が高速な(2ns未満)クロック信号を供給することが重要です。内部回路の多くが動的に動作し、最小変換レートを10kHzに制限します。最初に電源を投入した後、またはクロックが100ms以上停止した後に適切に動作させるために、10kHz以上のサンプル・レートで出力データが有効になる前に、最小20クロック・サイクルを実行しなければなりません。

電源シャットダウン

LTC1406の消費電力は \overline{SHDN} ピンを“L”にすれば、変換と変換の間でさらに減少させることができます。これによってすべての内部アンプとバイアス回路がパワーダウンし、デバイスは5V電源からわずか1 μ Aの電流しか消費しません。シャットダウン中は、クロック入力を停止させて、不要な内部デジタル・スイッチング電流をなくす必要があります。 V_{REF} とAGND2の間には、公称値4kの内部抵抗があり、 V_{REF} がドライブされている限り、シャットダウン中に連続して電流を流します。通常動作を再開するには、 \overline{SHDN} ピンを“H”にし、出力データが有効になる前に10kHz以上のサンプリング・レートで標準20クロック・サイクルを実行しなければなりません。

ボード・レイアウトとバイパス

高分解能または高速A/Dコンバータには、ワイヤラップ・ボードは使用しないでください。LTC1406から最適な性能を引き出すには、グラウンド・プレーン付きのPCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にADCの下やアナログ信号トラックに沿ってデジタル・トラックを走らせないよう注意してください。

ロジックのシステム・グラウンドから離れたアナログ・グラウンド・プレーンを、ADCの下またはADCの近くに設けなければなりません。ピン1(OGND)、ピン6(AGND)、ピン10(AGND)、ピン11(ADCのDGND)および他のすべてのアナログ・グラウンドをこのひとつのアナログ・グラウンド点に接続してください。また、 V_{CM} 、 V_{REF} 、 DV_{DD} 、および OV_{DD} バイパス・コンデンサもこのアナログ・グラウンド・プレーンに接続してください。他のデジタル・グラウンドをこのアナログ・グラウンド・プレーンに接続してはなりません。アプリケーションによっては、 OV_{DD} をロジック・システム電源に接続し、OGNDをロジック・システム・グラウンドに接続するのが望ましいことがあります。このような場合、 OV_{DD} はアナログ・グラウンド・プレーンではなくOGNDにバイパスしなければなりません。

このADCを低ノイズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッ

アプリケーション情報

サ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサからコンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。

LTC1406はノイズの結合を最小限に抑えるために差動入力力を備えています。 A_{IN}^+ と A_{IN}^- リードの同相ノイズは、入力CMRRによって除去されます。LTC1406は A_{IN}^+ と A_{IN}^- 間の電圧差を保持し変換します。 A_{IN}^+ (ピン7)へのリードと A_{IN}^- (ピン8)へのリードは、できる限り短くしなければなりません。これが可能でないアプリケーションでは、 A_{IN}^+ および A_{IN}^- トレースを平行に走らせて、結合を等しくすることが必要です。

電源のバイパス

V_{DD} 、 V_{CM} 、および V_{REF} ピンには、本データシートの最初のページにある標準的応用例に示すように、高品質で低直列抵抗のセラミックの10 μ Fバイパス・コンデンサを使用してください。村田製作所製GRM235Y5V106Z016などの表面実装セラミック・コンデンサは、小さなボード・スペースで優れたバイパスを提供します。あるいは、10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して使用することもできます。これらのコンデンサはできる限りピンの近くに配置します。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

関連製品

製品番号	概要	注釈
ADC		
LTC1196/LTC1198	単一電源、8ビット、1Msps/750ksps ADC	単一3Vまたは5V電源、低消費電力、シリアル・インタフェース、SO-8パッケージ
LTC1197/LTC1199	単一電源、10ビット、500ksps ADC	単一3Vまたは5V電源、低消費電力、シリアル・インタフェース、SO-8パッケージ
LTC1410	12ビット、1.25MspsサンプリングADC、シャットダウン機能付き	最良のダイナミック性能、ナイキスト周波数にてTHD = 84dBおよびSINAD = 71dB
LTC1415	単一5V、12ビット、1.25Msps ADC	単一電源、消費電力55mW
LTC1419	14ビット、800kspsサンプリングADCシャットダウン付き	SINAD 81.5dB、 $\pm 5V$ 電源からの消費電力150mW
LTC1604	16ビット、333ksps ADC	SINAD 90dB、THD 100dB、消費電力250mW
LTC1605	単一5V電源、16ビット、100ksps ADC	低消費電力、 $\pm 10V$ 入力DAC
DAC		
LTC1446/LTC1446L	SO-8パッケージのデュアル12ビット V_{OUT} DAC	LTC1446: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1446L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$
LTC1448	SO-8パッケージのデュアル12ビット・レール・トゥ・レール出力DAC	$V_{CC} = 2.7V \sim 5.5V$ 、出力振幅はGND ~ REF、REF入力を V_{CC} に接続可能。
LTC1458/LTC1458L	クワッド12ビット・レール・トゥ・レール出力DAC	LTC1458: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1458L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$