

完全なSO-8、12ビット、200ksps ADC、シャットダウン機能付き

特長

- SO-8パッケージのリファレンス付き完全な12ビットADC
- 単一3V電源動作
- サンプル・レート：200ksps
- 消費電力：15mW(標準)
- 68dBのS/(N+D)および50kHzでの-72dBのTHD
- 全温度範囲にてミッシング・コードなし
- 即時ウェイクアップ可能なナップ・モード時の消費電力：1.5mW
- スリープ・モード時の消費電力：19.5μW
- シャットダウン・モード：13.5μW
- ハイ・インピーダンス・アナログ入力
- 入力範囲(0.5mV/LSB)：0V~2.048V
- 内部リファレンスを外部からオーバドライブ可能
- DSPおよびプロセッサへの3線式インタフェース(SPIおよびMICROWIRE™に対応)

アプリケーション

- 低消費電力およびバッテリー駆動システム
- ハンドヘルドまたはポータブル機器
- 高速データ収集
- デジタル信号処理
- 多チャンネル・データ収集システム
- テレコム
- デジタル無線
- スペクトラム分析

概要

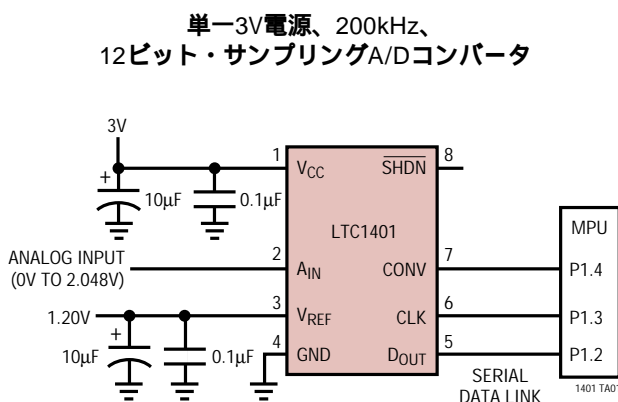
LTC®1401は0V~2.048Vのユニポーラ入力を変換し、単一3V電源で消費電力がわずか15mWの完全な200ksps、12ビットA/Dコンバータです。このデバイスは使いやすく、315nsのサンプル・ホールドと高精度リファレンスを内蔵しています。DCスペックの最大値には、全温度範囲での±1LSBのINL、±1LSBのDNL、および45ppm/°Cのドリフトが含まれます。

LTC1401には3つの省電力モードがあります。ナップとスリープはSHDNピンをゼロにセットすればシリアル・インタフェースを通して、シャットダウンはSHDNピンをゼロに設定することによって実行されます。ナップ・モードの消費電力はわずか1.5mWで、即時にウェイクアップし変換を行うことができます。スリープ(シャットダウン)モードでは、消費電力は標準で19.5μW(13.5μW)です。スリープ・モードまたはシャットダウン・モードからの起動時に、シリアル・ワードのリファレンス・レディ(REFRDY)信号を使用して、リファレンスが安定しチップが変換可能な状態にあることを示します。

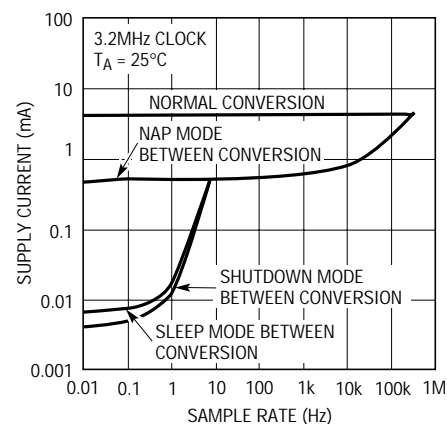
3線式シリアル・ポートにより、さまざまなマイクロプロセッサ、マイクロコントローラ、およびDSPにコンパクトで効率的なデータ転送が可能です。

▲、LTC、LTはリニアテクノロジー社の登録商標です。MICROWIREはナショナル・セミコンダクター社の商標です。

標準的応用例



消費電力とサンプリング・レート



LTC1401 - TA02

LTC1401

絶対最大定格

(Note 1、2)

電源電圧 (V_{CC})	7V
アナログ入力電圧 (Note 3)	- 0.3V ~ ($V_{CC} + 0.3V$)
デジタル入力電圧 (Note 4)	- 0.3V ~ 12V
デジタル出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
消費電力	300mW
動作周囲温度範囲	
LTC1401C	0 ~ 70
LTC1401I	- 40 ~ 85
動作接合部温度	125
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

<p>TOP VIEW</p> <p>S8 PACKAGE 8-LEAD PLASTIC SO</p> <p>$T_{jMAX} = 125^{\circ}C, \theta_{JA} = 130^{\circ}C/W$</p>	ORDER PART NUMBER
	LTC1401CS8 LTC1401IS8
	S8 PART MARKING
	1401 1401I

PDIPパッケージおよびミリタリ・グレード・デバイスは問い合わせください。

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		2.7	3.0	3.6	V
I_{CC}	Supply Current	$f_{SAMPLE} = 200ksps$		5	10	mA
		Nap Mode		0.5	1.0	mA
		Sleep Mode		6.5	15	μA
		Shutdown Mode		4.5	10	μA
P_D	Power Dissipation	$f_{SAMPLE} = 200ksps$		15	30	mW
		Nap Mode		1.5	3.0	mW
		Sleep Mode		19.5	45	μW
		Shutdown Mode		13.5	30	μW

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range			0 to 2.048		V
I_{IN}	Analog Input Leakage Current	During Conversions (Hold Mode)			± 1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		45		pF
		During Conversions (Hold Mode)		5		pF

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	1.180	1.200	1.220	V
V_{REF} Output Tempco	$I_{OUT} = 0$		± 10	± 45	ppm/ $^{\circ}C$
V_{REF} Line Regulation	$2.7V \leq V_{CC} \leq 3.6V$		0.01		LSB/V
V_{REF} Load Regulation	$0 \leq I_{OUT} \leq 1mA$		2		LSB/mA
V_{REF} Wake-Up Time from Sleep or Shutdown Mode	$C_{VREF} = 10\mu F$		3		ms

コンバータ特性 内部リファレンス(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		12			Bits
Integral Linearity Error	(Note 7)			±1	LSB
Differential Linearity Error				±1	LSB
Offset Error				±6 ±8	LSB LSB
Full-Scale Error				±15	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$		±10	±45	ppm/°C

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise	50kHz Input Signal	65	68		dB
	Plus Distortion Ratio	100kHz Input Signal		65		dB
THD	Total Harmonic Distortion Up to 5th Harmonic	50kHz Input Signal		-72	-65	dB
		100kHz Input Signal		-66		dB
	Peak Harmonic or Spurious Noise	50kHz Input Signal		-74	-65	dB
		100kHz Input Signal		-67		dB
IMD	Intermodulation Distortion	$f_{IN1} = 49.853\text{kHz}$, $f_{IN2} = 53.076\text{kHz}$		-69		dB
	Full Power Bandwidth			2		MHz
	Full Linear Bandwidth (S/(N + D) ≥ 68dB)			50		kHz

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{CC} = 3.6\text{V}$	2.0			V
V_{IL}	Low Level Input Voltage	$V_{CC} = 2.7\text{V}$			0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V to } V_{CC}$			±10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{CC} = 2.7\text{V}$, $I_O = -10\mu\text{A}$	2.40	2.64		V
		$V_{CC} = 2.7\text{V}$, $I_O = -200\mu\text{A}$	2.25	2.50		V
V_{OL}	Low Level Output Voltage	$V_{CC} = 2.7\text{V}$, $I_O = 400\mu\text{A}$		0.13	0.4	V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	$V_{OUT} = 0\text{V to } V_{CC}$			±10	μA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}			15		pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0$		-5		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{CC}$		10		mA

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{\text{SAMPLE(MAX)}}$	Maximum Sampling Frequency		●	200		kHz
t_{CONV}	Conversion Time	$f_{\text{CLK}} = 3.2\text{MHz}$	●		4.1	μs
t_{ACQ}	Acquisition Time			315		ns
f_{CLK}	CLK Frequency		●	0.1	3.2	MHz
t_{CLK}	CLK Pulse Width	(Note 6)	●	60		ns
$t_{\text{WK(NAP)}}$	Time to Wake Up from Nap Mode			350		ns
t_1	CLK Pulse Width to Return to Active Mode		●	60		ns
t_2	CONV \uparrow to CLK \uparrow Setup Time		●	100		ns
t_3	CONV \uparrow After Leading CLK \uparrow		●	0		ns
t_4	CONV Pulse Width	(Note 8)	●	50		ns
t_5	Time from CLK \uparrow to Sample Mode			80		ns
t_6	Aperture Delay of Sample-and-Hold	Jitter < 50ps		45		ns
t_7	Minimum Delay Between Conversion	(Note 6)	●	350	550	ns
t_8	Delay Time, CLK \uparrow to D _{OUT} Valid	$C_{\text{LOAD}} = 20\text{pF}$	●	60	120	ns
t_9	Delay Time, CLK \uparrow to D _{OUT} Hi-Z	$C_{\text{LOAD}} = 20\text{pF}$	●	60	120	ns
t_{10}	Time from Previous Data Remains Valid After CLK \uparrow	$C_{\text{LOAD}} = 20\text{pF}$	●	15	50	ns

は全動作温度範囲の規格値を意味する。その他すべてのリミット値と標準値は $T_A = 25$ 。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: 電圧値はすべてGNDを基準にする。

Note 3: これらのピン電圧をGNDより低くするか、 V_{CC} より高くすると、内部ダイオードによってクランプされる。この製品はピンをGNDより低い、または V_{CC} より高くドライブしても、ラッチアップを起こさずに40mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧をGNDより低くすると、内部ダイオードでクランプされる。この製品はピンをGNDより低くドライブしても、ラッチアップを起こさずに40mA以上の入力電流を処理することができる。これらのピンは V_{CC} にクランプされない。

Note 5: 注記がない限り、 $V_{\text{CC}} = 3\text{V}$ 、 $f_{\text{SAMPLE}} = 200\text{kHz}$ 、 $t_r = t_f = 5\text{ns}$

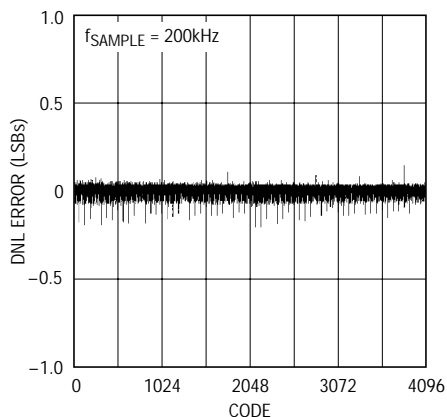
Note 6: 設計により保証されているがテストは行われない。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 8: CONVの立上りエッジで変換を開始する。ビット決定点でCONVが“L”に戻る場合は、小さな誤差が生じる可能性がある。最高の性能を得るために、CONVが変換開始(すなわち、最初のビット決定前)または14クロック・サイクルから120ns以内に、“L”に戻るようにする(図13のタイミング図)。

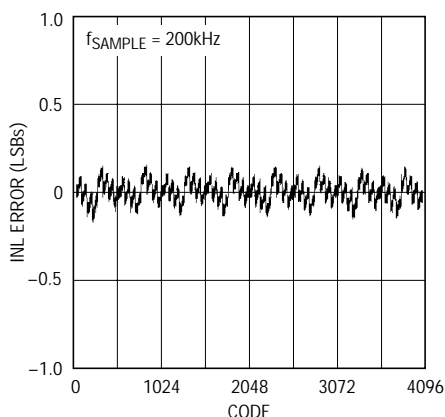
標準的性能特性

微分非直線性と出力コード



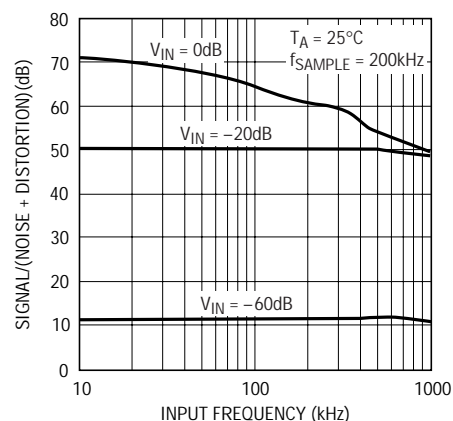
LTC1401 - TPC01

積分非直線性と出力コード



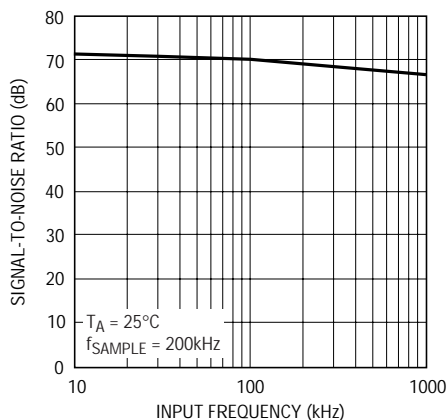
LTC1401 - TPC02

S/(N + D)と入力周波数
および振幅



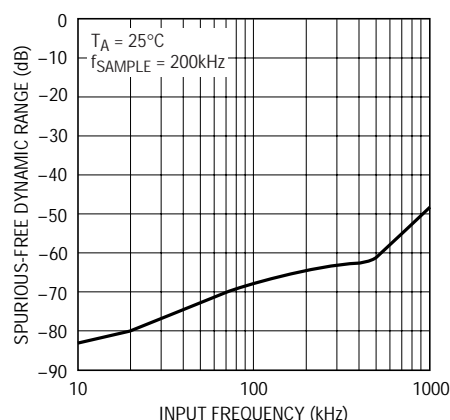
LTC1401 - TPC03

SN比(高調波なし)と
入力周波数



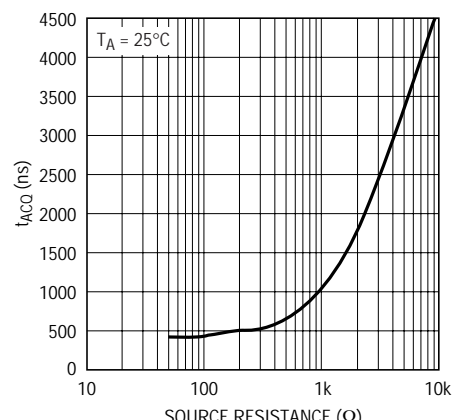
LTC1401 - TPC04

最大高調波またはスプリアス・
ノイズと入力周波数



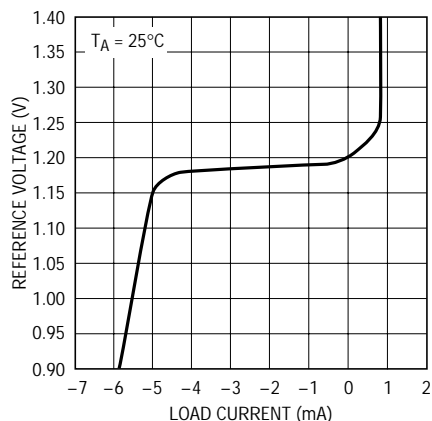
LTC1401 - TPC05

アキュジション・タイムと
ソース・インピーダンス



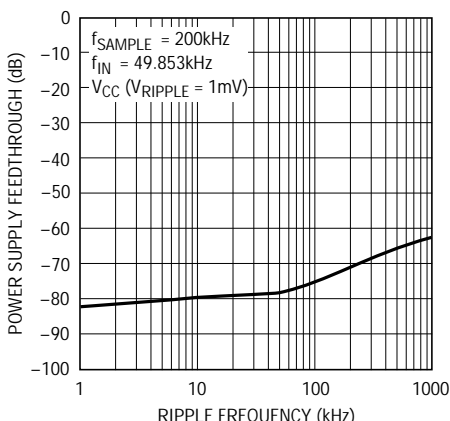
LTC1401 - TPC06

リファレンス電圧と負荷電流



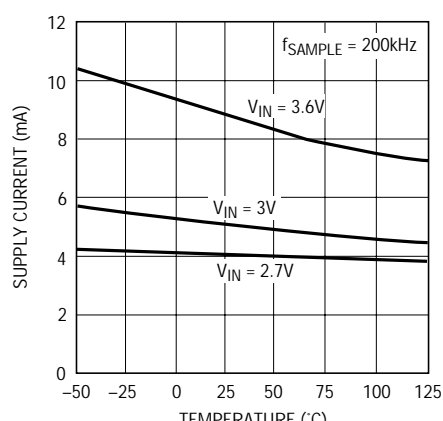
LTC1401 - TPC07

電源フィードスルーと
リップル周波数



LTC1401 - TPC08

電源電流と温度



LTC1401 - TPC09

LTC1401

ピン機能

V_{CC} (ピン1): 3V、正電源。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

A_{IN} (ピン2): アナログ入力。0V ~ 2.048V。

V_{REF} (ピン3): 1.2Vリファレンス出力。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

GND (ピン4): グランド。GNDはアナログ・グランド・プレーンに直接接続しなければなりません。

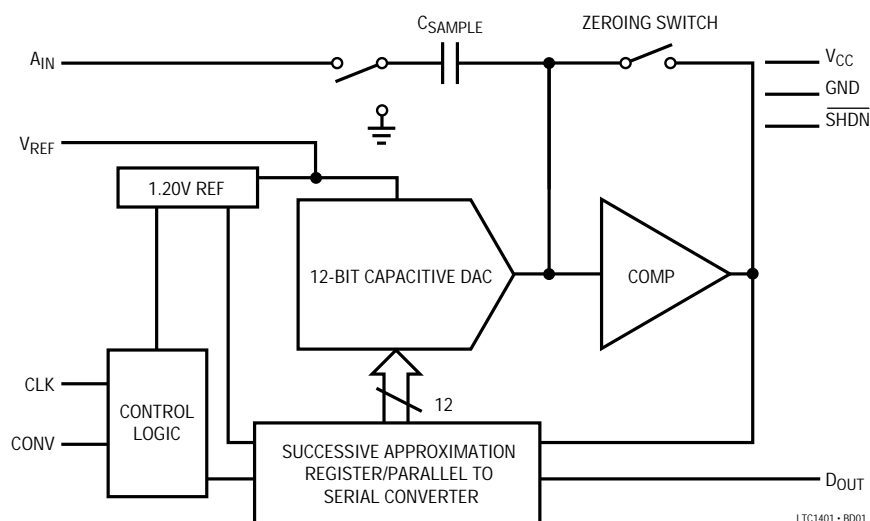
D_{OUT} (ピン5): このピンからA/D変換結果がシフトアウトされます。

CLK (ピン6): クロック。このクロックはシリアル・データ転送を同期します。60nsの最小CLKパルスによって、ADCはナップまたはスリープ・モードからウェイクアップします。

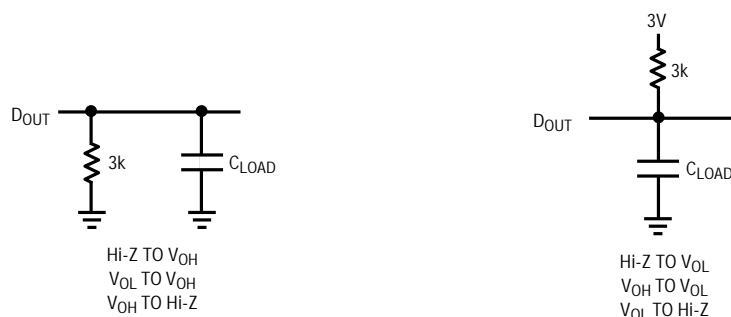
CONV (ピン7): 変換開始信号。このアクティブ“H”信号は、立上りエッジで変換を開始します。CLKを“L”にしたまま、CONVに2回/4回パルスを印加すると、ADCはナップ/スリープ・モードに入ります。

\overline{SHDN} (ピン8): シャットダウン入力。このピンを“L”にすると、ADCはシャットダウン・モードに入り電力を節減します (REFRDYは“L”になります)。デバイスはシャットダウン・モードでは4.5 μ Aしか流しません。

機能ブロック図



テスト回路



LTC1401 - TC01

アプリケーション情報

変換の詳細説明

LTC1401は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用し、高精度内部リファレンスに基づいて、アナログ信号を12ビットのシリアル出力に変換します。コントロール・ロジックにより、3本のシリアル伝送線を接続して、簡単にマイクロプロセッサやDSPにインタフェースすることができます。

CONV入力の立上りエッジで変換を開始します。変換がスタートすると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の12ビット容量性DAC出力が最上位ビット(MSB)から最下位ビット(LSB)にSARでシーケンスされます。図1を参照すると、 A_{IN} 入力にはアキュイジション・フェーズ中に、サンプル&ホールド・コンデンサに接続され、コンパレータ・オフセットはフィードバック・スイッチによってゼロになります。このアキュイジション・フェーズでは、サンプル・ホールド・コンデンサがアナログ信号を収集するのに標準315nsを要します。変換フェーズでは、コンパレータのフィードバック・スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} をグランドにスイッチして、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、DAC出

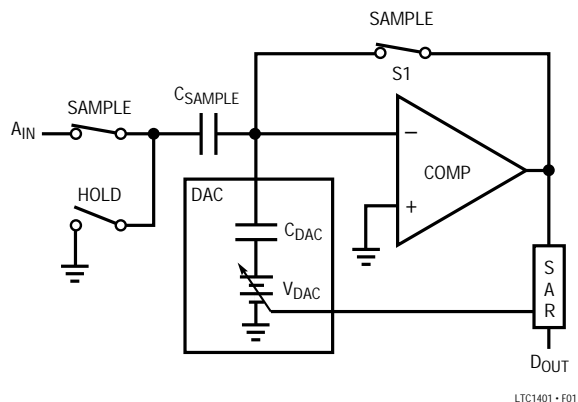


図1. A_{IN} 入力

力は A_{IN} 入力電荷と平衡します。入力電圧を表すSAR成分(12ビット・データ・ワード)がシリアル・ピン D_{OUT} を通して出力されます。

ダイナミック特性

LTC1401は非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪みの正弦波を加え、FFTアルゴリズムを用いてデジタル出力を解析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2aに標準的なLTC1401 FFTのプロットを示します。

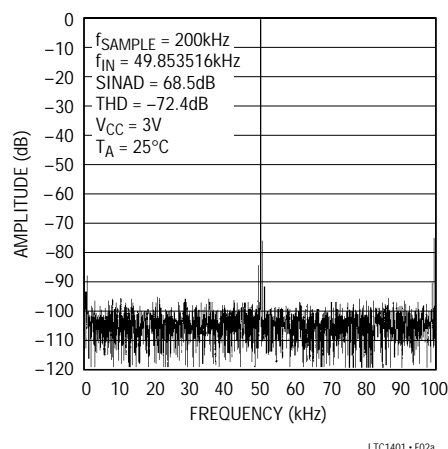


図2a. LTC1401の50kHz入力周波数での非平均化4096ポイントFFTプロット

SN比

SN + 歪み比 $S/(N + D)$ は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに、200kHzのサンプリング・レートと50kHz入力での標準スペクトル成分を示します。図2bに示すとおり、ダイナミック特性は入力周波数が100kHzのナイキスト限界まで良好です。

アプリケーション情報

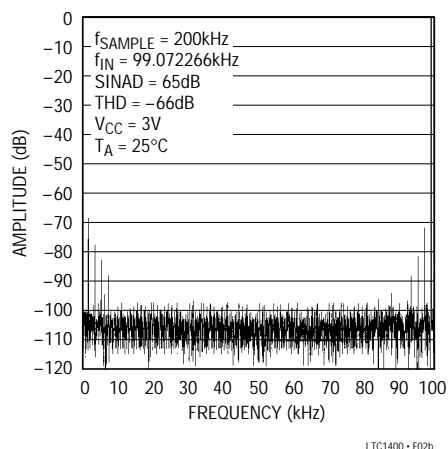


図2b. LTC1401の100kHz入力周波数での非平均化4096ポイントFFTプロット

有効ビット数

有効ビット数(ENOB)はADCの実効分解能の尺度であり、次式のとおり $S/(N+D)$ に直接関係します。

$$N = \frac{S/(N+D) - 1.76}{6.02}$$

ここで、Nは分解能の有効ビット数であり、 $S/(N+D)$ はdBで表されます。図3にENOBと入力周波数の関係を示します。

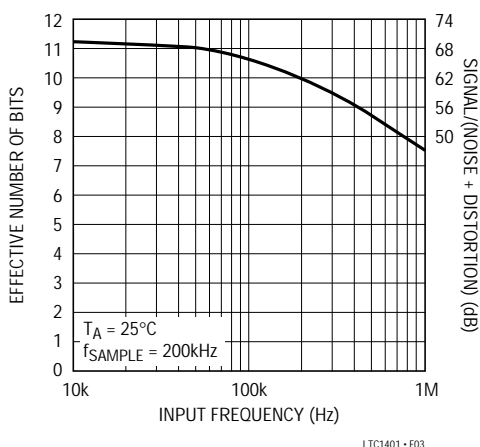


図3. 有効ビット数および $S/(N+D)$ と入力周波数

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波はDCとサンプリング周波数の1/2の周波数帯域に限定されます。THDは次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_n は第2高調波から第N高調波の振幅です。THDと入力周波数の関係を図4に示します。LTC1401は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

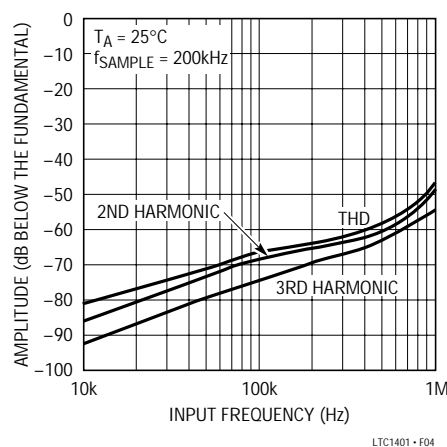


図4. 歪みと入力周波数

混変調歪み

ADC入力信号が2つ以上のスペクトル成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調(IMD)が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見れたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波

アプリケーション情報

数 $mfa \pm nfb$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(fa + fb)$ 、 $(fa - fb)$ 、3次IMDの項は $(2fa + fb)$ 、 $(2fa - fb)$ 、 $(fa + 2fb)$ 、 $(fa - 2fb)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値 (dB) は次式で表すことができます。

$$\text{IMD}(fa \pm fb) = 20 \log \frac{(fa \pm fb) \text{での振幅}}{fa \text{での振幅}}$$

図5に50kHz入力におけるIMD性能を示します。

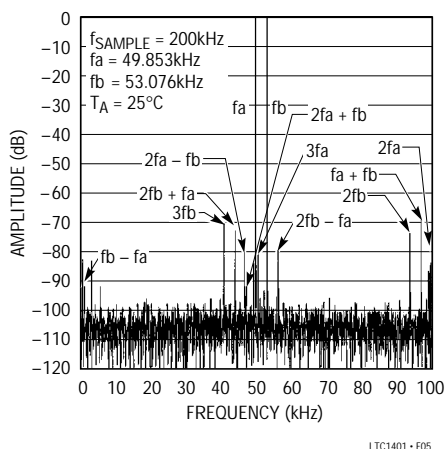


図5. 混変調歪みプロット

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

フルパワーおよび最大直線帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S/(N + D)$ が68dB(有効ビット11ビット)に低下する入力周波数です。

アナログ入力のドライブ

LTC1401のアナログ入力は簡単にドライブできます。入力電流は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを発生します。変換中、アナログ入力にはわずかなリーク電流しか流れません。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換がスタートする前に安定しなければならないことだけです。315ns以内に小さな過渡電流に安定するオペアンプであれば、最大速度での動作が可能です。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くとることができます。ADCの A_{IN} 入力のドライブには、LT[®]1498やLT1630などのオペアンプが適しています。

以下のリストはLTC1401をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT1215/LT1216：デュアルおよびクワッド、23MHz、50V/ μ s単一電源オペアンプ。単一5V ~ \pm 15V電源、6.6mA仕様、0.5LSBへのセトリング・タイム90ns。

LT1229/LT1230：デュアルおよびクワッド100MHz電流帰還アンプ。 \pm 2V ~ \pm 15V電源、各アンプの消費電流6mA。低ノイズ。良好なACスペック。

LT1498/LT1499：デュアルまたはクワッド10MHz、6V/ μ s、単一2.2V ~ \pm 15V電源、消費電流1.7mA/アンプ、レール・トゥ・レールの入出力振幅。優れたACおよびDCスペック。

LT1630：デュアルまたはクワッド30MHz、10V/ μ s、単一2.7V ~ \pm 15V電源、消費電流3.5mA/アンプ、レール・トゥ・レールの入出力振幅。良好なACおよびDCスペック。

内部リファレンス

LTC1401は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に1.20Vに調整されています。このリファレンスは内部でDACに接続され、ピン3から外部に引き出されており、外部

LinearViewはリニアテクノロジー社の商標です。
RAIL-TO-RAILはモトローラ(株)の登録商標です。

アプリケーション情報

負荷に1mAまでの電流を供給可能です。コード・トランジション・ノイズを最小限に抑えるために、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズをフィルタしなければなりません(0.1μFのセラミック・コンデンサと並列に10μFのタンタル・コンデンサを接続)。DACまたは他の方法でV_{REF}ピンをドライブして、入力スパン調整を行うことができます。V_{REF}ピンは内部リファレンスとの衝突を避けるために、最低でも1.25V以上にドライブしなければなりません。リファレンスは3V以上にドライブしてはなりません。

図6にリファレンス・ピンをLT1360オペアンプでドライブする回路を示します。図7に標準的なリファレンス(LT1634-1.25)をLTC1401に接続した回路を示します。これにより、ドリフトが改善され(LT1634-1.25の最大25ppm/℃) 2.1338Vのフルスケールになります。

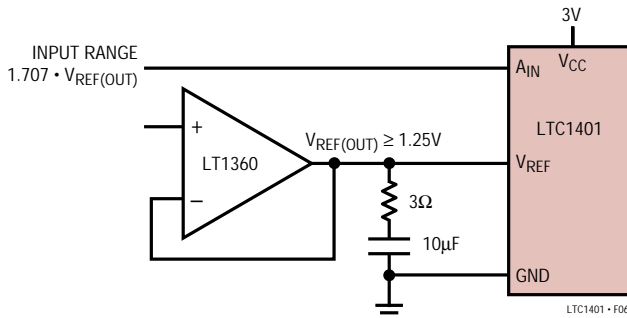


図6. V_{REF}をLT1360オペアンプでドライブ

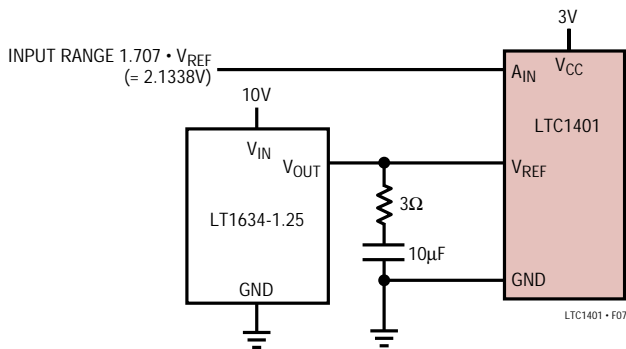


図7. LT1634-1.25でLTC1401に2.5Vリファレンス電圧を供給

ユニポラ動作と調整

図8にLTC1401の理想的な入出力特性を示します。コード・トランジションは、連続する整数のLSB値の間の中間(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS - 1.5LSB)に現れます。出力コードは、1LSB = 2.048/4096 = 0.5mVの自然バイナリです。

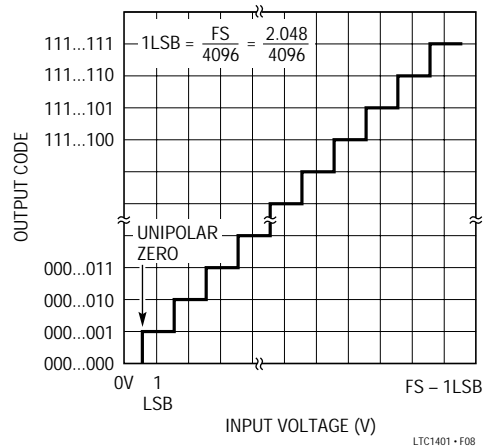


図8. LTC1401ユニポラ伝達特性

ユニポラ・オフセットとフルスケール誤差調整

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図9aにフルスケール誤差調整に必要な追加部品を示します。オフセットとフルスケール調整の両方が必要な場合には、図9bの回路を使用できます。オフセット誤差をゼロにするには、0.25mV(すなわち、0.5LSB)を入力に印加し、LTC1401の出力コードが0000 0000と0000 0000 0001の間で変化するまで、オフセット・トリム抵抗を調整します。また、フルスケール誤差をゼロにするには、2.04725Vのアナログ入力(すなわち、FS - 1.5LSBまたは最後のコード・トランジション)を入力に印加し、LTC1401の出力コードが1111 1111と1111 1111 1111の間で変化するまで、抵抗R5を調整します。

アプリケーション情報

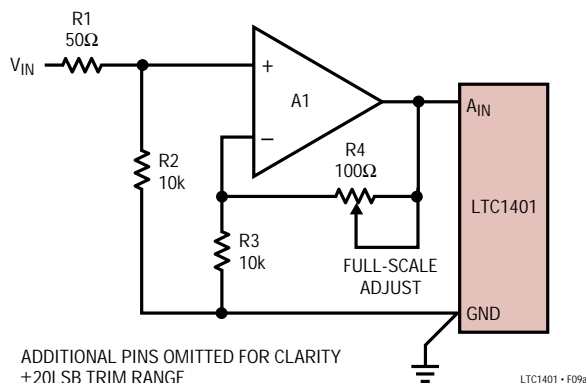


図9a. LTC1401、フルスケール調整回路

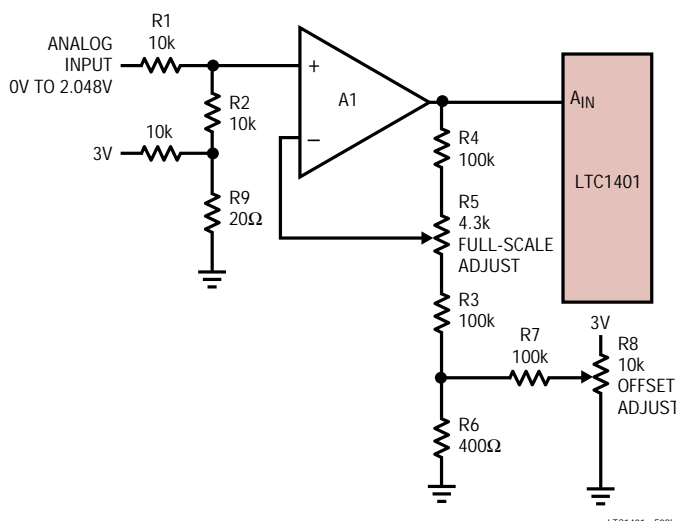


図9b. LTC1401、オフセットおよびフルスケール調整回路

ボード・レイアウトとバイパス

高分解能または高速A/Dコンバータには、ワイヤラップ・ボードは使用しないでください。LTC1401から最適な性能を引き出すには、PCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特に、デジタル・トラックをADCの真下やアナログ信号トレースに沿って走らせないように注意してください。アナログ入力はGNDで遮蔽しなければなりません。

V_{CC} および V_{REF} ピンには、本データシートの最初のページにある標準的応用例に示すように、高品質のタンタルおよびセラミック・バイパス・コンデンサを使用してください。最適な性能を得るには、 V_{CC} ピンと V_{REF} ピンに

10 μ F表面実装AVXコンデンサと0.1 μ Fセラミック・コンデンサを接続してください。これらのコンデンサはできる限りピンの近くに配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。

A_{IN} の入力信号リードおよびGND(ピン4)からの信号リターン・リードは、できるだけ短くして、入力ノイズの結合を最小にします。これができないアプリケーションの場合には、アナログ入力信号とADCの間にシールド・ケーブルを使ってください。また、信号ソースとADC間のグラウンドの電位差はアナログ入力信号と直列に誤差電圧として現れます。できるだけグラウンド回路のインピーダンスが低くなるよう配慮が必要です。

図10に推奨されるシステム・グラウンド接続を示します。すべてのアナログ回路グラウンドは、LTC1401のGNDピンで終端する必要があります。ピン4から電源へのグラウンド・リターンは、ノイズのない動作を実現するために低インピーダンスでなければなりません。デジタル回路のグラウンドは、デジタル電源コモンに接続してください。

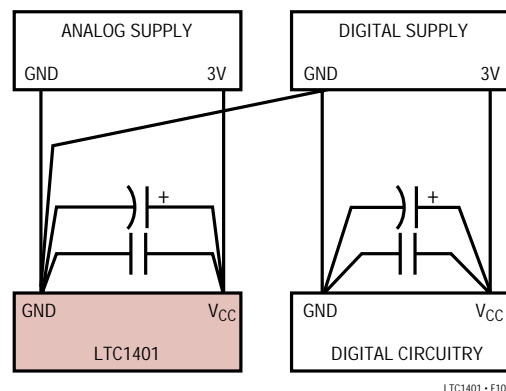


図10. 電源接続

パワーダウン・モード

起動時に、LTC1401はアクティブ状態に初期化され、変換を行う準備が整います。しかし、このチップはCLK信号とCONV信号の所定の組合せによって、簡単にナップ・モードまたはスリープ・モードにすることができます。ナップ・モードでは、内部リファレンスを除くすべての電源がオフになります。内部リファレンスはアクティブのまま、他の回路に1.20Vの出力電圧を供給します。このモードでは、

アプリケーション情報

ADCは15mWではなく1.5mWしか消費しません(消費電力を抑えるには、ロジック入力電源レールの500mV以内になければなりません)。ナップ・モードからアクティブ・モードへのウェイクアップ時間は350nsです。スリープ・モードでは、コンパレータとリファレンスへの電源をオフにし、消費電力が19.5 μ Wに低減されます。図11にLTC1401のパワー・ダウン方法を示します。チップは、CLK信号を“L”にしたままでCONV信号に2回パルスを送れば、ナップ・モードに入ります。スリープ・モード動作にするには、CLKを“L”にしたままで、CONV信号を4回アクティブにしなければなりません。ナップ・モードとスリープ・モードは、CONVパルスの立下りエッジでアクティブになります。SHDNを“L”にすると、LTC1401はシャットダウン・モードに入り、消費電力は13.5 μ Wに低下します。

SHDNが“H”になると、LTC1401はアクティブ・モードに復帰します。ただし、すでにナップ/スリープ・モードに入っている場合はCLK信号にパルスを加すればアクティブ・モードに復帰します。スリープ・モードからアクティブ・モード移行時の V_{REF} 電圧のランプアップ時間は、負荷条件によって決まります。10 μ Fのバイパス・コンデンサを接続した場合のスリープ・モードからのウェイクアップ時間は、標準で3msです。リファレンスが安定し、A/D変換を実行できる状態になると、

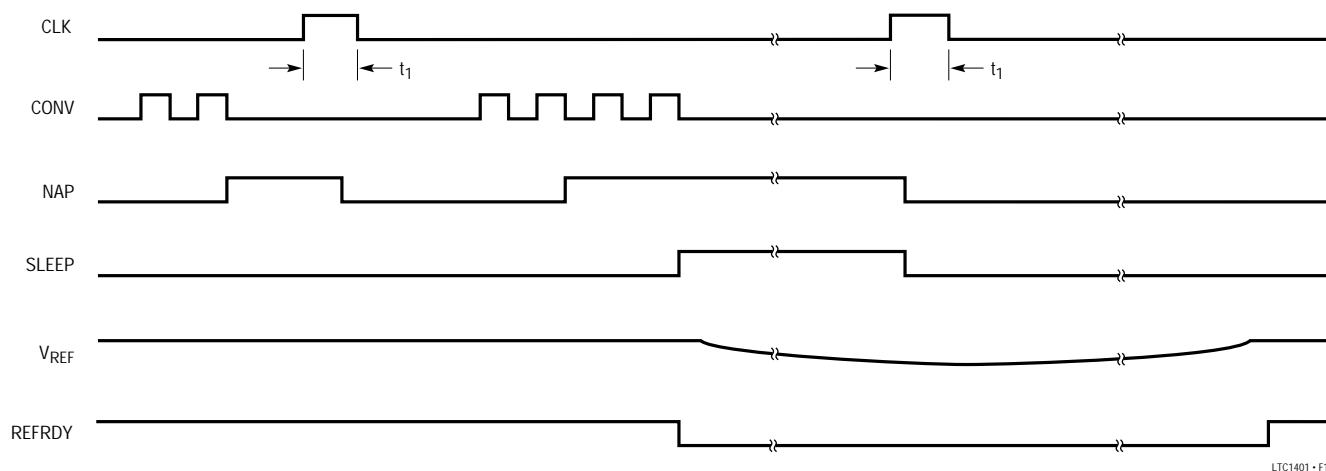
REFRDY信号がアクティブになります。このREFRDYビットは、最初のビットに12ビット・データ・ワードが続くと、D_{OUT}ピンに送られます(図12参照)。

デジタル・インタフェース

デジタル・インタフェースには、3本のデジタル・ラインしか必要ありません。CLKとCONVは両方とも入力で、D_{OUT}出力は変換結果をシリアル形式で供給します。

図12と13はアナログ-デジタル変換中のLTC1401のデジタル・タイミング波形を示します。CONVの立上りエッジで変換が開始されます。一度変換を開始すると、変換が完了するまで再スタートすることはできません。CONV信号からCLKの立上りエッジまでの時間が t_2 以下の場合、デジタル出力は1クロック・サイクルだけ遅れます。

デジタル出力データは、CLKラインの立上りエッジで更新されます。デジタル出力データは、REFRDYビットとそれに続く有効な12ビット・データ・ワードから成り立ちます。D_{OUT}データもCLKの立上りエッジで受信システムが取り込まなければなりません。D_{OUT}ラインのデータは、取り込みができるようにCLKの立上りエッジから最小時間 t_{10} の間は有効になっています。



NOTE: NAP AND SLEEP ARE INTERNAL SIGNALS. REFRDY APPEARS AS THE FIRST BIT IN THE D_{OUT} WORD.

図11. ナップ・モードおよびスリープ・モード波形

アプリケーション情報

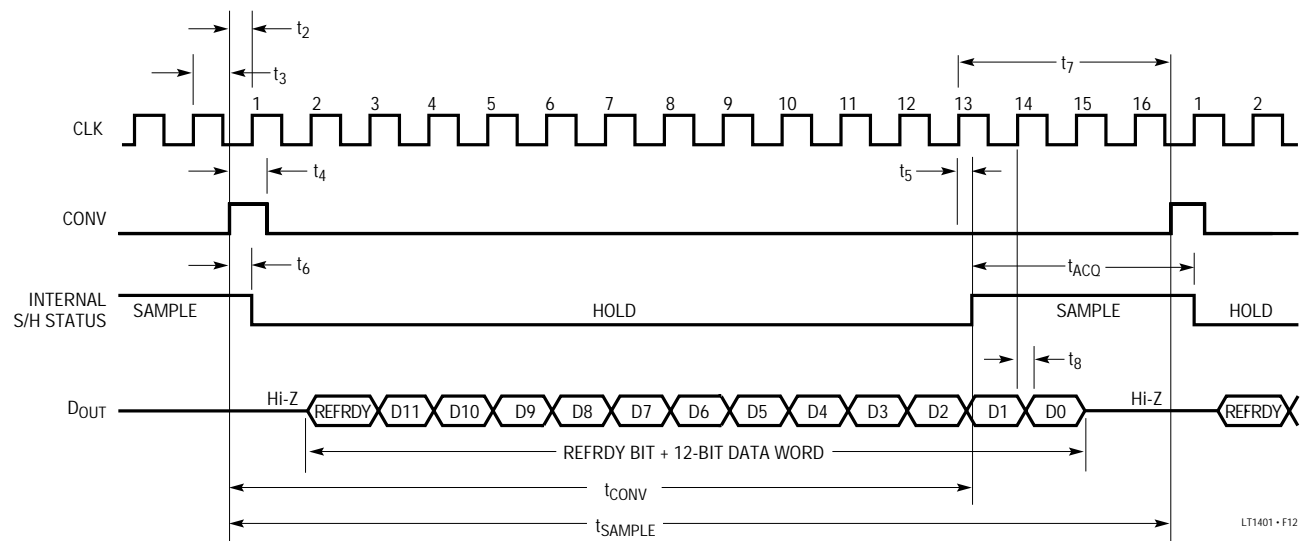
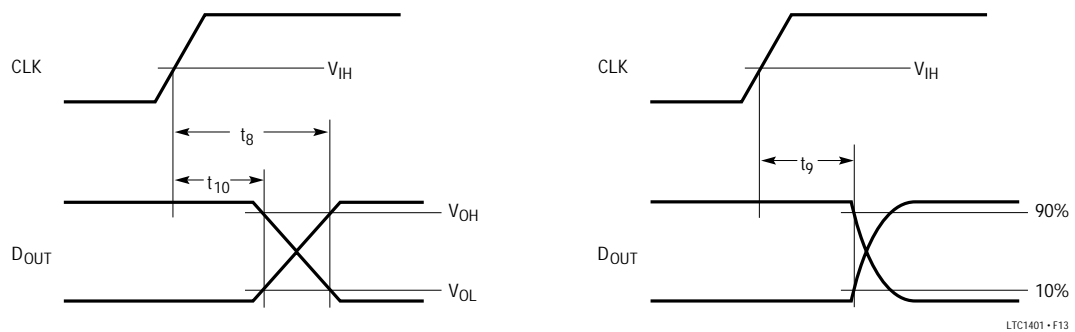
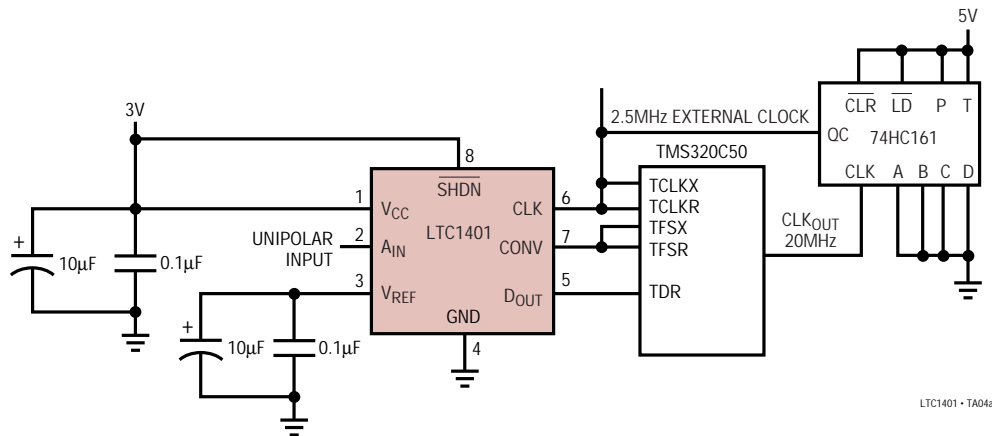


図12. ADCデジタル・タイミング波形

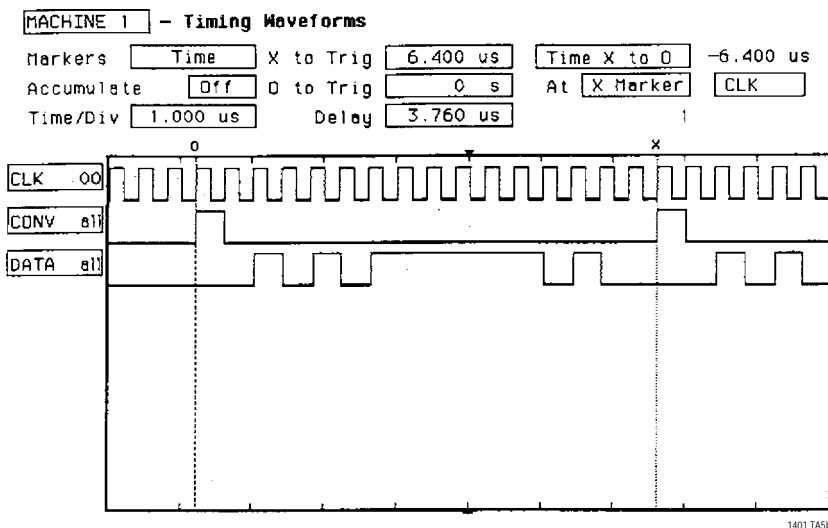
図13. CLKからD_{OUT}の遅延

標準的応用例

TMS320C50のTDMシリアル・ポートへのインタフェース(フレーム同期はTFSXから生成)



6.4µsスループット・レートを示すロジック・アナライザ波形(入力電圧 = 0.765V、出力コード = 0101 1111 1010 = 1530₁₀)



TMS320C50のTRCVレジスタにロードされたLTC1401からのデータ

X	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---

TMS320C50のメモリに格納されたデータ(右寄せフォーマット)

0	0	0	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

標準的応用例

回路用のTMS320C50コード

```

THIS PROGRAM DEMONSTRATES THE LTC1401 INTERFACE TO THE
TMS320C50. FRAME SYNC PULSE IS GENERATED FROM TFSX.
DATA SHIFT CLOCK IS DERIVED FROM CLKOUT.

```

```

*Initialization*
.mmregs                ; Defines global symbolic names
;- - Initialized data memory to zero
.ds    0F00h          ; Initialize data to zero
DATA0  .word  0       ; Begin sample data location
DATA1  .word  0       ;
DATA2  .word  0       ; Location of data
DATA3  .word  0       ;
DATA4  .word  0       ;
DATA5  .word  0       ; End sample data location
;- - Set up the ISR vector
.ps    080Ah          ; Serial ports interrupts
rint :  B    RECEIVE  ; 0A;
xint :  B    TRANSMIT ; 0C;
trnt :  B    TREC     ; 0E;
txnt :  B    TTRANX   ; 10;
;- - Setup the reset vector
.ps    0A00h
.entry
START:

```

```

*TMS320C50 Initialization*
SETC  INTM           ; Temporarily disable all interrupts
LDP   #0             ; Set data page pointer to zero
OPL   #0834h, PMST  ; Set up the PMST status and control register
LACC  #0
SAMM  CWSR           ; Set software wait state to 0
SAMM  PDWSR          ;

```

```

*Configure Serial Port*
SPLK  #0028h, TSPC  ; Set TDM Serial Port
                ; TDM = 0 Stand Alone mode
                ; DLB = 0 Not loop back
                ; FO = 0 16 Bits
                ; FSM = 1 Burst Mode
                ; MCM = 0 CLKR is generated externally
                ; TXM = 1 FSX as output pin
                ; Put serial port into reset
                ; (XRST = RRST = 0)
SPLK  #00E8h, TSPC  ; Take Serial Port out of reset
                ; (XRST = RRST = 1)
SPLK  #0FFFh, IFR   ; Clear all the pending interrupts

```

```

*Start Serial Communication*
SACL  TDXR           ; Generate frame sync pulse
SPLK  #040h, IMR     ; Turn on TRNT receiver interrupt
CLRC  INTM           ; Enable interrupt
CLRC  SXM            ; For Unipolar input, set for right shift
                ; with no sign extension
MAR   *AR7           ; Load the auxiliary register pointer with seven
LAR   AR7, #0F00h    ; Load the auxiliary register seven with #0F00h
                ; as the begin address for data storage
WAIT:  NOP           ; Wait for a receive interrupt
        NOP
        NOP
SACL  TDXR           ; !! Regenerate the frame sync pulse
B     WAIT
;- - - - - end of main program - - - - - ;

```

```

*Receiver Interrupt Service Routine*
TREC:
LAMM  TRCV           ; Load the data received from LTC1401
SFR   ; Shift right two times
SFR   ;
AND   #1FFFh, 0     ; ANDed with #1FFFh
                ; For converting the data to right
                ; justified format
                ;
SACL  *, 0           ; Write to data memory pointed by AR7 and
                ; Increase the memory address by one
LACC  AR7
SUB   #0F05h, 0     ; Compare to end sample address #0F05h
BCND  END_TRCV, GEO ; If the end sample address has exceeded jump
                ; to END_TRCV
                ;
SPLK  #040h, IMR     ; Else re-enable the TRNT receive interrupt
RETE  ; Return to main program and enable interrupt

```

```

*After Obtained the Data from LTC1401, Program Jump to END_TRCV*
END_TRCV:
SPLK  #002h, IMR     ; Enable INT2 for program to halt
CLRC  INTM
SUCCESS:
B     SUCCESS

```

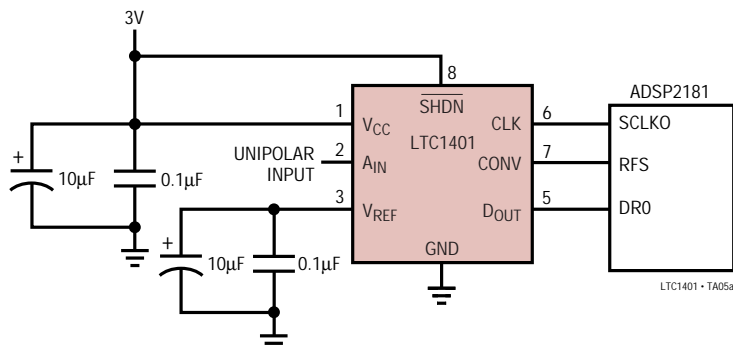
```

*Fill the unused interrupt with RETE, to avoid program get "lost"*
TTRANX:
RETE
RECEIVE:
RETE
TRANSMIT:
RETE
INT2:
B     halt           ; Halts the running CPU

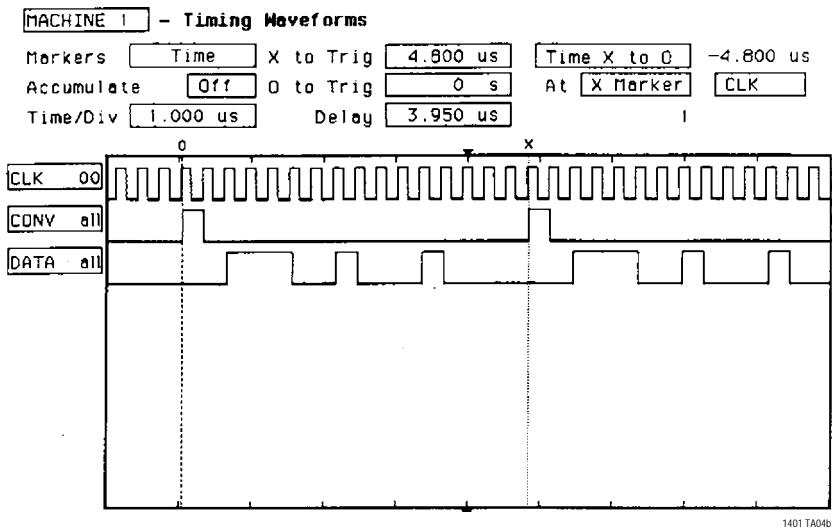
```

標準的応用例

LTC1401とADSP2181のSPORT0へのインタフェース(RFSからフレーム同期を生成)



4.8µsスループット・レートを示すロジック・アナライザ波形(入力電圧 = 1.604V、出力コード = 1100 1000 1000 = 3208₁₀)



LTC1401からのデータ(ノーマル・モード)

X	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---

LTC1401 - TA05c

ADSP2181のメモリに格納されたデータ(ノーマル・モード、SLEN = D)

0	0	0	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

LTC1401 - TA05d

標準的応用例

回路用のADSP2181コード

```

THIS PROGRAM DEMONSTRATES THE LTC1401 INTERFACE TO THE
ADSP-2181. FRAME SYNC PULSE IS GENERATED FROM RFS.
DATA SHIFT CLOCK IS INTERNALLY GENERATED.

/*Section 1: Initialization*/
.module ram/abs = 0 adsp1tc; /*define the program module*/
.jump start; /*jump over interrupt vectors*/
.nop; .nop; .nop;
.rti; .rti; .rti; .rti; /*code vectors here upon IRQ2 int*/
.rti; .rti; .rti; .rti; /*code vectors here upon IRQ1 int*/
.rti; .rti; .rti; .rti; /*code vectors here upon IRQ0 int*/
.rti; .rti; .rti; .rti; /*code vectors here upon SPORT0 TX int*/
ax0 = rx0; /*Section 5*/
dm(0x2000) = ax0; /*begin of SPORT0 receive interrupt*/
.rti;
/* */
/* */
/*end of SPORT0 receive interrupt*/
.rti; .rti; .rti; .rti; /*code vectors here upon /IRQE int*/
.rti; .rti; .rti; .rti; /*code vectors here upon BDMA interrupt*/
.rti; .rti; .rti; .rti; /*code vectors here upon SPORT1 TX (IRQ1) int*/
.rti; .rti; .rti; .rti; /*code vectors here upon SPORT1 RX (IRQ0) int*/
.rti; .rti; .rti; .rti; /*code vectors here upon TIMER int*/
.rti; .rti; .rti; .rti; /*code vectors here upon POWER DOWN int*/

/*Section 2: Configure SPORT0*/
.start;
/*to configure SPORT0 control reg*/
/*SPORT0 address = 0x3FF6*/
/*RFS is used for frame sync generation*/
/*RFS is internal, TFS is not used*/
/*bit 0-3 = Slen*/
/*F = 15 = 1111*/
/*E = 14 = 1110*/
/*D = 13 = 1101*/
/*bit 4,5 data type right justified zero filled MSB*/
/*bit 6 INVRFS = 0*/
/*bit 7 INVTFS = 0*/
/*bit 8 IRFS=1 receive internal frame sync*/
/*bit 9,10,11 are for TFS (don't care)*/
/*bit 12 RFSW=0 receive is normal mode*/
/*bit 13 RTFS=1 receive is framed mode*/
/*bit 14 ISCLK = 1 clock is internal*/
/*bit 15 multichannel mode = 0*/

ax0 = 0x6F0D;

dm(0x3FF6) = ax0;

/*Section 3: configure CLKDIV and RFSDIV, setup interrupts*/
/*to configure CLKDIV reg*/
ax0 = 4;
dm(0x3FF5) = ax0; /*set the serial clock divide modulus reg
SCLKDIV*/
/*the input clock frequency = 16.67MHz*/
/*CLKOUT frequency = 2x = 33MHz*/
/*SCLK = 1/2*CLKOUT*/(SCLKDIV+1)*/
/*for SCLKDIV = 4, SCLK = 33/10 = 3.3MHz*/

/*to Configure RFSDIV*/
ax0 = 15; /*set the RFSDIV reg = 15*/
/*=> the frame sync pulse for every 16 SCLK*/
/*if frame sync pulse in every 15 SCLK, ax0=14*/

dm(0x3FF4) = ax0;
/*to setup interrupt*/
ifc = 0x0066; /*clear any extraneous SPORT interrupts*/
icntl = 0; /*IRQXB = level sensitivity*/
/*disable nesting interrupt*/

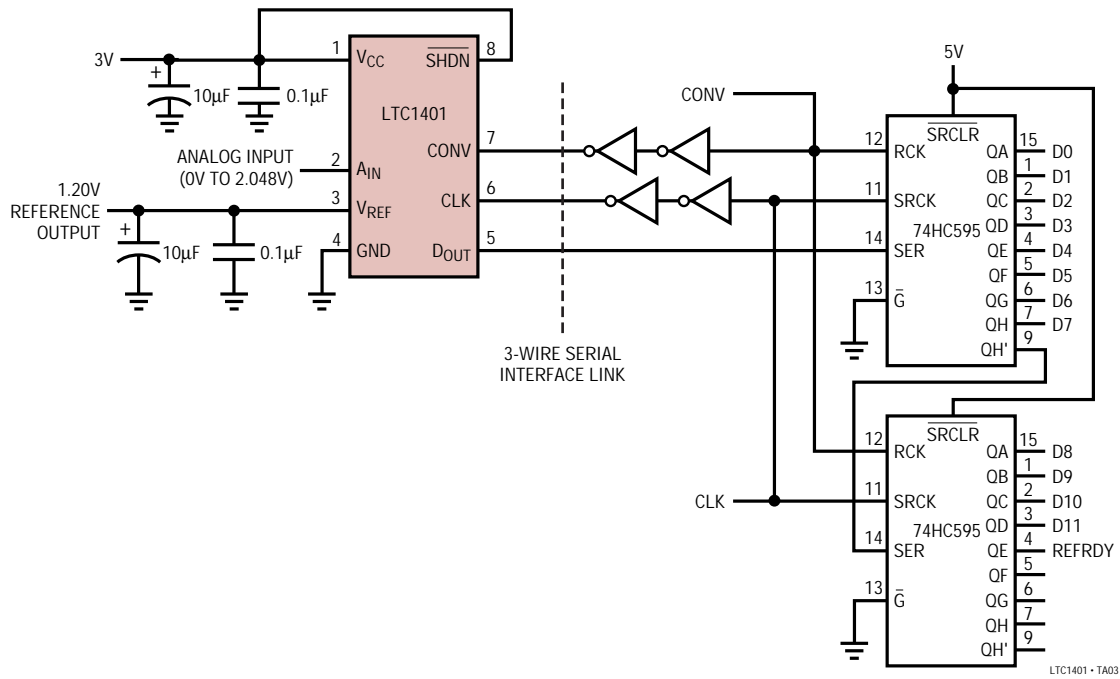
imask = 0x0020; /*bit 0 = timer int = 0*/
/*bit 1 = SPORT1 or IRQ0B int = 0*/
/*bit 2 = SPORT1 or IRQ1B int = 0*/
/*bit 3 = BDMA int = 0*/
/*bit 4 = IRQEB int = 0*/
/*bit 5 = SPORT0 receive int = 1*/
/*bit 6 = SPORT0 transmit int = 0*/
/*bit 7 = IRQ2B int = 0*/
/*enable SPORT0 receive interrupt*/

/*Section 4: Configure System Control Register and Start Communication*/
/*to configure system control reg*/
ax0 = dm(0x3FFF); /*read the system control reg*/
ay0 = 0xFFFF0;
ar = ax0 AND ay0; /*set wait state to zero*/
ay0 = 0x1000;
ar = ar OR ay0; /*bit 12 = 1, enable SPORT0*/
dm(0x3FFF) = ar;
/*frame sync pulse regenerated automatically*/
cntr = 5000;
do waitloop until ce;
.nop;
.nop;
.nop;
.nop;
.nop;
.nop;
.nop;
waitloop: .nop;
.rts;
.endmod;

```

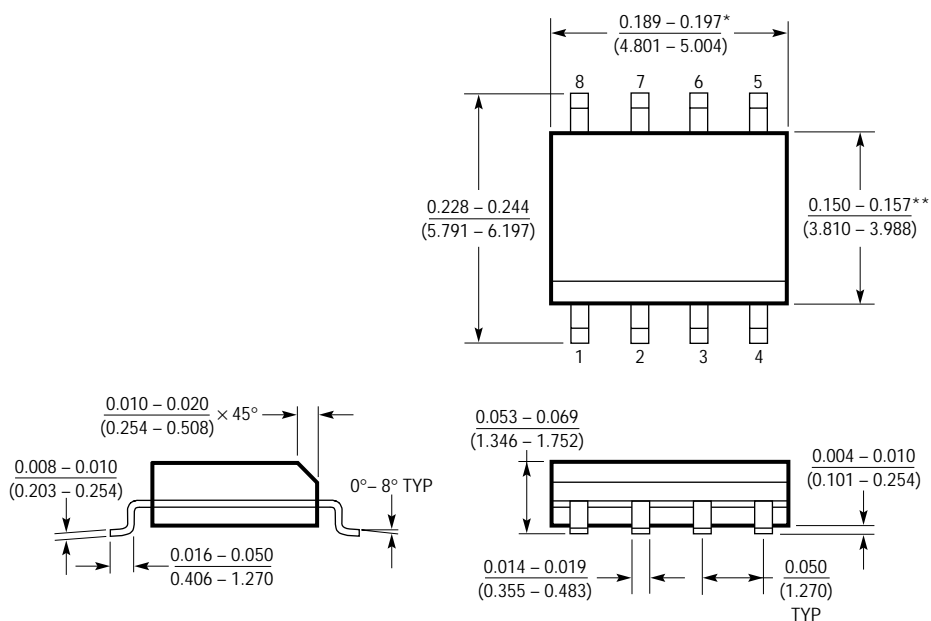
標準的応用例

データをパラレル・フォーマットに変換するためのクイック・ルック回路



パッケージ 注記がない限り寸法はインチ(ミリメートル)

S8パッケージ
8ピン・プラスチック・スモール・アウトライン(細型0.150)
(LTC DWG # 05-08-1610)



DIMENSION DOES NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.006^ (0.152 mm) PER SIDE

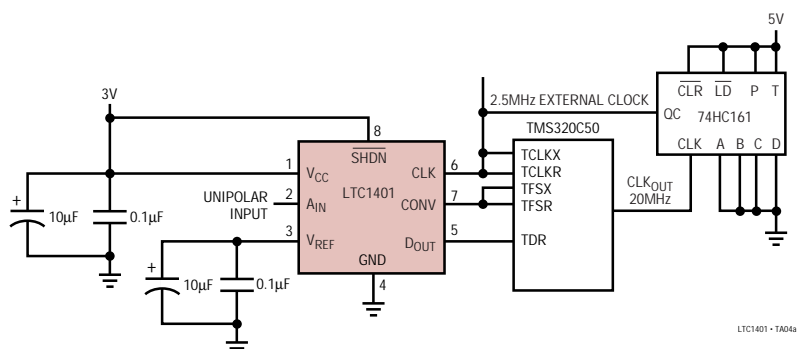
**DIMENSION DOES NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.010^* (0.254 mm) PER SIDE

S08 0996

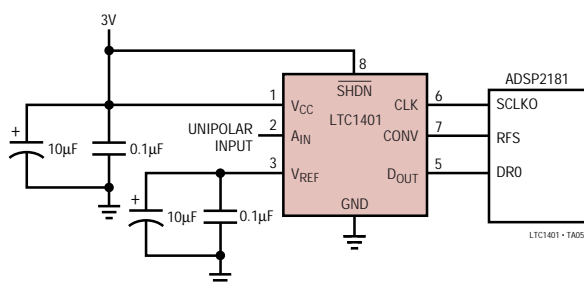
LTC1401

標準的応用例

TMS320C50のTDMシリアル・ポートへのインタフェース(フレーム同期はTFSXから生成)



LTC1401とADSP2181のSPORT0へのインタフェース(RFSからフレーム同期を生成)



関連製品

12ビット・パラレル出力ADC

製品番号	説明	注釈
LTC1273/LTC1275/LTC1276	ナイキスト周波数での70dBのSINADの完全な5Vサンプリング12ビットADC	$f_{\text{SAMPLE}} \leq 300\text{ksps}$ の用途向け低電力で経済的
LTC1274/LTC1277	ナップおよびスリープ・モード・シャットダウン機能付き低消費電力12ビットADC	最小消費電力(10mW) $f_{\text{SAMPLE}} \leq 100\text{ksps}$
LTC1278/LTC1279	シャットダウン機能付き高速サンプリング12ビットADC	変換スタート入力付きの経済的な12ビットADC $300\text{ksps} < f_{\text{SAMPLE}} \leq 600\text{ksps}$ の用途に最適
LTC1282	消費電力12mWの完全な3V、12ビットADC	3V電源アプリケーション用に完全に規定、 $f_{\text{SAMPLE}} \leq 140\text{ksps}$
LTC1409	低消費電力、12ビット、800kspsサンプリングADC	最高のダイナミック性能 $f_{\text{SAMPLE}} \leq 800\text{ksps}$ 、消費電力80mW
LTC1410	12ビット、1.25MspsサンプリングADC、シャットダウン機能付き	最良のダイナミック性能、ナイキスト周波数にて $\text{THD} = -84\text{dB}$ および $\text{SINAD} = 71\text{dB}$

12ビット・シリアル出力ADCLTC1276

製品番号	V _{CC}	サンプリング・レート	消費電力	説明
LTC1285/LTC1288	3V	7.5/6.6ksps	0.48mW	3V、1または2入力、マイクロパワー、SO-8
LTC1286/LTC1298	5V	12.5/11.1ksps	1.25mW	1または2入力、マイクロパワー、SO-8
LTC1290	5/±5V	50ksps	30mW	8入力、全二重、シリアルI/O
LTC1296	5/±5V	46.5ksps	30mW	8入力、半二重シリアルI/O、パワー・シャットダウン出力
LTC1400	5/±5V	400ksps	75mW	完全な12ビット、400ksps、SO-8 ADC、シャットダウン機能付き
LTC1404	5/±5V	600ksps	75mW	完全な12ビット、600ksps、SO-8 ADC、シャットダウン機能付き