

SO-8、12ビット、400ksps ADCシャットダウン機能付き

特長

- SO-8パッケージの完全12ビットADC
- 単一5Vまたは±5V電源動作
- サンプル・レート：400ksps
- 消費電力：75mW(標準)
- ナイキスト入力周波数にてS(N+D) 2dBおよびTHD - 80dB
- 全温度範囲にてミッシング・コードなし
- 即時ウェイクアップ可能なナップ・モード時の消費電力:6mW
- スリープ・モード時の消費電力：30μW
- ハイ・インピーダンス・アナログ入力
- 入力範囲(1mV/LSB)：0V ~ 4.096Vまたは±2.048V
- 内部リファレンスを外部からオーバドライブ可能
- DSPおよびプロセッサへの3線式インタフェース (SPIおよびMICROWIRE™に対応)

アプリケーション

- 高速データ収集
- デジタル信号処理
- 多チャンネル・データ収集システム
- オーディオおよびテレコム処理
- デジタル無線
- スペクトラム分析
- 低消費電力およびバッテリー駆動システム
- ハンドヘルドまたはポータブル機器

概要

LTC®1400は400kspsの完全な12ビットA/Dコンバータで、単一5Vまたは±5V電源で動作し消費電力はわずか75mWです。これらのデバイスは使いやすく、200nsのサンプル・ホールド、高精度リファレンスを内蔵しています。また、ユニポラおよびバイポラ変換モードを備え、柔軟性が向上しています。LTC1400には、ナップ・モードとスリープ・モードの2つの省電力モードがあります。ナップ・モードの消費電流はわずか6mWで、即時にウェイクアップし変換を行うことができます。スリープ・モードでは、消費電力は標準で30μWです。スリープ・モードからの起動時に、シリアル・データ・ワードのリファレンス・レディ(REFRDY)信号を使用して、リファレンスが安定しチップが変換可能な状態にあることを示します。

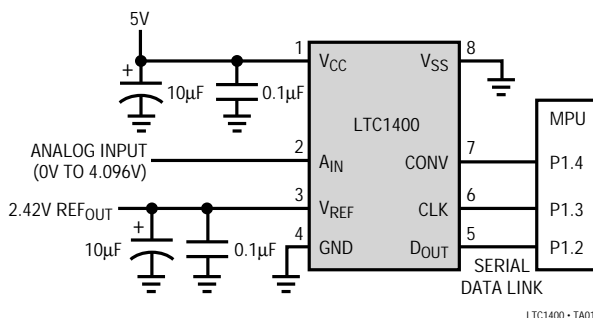
LTC1400は、単一5V電源からの0V ~ 4.096Vのユニポラ入力、および±5V電源からの±2.048Vバイポラ入力を変換します。DCスペックの最大値には、全温度範囲での±1LSBのINL、±1LSBのDNL、および45ppm/ドリフトが含まれます。また、保証AC性能には、全温度範囲にわたる入力周波数100kHzでの70dBのS(N+D)および-76dBのTHDが含まれています。

3線式シリアル・ポートにより、さまざまなマイクロプロセッサ、マイクロコントローラ、およびDSPにコンパクトで効率的なデータ転送が可能です。

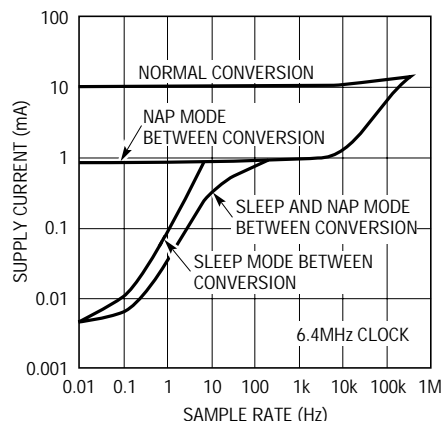
Δ、LTC、LTはリニアテクノロジー社の登録商標です。MICROWIREは、ナショナル・セミコンダクター社の商標です。

標準的応用例

単一5V電源、400kHz、12ビット・サンプリングA/Dコンバータ



消費電源とサンプリング・レート



LTC1400-TA02

絶対最大定格

(Notes 1, 2)

電源電圧 (V_{CC})	7V
負電源電圧 (V_{SS})	-6V ~ GND
全電源電圧 ($V_{CC} \sim V_{SS}$)	
バイポーラ動作専用	12V
アナログ入力電圧 (Note 3)	
ユニポーラ動作	-0.3V ~ ($V_{CC} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{CC} + 0.3V$)
デジタル入力電圧 (Note 4)	
ユニポーラ動作	-0.3V ~ 12V
バイポーラ動作	($V_{SS} - 0.3V$) ~ 12V
デジタル出力電圧	
ユニポーラ動作	-0.3V ~ ($V_{CC} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{CC} + 0.3V$)
消費電力	500mW
動作温度範囲	
LTC1400C	0 ~ 70
LTC1400I	-40 ~ 85
保存温度範囲	-65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

	ORDER PART NUMBER
	LTC1400CS8 LTC1400IS8
	S8 PART MARKING
	1400 1400I

PDIPパッケージおよびミリタリ・グレード・デバイスに関してはお問い合わせください。

電源要求条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Positive Supply Voltage (Note 6)	Unipolar	4.75	5.25		V
		Bipolar	4.75	5.25		V
V_{SS}	Negative Supply Voltage (Note 6)	Bipolar Only	-2.45	-5.25		V
I_{CC}	Positive Supply Current	$f_{SAMPLE} = 400ksps$	●	15	30	mA
		Nap Mode	●	1.0	3.0	mA
		Sleep Mode	●	5.0	20.0	μA
I_{SS}	Negative Supply Current	$f_{SAMPLE} = 400ksps, V_{SS} = -5V$	●	0.3	0.6	mA
		Nap Mode	●	0.2	0.5	mA
		Sleep Mode	●	1	5	μA
P_D	Power Dissipation	$f_{SAMPLE} = 400ksps$	●	75	160	mW
		Nap Mode	●	6	20	mW
		Sleep Mode	●	30	125	μW

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 7)	$4.75V \leq V_{CC} \leq 5.25V$ (Unipolar)	●	0 to 4.096		V
		$4.75V \leq V_{CC} \leq 5.25V, -5.25V \leq V_{SS} \leq -2.45V$ (Bipolar)	●	±2.048		V
I_{IN}	Analog Input Leakage Current	During Conversions (Hold Mode)	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		45		pF
		During Conversions (Hold Mode)		5		pF

コンバータ特性 内部リファレンス使用(Notes 5、8)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 9)	●		±1	LSB
Differential Linearity Error		●		±1	LSB
Offset Error	(Note 10)	●		±6 ±8	LSB LSB
Full-Scale Error				±15	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$	●	±10	±45	ppm/°C

ダイナミック精度 $V_{CC} = 5V$, $V_{SS} = -5V$, $f_{SAMPLE} = 400kHz$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal Commercial	●	70	72	dB
		100kHz Input Signal Industrial	●	69		dB
		200kHz Input Signal			72	dB
THD	Total Harmonic Distortion Up to 5th Harmonic	100kHz Input Signal	●	-82	-76	dB
		200kHz Input Signal		-80		dB
	Peak Harmonic or Spurious Noise	100kHz Input Signal	●	-84	-76	dB
		200kHz Input Signal		-82		dB
IMD	Intermodulation Distortion	$f_{IN1} = 99.51kHz$, $f_{IN2} = 102.44kHz$		-82		dB
		$f_{IN1} = 199.12kHz$, $f_{IN2} = 202.05kHz$		-70		dB
	Full Power Bandwidth			4		MHz
	Full Linear Bandwidth (S/(N + D) ≥ 68dB)			900		kHz

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{REF} Output Voltage	$I_{OUT} = 0$		2.400	2.420	2.440	V
V_{REF} Output Tempco	$I_{OUT} = 0$	●	±10	±45		ppm/°C
V_{REF} Line Regulation	$4.75V \leq V_{CC} \leq 5.25V$ $-5.25V \leq V_{SS} \leq 0V$			0.01		LSB/V
				0.01		LSB/V
V_{REF} Load Regulation	$0 \leq I_{OUT} \leq 1mA$			2		LSB/mA
V_{REF} Wake-Up Time from Sleep Mode (Note 7)	$C_{VREF} = 10\mu F$			4		ms

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{CC} = 5.25V$	●	2.0		V
V_{IL}	Low Level Input Voltage	$V_{CC} = 4.75V$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to V_{CC}	●		±10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{CC} = 4.75V$, $I_O = -10\mu A$	●		4.7	V
		$V_{CC} = 4.75V$, $I_O = -200\mu A$		4.0		V
V_{OL}	Low Level Output Voltage	$V_{CC} = 4.75V$, $I_O = 160\mu A$	●		0.05	V
		$V_{CC} = 4.75V$, $I_O = 1.6mA$			0.10	0.4

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I _{OZ}	Hi-Z Output Leakage D _{OUT}	V _{OUT} = 0V to V _{CC}	●		±10	μA
C _{OZ}	Hi-Z Output Capacitance D _{OUT} (Note 7)			15		pF
I _{SOURCE}	Output Source Current	V _{OUT} = 0		-10		mA
I _{SINK}	Output Sink Current	V _{OUT} = V _{CC}		10		mA

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SAMPLE(MAX)}	Maximum Sampling Frequency	(Note 6)	●	400		kHz
t _{CONV}	Conversion Time	f _{CLK} = 6.4MHz	●		2.1	μs
t _{ACQ}	Acquisition Time (Unipolar Mode) (Bipolar Mode V _{SS} = -5V)	(Note 7)	●	230	300	ns
			●	200	270	ns
f _{CLK}	CLK Frequency		●	0.1	6.4	MHz
t _{CLK}	CLK Pulse Width	(Note 7)	●	50		ns
t _{WK(NAP)}	Time to Wake Up from Nap Mode	(Note 7)		350		ns
t ₁	CLK Pulse Width to Return to Active Mode		●	50		ns
t ₂	CONV↑ to CLK↑ Setup Time		●	80		ns
t ₃	CONV↑ After Leading CLK↑		●	0		ns
t ₄	CONV Pulse Width	(Note 11)	●	50		ns
t ₅	Time from CLK↑ to Sample Mode	(Note 7)		80		ns
t ₆	Aperture Delay of Sample-and-Hold	Jitter < 50ps (Note 7)	●	45	65	ns
t ₇	Minimum Delay Between Conversion (Unipolar Mode) (Bipolar Mode V _{SS} = -5V)		●	265	385	ns
			●	235	355	ns
t ₈	Delay Time, CLK↑ to D _{OUT} Valid	C _{LOAD} = 20pF	●	40	80	ns
t ₉	Delay Time, CLK↑ to D _{OUT} Hi-Z	C _{LOAD} = 20pF	●	40	80	ns
t ₁₀	Time from Previous Data Remains Valid After CLK↑	C _{LOAD} = 20pF	●	14	25	ns

は全動作温度範囲の規格値を意味する。他のすべてのリミット値と標準値は T_A = 25 の値である。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値はGNDを基準とする。

Note 3: これらのピン電圧をV_{SS}(ユニポーラ・モードのグラウンド)より低くするか、V_{CC}より高くすると、内部ダイオードによってクランプされる。この製品はV_{SS}(ユニポーラ・モードのグラウンド)より低い、またはV_{CC}より高い電圧を加えてもラッチアップを起こさずに40mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧をV_{SS}(ユニポーラ・モードのグラウンド)より低くすると、内部ダイオードでクランプされる。この製品はV_{SS}(ユニポーラ・モードのグラウンド)より低い電圧を加えても、ラッチアップを起こさずに40mA以上の入力電流を処理することができる。これらのピンはV_{CC}にクランプされない。

Note 5: 注記がない限り、V_{CC} = 5V、f_{SAMPLE} = 400kHz、t_r = t_f = 5ns

Note 6: 推奨動作条件。

Note 7: 設計で保証されているが、テストされていない。

Note 8: 直線性、オフセット、およびフルスケール仕様は、ユニポーラ・モードとバイポーラ・モードに適用される。

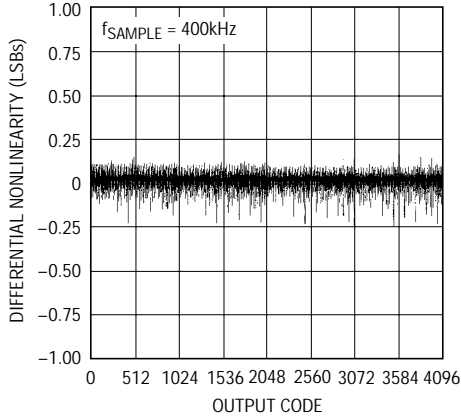
Note 9: 積分非直線性は伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 10: バイポーラ・オフセットは、出力コードが0000 0000 0000と1111 1111 1111の間で変化するとき、-0.5LSBから測定したオフセット電圧。

Note 11: CONVの立上りエッジで変換を開始する。ビット決定点でCONVが“L”に戻る場合は、小さな誤差が生じる可能性がある。最高の性能を得るために、CONVが変換開始(すなわち、最初のビット決定前)または14クロック・サイクルから120ns以内に、“L”に戻るようにする(図13のタイミング図)。

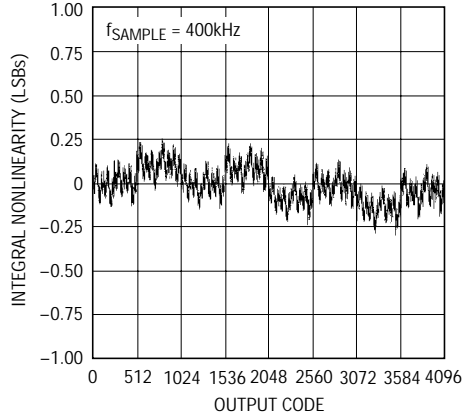
標準的性能特性

微分非直線性と出力コード



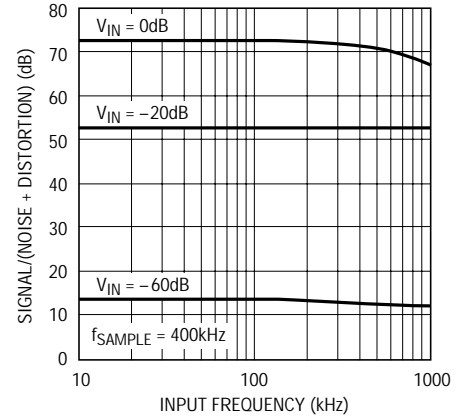
LTC1400 • TPC01

積分非直線性と出力コード



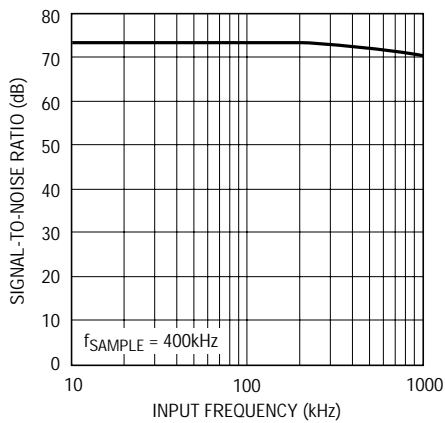
LTC1400 • TPC02

S/(N+D)と入力周波数
および振幅



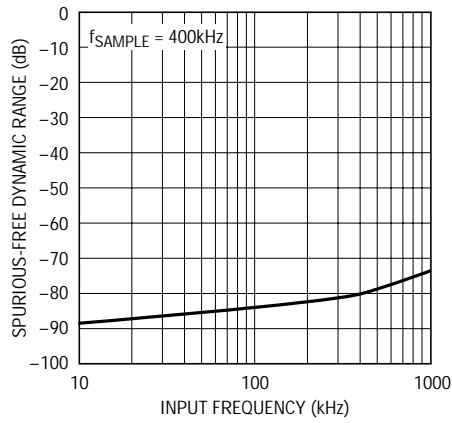
LTC1400 • TPC06

SN比(高調波なし)
と入力周波数



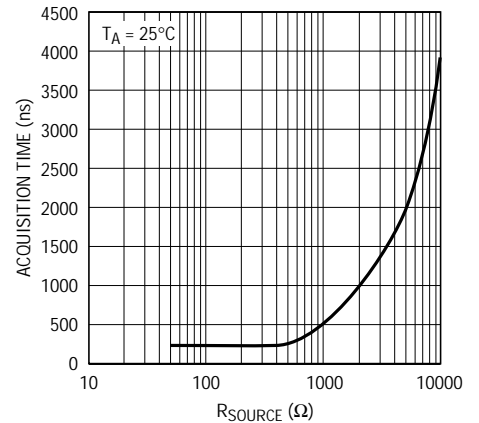
LTC1400 • TPC07

最大高調波またはスプリアス・
ノイズと入力周波数



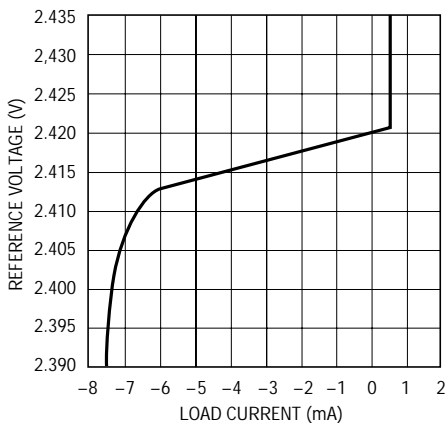
LTC1400 • TPC08

アキュイジション・タイムと
ソース・インピーダンス



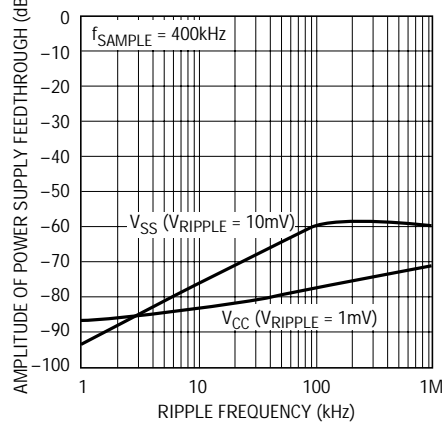
LTC1400 • TPC05

リファレンス電圧と
負荷電流



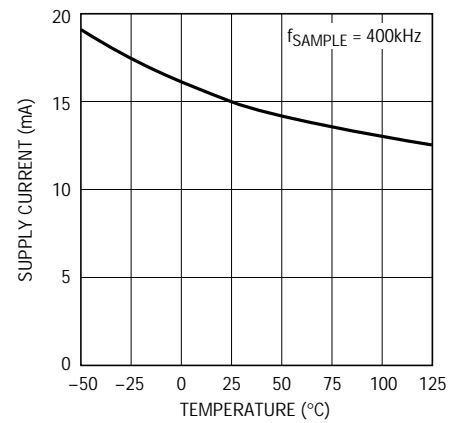
LTC1400 • TPC03

電源フィードスルーと
リップル周波数



LTC1400 • TPC07.5

電源電流と温度



LTC1400 • TPC04

ピン機能

V_{CC} (ピン1): 正電源、5V。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

A_{IN} (ピン2): アナログ入力。0V ~ 4.096V(ユニポラ) \pm 2.048V(バイポラ)。

V_{REF} (ピン3): 2.42Vリファレンス出力。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

GND (ピン4): グラウンド。GNDはアナログ・グラウンド・プレーンに直接接続しなければなりません。

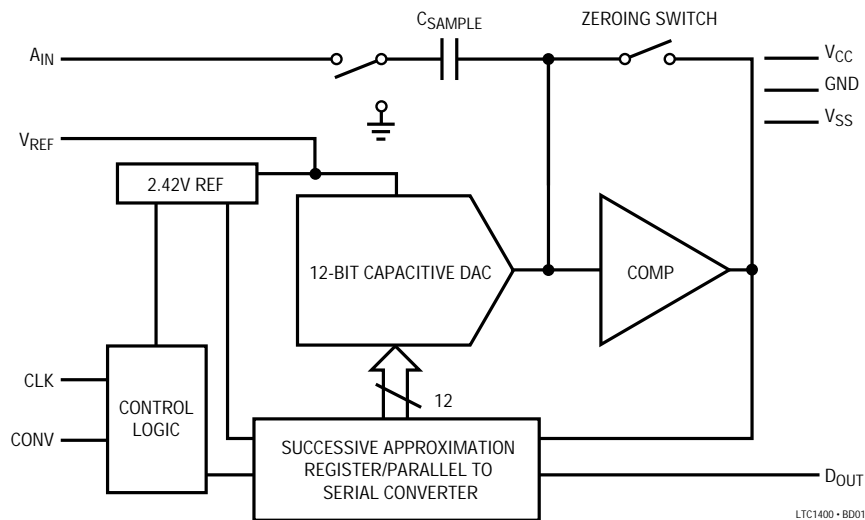
D_{OUT} (ピン5): このピンからA/D変換結果がシフトアウトされます。

CLK (ピン6): クロック。このクロックはシリアル・データ転送を同期します。50nsの最小CLKパルスによって、ADCはナップまたはスリープ・モードからウェイクアップします。

CONV (ピン7): 変換開始信号。このアクティブ“H”信号は、立上りエッジで変換を開始します。CLKを“L”にしたまま、CONVに2回/4回パルスを印加すると、ADCはナップまたはスリープ・モードに入ります。

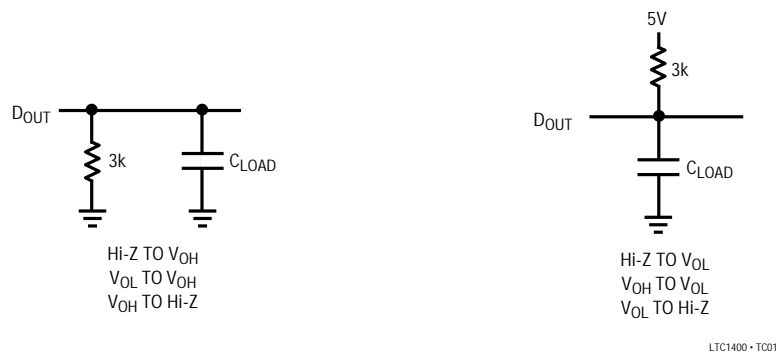
V_{SS} (ピン8): 負電源。-5Vでバイポラ動作を選択します。0.1 μ Fのセラミック・コンデンサでGNDにバイパスしてください。 V_{SS} をGNDに接続すると、ユニポラ動作が選択されます。

機能ブロック図



6

テスト回路



アプリケーション情報

変換の詳細説明

LTC1400は、逐次比較アルゴリズムと内部サンプル・ホールド回路を使用し、高精度内部リファレンスに基づいて、アナログ信号を12ビットのシリアル出力に変換します。コントロール・ロジックにより、3本の伝送線を接続して、簡単にマイクロプロセッサやDSPにインタフェースすることができます。

CONV入力の立上りエッジで変換を開始します。変換がスタートすると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の12ビット容量性DAC出力が最上位ビット(MSB)から最下位ビット(LSB)にSARでシーケンスされます。図1を参照すると、AIN入力はアキュイジション・フェーズ中に、サンプル・ホールド・コンデンサに接続され、コンパレータ・オフセットはフィードバック・スイッチによってゼロになります。このアキュイジション・フェーズでは、サンプル・ホールド・コンデンサがアナログ入力を収集するのに標準200nsを要します。変換フェーズでは、コンパレータのフィードバック・スイッチがオープンして、コンパレータを比較モードにします。入力スイッチはCSAMPLEをグラウンドに切り替えて、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、DAC出力はAIN入力電荷と平衡します。入力信号を表すSAR成分(12ビット・データ・ワード)がシリアル・ピンDOUTを通して出力されます。

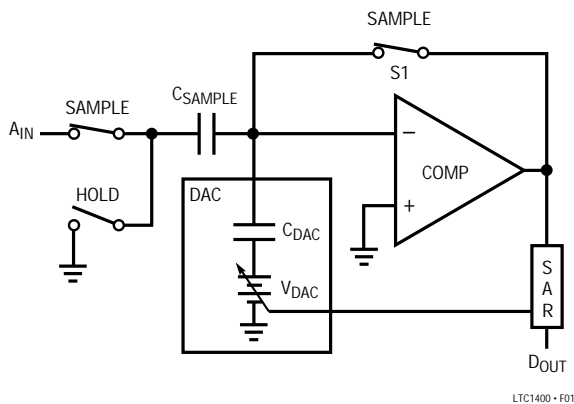


図1. AIN入力

ダイナミック特性

LTC1400は非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2aに標準LTC1400 FFTのプロットを示します。

SN比

SN + 歪み比 $S/(N + D)$ は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに400kHzのサンプリング・レートと100kHz入力での標準スペクトル成分を示します。図2bに示すとおり、ダイナミック特性は入力周波数が200kHzのナイキスト限界まで良好です。

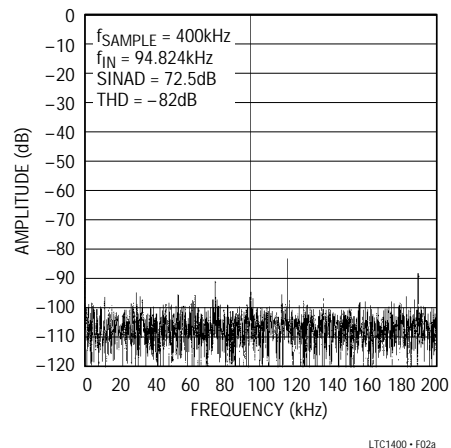


図2a. LTC1400のバイポーラ・モードにおける100kHz入力周波数での非平均化4096ポイントFFTプロット

有効ビット数

有効ビット数(ENOB)はADCの実効分解能の尺度であり、次式のとおり $S/(N + D)$ に直接関係します。

$$N = \frac{S/(N + D) - 1.76}{6.02}$$

アプリケーション情報

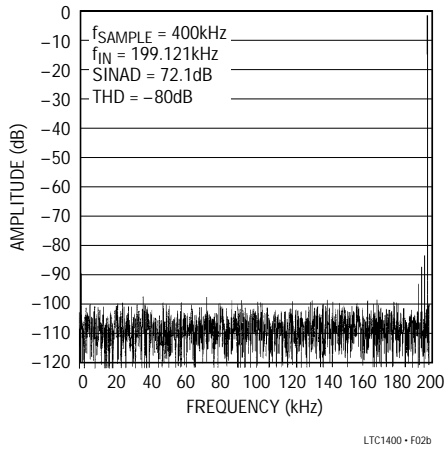


図2b. LTC1400のバイポーラ・モードにおける200kHz入力周波数での非平均化4096ポイントFFTプロット

ここで、Nは分解能の有効ビット数であり、S(N + D)はdBで表されます。400kHzの最大サンプリング・レートで、LTC1400は200kHzのナイキスト入力周波数まで、非常に良好なENOBを維持します(図3を参照)。

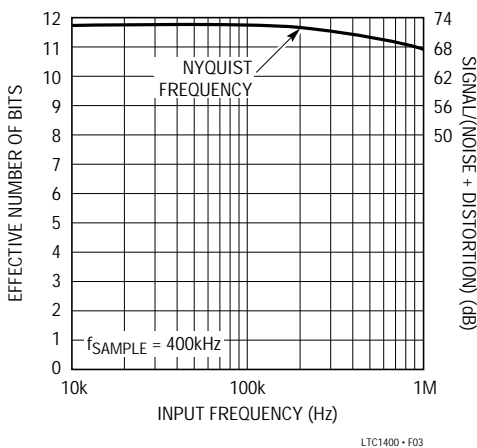


図3. バイポーラ・モードでの有効ビット数およびSN + 歪みと入力周波数

全高調波歪み

全高調波歪み (THD) は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波はDCとサンプリング周波数の1/2の周波数帯域に限定されず。THDは次式で表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、V1は基本周波数のRMS振幅であり、V2からVnは第2高調波から第n高調波の振幅です。THDと入力周波数の関係を図4に示します。LTC1400はナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

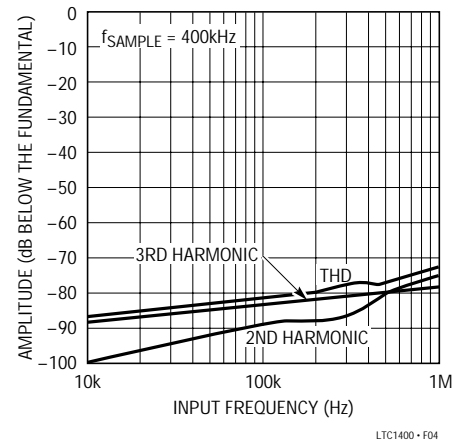


図4. バイポーラ・モードでの歪みと入力周波数

混変調歪み

ADC入力信号が2つ以上のスペクトル成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調 (IMD) が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

ADC入力にfaとfbの2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数mfa ± nfbに歪み成分が形成されます。ただし、mおよびn = 0, 1, 2, 3, ...です。たとえば、2次IMDの項は(fa + fb)、(fa - fb)、3次IMDの項は(2fa + fb)、(2fa - fb)、(fa + 2fb)、(fa - 2fb)です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値(dB)は次式で表すことができます。

$$\text{IMD}(fa \pm fb) = 20 \log \frac{(fa \pm fb) \text{ での 振幅}}{fa \text{ での 振幅}}$$

アプリケーション情報

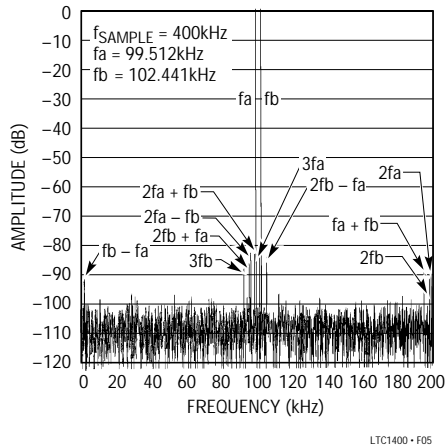


図5. バイポーラ・モードでの混変調歪みプロット

図5に100kHz入力におけるIMD性能を示します。

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

フルパワーおよび最大直線帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S(N+D)$ が68dB(有効ビット11ビット)に低下する入力周波数です。LTC1400は入力帯域幅が最大になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S(N+D)$ では歪みが大きな部分を占めます。

アナログ入力のドライブ

LTC1400のアナログ入力は簡単にドライブできます。入力電流は、変換終了時にサンプル・ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを発生します。変換中、アナログ入力にはわずかなリーク電流しか流れません。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換がスタートする前に安定しなければならぬことだけです。200ns以内に小さな負荷過渡電流に安定するオペアンプであれば、最大速度での動作が可能です。低速オペアンプを使用する場合、変換

と変換の間の時間を長くすれば、セトリングのための時間を長くとることができます。このADCの A_{IN} 入力のドライブには、LT[®]1360およびLT1363のオペアンプが適しています。

LTC1400はユニポーラ/バイポーラ検出回路を内蔵しています。 V_{SS} 電位を強制的にGNDより低くすると、内部回路が自動的にバイポーラ・モードに切り替わります。

以下のリストはLTC1400をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMで提供されます。

LT1215/LT1216：デュアルおよびクワッド、23MHz、50V/ μ s単一電源オペアンプ。単一5V ~ ± 15 V電源、6.6mA仕様、0.5LSBへのセトリング・タイム90nsのセトリング。

LT1223：100MHzビデオ電流帰還アンプ。 ± 5 V ~ ± 15 V電源、6mAの電源電流。400kHzまでおよびそれ以上で低歪み。低ノイズ。ACアプリケーションに適する。

LT1227：140MHzビデオ電流帰還アンプ。 ± 5 V ~ ± 15 V電源、消費電流10mA。400kHz以上の周波数で歪みが最小。低ノイズ。ACアプリケーションに最適。

LT1229/LT1230：デュアルおよびクワッド100MHz電流帰還アンプ。 ± 2 V ~ ± 15 V電源、各アンプの消費電流6mA。低ノイズ。良好なACスペック。

LT1360：37MHz電圧帰還アンプ。 ± 5 V ~ ± 15 V電源。消費電流3.8mA。良好なACおよびDCスペック。0.5LSBへのセトリング・タイム70ns。

LT1363：50MHz、450V/ μ sオペアンプ。 ± 5 V ~ ± 15 V電源。消費電流6.3mA。良好なACおよびDCスペック。0.5LSBへのセトリング・タイム60ns。

LT1364/LT1365：デュアルおよびクワッド50MHz、450V/ μ sオペアンプ。 ± 5 V ~ ± 15 V電源、1アンプ当たり消費電流6.3mA。0.5LSBへのセトリング・タイム60ns。

内部リファレンス

LTC1400は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.42Vに調整されています。このリファレンスは内部で

アプリケーション情報

DACに接続され、ピン3から外部に引き出されており、外部負荷に1mAまでの電流を供給可能です。コード・トランジション・ノイズを最小限に抑えるために、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズをフィルタしなければなりません(0.1 μ Fのセラミック・コンデンサと並列に10 μ Fのタンタル・コンデンサを接続)。バイポーラ・モードでは、DACまたは他の方法で V_{REF} ピンをドライブして、入力スパン調整を行うことができます。 V_{REF} ピンは内部リファレンスとの衝突を避けるために、最低でも2.45V以上にドライブしなければなりません。リファレンスは5V以上にドライブしてはなりません。図6にリファレンス・ピンをLT1360オペアンプでドライブする回路を示します。また、図7に標準的なリファレンスLT1019A-5をLTC1400に接続した回路を示します。これにより、ドリフトが改善され(LT1019A-5の最大5ppm/に等しくなる) $\pm 4.231V$ のフルスケールになります。 V_{REF} を2.42V以下に強制した場合、シリアル・データ出力のREFRDYビットは「L」になります。

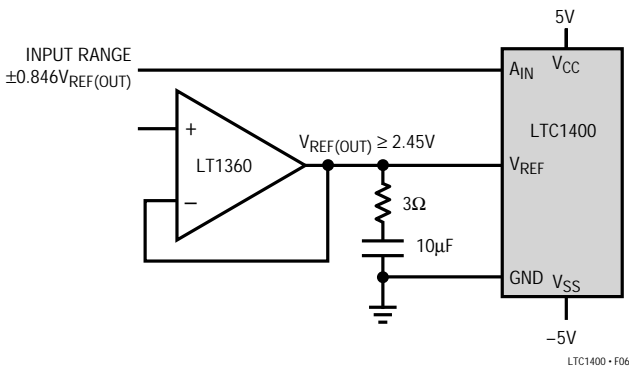


図6. V_{REF} をLT1360オペアンプでドライブ

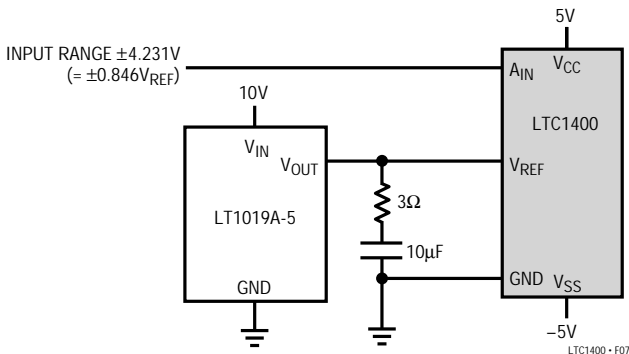


図7. LT1019A-5でLTC1400に5Vリファレンス電圧を供給

ユニポーラ/バイポーラ動作と調整

図8にLTC1400の理想的な入出力特性を示します。コード・トランジションは、連続する整数のLSB値の間の中間(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS - 1.5LSB)に現れます。出力コードは、1LSB = 4.096/4096 = 1mVの自然バイナリです。図9に、2の補数形式で表したバイポーラ・モードでの入出力伝達特性を示します。

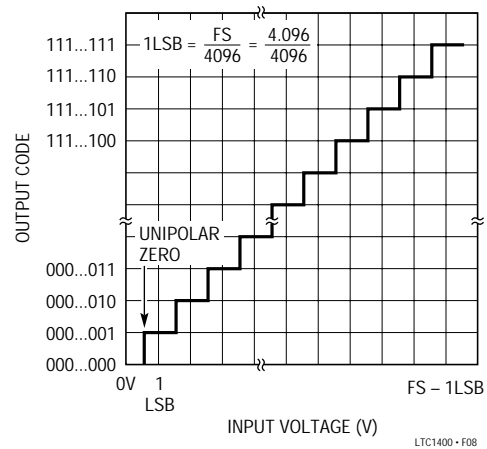


図8. LTC1400ユニポーラ伝達特性

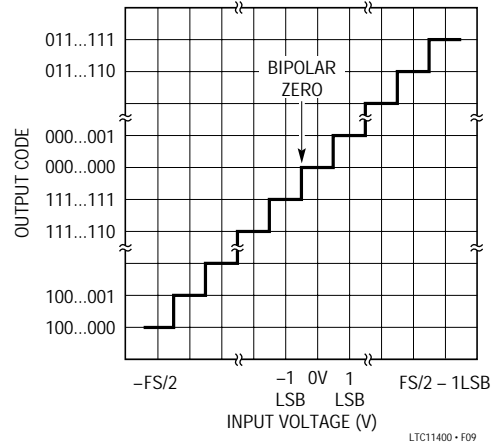


図9. LTC1400バイポーラ伝達特性

ユニポーラ・オフセットとフルスケール誤差調整

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。図10aにフルスケール誤差調整に必要な追加部品を示します。図

アプリケーション情報

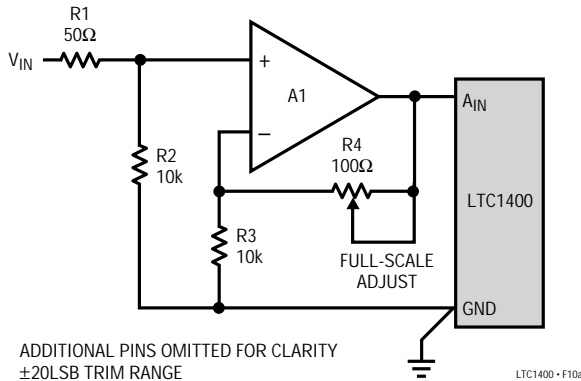


図10a. LTC1400フルスケール調整回路

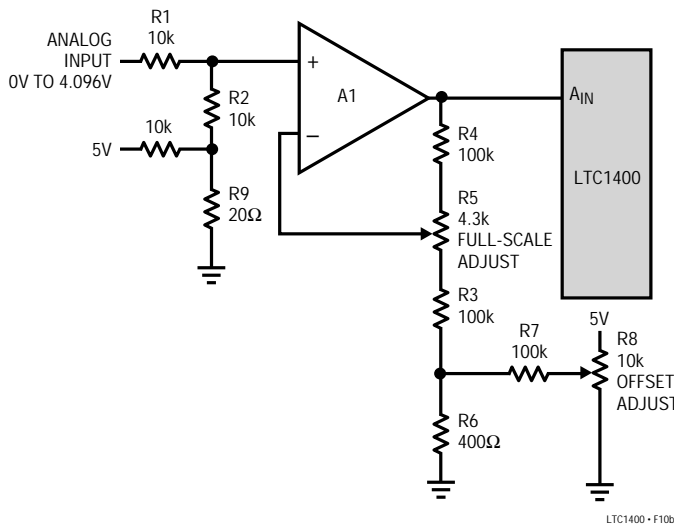


図10b. LTC1400オフセットおよびフルスケール調整回路

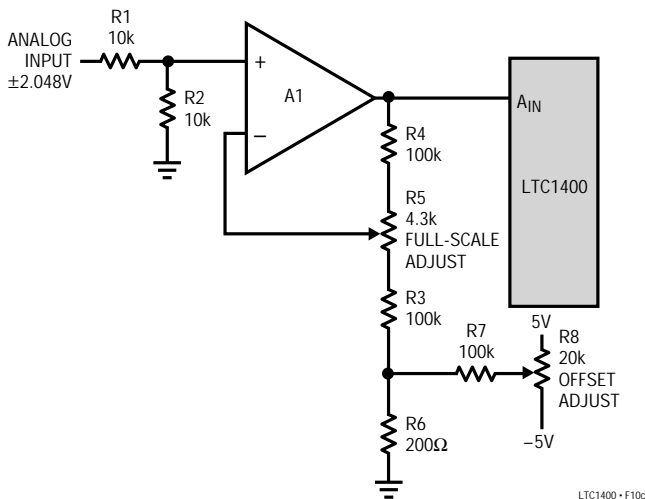


図10c. LTC1400バイポーラ・オフセットおよびフルスケール調整回路

10bにオフセットおよびフルスケール調整を示します。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。オフセット誤差をゼロにするには、0.5mV(すなわち、0.5LSB)を入力に印加し、LTC1400の出力コードが0000 0000 0000と0000 0000 0001の間で変化するまで、オフセット・トリム抵抗を調整します。また、フルスケール誤差をゼロにするには、4.0945Vのアナログ入力(すなわち、FS - 1.5LSBまたは最後のコード・トランジション)を入力に印加し、LTC1400の出力コードが1111 1111 1110と1111 1111 1111の間で変化するまで、抵抗R5を調整します。

バイポーラ・オフセットとフルスケール誤差調整

バイポーラ・オフセットおよびフルスケール誤差は、ユニポーラの場合と同様に調整されます。バイポーラ・オフセット誤差調整は、-0.5mV(-0.5LSB)の入力電圧を図10cの入力に印加し、ADCの出力コードが0000 0000 0000と1111 1111 1111の間で変化するまでオペアンプを調整して行います。フルスケール調整を行うには、2.0465Vの入力電圧(FS - 1.5LSB)を入力に印加し、出力コードが0111 1111 1110と0111 1111 1111の間で変化するまでR5を調整します。

ボード・レイアウトとバイパス

LTC1400から最適な性能を引き出すには、PCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にADCの下やアナログ信号トラックに沿ってデジタル・トラックを走らせないよう注意してください。アナログ入力はGNDで遮蔽しなければなりません。

V_{CC} および V_{REF} ピンには、本データシートの最初のページにある標準的の応用例に示すように、高品質のタンタルおよびセラミック・バイパス・コンデンサを使用してください。バイポーラ・モードの場合、0.1 μ Fのセラミック・コンデンサで V_{SS} ピンへの十分なバイパスが得られます。最適な性能を得るには、 V_{CC} ピンと V_{REF} ピンに10 μ F表面実装AVXコンデンサと0.1 μ Fセラミック・コンデンサを接続してください。これらのコンデンサはできる限りピンの近くに配置する必要があります。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。ユニポーラ・モード動作では、 V_{SS} をノイズ発生源から分離してから、GNDピンに短絡しなければなりません。

アプリケーション情報

A_{IN} の入力信号リードおよびGND(ピン4)からの信号リターン・リードは、できるだけ短くして、入力ノイズの結合を最小にします。これができないアプリケーションの場合には、ソースとADCの間にシールド・ケーブルを使ってください。また、信号ソースとADC間のグラウンドの電位差は入力信号と直列に誤差電圧として現れるため、できるだけグラウンド回路のインピーダンスが低くなるよう配慮が必要です。

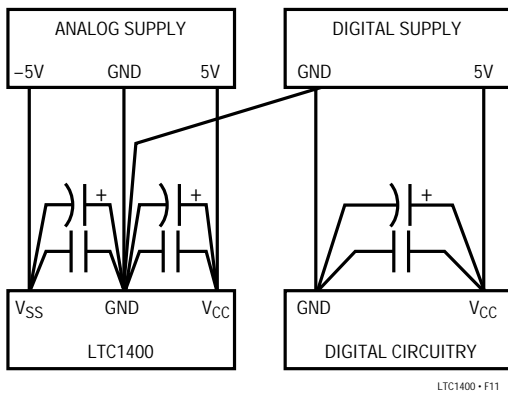


図11. 電源接続

図11に推奨されるシステム・グラウンド接続を示します。すべてのアナログ回路グラウンドは、LTC1400のGNDピンで終端する必要があります。LTC1400のピン4から電源へのグ

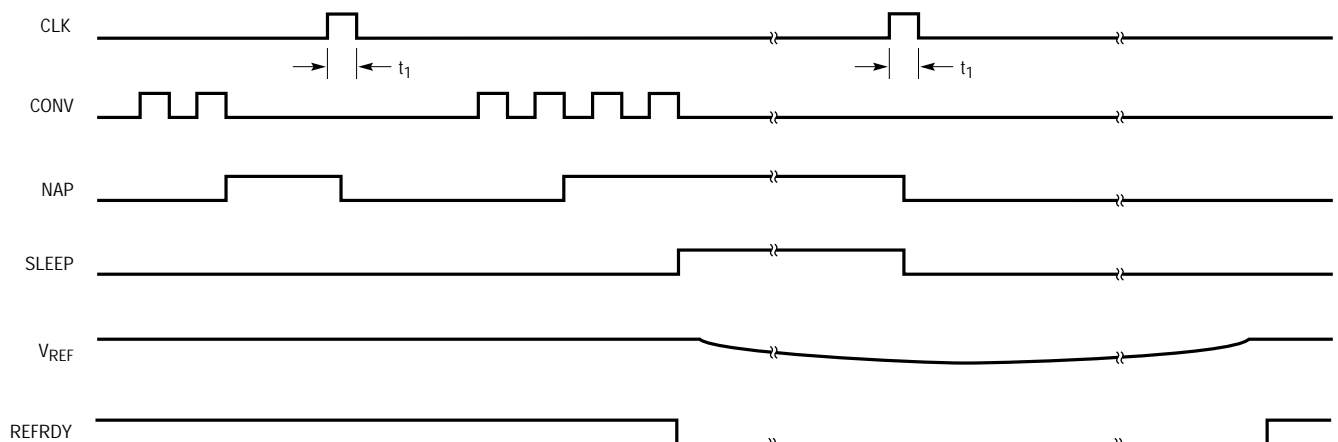
ランド・リターンは、ノイズのない動作を実現するために低インピーダンスでなければなりません。デジタル回路のグラウンドは、デジタル電源コモンに接続してください。

ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWait状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。

パワーダウン・モード

パワーアップ時に、LTC1400はアクティブ状態に初期化され、変換を行う準備が整います。しかし、このチップはCLKおよびCONV信号の所定の組合せによって、簡単にナップ・モードまたはスリープ・モードにすることができます。ナップ・モードでは、内部リファレンスを除くすべての電源がオフになります。内部リファレンスはアクティブのまま、他の回路に2.42Vの出力電圧を供給します。このモードでは、ADCは75mWではなく6mWを消費します(消費電力を抑えるには、ロジック入力電源レールの500mV以内になければなりません)。ナップ・モードからアクティブ・モードへのウェイクアップ時間は350nsです。スリープ・モードでは、リ

6



LTC1400 - F08

NOTE: NAP AND SLEEP ARE INTERNAL SIGNALS. REFRDY APPEARS AS A BIT IN THE D_{OUT} WORD.

図12. ナップ・モードおよびスリープ・モード波形

アプリケーション情報

ファレンスを含むすべての内部回路への電源をオフにし、消費電力が最小限に低減されます。図12にLTC1400をパワーダウする方法を示します。チップはCLK信号を“L”にしたままでCONV信号を2回送れば、ナップ・モードに入ることができます。スリープ・モード動作にするには、CLKを“L”にしたままで、CONV信号を4回送らなければなりません。

LTC1400は簡単にアクティブ・モードに戻すことができます。CLKの立上りエッジでLTC1400がウェイクアップします。スリープ・モードからアクティブ・モード移行時のV_{REF}電圧のランプアップ時間は、負荷条件によって決まります。10μFのバイパス・コンデンサを接続した場合、スリープ・モードからのウェイクアップ時間は標準で4msです。リファレンスが安定し、A/D変換を実行できる状態になると、REFRDY信号がアクティブになります。このREFRDYビットがD_{OUT}ピンに出力されてから、残りのA/D変換コードが出力されます。

デジタル・インタフェース

デジタル・インタフェースには、3本のデジタル・ラインしか必要ありません。CLKとCONVは両方とも入力で、D_{OUT}出力は変換結果をシリアル形式で供給します。

図13にA/D変換中のLTC1400のデジタル・タイミング図を示します。CONVの立上りエッジで変換が開始されます。一度変換を開始すると、変換が完了するまで再スタートすることはできません。CONV信号からCLKの立上りエッジまでの時間がt₂以下の場合、デジタル出力は1クロック・サイクルだけ遅れます。

デジタル出力データは、CLKラインの立上りエッジで更新されます。D_{OUT}データもCLKの立上りエッジで受信システムが取り込まなければなりません。D_{OUT}ラインのデータは、取り込みができるようにCLKの立上りエッジから最小時間t₁₀の間は有効になっています。

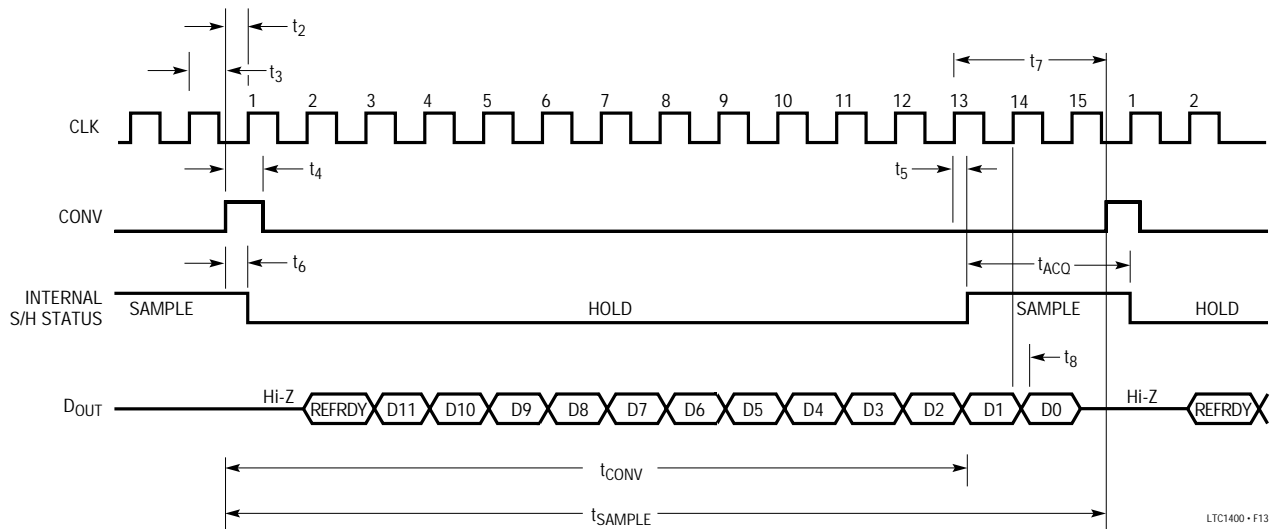


図13. ADCデジタル・タイミング図

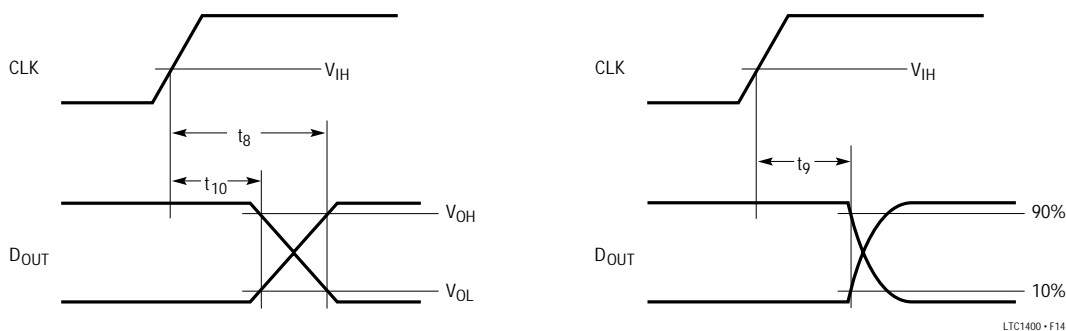
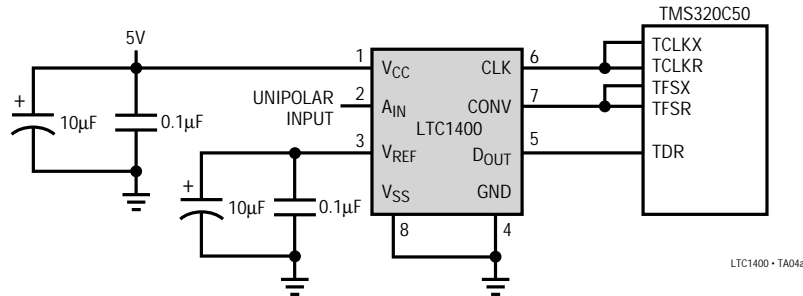


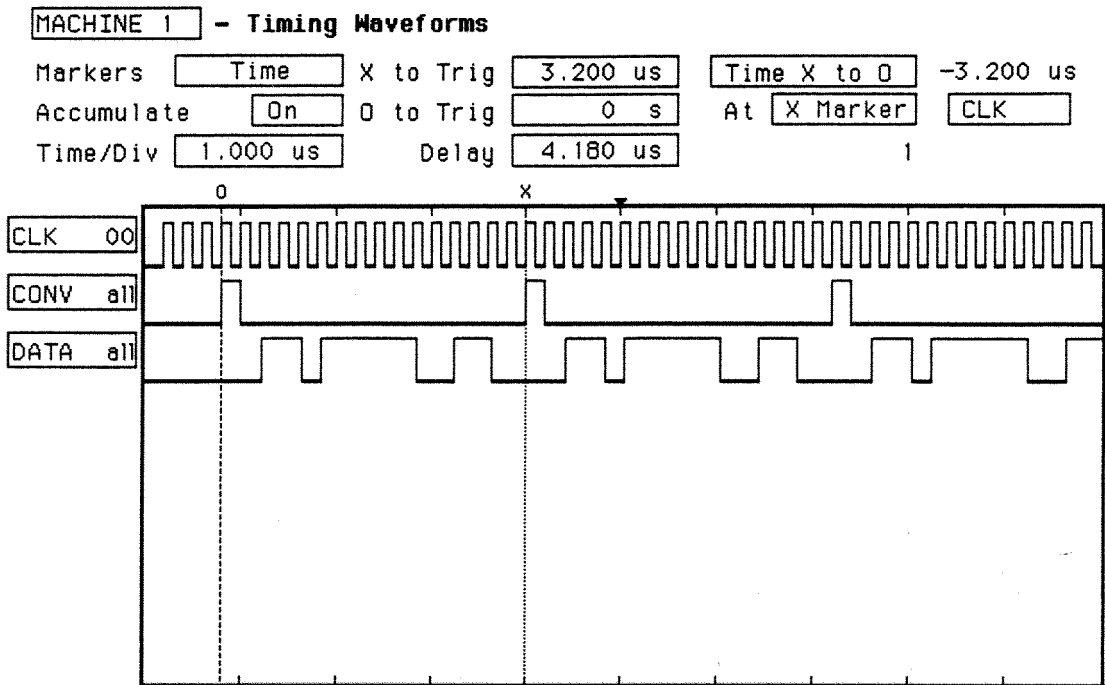
図14. CLKからD_{OUT}の遅延

標準的応用例

TMS320C50のTDMシリアル・ポートへのハードウェア・インタフェース(フレーム同期はTFSXから生成)



3.2µsスループット・レートを示すロジック・アナライザ波形 入力電圧 = 3.046V、出力コード = 1011 1110 0110 = 3046₁₀)



6

TMS320C50のTRCVレジスタにロードされたLTC1400からのデータ

X	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---

TMS320C50のメモリに格納されたデータ(右寄せフォーマット)

0	0	0	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

標準的応用例

回路用のTMS320C50コード

THIS PROGRAM DEMONSTRATES LTC1400 INTERFACE TO TMS320C50
FRAME SYNC PULSE IS GENERATED FROM TFSX

```

*Initialization*
.mmregs                ; Defines global symbolic names
;-- Initialized data memory to zero
.ds    0F00h          ; Initialize data to zero
DATA0  .word  0        ; Begin sample data location
DATA1  .word  0        ;
DATA2  .word  0        ; Location of data
DATA3  .word  0        ;
DATA4  .word  0        ;
DATA5  .word  0        ; End sample data location
;-- Set up the ISR vector
.ps    080Ah          ; Serial ports interrupts
rint :   B    RECEIVE  ; 0A;
xint :   B    TRANSMIT ; 0C;
trnt :   B    TREC     ; 0E;
txnt :   B    TTRANX   ; 10;
;-- Setup the reset vector
.ps    0A00h
.entry
START:

*TMS320C50 Initialization*
SETC INTM      ; Temporarily disable all interrupts
LDP  #0        ; Set data page pointer to zero
OPL  #0834h, PMST ; Set up the PMST status and control register
LACC #0
SAMM CWSR      ; Set software wait state to 0
SAMM PDWSR     ;

*Configure Serial Port*
SPLK #0038h, TSPC ; Set TDM Serial Port
; TDM = 0 Stand Alone mode
; DLB=0 Not loop back
; FO=0 16 Bits
; FSM=1 Burst Mode
; MCM=1 CLKX is generated internally
; TXM=1 FSX as output pin
; Put serial port into reset
; (XRST=RRST=0)

SPLK #00F8h, TSPC ; Take Serial Port out of reset
; (XRST=RRST=1)

SPLK #0FFFh, IFR  ; Clear all the pending interrupts

```

Start Serial Communication

```

SACL TDXR      ; Generate frame sync pulse
SPLK #040h, IMR ; Turn on TRNT receiver interrupt
CLRC INTM      ; Enable interrupt
CLRC SXM       ; For Unipolar input, set for right shift
; with no sign extension
MAR  *AR7      ; Load the auxiliary register pointer with seven
LAR  AR7, #0F00h ; Load the auxiliary register seven with #0F00h
; as the begin address for data storage
WAIT: NOP      ; Wait for a receive interrupt
      NOP      ;
      NOP      ;
      SACL TDXR ; !! regenerate the frame sync pulse
      B    WAIT ;
;----- end of main program ----- ;

```

Receiver Interrupt Service Routine

```

TREC:
LAMB TRCV      ; Load the data received from LTC1400
SFR            ; Shift right two times
SFR            ;
AND  #1FFFh, 0 ; ANDed with #1FFFh
; For converting the data to right
; justified format
;
SACL  *, 0     ; Write to data memory pointed by AR7 and
; increase the memory address by one
;
LACC  AR7      ;
SUB   #0F05h, 0 ; Compare to end sample address #0F05h
BCND  END_TRCV, GEO ; If the end sample address has exceeded jump
; to END_TRCV
;
SPLK #040h, IMR ; Else Re-enable the TRNT receive interrupt
RETE  ; Return to main program and enable interrupt

```

After Obtained the Data from LTC1400, Program Jump to END_TRCV

```

END_TRCV:
SPLK #002h, IMR ; Enable INT2 for program to halt
CLRC INTM
SUCCESS:
B    SUCCESS

```

Fill the Unused Interrupt with RETE, to avoid program get "lost"

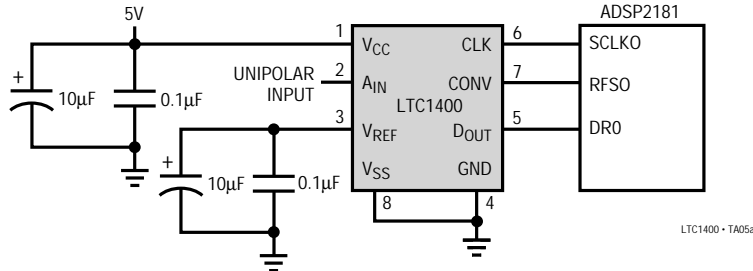
```

TTRANX:
RETE
RECEIVE:
RETE
TRANSMIT:
RETE
INT2:
B halt ; Halts the running CPU

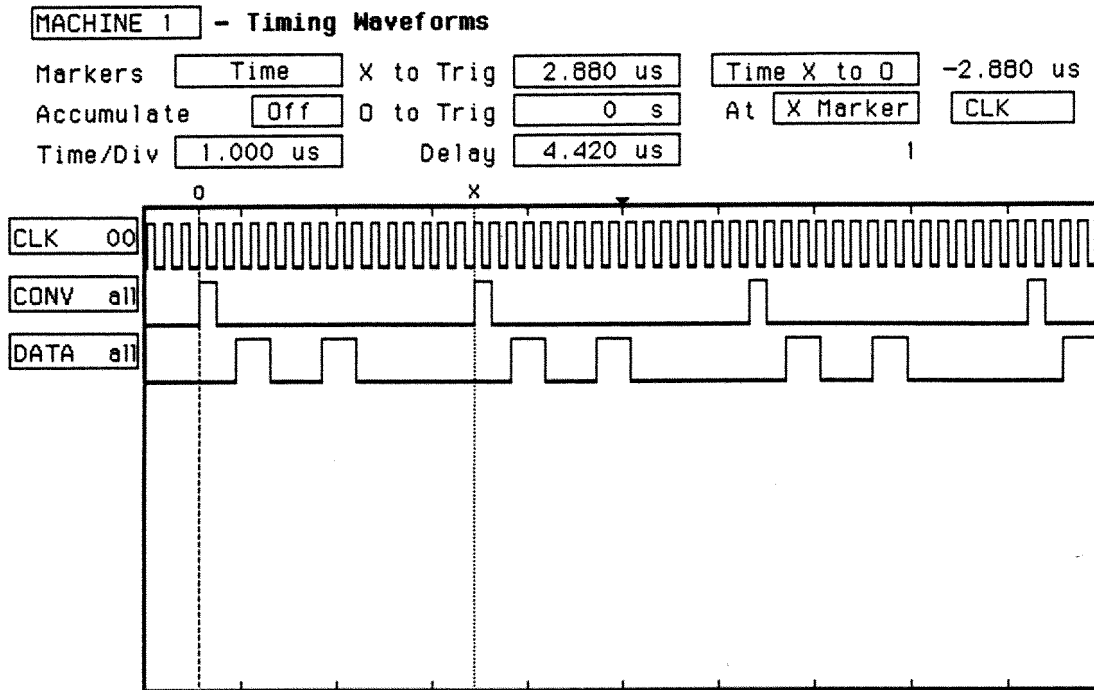
```

標準的応用例

LTC1400とADSP2181のSPORT0へのインターフェース(RFS0からフレーム同期を生成)



2.88µsスループット・レートを示すロジック・アナライザ波形(入力電圧 = 2.240V、出力コード = 1000 1100 0000 = 2240₁₀)



6

LTC1400からのデータ(ノーマル・モード)

X	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---

LTC1400 - TA05c

ADSP2181のメモリに格納されたデータ(ノーマル・モード、SLEN = D)

0	0	0	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

LTC1400 - TA05d

標準的応用例

回路用のADSP2181コード

THIS PROGRAM DEMONSTRATES LTC1400 INTERFACE TO ADSP-2181
FRAME SYNC PULSE IS GENERATED FROM RFS0

```

/*Section 1: Initialization*/
.module/ram/abs = 0 adsp1tc; /*define the program module*/
  jump start; /*jump over interrupt vectors*/
  nop; nop; nop;
  rti; rti; rti; rti; /*code vectors here upon IRQ2 int*/
  rti; rti; rti; rti; /*code vectors here upon IRQL1 int*/
  rti; rti; rti; rti; /*code vectors here upon IRQLO int*/
  rti; rti; rti; rti; /*code vectors here upon SPORT0 TX int*/
  ax0 = rx0; /*Section 5*/
  dm (0x2000) = ax0; /*begin of SPORT0 receive interrupt*/
  rti; /* */
  /* */
  /*end of SPORT0 receive interrupt*/
  rti; rti; rti; rti; /*code vectors here upon /IRQE int*/
  rti; rti; rti; rti; /*code vectors here upon BDMA interrupt*/
  rti; rti; rti; rti; /*code vectors here upon SPORT1 TX (IRQ1) int*/
  rti; rti; rti; rti; /*code vectors here upon SPORT1 RX (IRQ0) int*/
  rti; rti; rti; rti; /*code vectors here upon TIMER int*/
  rti; rti; rti; rti; /*code vectors here upon POWER DOWN int*/

/*Section 2: Configure SPORT0*/
start:
/*to configure SPORT0 control reg*/
  /*SPORT0 address = 0X3FF6*/
  /*RFS is used for frame sync generation*/
  /*RFS0 is internal, TFS is not use*/
  /*bit 0-3 = Slen*/
  /*F = 15 = 1111*/
  /*E = 14 = 1110*/
  /*D = 13 = 1101*/
  /*bit 4,5 data type right justified zero filled MSB*/
  /*bit 6 INVRFS = 0*/
  /*bit 7 INVTFS = 0*/
  /*bit 8 IRFS=1 receive internal frame sync*/
  /*bit 9,10,11 are for TFS (don't care)*/
  /*bit 12 TFSW=1 receive is Normal mode*/
  /*bit 13 RTFS=1 receive is framed mode*/
  /*bit 14 ISCLK internal = 1*/
  /*bit 15 multichannel mode = 0*/
  ax0 = 0x6B0D; /*normal mode, bit12=0*/
  /*if alternate mode bit12=1, ax0=0x7F0E*/
  dm (0x3FF6) =ax0;

```

```

/*Section 3: configure CLKDIV and RFSDIV, setup interrupts*/
/*to configure CLKDIV reg*/
  ax0= 2;
  dm(0x3FF5) =ax0; /*set the serial clock divide modulus reg
  SCLKDIV*/
  /*the input clock frequency = 16.67MHz*/
  /*CLKOUT frequency = 2x = 33MHz*/
  /*SCLK= 1/2*CLKOUT*/(SCLKDIV+1)*/
  /*for SCLKDIV = 2, SCLK = 33/6 = 5.5MHz*/

/*to Configure RFSDIV*/
  ax0 = 15; /*set the RFSDIV reg = 15*/
  /*=> the frame sync pulse for every 16 SCLK*/
  /*if frame sync pulse in every 15 SCLK, ax0=14*/

  dm(0x3FF4) =ax0;
/*to setup interrupt*/
  ifc= 0x0066; /*clear any extraneous SPORT interrupts*/
  icntl= 0; /*IRQXB = level sensitivity*/
  /*disable nesting interrupt*/

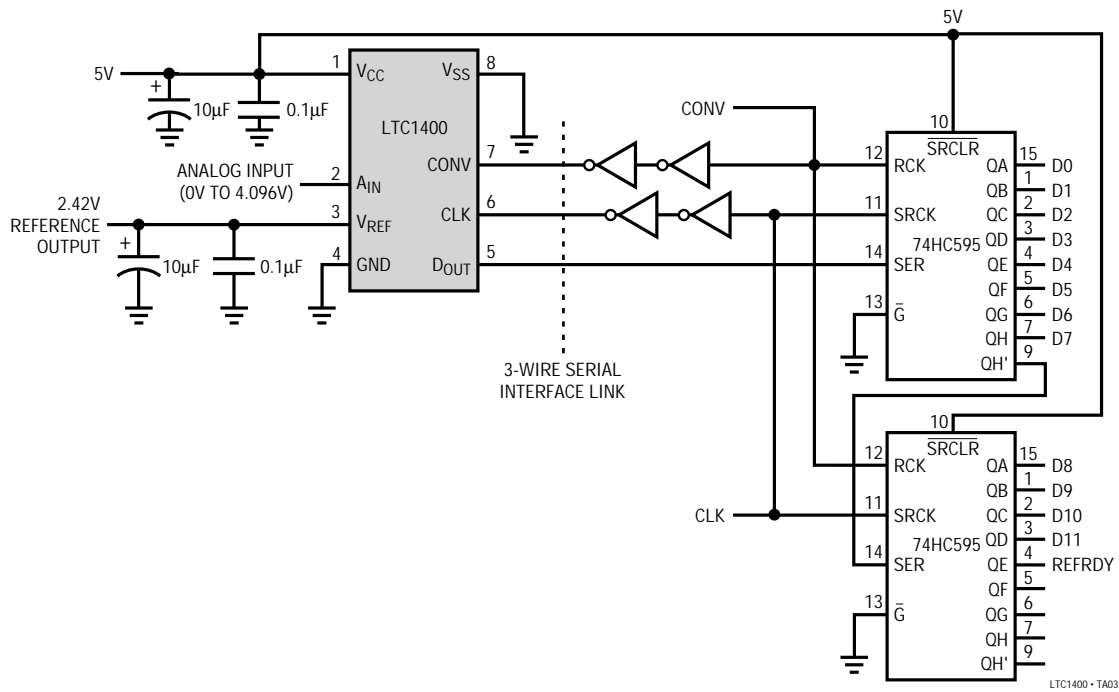
  imask= 0x0020; /*bit 0 = timer int = 0*/
  /*bit 1 = SPORT1 or IRQ0B int = 0*/
  /*bit 2 = SPORT1 or IRQ1B int = 0*/
  /*bit 3 = BDMA int = 0*/
  /*bit 4 = IRQEB int = 0*/
  /*bit 5 = SPORT0 receive int = 1*/
  /*bit 6 = SPORT0 transmit int = 0*/
  /*bit 7 = IRQ2B int = 0*/
  /*enable SPORT0 receive interrupt*/

/*Section 4: Configure System Control Register and Start Communication*/
/*to configure system control reg*/
  ax0 = dm(0x3FFF); /*read the system control reg*/
  ay0 = 0xFFFF0;
  ar = ax0 AND ay0; /*set wait state to zero*/
  ay0 = 0x1000;
  ar = ar OR ay0; /*bit12 = 1, enable SPORT0*/
  dm(0x3FFF) = ar;
/*frame sync pulse regenerated automatically*/
  cntr = 5000;
do waitloop until ce;
  nop;
  nop;
  nop;
  nop;
  nop;
  nop;
  nop;
  waitloop: nop;
  rts;
.endmod;

```

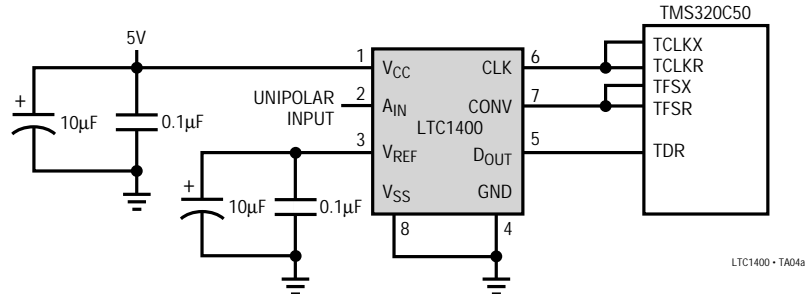
標準的応用例

データをパラレル・フォーマットに変換するためのクイック・ルック回路



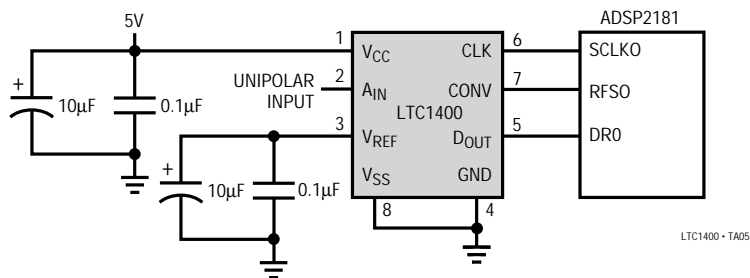
標準的応用例

LTC1400とTMS320C50とのインタフェース



LTC1400 - TA04a

LTC1400とADSP2181とのインタフェース



LTC1400 - TA05a

関連製品

12ビット・パラレル出力ADC

PART NUMBER	SAMPLE RATE	POWER DISSIPATION	DESCRIPTION
LTC1272	250ksps	75mW	Single 5V, 7572 Upgrade
LTC1273/LTC1275/LTC1276	300ksps	75mW	With Clock and Reference
LTC1274/LTC1277	100ksps	10mW	Low Power ADCs with 1µA Shutdown
LTC1278/LTC1279	500/600ksps	75mW	70dB at Nyquist, Low Power, Single 5V
LTC1282	140ksps	12mW	3V or ±3V ADC with Clock and Reference
LTC1410	1.25Msps	150mW	71dB at Nyquist, Differential Input

12ビット・シリアル出力ADC

PART NUMBER	V _{CC}	SAMPLE RATE	POWER DISSIPATION	DESCRIPTION
LTC1285/LTC1288	3V	7.5/6.6ksps	0.48mW	3V, One or Two Input, Micropower, SO-8
LTC1286/LTC1298	5V	12.5/11.1ksps	1.25mW	One or Two Input, Micropower, SO-8
LTC1290	5/±5V	50ksps	30mW	8 Input, Full-Duplex Serial I/O
LTC1296	5/±5V	46.5ksps	30mW	8 Input, Half-Duplex Serial I/O, Power Shutdown Output