

デュアル/クワッド高精度 レール・トゥ・レール 入力/出力オペアンプ

特長

- 入力同相範囲に両レールを含む
- レール・トゥ・レール出力振幅
- 低入力オフセット電圧: 150μV
- 高同相除去比: 90dB
- 高 A_{VOL} : 1V/μV (最小、10k負荷ドライブ時)
- 低入力バイアス電流: 10nA
- 広い電源範囲: 1.8Vから±15V
- 低電源電流: 375μA/アンプ
- 高出力ドライブ: 30mA
- 利得・バンド幅積: 400kHz
- スルーレート: 0.13V/μs
- 最大1000pFの容量性負荷で安定動作

アプリケーション

- レール・トゥ・レール・バッファ・アンプ
- 低電圧信号処理
- 一方のレールでの電源電流センシング
- A/Dコンバータのドライブ

LT、LT、LTC、LTM、Over-The-Top、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。C-Loadはリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。

概要

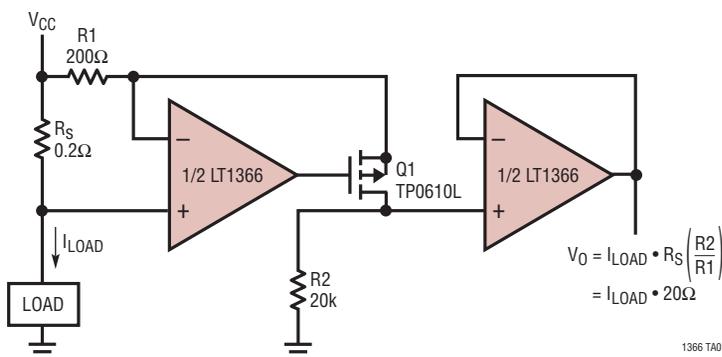
LT[®]1366/LT1367/LT1368/LT1369は、デュアルおよびクワッドのバイポーラ・オペアンプで、高精度仕様のレール・トゥ・レール入力および出力動作が可能です。これらのオペアンプは、1.8Vから36Vの全電源電圧範囲で特性を維持します。動作は3V、5V、および±15V電源で規定されています。入力オフセット電圧は標準150μV、最小開ループ利得 A_{VOL} は100万倍で、10k負荷のドライブが可能です。同相除去は、全レール・トゥ・レール入力範囲において標準90dB、電源除去は110dBです。

LT1366/LT1367は従来式の補償方法を採用しており、1000pF以下の容量性負荷に対する安定性が保証されています。LT1368/LT1369も補償されていますが、0.1μFの出力コンデンサが必要であり、それによってアンプの電源除去が向上し、高周波数での出力インピーダンスが低下します。出力コンデンサのフィルタリング作用によって高周波数ノイズが低減されるため、A/Dコンバータをドライブする際に有用です。

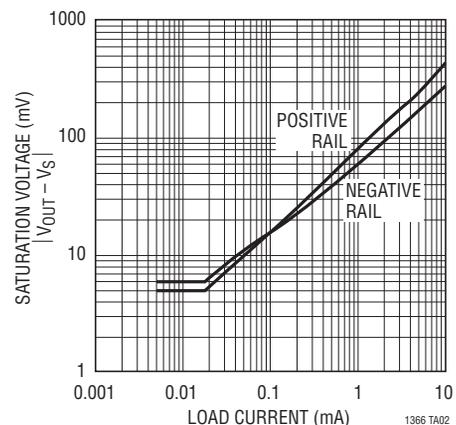
LT1366/LT1368は、標準デュアル・オペアンプ・ピン配置のブラスタック8ピンPDIP、および8ピンSOパッケージで供給されます。LT1367/LT1369は標準クワッド・ピン配置の14ピンSOパッケージで供給されます。これらのデバイスは、多くの標準オペアンプのプラグイン互換品として使用し、入力/出力範囲と精度を改善することができます。

標準的応用例

正電源電圧レール電流検出



出力飽和電圧と負荷電流

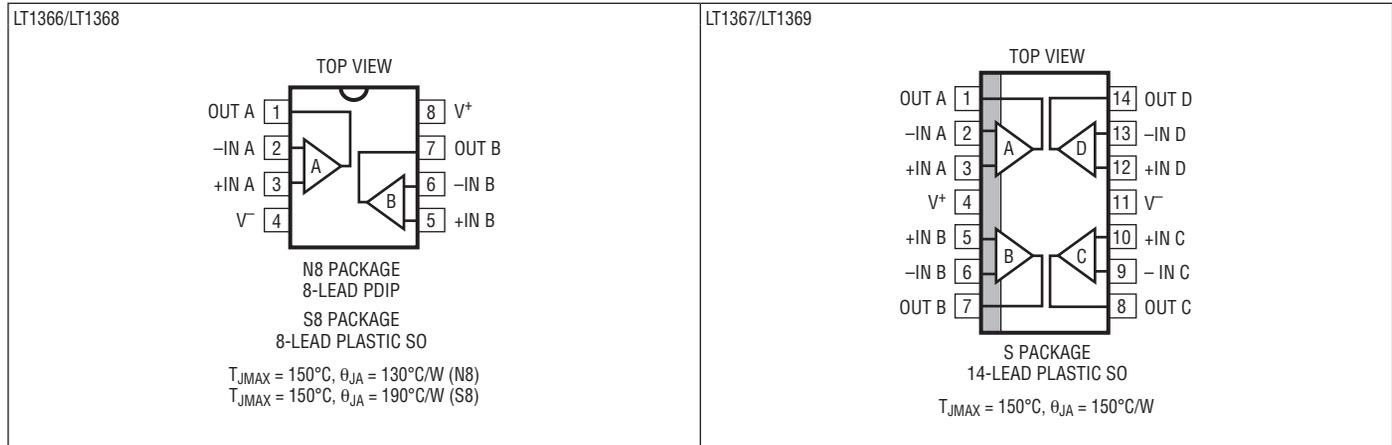


LT1366/LT1367 LT1368/LT1369

絶対最大定格 (Note 1)

全電源電圧 (V ⁺ からV ⁻)	36V	規定温度範囲	0°C~70°C
入力電流	±15mA	接合部温度	150°C
出力短絡時間 (Note 2)	連続	保存温度範囲	-65°C~150°C
動作温度範囲	-40°C~85°C	リード温度 (半田付け、10秒)	300°C

ピン配置



提供中のオプション

製品番号	オペアンプの数	負荷容量	V _S = 5V, 0Vでの 最大V _{OS} (25°C)	発注番号	
				プラスチック (N)	表面実装 (S)
LT1366	2	0pF < C _L < 1000pF	475μV	LT1366CN8	LT1366CS8
LT1367	4	0pF < C _L < 1000pF	800μV		LT1367CS
LT1368	2	C _L = 0.1μF	475μV	LT1368CN8	LT1368CS8
LT1369	4	C _L = 0.1μF	800μV		LT1369CS

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT1366CN8#PBF	LT1366CN8#TRPBF	1366	8-Lead PDIP	0°C to 70°C
LT1366CS8#PBF	LT1366CS8#TRPBF	1366	8-Lead Plastic SO	0°C to 70°C
LT1367CS#PBF	LT1367CS#TRPBF	LT1367CS	14-Lead Plastic SO	0°C to 70°C
LT1368CN8#PBF	LT1368CN8#TRPBF	1368	8-Lead PDIP	0°C to 70°C
LT1368CS8#PBF	LT1368CS8#TRPBF	1368	8-Lead Plastic SO	0°C to 70°C
LT1369CS#PBF	LT1369CS#TRPBF	LT1369CS	14-Lead Plastic SO	0°C to 70°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 0V 、 $V_{CM} = 2.5\text{V}$ 、 $V_O = 2.5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage (LT1366/LT1368)	$V_{CM} = V_{CC}$ $V_{CM} = V_{EE}$		150 150	475 475	μV μV
	Input Offset Voltage (LT1367/LT1369)	$V_{CM} = V_{CC}$ $V_{CM} = V_{EE}$		150 150	800 700	μV μV
ΔV_{OS}	Input Offset Voltage Shift (LT1366/LT1368)	$V_{CM} = V_{EE}$ to V_{CC}		150	400	μV
	Input Offset Voltage Match (Channel to Channel)	$V_{CM} = V_{EE}$, V_{CC} (Notes 4, 5)		250	700	μV
ΔV_{OS}	Input Offset Voltage Shift (LT1367/LT1369)	$V_{CM} = V_{EE}$ to V_{CC}		150	650	μV
	Input Offset Voltage Match (Channel to Channel)	$V_{CM} = V_{EE}$, V_{CC} (Notes 4, 5)		250	1600	μV
I_B	Input Bias Current	$V_{CM} = V_{CC}$	0	10	35	nA
		$V_{CM} = V_{EE}$	-35	-10	0	nA
ΔI_B	Input Bias Current Shift	$V_{CM} = V_{EE}$ to V_{CC}		20	70	nA
I_{OS}	Input Offset Current	$V_{CM} = V_{CC}$		1	12	nA
		$V_{CM} = V_{EE}$		0.3	12	nA
ΔI_{OS}	Input Offset Current Shift	$V_{CM} = V_{EE}$ to V_{CC}		1	12	nA
	Input Bias Current Match (Channel to Channel)	$V_{CM} = V_{CC}$ (Note 4) $V_{CM} = V_{EE}$ (Note 4)	0 0	1 1	12 12	nA nA
e_n	Input Noise Voltage Density	$f = 1\text{kHz}$		29		$\text{nV}/\sqrt{\text{Hz}}$
i_n	Input Noise Current Density	$f = 1\text{kHz}$		0.07		$\text{pA}/\sqrt{\text{Hz}}$
C_{IN}	Input Capacitance			12		pF
A_{VOL}	Large-Signal Voltage Gain	$V_O = 50\text{mV}$ to 4.8V , $R_L = 10\text{k}$	250	2000		V/mV
CMRR	Common Mode Rejection Ratio (LT1366/LT1368)	$V_{CM} = V_{EE}$ to V_{CC}	81	90		dB
	CMRR Match (Channel to Channel)	$V_{CM} = V_{EE}$ to V_{CC} (Note 4)	75	90		dB
CMRR	Common Mode Rejection Ratio (LT1367/LT1369)	$V_{CM} = V_{EE}$ to V_{CC}	77	90		dB
	CMRR Match (Channel to Channel)	$V_{CM} = V_{EE}$ to V_{CC} (Note 4)	71	90		dB
PSRR	Power Supply Rejection Ratio	$V_S = 2.0\text{V}$ to 12V , $V_{CM} = V_O = 0.5\text{V}$	90	105		dB
	PSRR Match (Channel to Channel) (Note 4)	$V_S = 2.0\text{V}$ to 12V , $V_{CM} = V_O = 0.5\text{V}$	84	100		dB
V_{OL}	Output Voltage Swing Low	No Load		6	12	mV
		$I_{SINK} = 0.5\text{mA}$		40	70	mV
		$I_{SINK} = 2.5\text{mA}$		110	200	mV
V_{OH}	Output Voltage Swing High	No Load	$V_{CC} - 0.012$	$V_{CC} - 0.004$		V
		$I_{SOURCE} = 0.5\text{mA}$	$V_{CC} - 0.100$	$V_{CC} - 0.050$		V
		$I_{SOURCE} = 2.5\text{mA}$	$V_{CC} - 0.250$	$V_{CC} - 0.150$		V
I_{SC}	Short-Circuit Current	(Note 2)	± 15	± 30		mA
I_S	Supply Current per Amplifier			340	520	μA
GBW	Gain-Bandwidth Product (LT1366/LT1367)	$A_V = 1000$		0.4		MHz
	Gain-Bandwidth Product (LT1368/LT1369)	$A_V = 1000$		0.16		MHz
t_S	Settling Time (LT1366/LT1367)	$A_V = 1$, $V_{STEP} = 4\text{V}$ to 0.1%		30		μs

LT1366/LT1367 LT1368/LT1369

電気的特性

●は0°C < T_A < 70°Cの規定温度範囲での規格値を意味する。注記がない限り、V_S = 5V、0V; V_{CM} = 2.5V、V_O = 2.5V。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V _{OS}	Input Offset Voltage (LT1366/LT1368)	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	200 200	575 575	μV μV	
	Input Offset Voltage (LT1367/LT1369)	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	200 200	950 900	μV μV	
V _{OS} TC	Input Offset Voltage Drift	(Note 3)	●	2	6	μV/°C	
ΔV _{OS}	Input Offset Voltage Shift (LT1366/LT1368)	V _{CM} = V _{EE} to V _{CC}	●	200	425	μV	
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)	●	250	900	μV	
	Input Offset Voltage Shift (LT1367/LT1369)	V _{CM} = V _{EE} to V _{CC}	●	200	675	μV	
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)	●	250	1900	μV	
I _B	Input Bias Current	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	0 -45	15 -10	45 0	nA nA
ΔI _B	Input Bias Current Shift	V _{CM} = V _{EE} to V _{CC}	●	25	90	nA	
I _{OS}	Input Offset Current	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	2 1	15 15	nA nA	
	Input Offset Current Shift	V _{CM} = V _{EE} to V _{CC}	●	2	15	nA	
ΔI _{OS}	Input Bias Current Match (Channel to Channel)	V _{CM} = V _{CC} (Note 4) V _{CM} = V _{EE} (Note 4)	● ●	0 0	2 1	15 15	nA nA
	Large-Signal Voltage Gain	V _O = 50mV to 4.8V, R _L = 10k	●	250	2000	V/mV	
CMRR	Common Mode Rejection Ratio (LT1366/LT1368)	V _{CM} = V _{EE} to V _{CC}	●	80	87	dB	
	CMRR Match (Channel to Channel)	V _{CM} = V _{EE} to V _{CC} (Note 4)	●	74	87	dB	
	Common Mode Rejection Ratio (LT1367/LT1369)	V _{CM} = V _{EE} to V _{CC}	●	77	87	dB	
	CMRR Match (Channel to Channel)	V _{CM} = V _{EE} to V _{CC} (Note 4)	●	71	87	dB	
PSRR	Power Supply Rejection Ratio	V _S = 2.3V to 12V, V _{CM} = V _O = 0.5V	●	88	105	dB	
	PSRR Match (Channel to Channel) (Note 4)	V _S = 2.3V to 12V, V _{CM} = V _O = 0.5V	●	82	100	dB	
V _{OL}	Output Voltage Swing Low	No Load	●	9	14	mV	
		I _{SINK} = 0.5mA	●	45	80	mV	
		I _{SINK} = 2.5mA	●	120	230	mV	
V _{OH}	Output Voltage Swing High	No Load	●	V _{CC} - 0.014	V _{CC} - 0.005	V	
		I _{SOURCE} = 0.5mA	●	V _{CC} - 0.110	V _{CC} - 0.055	V	
		I _{SOURCE} = 2.5mA	●	V _{CC} - 0.300	V _{CC} - 0.180	V	
I _{SC}	Short-Circuit Current	(Note 2)	●	±12.5		mA	
I _S	Supply Current per Amplifier		●	385	540	μA	

注記がない限り、T_A = 25°C、V_S = 3V、0V、V_{CM} = 1.5V、V_O = 1.5V。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{OS}	Input Offset Voltage (LT1366/LT1368)	V _{CM} = V _{CC} V _{CM} = V _{EE}		150 150	475 475	μV μV
	Input Offset Voltage (LT1367/LT1369)	V _{CM} = V _{CC} V _{CM} = V _{EE}		150 150	850 750	μV μV
ΔV _{OS}	Input Offset Voltage Shift (LT1366/LT1368)	V _{CM} = V _{EE} to V _{CC}		150	400	μV
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)		250	700	μV
	Input Offset Voltage Shift (LT1367/LT1369)	V _{CM} = V _{EE} to V _{CC}		150	650	μV
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)		250	1700	μV
I _B	Input Bias Current	V _{CM} = V _{CC} V _{CM} = V _{EE}	0 -35	10 -10	35 0	nA nA
	Input Bias Current Shift	V _{CM} = V _{EE} to V _{CC}		20	70	nA
I _{OS}	Input Offset Current	V _{CM} = V _{CC} V _{CM} = V _{EE}		1.0 0.3	12 12	nA nA

電気的特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 3\text{V}$ 、 0V 、 $V_{\text{CM}} = 1.5\text{V}$ 、 $V_O = 1.5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ΔI_{OS}	Input Offset Current Shift	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}		1	12	nA
	Input Bias Current Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{CC}}$ (Note 4) $V_{\text{CM}} = V_{\text{EE}}$ (Note 4)	0 0	1 1	12 12	nA nA
A_{VOL}	Large-Signal Voltage Gain	$V_O = 50\text{mV}$ to 2.8V , $R_L = 10\text{k}$	250	1500		V/mV
CMRR	Common Mode Rejection Ratio (LT1366/LT1368) CMRR Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} $V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} (Note 4)	77 71	86 86		dB dB
	Common Mode Rejection Ratio (LT1367/LT1369) CMRR Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} $V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} (Note 4)	73 67	86 86		dB dB
V_{OL}	Output Voltage Swing Low	No Load		6	12	mV
		$I_{\text{SINK}} = 0.5\text{mA}$		40	70	mV
		$I_{\text{SINK}} = 2.5\text{mA}$		110	200	mV
V_{OH}	Output Voltage Swing High	No Load	$V_{\text{CC}} - 0.012$	$V_{\text{CC}} - 0.004$		V
		$I_{\text{SOURCE}} = 0.5\text{mA}$	$V_{\text{CC}} - 0.100$	$V_{\text{CC}} - 0.050$		V
		$I_{\text{SOURCE}} = 2.5\text{mA}$	$V_{\text{CC}} - 0.250$	$V_{\text{CC}} - 0.150$		V
I_{SC}	Short-Circuit Current	(Note 2)	± 10	± 20		mA
I_S	Supply Current per Amplifier			330	500	μA

●は $0^\circ\text{C} < T_A < 70^\circ\text{C}$ の規定温度範囲での規格値を意味する。注記がない限り、 $V_S = 3\text{V}$ 、 0V 、 $V_{\text{CM}} = 1.5\text{V}$ 、 $V_O = 1.5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage (LT1366/LT1368)	$V_{\text{CM}} = V_{\text{CC}}$	●	200	575	μV
		$V_{\text{CM}} = V_{\text{EE}}$	●	200	575	μV
	Input Offset Voltage (LT1367/LT1369)	$V_{\text{CM}} = V_{\text{CC}}$	●	200	950	μV
		$V_{\text{CM}} = V_{\text{EE}}$	●	200	900	μV
ΔV_{OS}	Input Offset Voltage Shift (LT1366/LT1368) Input Offset Voltage Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	200	425	μV
		$V_{\text{CM}} = V_{\text{EE}}$, V_{CC} (Notes 4, 5)	●	250	900	μV
	Input Offset Voltage Shift (LT1367/LT1369) Input Offset Voltage Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	200	675	μV
		$V_{\text{CM}} = V_{\text{EE}}$, V_{CC} (Notes 4, 5)	●	250	1900	μV
$V_{\text{OS TC}}$	Input Offset Voltage Drift	(Note 3)	●	2	6	$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current	$V_{\text{CM}} = V_{\text{CC}}$	●	0	15	nA
		$V_{\text{CM}} = V_{\text{EE}}$	●	-45	-10	0
ΔI_B	Input Bias Current Shift	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	25	90	nA
I_{OS}	Input Offset Current	$V_{\text{CM}} = V_{\text{CC}}$	●	2	15	nA
		$V_{\text{CM}} = V_{\text{EE}}$	●	1	15	nA
ΔI_{OS}	Input Offset Current Shift Input Bias Current Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	2	15	nA
		$V_{\text{CM}} = V_{\text{CC}}$ (Note 4) $V_{\text{CM}} = V_{\text{EE}}$ (Note 4)	● ●	0 0	2 1	15 15
A_{VOL}	Large-Signal Voltage Gain	$V_O = 50\text{mV}$ to 2.8V , $R_L = 10\text{k}$	●	150	1500	V/mV
CMRR	Common Mode Rejection Ratio (LT1366/LT1368) CMRR Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	76	83	dB
		$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} (Note 4)	●	70	83	dB
	Common Mode Rejection Ratio (LT1367/LT1369) CMRR Match (Channel to Channel)	$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC}	●	72	83	dB
		$V_{\text{CM}} = V_{\text{EE}}$ to V_{CC} (Note 4)	●	66	83	dB
V_{OL}	Output Voltage Swing Low	No Load	●	9	14	mV
		$I_{\text{SINK}} = 0.5\text{mA}$	●	45	80	mV
		$I_{\text{SINK}} = 2.5\text{mA}$	●	120	230	mV
V_{OH}	Output Voltage Swing High	No Load	●	$V_{\text{CC}} - 0.014$	$V_{\text{CC}} - 0.005$	V
		$I_{\text{SOURCE}} = 0.5\text{mA}$	●	$V_{\text{CC}} - 0.110$	$V_{\text{CC}} - 0.055$	V
		$I_{\text{SOURCE}} = 2.5\text{mA}$	●	$V_{\text{CC}} - 0.300$	$V_{\text{CC}} - 0.180$	V
I_{SC}	Short-Circuit Current	(Note 2)	●	± 10		mA
I_S	Supply Current per Amplifier		●	375	520	μA

LT1366/LT1367 LT1368/LT1369

電気的特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $V_O = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage (LT1366/LT1368)	$V_{CM} = V_{CC}$ $V_{CM} = V_{EE}$		200 200	700 700	μV μV
	Input Offset Voltage (LT1367/LT1369)	$V_{CM} = V_{CC}$ $V_{CM} = V_{EE}$		200 200	1000 900	μV μV
ΔV_{OS}	Input Offset Voltage Shift (LT1366/LT1368)	$V_{CM} = V_{EE}$ to V_{CC}		150	500	μV
	Input Offset Voltage Match (Channel to Channel)	$V_{CM} = V_{EE}$, V_{CC} (Notes 4, 5)		300	1300	μV
	Input Offset Voltage Shift (LT1367/LT1369)	$V_{CM} = V_{EE}$ to V_{CC}		150	650	μV
	Input Offset Voltage Match (Channel to Channel)	$V_{CM} = V_{EE}$, V_{CC} (Notes 4, 5)		300	2000	μV
I_B	Input Bias Current	$V_{CM} = V_{CC}$	0	10	35	nA
		$V_{CM} = V_{EE}$	-35	-10	0	nA
ΔI_B	Input Bias Current Shift	$V_{CM} = V_{EE}$ to V_{CC}		20	70	nA
I_{OS}	Input Offset Current	$V_{CM} = V_{CC}$		1.0	12	nA
		$V_{CM} = V_{EE}$		0.3	12	nA
ΔI_{OS}	Input Offset Current Shift	$V_{CM} = V_{EE}$ to V_{CC}		1	12	nA
	Input Bias Current Match (Channel to Channel)	$V_{CM} = V_{CC}$ (Note 4) $V_{CM} = V_{EE}$ (Note 4)	0 0	1 1	12 12	nA nA
C_{IN}	Input Capacitance			7.1		pF
A_{VOL}	Large-Signal Voltage Gain	$V_O = -14.7\text{V}$ to 14.7V , $R_L = 10\text{k}$ $V_O = -10\text{V}$ to 10V , $R_L = 2\text{k}$	1000 500	10000 10000		V/mV V/mV
	Channel Separation	$V_O = -10\text{V}$ to 10V , $R_L = 2\text{k}$	120	135		dB
SR	Slew Rate (LT1366/LT1367)	$A_V = -1$, $R_L = \text{Open}$, $V_O = \pm 10\text{V}$, Measured at $V_O = \pm 5\text{V}$		0.13		V/ μs
	Slew Rate (LT1368/LT1369)	$A_V = -1$, $R_L = \text{Open}$, $V_O = \pm 10\text{V}$, Measured at $V_O = \pm 5\text{V}$		0.065		V/ μs
CMRR	Common Mode Rejection Ratio (LT1366/LT1368)	$V_{CM} = V_{EE}$ to V_{CC}	95	106		dB
	CMRR Match (Channel to Channel)	$V_{CM} = V_{EE}$ to V_{CC} (Note 4)	89	106		dB
	Common Mode Rejection Ratio (LT1367/LT1369)	$V_{CM} = V_{EE}$ to V_{CC}	93	106		dB
	CMRR Match (Channel to Channel)	$V_{CM} = V_{EE}$ to V_{CC} (Note 4)	87	106		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 5\text{V}$ to $\pm 15\text{V}$	90	110		dB
	PSRR Match (Channel to Channel)	$V_S = \pm 5\text{V}$ to $\pm 15\text{V}$ (Note 4)	84	105		dB
V_{OL}	Output Voltage Swing Low	No Load		$V_{EE} + 0.006$	$V_{EE} + 0.012$	V
		$I_{SINK} = 0.5\text{mA}$		$V_{EE} + 0.040$	$V_{EE} + 0.070$	V
		$I_{SINK} = 10\text{mA}$		$V_{EE} + 0.240$	$V_{EE} + 0.500$	V
V_{OH}	Output Voltage Swing High	No Load	$V_{CC} - 0.012$	$V_{CC} - 0.004$		V
		$I_{SOURCE} = 0.5\text{mA}$	$V_{CC} - 0.100$	$V_{CC} - 0.050$		V
		$I_{SOURCE} = 2.5\text{mA}$	$V_{CC} - 0.800$	$V_{CC} - 0.400$		V
I_{SC}	Short-Circuit Current	(Note 2)	± 30	± 75		mA
I_S	Supply Current per Amplifier			370	550	μA

電気的特性

●は0°C < T_A < 70°Cの規定温度範囲での規格値を意味する。注記がない限り、V_S = ±15V、V_{CM} = 0V、V_O = 0V。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{OS}	Input Offset Voltage (LT1366/LT1368)	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	250 250	850 850	μV μV
	Input Offset Voltage (LT1367/LT1369)	V _{CM} = V _{CC} V _{CM} = V _{EE}	● ●	250 250	1150 1000	μV μV
ΔV _{OS}	Input Offset Voltage Shift (LT1366/LT1368)	V _{CM} = V _{EE} to V _{CC}	●	200	525	μV
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)	●	300	1500	μV
ΔV _{OS}	Input Offset Voltage Shift (LT1367/LT1369)	V _{CM} = V _{EE} to V _{CC}	●	200	750	μV
	Input Offset Voltage Match (Channel to Channel)	V _{CM} = V _{EE} , V _{CC} (Notes 4, 5)	●	300	2300	μV
V _{OS} TC	Input Offset Voltage Drift	(Note 3)	●	2	8	μV/°C
I _B	Input Bias Current	V _{CM} = V _{CC}	●	0	15	nA
		V _{CM} = V _{EE}	●	-45	-10	0
ΔI _B	Input Bias Current Shift	V _{CM} = V _{EE} to V _{CC}	●	25	90	nA
I _{OS}	Input Offset Current	V _{CM} = V _{CC}	●	2	15	nA
		V _{CM} = V _{EE}	●	1	15	nA
ΔI _{OS}	Input Offset Current Shift	V _{CM} = V _{EE} to V _{CC}	●	2	15	nA
	Input Bias Current Match (Channel to Channel)	V _{CM} = V _{CC} (Note 4) V _{CM} = V _{EE} (Note 4)	● ●	0 0	2 1	15 15
A _{VOL}	Large-Signal Voltage Gain	V _O = -14.7V to 14.7V, R _L = 10k V _O = -10V to 10V, R _L = 2k	● ●	750 500	6000 6000	V/mV V/mV
	Channel Separation	V _O = -10V to 10V, R _L = 2k	●	110	135	dB
CMRR	Common Mode Rejection Ratio (LT1366/LT1368)	V _{CM} = V _{EE} to V _{CC}	●	95	103	dB
	CMRR Match (Channel to Channel)	V _{CM} = V _{EE} to V _{CC} (Note 4)	●	89	103	dB
CMRR	Common Mode Rejection Ratio (LT1367/LT1369)	V _{CM} = V _{EE} to V _{CC}	●	92	103	dB
	CMRR Match (Channel to Channel)	V _{CM} = V _{EE} to V _{CC} (Note 4)	●	86	103	dB
PSRR	Power Supply Rejection Ratio	V _S = ±5V to ±15V	●	80	105	dB
	PSRR Match (Channel to Channel)	V _S = ±5V to ±15V (Note 4)	●	75	100	dB
V _{OL}	Output Voltage Swing Low	No Load	●	V _{EE} + 0.009	V _{EE} + 0.014	V
		I _{SINK} = 0.5mA	●	V _{EE} + 0.045	V _{EE} + 0.080	V
		I _{SINK} = 10mA	●	V _{EE} + 0.300	V _{EE} + 0.600	V
V _{OH}	Output Voltage Swing High	No Load	●	V _{CC} - 0.014	V _{CC} - 0.005	V
		I _{SOURCE} = 0.5mA	●	V _{CC} - 0.11	V _{CC} - 0.055	V
		I _{SOURCE} = 10mA	●	V _{CC} - 0.95	V _{CC} - 0.500	V
I _{SC}	Short-Circuit Current	(Note 2)	●	±30		mA
I _S	Supply Current per Amplifier		●	415	575	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての両電源と20V未満の単一電源で動作しているときのグランドへの短絡に適用される。合計20Vを超える電源で動作しているときにいずれかの電源に短絡すると、デバイスに永続的な損傷を与える恐れがある。出力が無期限に短絡されるときは、接合部温度を絶対最大定格以下に抑えるために、ヒートシンクが必要になることがある。

Note 3: このパラメータに対しては、全数テストは実施されない。

Note 4: マッチング・パラメータは、LT1367/LT1369のアンプAとDの間の差およびアンプBとCの間の差、LT1366/LT1368の2つのアンプの間の差である。

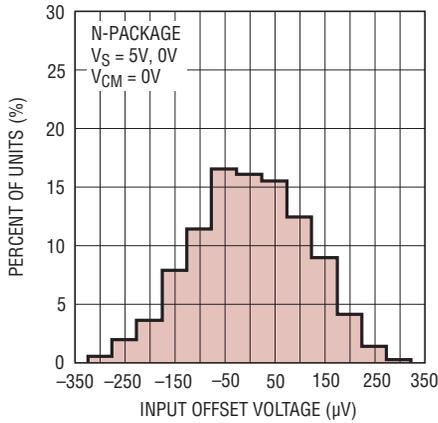
Note 5: 入力オフセット電圧整合は、V_{CM} = V_{EE}およびV_{CM} = V_{CC}の両方の条件で測定されたオフセット電圧のアンプ間の差である。

LT1366/LT1367 LT1368/LT1369

標準的性能特性

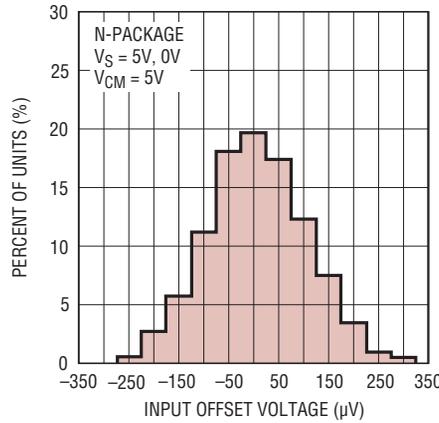
(ここに示すデータは、注記がない限り、LT1366/LT1367/LT1368/LT1369に適用される。)

PNP段の V_{OS} の分布
(LT1366/LT1368)



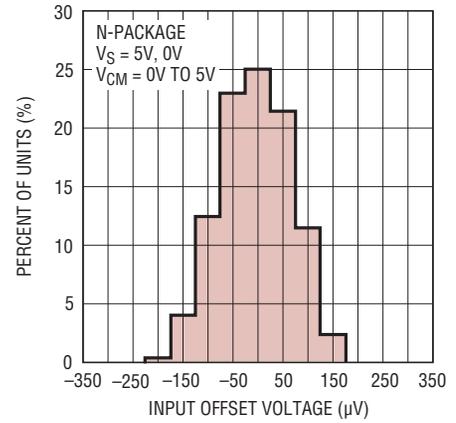
LT1366 TPC03

NPN段の V_{OS} の分布
(LT1366/LT1368)



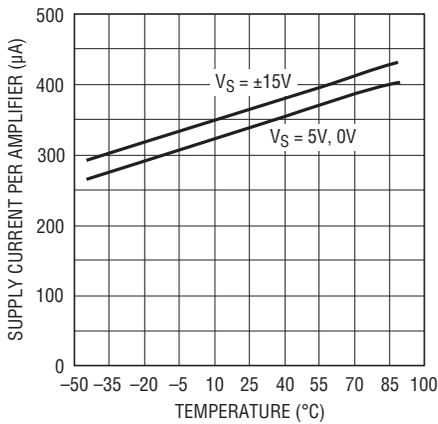
LT1366 TPC02

PNP段とNPN段間の ΔV_{OS} のシフト
(LT1366/LT1368)



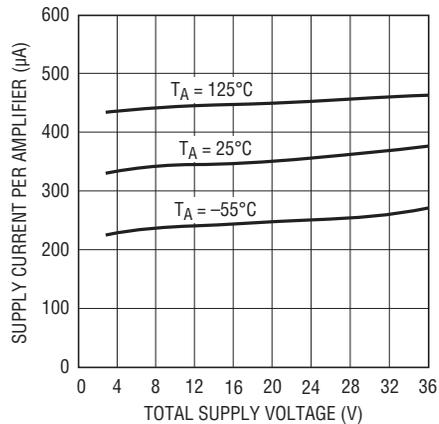
LT1366 TPC01

消費電流と温度



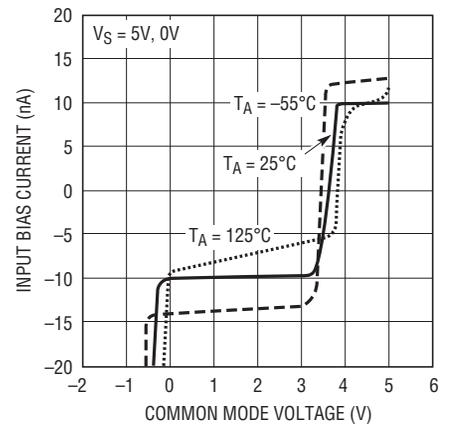
LT1366 TPC04

消費電流と電源電圧



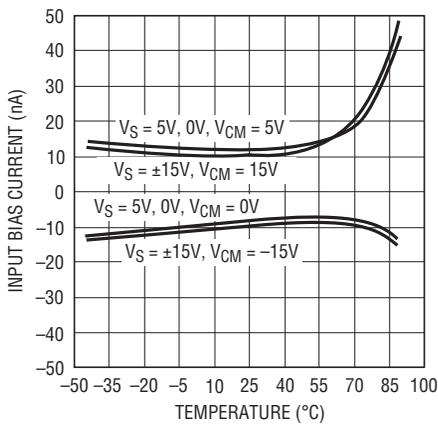
LT1366 TPC05

入力バイアス電流と同相電圧



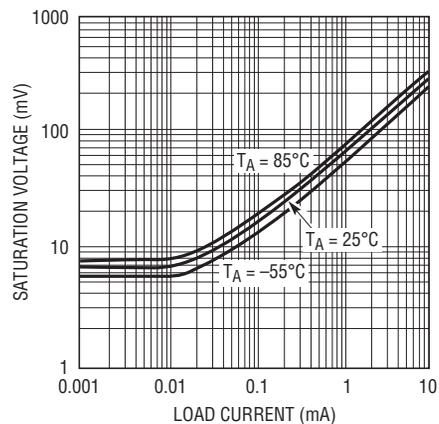
LT1366 TPC06

入力バイアス電流と温度



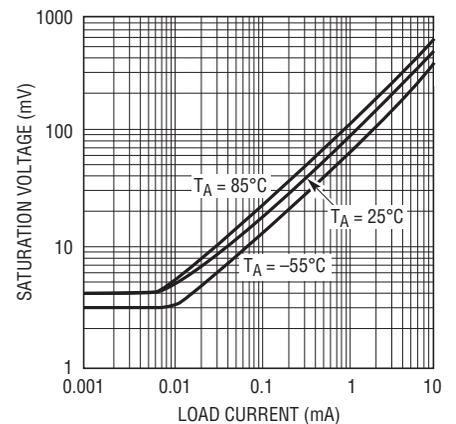
LT1366 TPC07

出力飽和電圧と負荷電流
(出力“H”)



LT1366 TPC08

出力飽和電圧と負荷電流
(出力“L”)



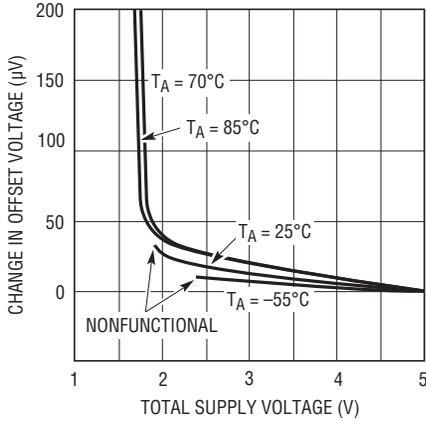
LT1366 TPC09

1366fb

標準的性能特性

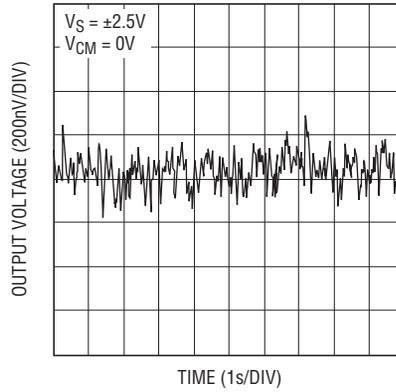
(ここに示すデータは、注記がない限り、LT1366/LT1367/LT1368/LT1369に適用される。)

最小電源電圧



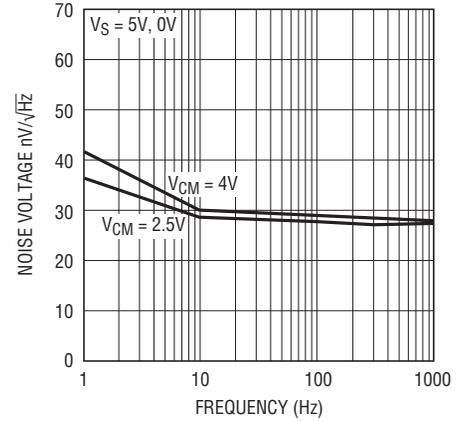
LT1366 TPC10

0.1Hz~10Hz出力電圧ノイズ



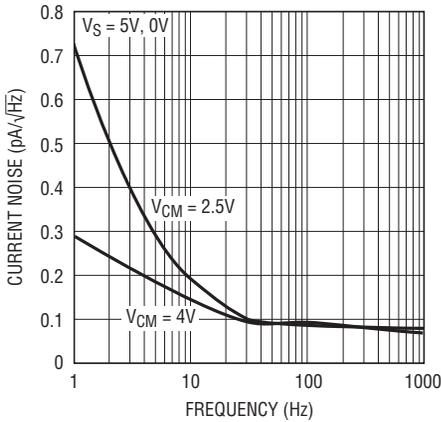
LT1366 TPC11

ノイズ電圧スペクトル



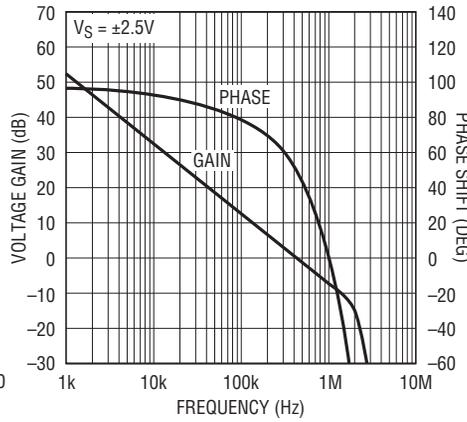
LT1366 TPC12

ノイズ電流スペクトル



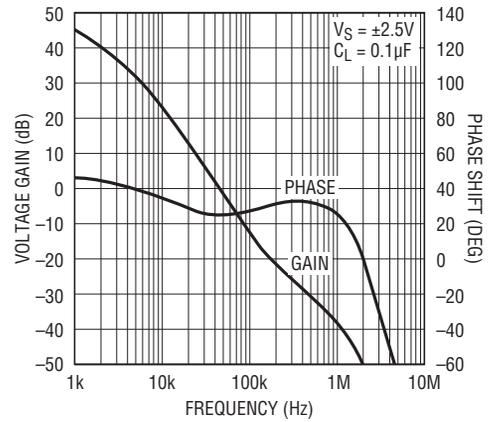
LT1366 TPC13

利得および位相シフトと周波数
(LT1366/LT1367)



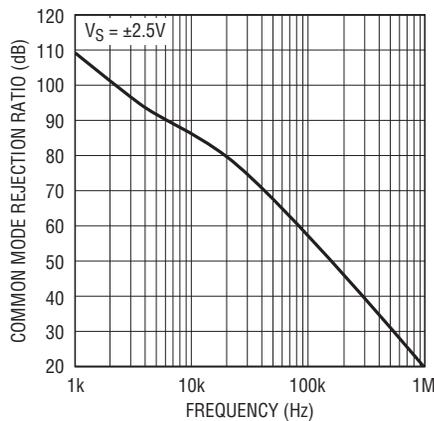
LT1366 TPC14

利得および位相シフトと周波数
(LT1368/LT1369)



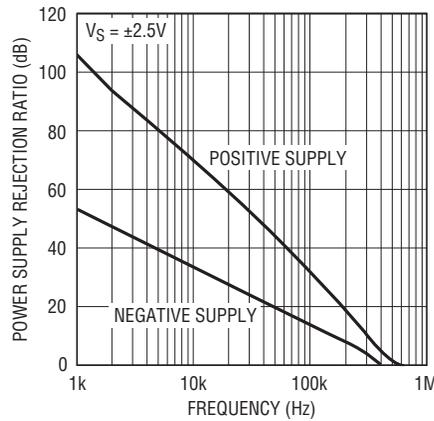
LT1366 TPC15

CMRRと周波数
(LT1366/LT1367)



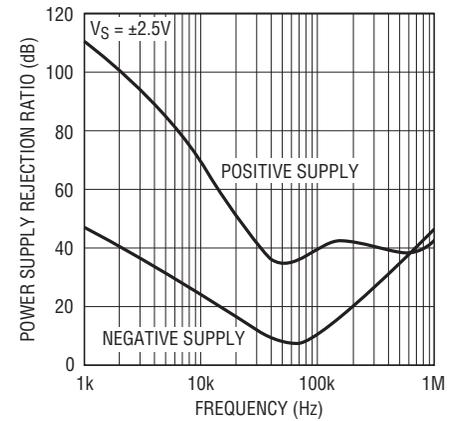
LT1366 TPC16

PSRRと周波数
(LT1366/LT1367)



LT1366 TPC17

PSRRと周波数
(LT1368/LT1369)



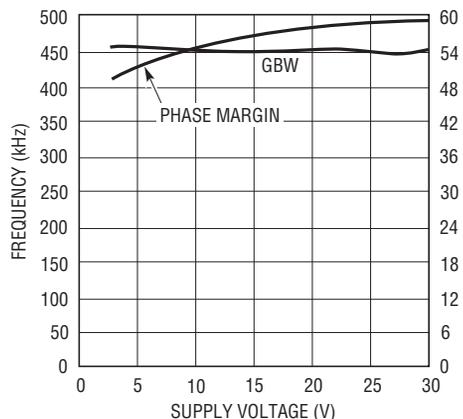
LT1366 TPC18

LT1366/LT1367 LT1368/LT1369

標準的性能特性

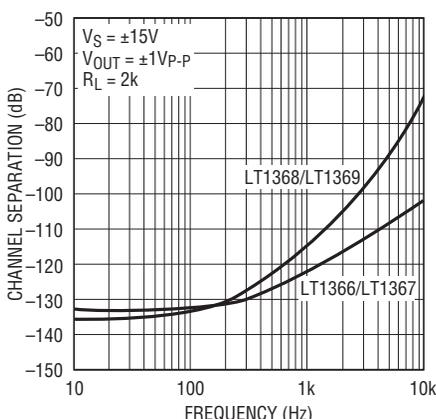
(ここに示すデータは、注記がない限り、LT1366/LT1367/LT1368/LT1369に適用される。)

利得帯域幅および
位相マージンと電源電圧
(LT1366/LT1367)



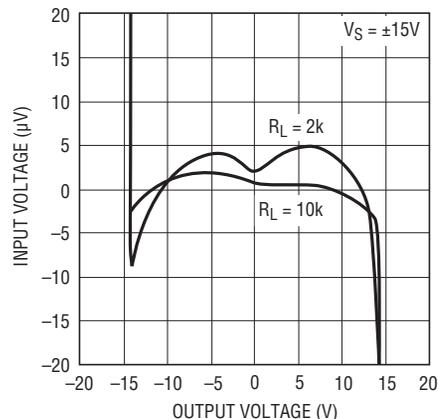
LT1366 TPC19

チャンネル分離と周波数



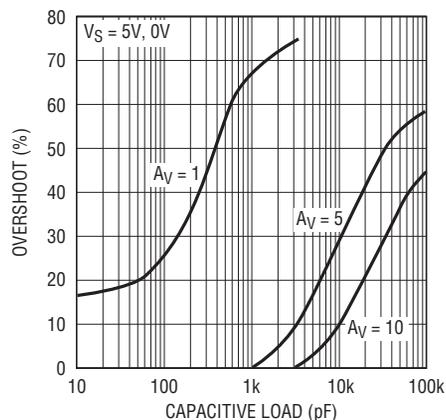
LT1366 TPC20

開ループ利得



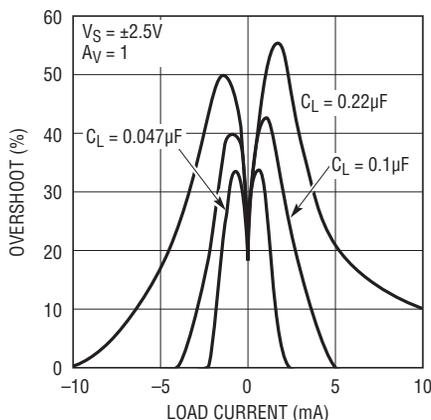
LT1366 TPC21

容量性負荷処理
(LT1366/LT1367)



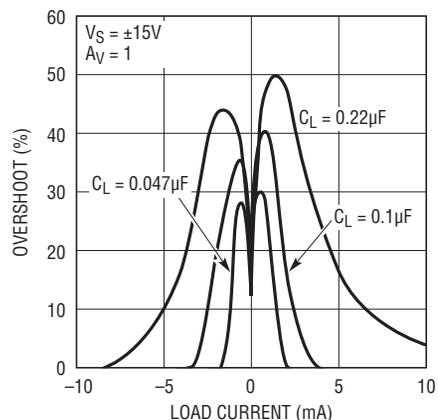
LT1366 TPC22

オーバーシュートと負荷電流
(LT1368/LT1369)



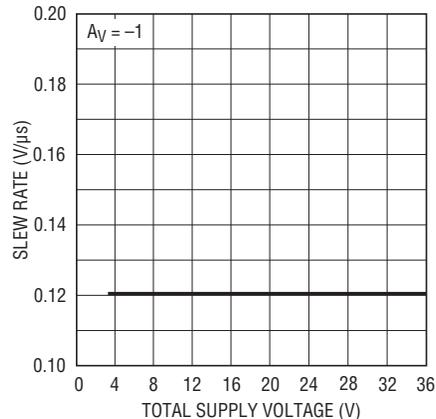
LT1366 TPC23

オーバーシュートと負荷電流
(LT1368/LT1369)



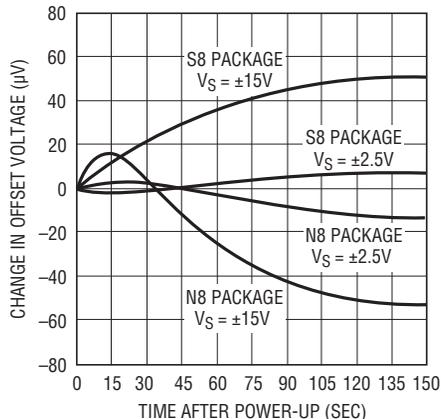
LT1366 TPC24

スルーレートと電源電圧



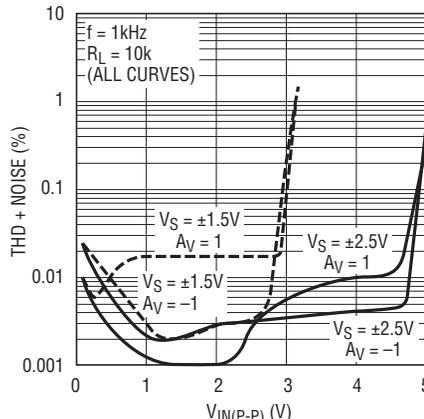
LT1366 TPC25

ウォームアップ・ドリフトと時間



LT1366 TPC26

THD+ノイズと
ピーク・トゥ・ピーク電圧



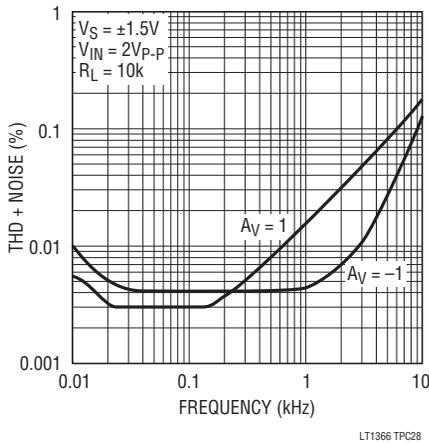
LT1366 TPC27

1366fb

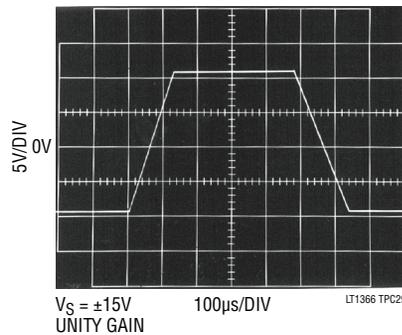
標準的性能特性

(ここに示すデータは、注記がない限り、LT1366/LT1367/LT1368/LT1369に適用される。)

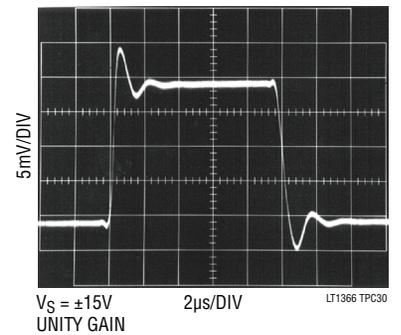
THD+ノイズと周波数



大信号応答
(LT1366/LT1367)



小信号応答
(LT1366/LT1367)



アプリケーション情報

レール・トゥ・レール動作

LT1366ファミリは、入力および出力段の両方の設計とも従来のオペアンプとは異なります。図1にアンプの簡略図を示します。入力段は、PNP段Q1/Q2とNPN段Q3/Q4の2個の差動アンプで構成されており、これらは入力同相範囲の異なる部分でアクティブになります。両方の入力段にはラテラル・デバイスが使用されているため、入力ピンをクランプする必要はありません

ん。各入力段はオフセット電圧がトリムされています。コンプリメンタリ出力構成(Q23からQ26)を用いて、レール・トゥ・レールで振幅する出力段を形成しています。このアンプはリニアテクノロジー独自のコンプリメンタリ・バイポーラ・プロセスを駆使して製造されており、出力デバイスQ24およびQ26できわめて類似したDCおよびAC特性が保証されています。

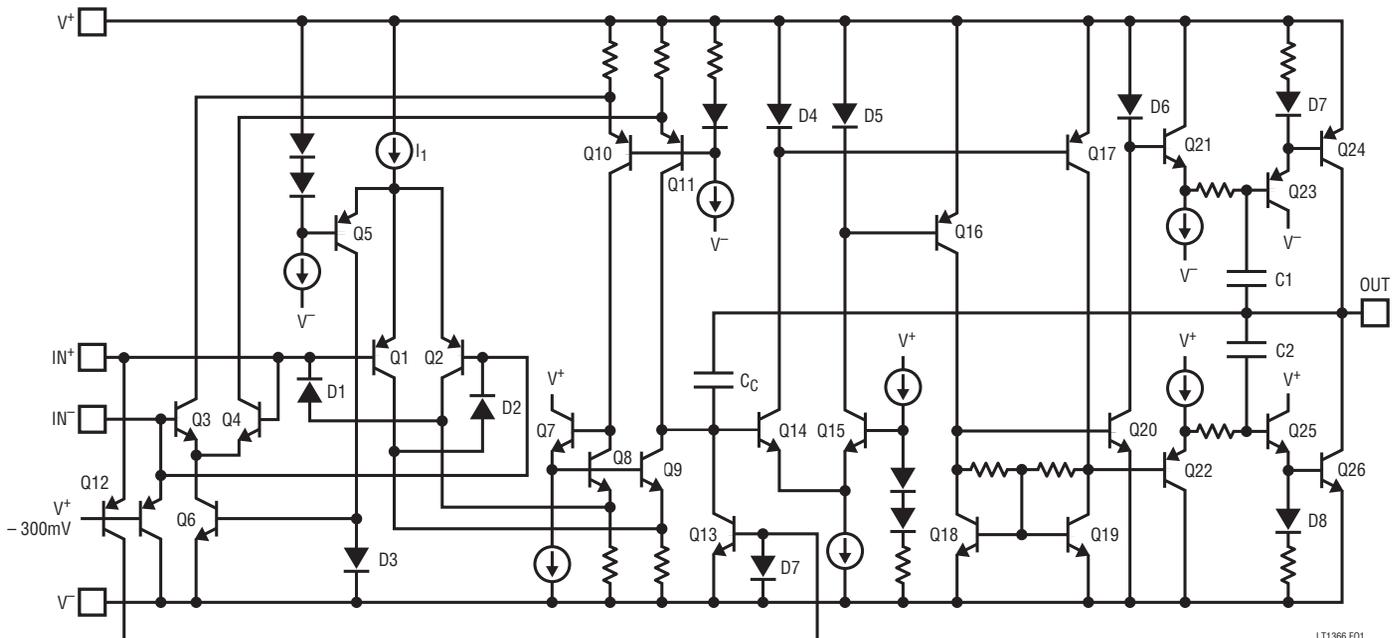


図1. LT1366の簡略図

アプリケーション情報

2個の入力段の間に配置された単純なコンパレータQ5が、電流源I₁から電流を供給します。入力同相電圧V_{CM}が負の電源電圧に接近している場合、Q5が逆バイアスされI₁はPNP差動ペアQ1/Q2のテール電流になります。一方、V_{CM}が正の電源電圧から1.3V以内にあると、Q5はI₁から電流ミラーD3/Q6に電流を分流し、NPN差動ペアQ3/Q4にテール電流を供給します。

2つの入力ペアのコレクタ電流は、Q7からQ11で構成される第二段で合成されます。アンプの電圧利得の大部分はこの段で形成されます。差動アンプQ14/Q15は第二段の出力をバッファし、出力電圧を差動電流に変換します。差動電流は電流ミラーD4/Q17およびD5/Q16を通過し、Q18とQ19によって差動電圧に変換されます。これらの電圧はさらにバッファされ、出力ダーリントン・ペアQ23/Q24およびQ25/Q26に供給されます。コンデンサC1とC2は出力デバイス周辺でローカル帰還ループを形成し、高周波における出力インピーダンスを低下させます。

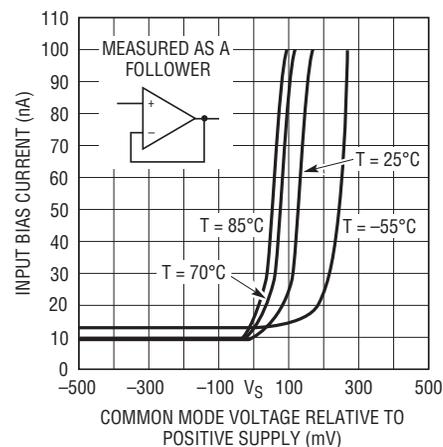
入力オフセット電圧

アンプには2つの入力段があるため、入力オフセット電圧はどの段がアクティブになるかどうかに従って変化します。入力オフセットは不規則ですが変動電圧になります。アンプが段間で切り替わると、オフセット電圧は上昇、下降、あるいは平坦になります。しかし、保証限界を超えることはありません。この動作は代表的性能特性のセクションで3つの入力オフセット電圧の分布プロットに示します。

オーバードライブ保護

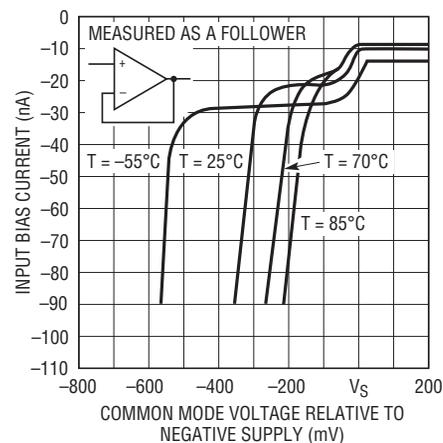
2つの回路は入力電圧が同相範囲を超えたときに、出力の極性が反転するのを防止します。非反転入力に正の電源電圧を約300mVだけ超えると、クランプ・トランジスタQ12(図1)がターンオンし、第二段の出力を“L”にプルダウンして、出力を“H”にします。入力が負の電源電圧より低い場合は、ダイオードD1およびD2がターンオンして、入力ペアQ1/Q2が飽和しないよう防止します。

オーバードライブされると、アンプは通常の入力バイアス電流を超える入力電流を流します。図2および図3に、入力電圧に対するいくつかの標準オーバードライブ電流を示します。位相反転保護を適切に動作させるには、入力電流は1mAの正のオーバードライブ、または7mAの負のオーバードライブより小さくなければなりません。アンプが過度にオーバードライブされる際には、外部抵抗を使用してオーバードライブ電流を制限しなければなりません。アンプはオーバードライブ保護に加えて、すべてのピンで最大4kVのESDストロークから保護されています。



LT1366 F02

図2. 入力バイアス電流と同相電圧



LT1366 F03

図3. 入力バイアス電流と同相電圧

アプリケーション情報

LT1368/LT1369での電源除去の改善

LT1368/LT1369はLT1366/LT1367と同一品種で、電源除去が向上し高周波での低出力インピーダンスが低下しています。LT1368/LT1369には補償のために、 $0.1\mu\text{F}$ の負荷容量が必要です。出力容量はフィルタを形成し、電源からのピックアップを低減して、出力インピーダンスを低下させます。共通電源を使用するアナログ/デジタル混在システムやスイッチング電源を使用するシステムでは、この追加フィルタリングが有効です。フィルタリングによって高周波ノイズも低減され、A/Dコンバータをドライブする場合に効果的となる可能性があります。

図4に、正の電源に加えられた $200\text{mV}_{\text{p-p}}50\text{kHz}$ 方形波により乱されたLT1366/LT1368の出力を示します。LT1368の電源除去は、 50kHz におけるLT1366の電源除去より10倍大きくなっています。出力電圧のトレースが5対1に変更されていることに注意してください。

外部補償コンデンサの許容差はそれほど厳密ではありません。標準的性能特性のセクションにあるオーバーシュート対負荷電流のプロットは、容量性負荷効果を示しています。

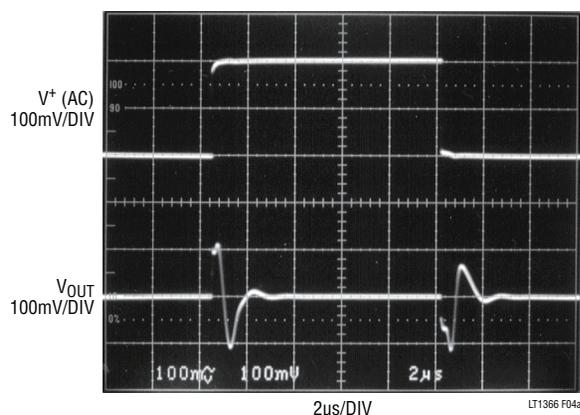


図4a. LT1366の電源除去テスト

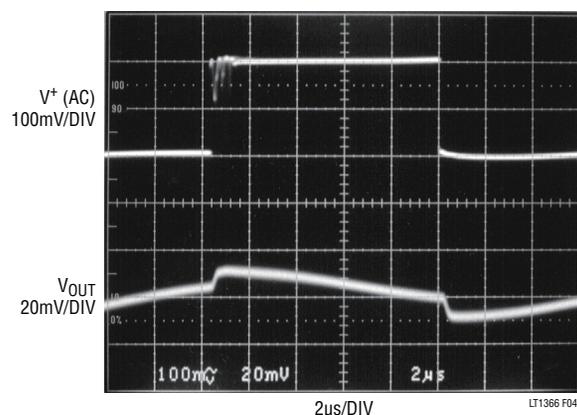


図4b. LT1368の電源除去テスト

標準的応用例

A/Dコンバータのバッファリング

図5に、LTC[®]1288 2チャンネル・マイクロパワーA/Dコンバータ(ADC)をドライブするLT1368を示します。LTC1288は電圧リファレンスや電源レールに等しい入力信号に対応できます。このADCのサンプリング機能によって、外部サンプル&ホールドは不要となりますが、ADCの $12\mu\text{s}$ のセtring条件のために、ドライブ・アンプが必要になる場合があります。LT1368はレール・トゥ・レール動作や低入力オフセット電圧を特徴としているため、低消費電力、低周波数A/Dアプリケーションに最適です。LT1366またはLT1368もこのアプリケーションに使用することができますが、低周波数($f < 1\text{kHz}$)では、LT1368のほうが優れた電源除去を実現します。

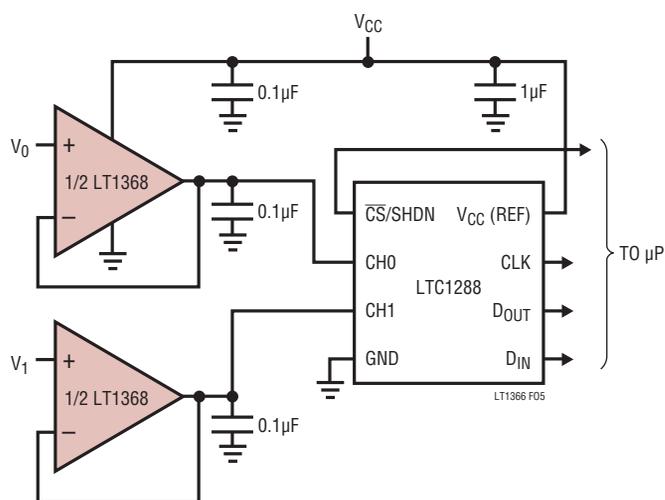


図5. 2チャンネル低消費電力A/Dコンバータ

標準的応用例

高精度低損失レギュレータ

マイクロプロセッサや複雑なデジタル回路では、電源特性を厳密に制御するよう規定している場合がよくあります。図6の回路は最小3.8Vの入力電圧から、高精度の3.6V、1A出力を供給します。回路の公称動作電圧は4.75V±5%です。電圧基準と抵抗の比によって、出力電圧の精度を決定するとともに、LT1366の高利得によりライン・レギュレーションとロード・レギュレーションを0.2%に設定しています。静止電流は約1mAであり、電源や負荷によって大きく変化することはありません。すべての部品は表面実装型パッケージで入手可能です。

レギュレータのメイン・ループはA1およびロジック・レベルFET、Q1から成ります。Q1通過時に位相反転するため、出力はオペアンプの正入力にフィードバックされます。レギュレータの周波数応答はQ1のロールオフによって制限され、出力コンデンサの実効直列抵抗(ESR)によって位相進みが生じます。2個のポール・ゼロ・ネットワークがこれらの影響を補償します。R5とC2によって形成されるポールは、帰還ネットワークで設定された利得をロールオフさせます。一方、R7とC3によって形成されるポールはA1の利得を直接ロールオフさせ、これがセットリングタイムに大幅に影響します。R6とC2およびR8とC3によって形成されるゼロは、ユニティゲインのクロスオーバー点近辺でフェーズ・ブーストを行って、レギュレータの位相余裕を増大さ

せます。R9は直接的には補償の一部ではありませんが、オペアンプ出力をQ1の大きなゲート容量からデカップリングします。

第二のループはフォールドバック電流を制限します。A2はR1両端のセンス電圧と、正レールを基準とする50mVとを比較します。センス電圧が基準電圧を超えたときは、A2の出力がA1を介してQ1のゲートを正にドライブします。電流制限時には出力電圧が低下し、電流制限LED(D1)がターンオンして、R3の両端電圧が約30mV低下します。A2はQ1のドレイン電流を調整して、50mVの基準とR3両端電圧間の不足電圧がセンス抵抗の両端に生じるようにします。センス電圧の低下は20mVで、これが電流制限を約400mAに設定します。電源電圧が上昇すると、R3両端の電圧が上昇し、電流制限がより低いレベルにフォールドバックされます。負荷電流が調整出力電流以下に低下すると、電流制限ループが機能を停止します。電源が急激にターンオンする場合は、C1がフォールドバック回路をバイパスするため、レギュレータは重負荷でスタートアップすることができます。

Q1にはヒートシンクは必要ありません。FR4型PCボードに実装した場合、Q1の熱抵抗は50°C/Wになります。1.4Wのワーストケース消費電力では、Q1は最高80°Cまで動作可能です。

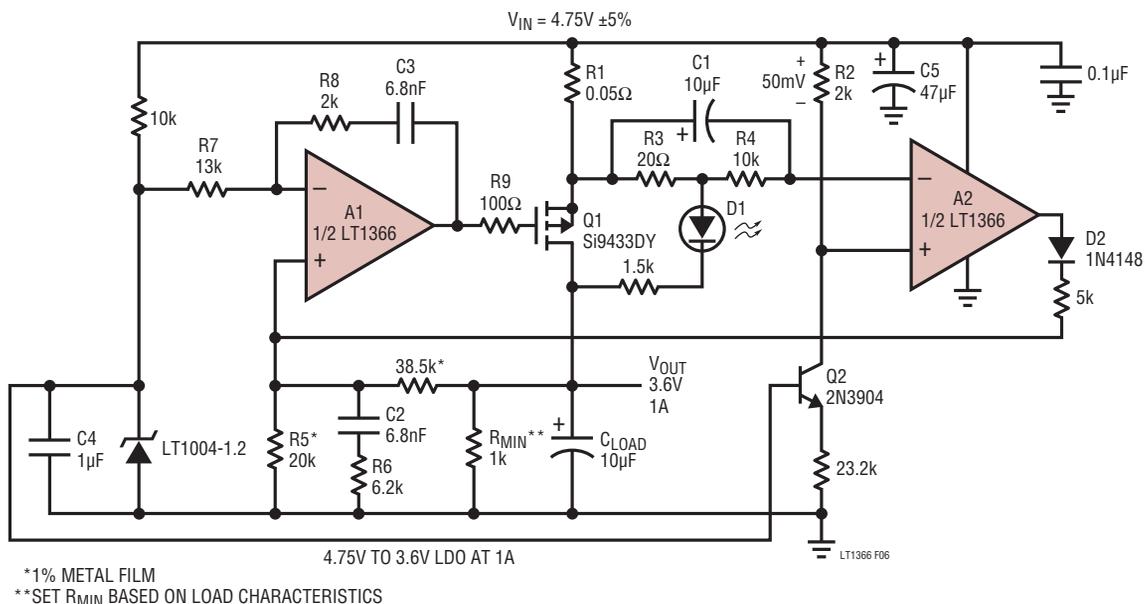


図6. 高精度3.6V、1A低損失レギュレータ

標準的応用例

ハイサイド電流源

図7に示す広域対応電流源は、正電源レール付近の小信号が測定可能なLT1366の長所を活用しています。LT1366はQ1のゲート電圧を調整して、センス抵抗(R_{SENSE})両端の電圧と電源からポテンショメータのワイパまでの電圧を一致させます。分圧された基準電圧をゼロに設定したときは、センス抵抗両端の電圧がゼロに低下しなければならないため、レール・トゥ・レール・オペアンプが必要です。Q2は定電流シンクとして機能し、電源電圧が変化する際の基準電圧の誤差を最小限に抑えます。

この回路は広い電源範囲(5V < V_{CC} < 30V)で動作できます。入力電圧が低いときは、回路動作はMOSFETのゲート・ドライブ条件によって制限されます。入力電圧が高いときは、回路動

作はLT1366の絶対最大定格および出力電力条件によって制限されます。

回路はセンス電圧が200mVのときに1Aを供給します。5V入力電源を使用するときには、消費電力は5Wになります。周囲温度70°Cで動作する場合、MOSFETのヒートシンクは次の熱抵抗を持たなければなりません。

$$\begin{aligned}\theta_{HS} &= \theta_{JA}(\text{SYSTEM}) - \theta_{JC}(\text{FET}) \\ &= (125^{\circ}\text{C} - 70^{\circ}\text{C}) / 5\text{W} - 1.25^{\circ}\text{C/W} \\ &= 11^{\circ}\text{C/W} - 1.25^{\circ}\text{C/W} \\ &= 9.75^{\circ}\text{C/W}\end{aligned}$$

これは小さなヒートシンクを使用しても容易に実現できます。5V以上の入力電圧を使用するときには、大きなヒートシンクを使用するか、または出力電流を低下させる必要があります。

回路の電源レギュレーションは約0.03%/Vです。出力インピーダンスは、MOSFETの出力インピーダンスにオペアンプの開ループ利得を乗算した値になります。MOSFETの導通抵抗およびセンス抵抗間の電圧が、所要出力電流を維持するのに必要な電圧以下に低下すると、電流源の対応が低下します。この状態は[V_{CC} - V_{OUT}] < [I_{LOAD} • (R_{SENSE} + R_{ON})]のときに発生します。

単一電源、1kHz、4次バターワース・フィルタ

図8ではLT1367を使用して、4次バターワース・フィルタを形成しています。このフィルタは単純化された状態変数アーキテクチャを用いて構築され、2つのカスケード接続された2次セクションで構成されています。各セクションでは2つのオペアン

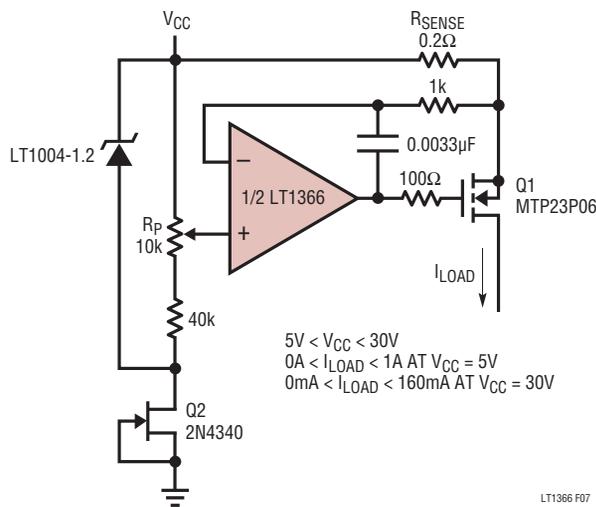


図7. ハイサイド電流源

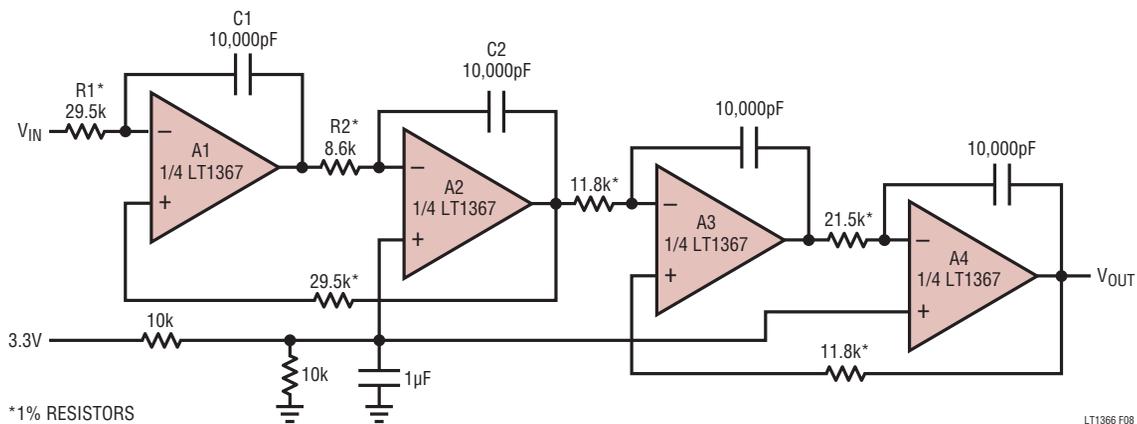


図8. LT1367を使った4ポール、1kHz、3.3V単一電源、状態変数フィルタ

標準的応用例

プ・ループの周囲に360度の位相シフトを使用し、A1の正入力に負の加算接続点を形成しています¹。この回路は中心周波数およびQに対して感度が低く、これらは次式で設定されます。

$$\omega_0^2 = 1/(R1 \cdot C1 \cdot R2 \cdot C2)$$

ただし、

$$R1 = 1/(\omega_0 \cdot Q \cdot C1) \text{ および } R2 = Q/(\omega_0 \cdot C2)$$

スプリット電源が利用できる場合、A2およびA4に印加されるDCバイアス、つまり半電源は必要ありません。この回路は通過帯域ではレール・トゥ・レールで振幅するため、ADCに対する優れたアンチエリアシング・フィルタを形成します。振幅応答は1kHzまで平坦であり、次に80dB/デケードでロールオフします。

¹James Hahn, "State Variable Filter Trims Predecessor's Component Count," Electronics, April 21, 1982.

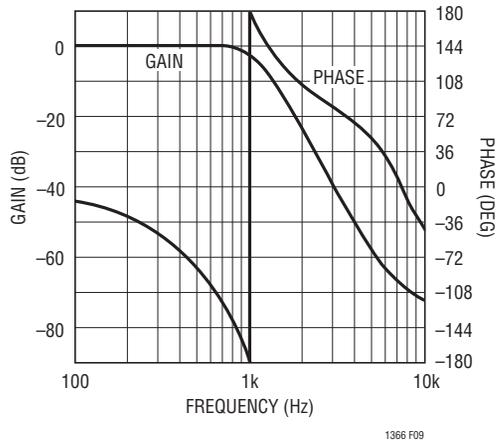


図9. 4次バターワース・フィルタの周波数応答

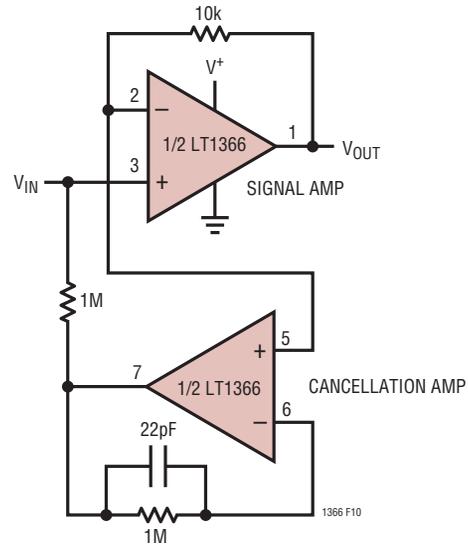


図10. 入力バイアス電流のキャンセル

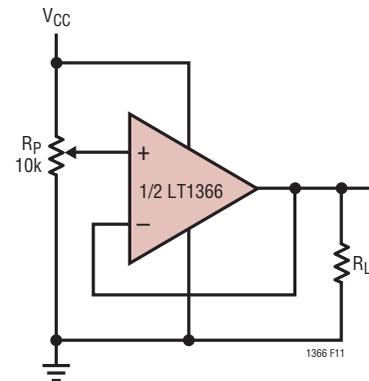
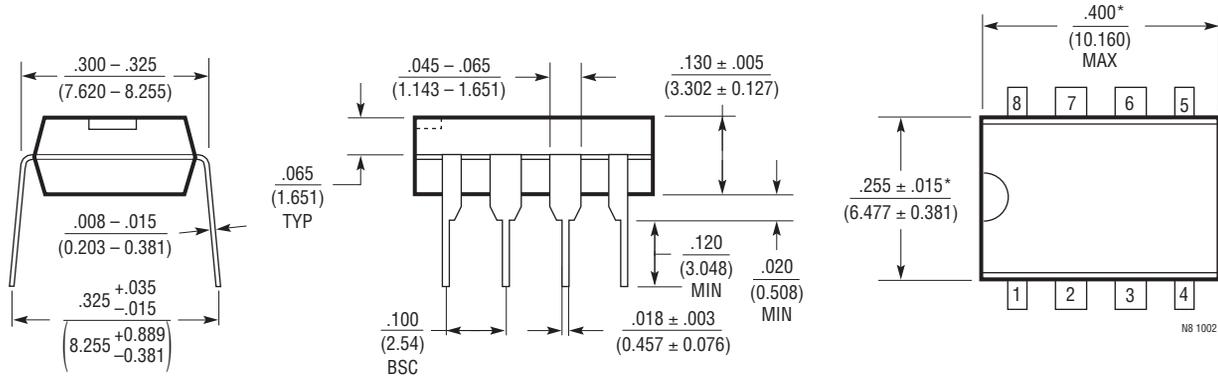


図11. レール・トゥ・レール・ポテンショメータ・バッファ

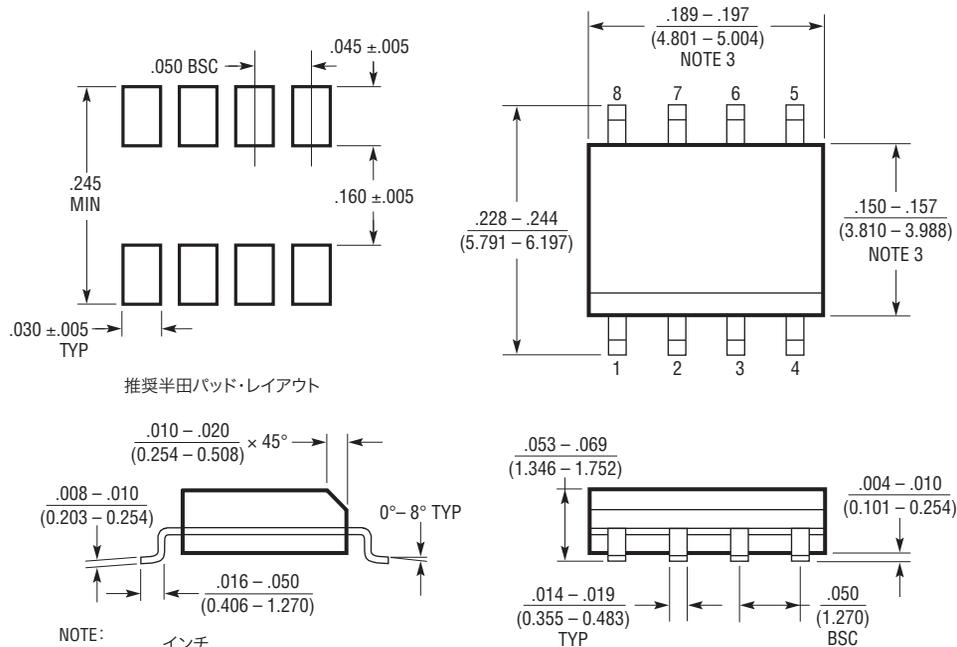
パッケージ

N8パッケージ
8ピンPDIP (細型0.300インチ)
(Reference LTC DWG # 05-08-1510)



NOTE:
1. 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
* これらの寸法にはモールドのバリまたは突出部を含まない
モールドのバリまたは突出部は0.254mm (0.10")を超えないこと

S8パッケージ
8ピン・プラスチック・スモール・アウトライン (細型0.150インチ)
(Reference LTC DWG # 05-08-1610)

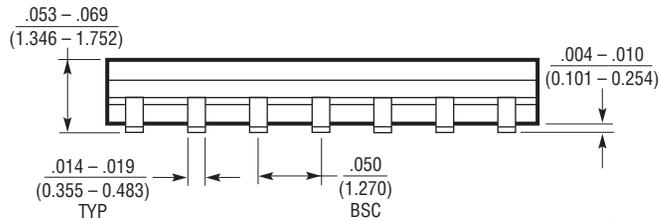
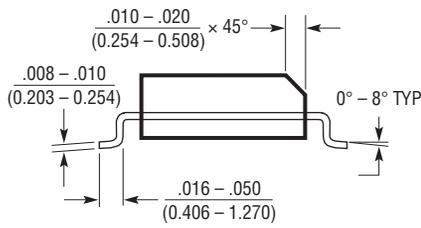
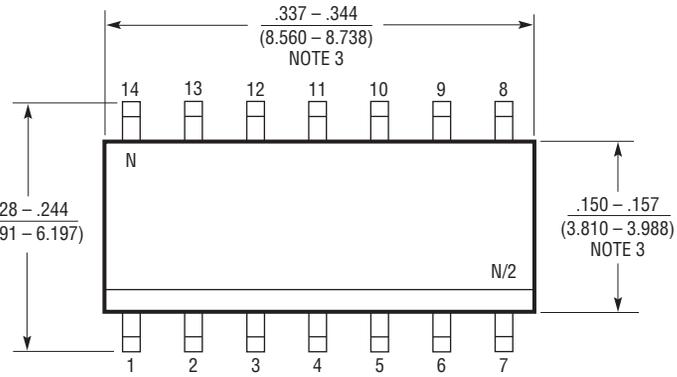
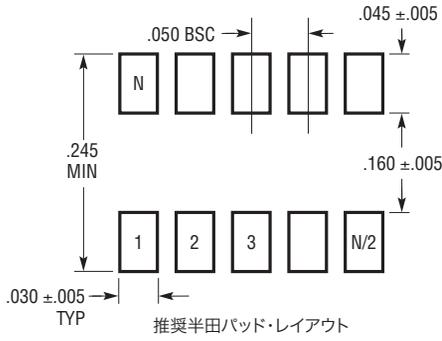


NOTE:
1. 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
2. 図は実寸とは異なる
3. これらの寸法にはモールドのバリまたは突出部を含まない
モールドのバリまたは突出部は0.15mm (0.006")を超えないこと

S08 0303

パッケージ

S パッケージ
 14ピン・プラスチック・スモール・アウトライン(細型0.150インチ)
 (Reference LTC DWG # 05-08-1610)



- NOTE:
 1. 寸法は インチ (ミリメートル)
 2. 図は実寸とは異なる
 3. これらの寸法にはモールドのバリまたは突出部を含まない
 モールドのバリまたは突出部は0.15mm(0.006")を超えないこと

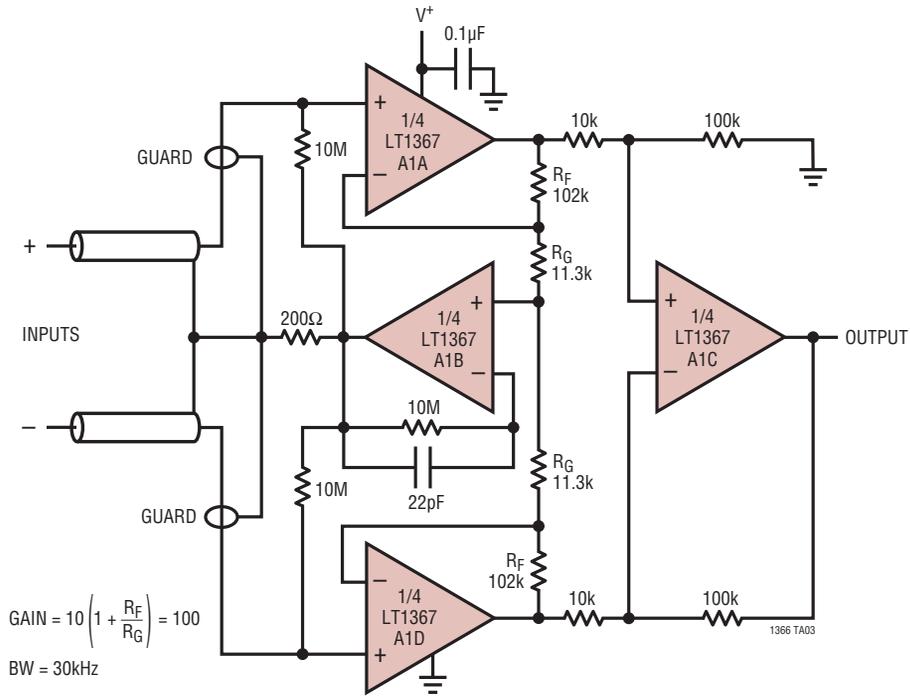
S14 0502

改訂履歴 (Rev Bよりスタート)

Rev	日付	概要	ページ番号
B	03/10	「絶対最大定格」の変更	2
		「発注情報」セクションのフォーマット改訂	2
		「電気的特性」のNoteの変更	3、4、5、6、7

標準的応用例

計装アンプ



関連製品

製品番号	説明	注釈
LT1078/LT1079	デュアル/クワッド、55μA (最大)、単一電源、高精度オペアンプ	入出力同相範囲はグラウンドを含む、 $V_{OS(MAX)}$: 70μV、最大ドリフト: 2.5μV/°C、利得帯域幅積: 200kHz、スルーレート: 0.07V/μs
LTC1152	レール・トゥ・レール入力、レール・トゥ・レール出力、ゼロドリフト・オペアンプ	高DC精度、 $V_{OS(MAX)}$: 10μV、最大ドリフト: 100nV/°C、利得帯域幅積: 1MHz、スルーレート: 1V/μs、消費電流: 2.2mA (最大)、単一電源、C-Load™動作に構成可能
LT1178/LT1179	デュアル/クワッド、17μA (最大)、単一電源、高精度オペアンプ	入出力同相範囲はグラウンドを含む、 $V_{OS(MAX)}$: 70μV、最大ドリフト: 4μV/°C、利得帯域幅積: 85kHz、スルーレート: 0.04V/μs
LT1211/LT1212	デュアル/クワッド、14MHz、7V/μs、単一電源、高精度オペアンプ	入力同相範囲はグラウンドを含む、 $V_{OS(MAX)}$: 275μV、最大ドリフト: 6μV/°C、消費電流: オペアンプ当たり 1.8mA (最大)
LT1495/LT1496	1.5μA、レール・トゥ・レール入力、レール・トゥ・レール出力、デュアル/クワッド・オペアンプ	$V_{OS(MAX)}$: 375μV、最大ドリフト: 2μV/°C、Over-The-Top®入力