

## 特長

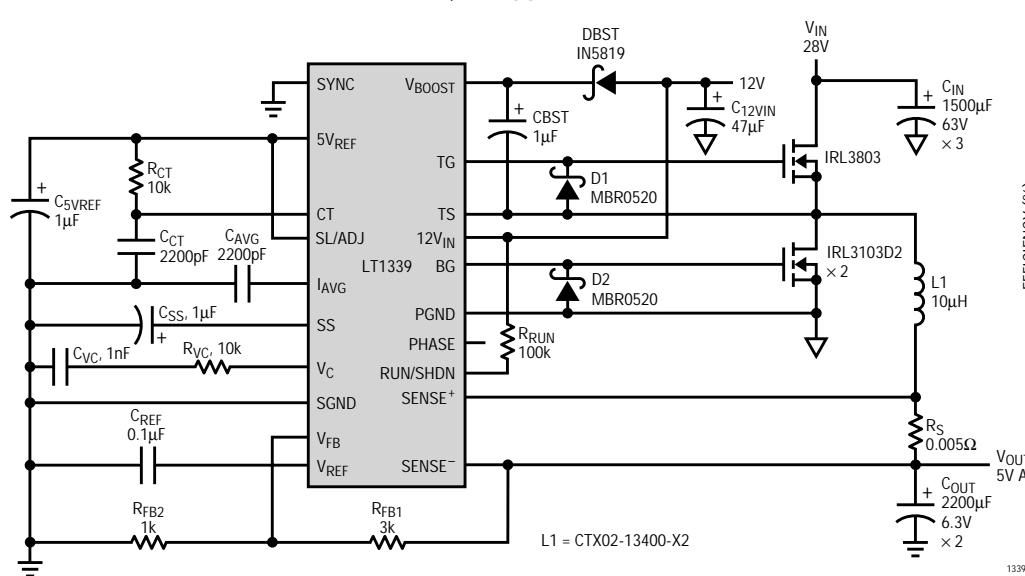
- 高電圧：最大60Vで動作
- 高電流：2つのNチャネル同期ドライブは最大10,000pFのゲート容量を処理
- 平均負荷電流制限をプログラム可能
- 10mAの外部負荷機能を備えた5Vリファレンス出力
- 最大150kHzまで同期可能なプログラム可能固定周波数電流モード動作
- ヒステリシス付き低電圧ロックアウト
- 電源シーケンスと保護のためのスタート禁止をプログラム可能
- シュートスルーを防止する適応型非オーバラップ・ゲート・ドライブ

## アプリケーション

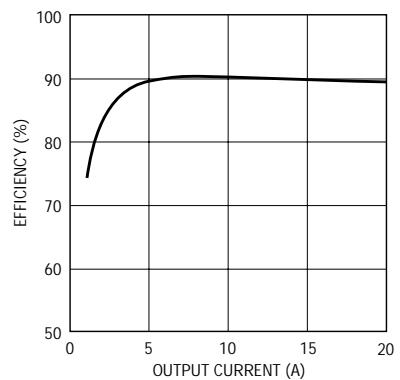
- 48Vテレコム用電源
- パーソナル・コンピュータおよび周辺機器
- 分配型電力変換器
- 産業用制御システム
- 鉛蓄電池バックアップ・システム
- 自動車および重機

## 標準的応用例

28Vから5V、20A降圧コンバータ



28Vから5V降圧の効率曲線



**絶対最大定格**

(Note 1)

**電源電圧**電源電圧( $V_{IN}$ ) ..... -0.3V ~ 20V**トップサイド電源電圧( $V_{BOOST}$ )** $V_{TS} - 0.3V \sim V_{TS} + 20V$  ( $V_{MAX} = 75V$ )**トップサイド・リファレンス**

ピン電圧(TS) ..... -0.3V ~ 60V

**入力電圧**

センス・アンプ入力同相範囲 ..... -0.3V ~ 60V

RUN/SHDNピン電圧 ..... -0.3V ~  $12V_{IN}$ 

他のすべての入力 ..... -0.3V ~ 7V

**最大電流**

5Vリファレンス出力電流 ..... 65mA

**最大温度****動作周囲温度範囲**

LT1339C ..... 0 ~ 70

LT1339I ..... -40 ~ 85

保存温度範囲 ..... -65 ~ 150

リード温度(半田付け、10秒) ..... 300

**パッケージ/発注情報**

TOP VIEW		ORDER PART NUMBER
SYNC	1	20 $V_{BOOST}$
5VREF	2	19 TG
CT	3	18 TS
SL/ADJ	4	17 $12V_{IN}$
I <sub>Avg</sub>	5	16 BG
SS	6	15 PGND
$V_C$	7	14 PHASE
SGND	8	13 RUN/SHDN
$V_{FB}$	9	12 SENSE <sup>-</sup>
$V_{REF}$	10	11 SENSE <sup>+</sup>
		N PACKAGE 20-LEAD PDIP
		SW PACKAGE 20-LEAD PLASTIC SO WIDE
$T_{JMAX} = 125^{\circ}\text{C}, \theta_{JA} = 70^{\circ}\text{C/W}$ (N) $T_{JMAX} = 125^{\circ}\text{C}, \theta_{JA} = 85^{\circ}\text{C/W}$ (SW)		

ミリタリ・グレードに関してはお問い合わせください。

**電気的特性**注記がない限り、 $12V_{IN} = V_{BOOST} = 12V$ 、 $V_C = 2V$ 、 $TS = 0V$ 、 $V_{FB} = V_{REF} = 1.25V$ 、 $C_{TG} = C_{BG} = 3000\text{pF}$ 、 $T_A = 25$ 

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Supply and Protection</b>						
$I_{12VIN}$	DC Active Supply Current (Note 2) DC Standby Supply Current	$V_{RUN} < 0.5V$	● ●	14 65	20 110	mA $\mu\text{A}$
$I_{BOOST}$	DC Active Supply Current (Note 2) DC Standby Supply Current	$V_{RUN} < 0.5V$		2.2 0		mA $\mu\text{A}$
$V_{RUN/SHDN}$	Shutdown Rising Threshold		●	1.15	1.25	1.35
$V_{SSHYST}$	Shutdown Threshold Hysteresis				15	mV
$I_{SS}$	Soft Start Charge Current		●	4	8	20
$V_{UVLO}$	Undervoltage Lockout Threshold - Falling Undervoltage Lockout Threshold - Rising Undervoltage Lockout Hysteresis		● ● ●	8.20 9.00 9.35 200	9.75 9.95 350	V V mV
<b>5V Reference</b>						
$V_{REF5}$	5V Reference Voltage	Line, Load and Temperature	●	4.75	5.00	5.25
	5V Reference Line Regulation	$10V \leq 12V_{IN} \leq 15V$	●		3	5
$I_{REF5}$	5V Reference Load Range - DC Pulse		● ●		10 20	mA
	5V Reference Load Regulation	$0 \leq I_{REF5} \leq 20\text{mA}$	●		-1.25 -2	V/A
$I_{SC}$	5V Reference Short-Circuit Current				45	mA

**電気的特性**注記がない限り、 $V_{IN} = V_{BOOST} = 12V$ 、 $V_C = 2V$ 、 $TS = 0V$ 、 $V_{FB} = V_{REF} = 1.25V$ 、 $C_{TG} = C_{BG} = 3000pF$ 、 $T_A = 25$ 

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>Error Amplifier</b>							
$V_{FB}$	Error Amplifier Reference Voltage	Measured at Feedback Pin	●	1.242	1.250	1.258	V
			●	1.235		1.265	V
$I_{FB}$	Feedback Input Current	$V_{FB} = V_{REF}$	●	0.1	0.5	1.0	$\mu A$
$g_m$	Error Amplifier Transconductance		●	1200	2000	3200	$\mu mho$
$A_V$	Error Amplifier Voltage Gain		●	1500	3000		V/V
$I_{VC}$	Error Amplifier Source Current Error Amplifier Sink Current	$V_{FB} - V_{REF} = 500mV$	●	200	275		$\mu A$
			●	280	400		$\mu A$
$V_{VC}$	Absolute $V_C$ Clamp Voltage	Measured at $V_C$ Pin			3.5		V
$V_{SENSE}$	Peak Current Limit Threshold Average Current Limit Threshold (Note 4)	Measured at Sense Inputs Measured at Sense Inputs	●	170	190		mV
			●	110	120	130	mV
$V_{AVG}$	Average Current Limit Threshold	Measured at $I_{AVG}$ Pin			2.5		V
<b>Current Sense Amplifier</b>							
$A_V$	Amplifier DC Gain	Measured at $I_{AVG}$ Pin			15		V/V
$V_{OS}$	Amplifier Input Offset Voltage	$2V < V_{CMSENSE} < 60V$ , $SENSE^+ - SENSE^- = 5mV$	●	0.1			mV
$I_B$	Input Bias Current	Sink ( $V_{CMSENSE} > 5V$ ) Source ( $V_{CMSENSE} = 0V$ )	●		45	75	$\mu A$
			●		700	1200	$\mu A$
<b>Oscillator</b>							
$f_0$	Operating Frequency, Free Run Frequency Programming Error (Note 3)	$f_0 \leq 150kHz$	●		150		kHz
			●	-5	5		%
$I_{CT}$	Timing Capacitor Discharge Current	LT1339C LT1339I	●	2.20	2.50	2.75	mA
			●	2.10	2.50	2.75	mA
$V_{SYNC}$	SYNC Input Threshold	Rising Edge	●	0.8		2.0	V
$f_{SYNC}$	SYNC Frequency Range	$f_{SYNC} \leq 150kHz$	●	$f_0$		$1.4f_0$	
<b>Output Drivers</b>							
$V_{TG,BG}$	Undervoltage Output Clamp Standby Mode Output Clamp	$12V_{IN} \leq 8V$ $V_{RUN} < 0.5V$	●		0.4	0.7	V
			●			0.1	V
$V_{TG}$	Top Gate On Voltage Top Gate Off Voltage		●	11.0	11.9	12.0	V
			●		0.4	0.7	V
$t_{TGR}$	Top Gate Rise Time		●		130	200	ns
$t_{TGF}$	Top Gate Fall Time		●		60	140	ns
$V_{BG}$	Bottom Gate On Voltage Bottom Gate Off Voltage		●	11.0	11.9	12.0	V
			●		0.4	0.7	V
$t_{BGR}$	Bottom Gate Rise Time		●		70	200	ns
$t_{BGF}$	Bottom Gate Fall Time		●		60	140	ns

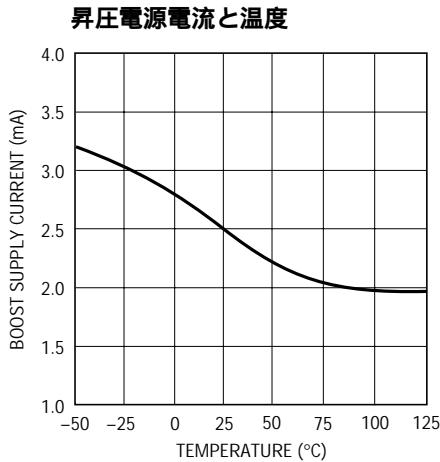
は全動作温度範囲の規格値を意味する。

Note 1 : 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。  
Note 2 : 電源電流仕様には外部FETゲート充電電流を含まない。実際の電源電流はこれより高くなり、動作周波数、動作電圧、および使用する外部FETの種

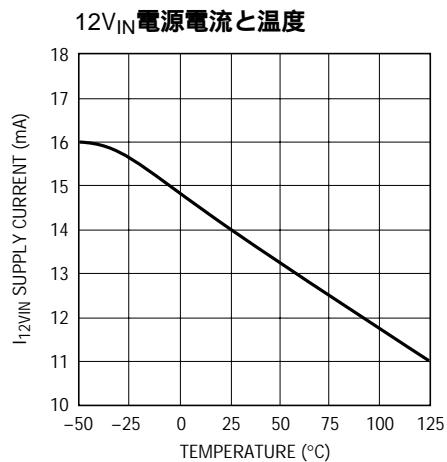
類によって異なる。アプリケーション情報セクションを参照。

Note 3 : テスト条件 :  $R_{CT} = 16.9k$ ,  $C_{CT} = 1000pF$ Note 4 : テスト条件 :  $V_{CMSENSE} = 10V$

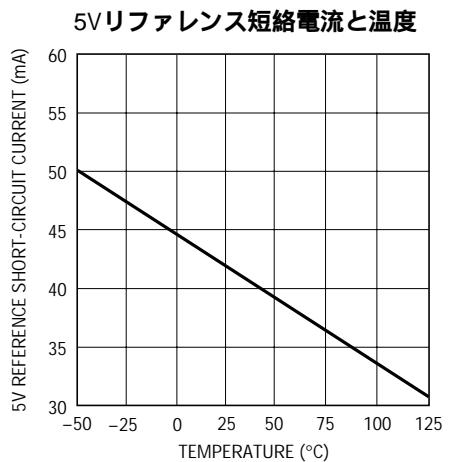
## 標準的性能特性



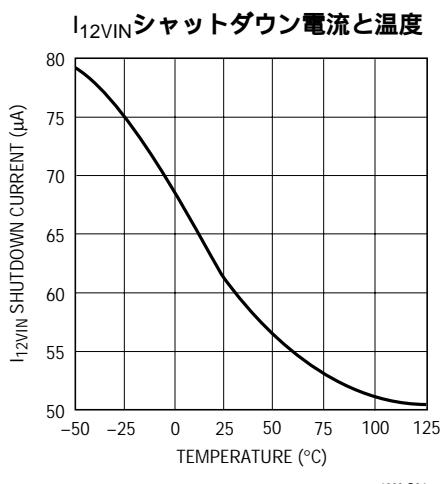
1339 G01



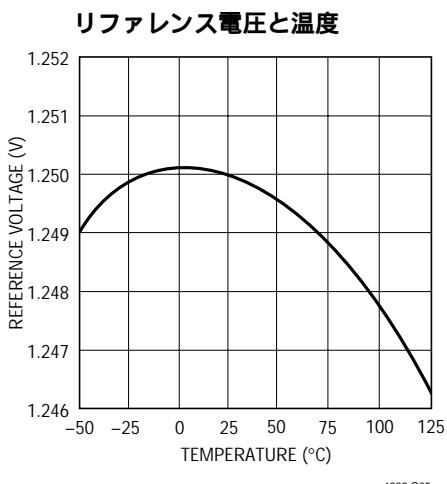
1339 G02



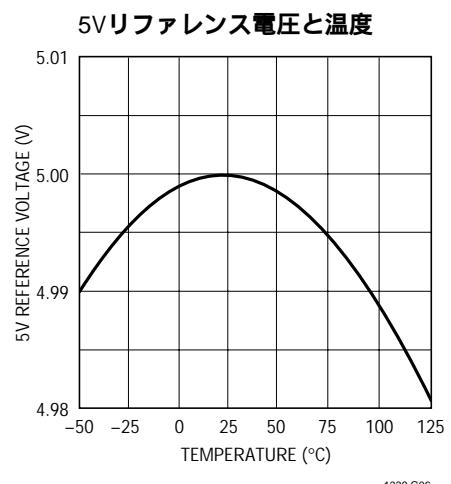
1339 G03



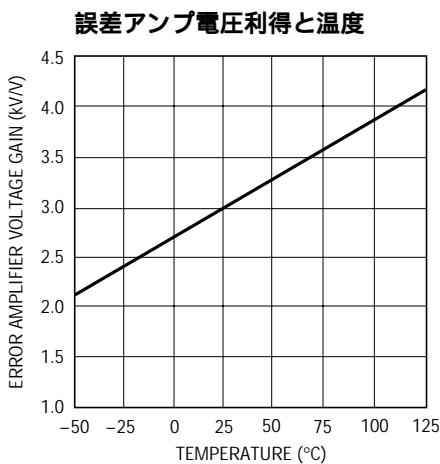
1339 G04



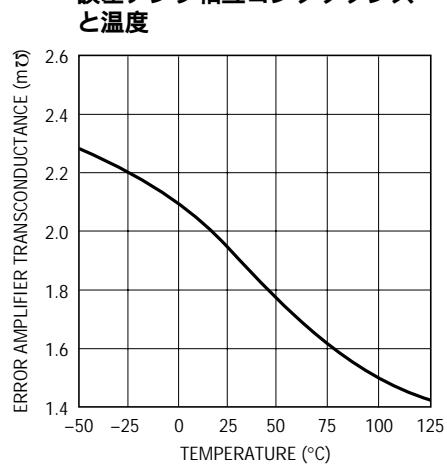
1339 G05



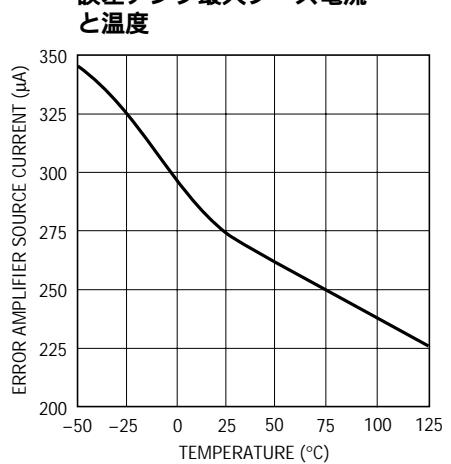
1339 G06



1339 G07

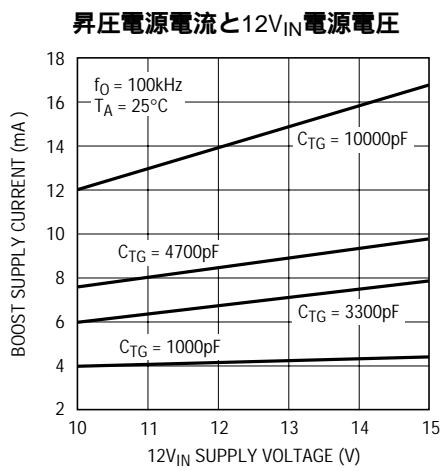
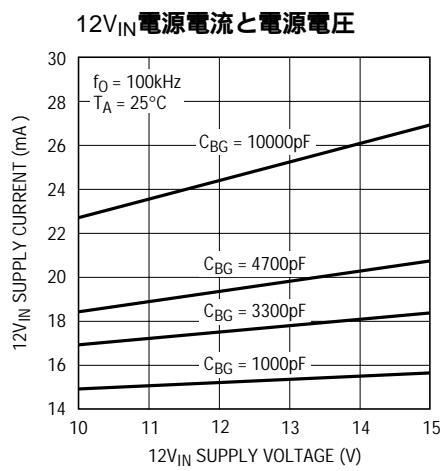
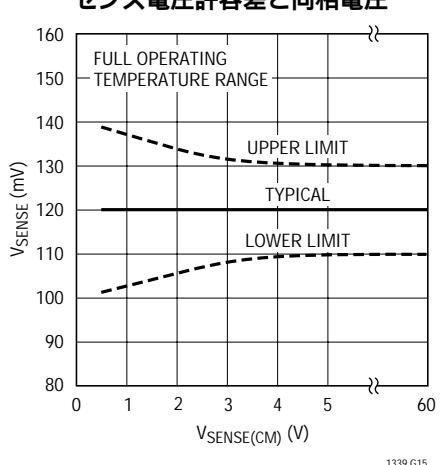
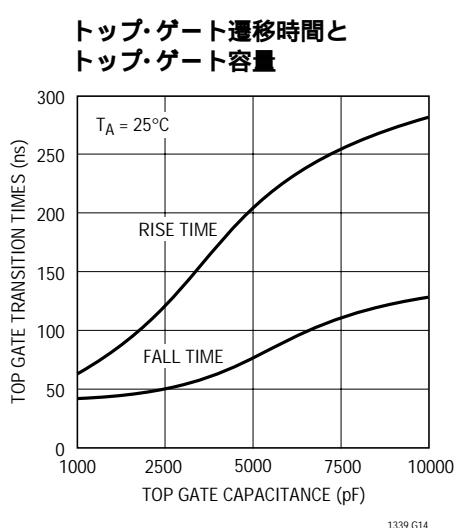
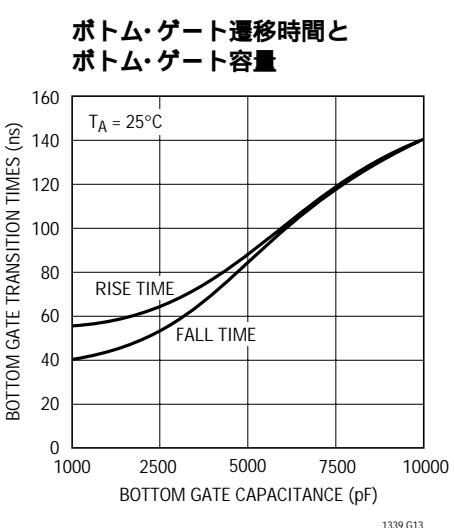
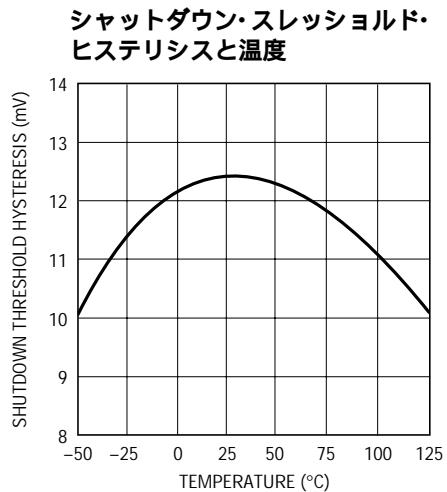
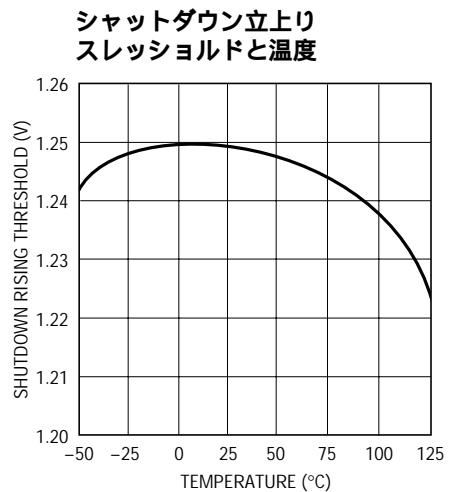
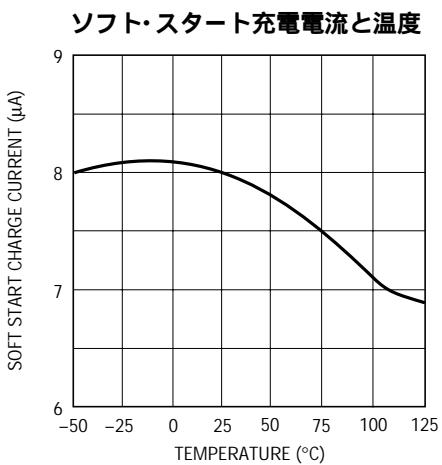


1339 G08

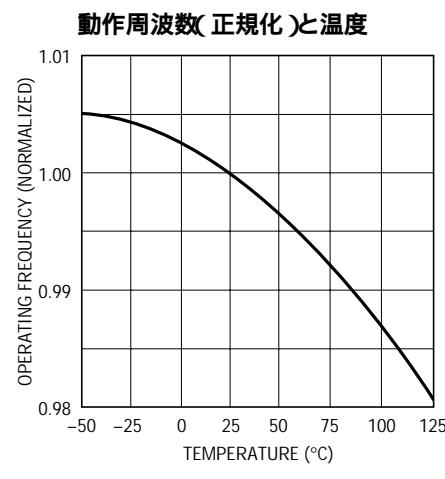
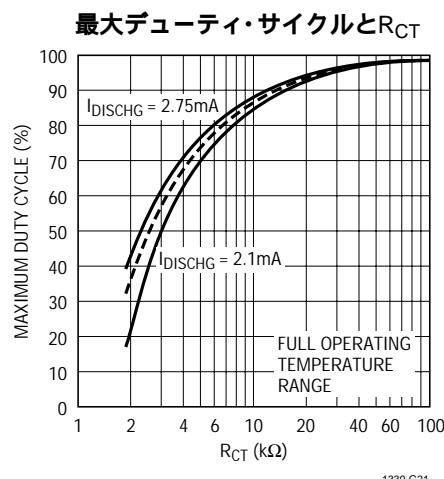
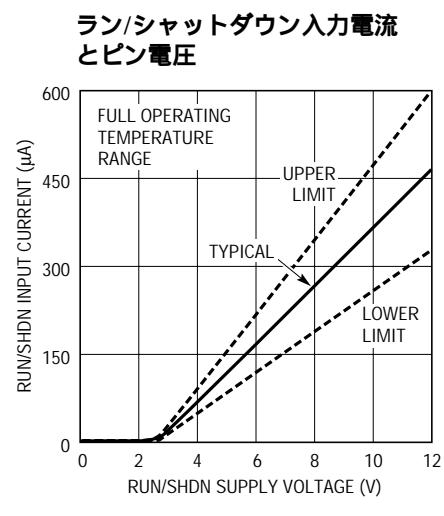
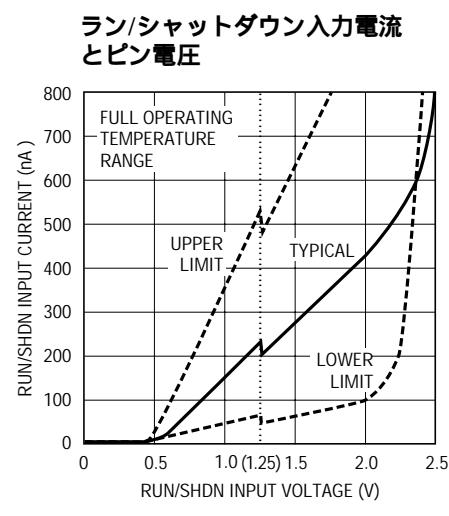
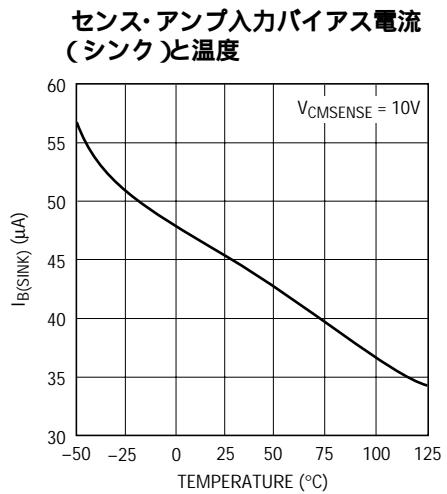
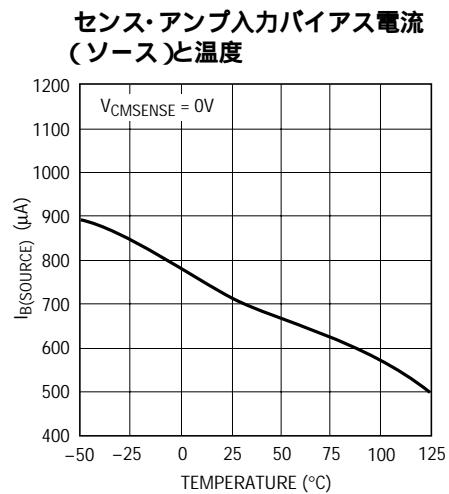
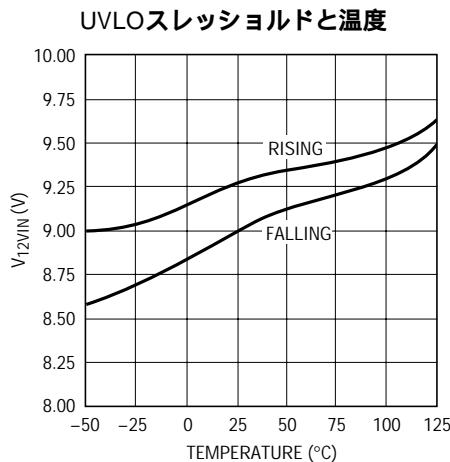


1339 G09

## 標準的性能特性



## 標準的性能特性



## ピン機能

**SYNC( ピン1 )**: TTLレベル互換入力の発振器同期ピン。入力は、内部立上りエッジ・トリガ式ワンショット回路をドライブします。SYNC信号のオン/オフ時間は、 $1\mu\text{s}$ 以上でなければなりません( 100kHzで 10 ~ 90% のデューティ・サイクル )。内部プルアップは含まれていません。使用しない場合は、SGNDに接続します。

**5V<sub>REF</sub>( ピン2 )**: 5V出力リファレンス。最大10mA DCの外部負荷を接続できます( シャットダウン時にはリファレンスは使用不可 )。通常、 $1\mu\text{F}$ のコンデンサでSGNDにバイパスします。

**CT( ピン3 )**: 発振器タイミング・ピン。コンデンサ( $C_{CT}$ )をグランドに、プルアップ抵抗( $R_{CT}$ )を5V<sub>REF</sub>電源に接続します。標準値は $CT = 1000\text{pF}$ および $10\text{k} \leq R_{CT} \leq 30\text{k}$ です。

**SL/ADJ( ピン4 )**: スロープ補償調整。デューティ・サイクルの高い特定のアプリケーションでスロープ補償を追加できます。このピンの抵抗性負荷により、有効なスロープ補償が増加します。5V<sub>REF</sub>ピンに接続された抵抗分割器を使用して、各スイッチ・サイクルの特定部分に対するスロープ補償の追加調整ができます。スロープ補償の追加が必要ない場合は、ピンをフロートさせるか、5V<sub>REF</sub>に接続できます( スロープ補償の詳細については、アプリケーション情報セクションを参照してください )。

**I<sub>Avg</sub>( Pin 5 )**: 平均電流制限機能。 $50\text{k}$  の出力インピーダンスと、グランドに接続した外部コンデンサを使って周波数応答特性を設定します。平均ロールオフは、通常スイッチング周波数より1~2桁低い値に設定されます( $f_0 = 100\text{kHz}$ の場合の標準コンデンサ値 ~  $1000\text{pF}$ )。このピンをSGNDに短絡すると、平均電流制限機能がディスエーブルされます。

**SS( ピン6 )**: ソフト・スタート。外付けコンデンサに約  $10\mu\text{A}$ を供給することにより、起動時およびUVLOイベント後に、レギュレータの電流制限のランプ・スレッショルドを生成します。

**V<sub>C</sub>( ピン7 )**: 誤差アンプ出力。RC負荷によって、電源安定化帰還ループで主補償を行い、過渡応答を最適化します。( 補償の詳細については、アプリケーション情報セクションを参照してください )。

**SGND( ピン8 )**: 小信号グランド。C<sub>OUT</sub>の負端子に接続します。

**V<sub>FB</sub>( ピン9 )**: 誤差アンプの反転入力。レギュレータ・ループの電圧帰還入力ノードとして使用します。開帰還パス状態から保護するために、約 $0.5\mu\text{A}$ のDCバイアス電流を供給します。

**V<sub>REF</sub>( ピン10 )**: バンドギャップ電圧リファレンスのデカップリング。コンデンサを信号グランドに接続します( 標準コンデンサ値は ~  $0.1\mu\text{F}$  )。

**SENSE<sup>+</sup>( ピン11 )**: 電流センス・アンプの非反転入力。電流センス抵抗の正( DC )端子に接続します。

**SENSE<sup>-</sup>( ピン12 )**: 電流センス・アンプの反転入力。電流センス抵抗の負( DC )端子に接続します。

**RUN/SHDN( ピン13 )**: 高精度リファレンス付きシャットダウン。シャットダウン制御のロジック・レベル入力、または入力電源低下時保護のためのアナログ・モニタなどとして使用できます。RUN/SHDNピンの立上りエッジが $1.25\text{V}$ を超えるとイネーブルされます。 $15\text{mV}$ のヒステリシスにより、安定したモード切替えが保証されます。シャットダウン・モードでは、すべての内部機能がディスエーブルされます。シャットダウン機能が必要ない場合は、RUN/SHDNを( 通常は $100\text{k}$ 抵抗を通して ) $12\text{V}_{IN}$ に接続します。アプリケーション情報セクションを参照してください。

**PHASE( ピン14 )**: 出力ドライバの位相制御。ピン14が接続されていない( フロートしている )場合は、トップサイド・ドライバがメイン・スイッチを動作させ、ボトムサイド・ドライバが同期スイッチを動作させます。ピン14をグランドに短絡すると、出力ドライバの役割が逆になります。PHASEは通常、反転および昇圧構成ではグランドに短絡されます。正の降圧構成では、PHASEピンをフロートさせる必要があります。アプリケーション情報セクションを参照してください。

**PGND( ピン15 )**: パワー・グランド。ボトムサイド出力スイッチと内部ドライバ制御回路を基準にします。低インピーダンス・トレースにより $\text{V}_{IN}$ デカップリング・コンデンサの負( グランド )端子に接続します。

**BG( ピン16 )**: ボトムサイド出力ドライバ。ボトムサイド外部パワーFETのゲートに接続します。

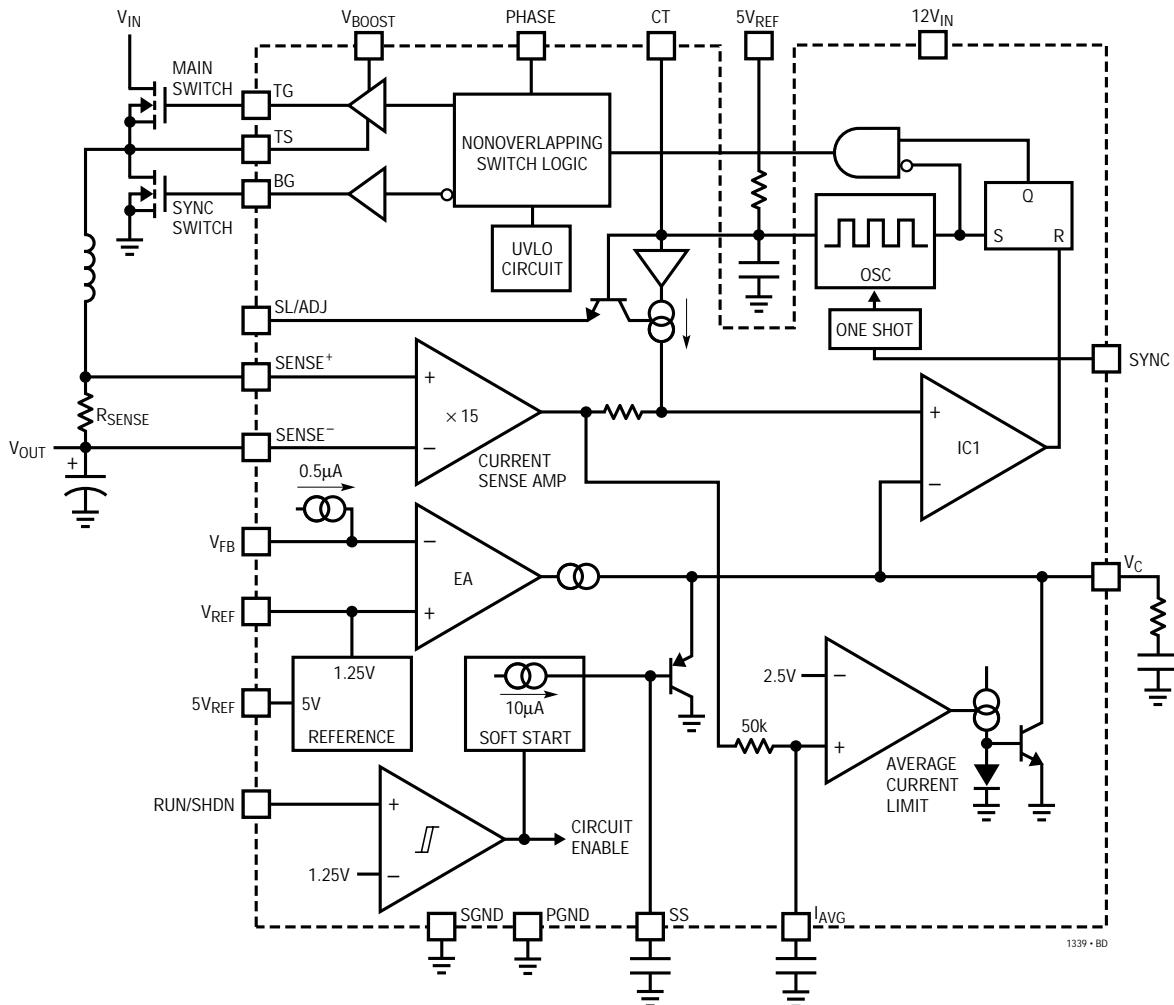
**12V<sub>IN</sub>( ピン17 )**: 12V電源入力。最低 $1\mu\text{F}$ でPGNDにバイパスします。

**TS( ピン18 )**: 昇圧出力ドライバ・リファレンス。通常、トップサイド外部パワーFETおよび誘導性スイッチ・ノードのソースに接続します。

**TG( ピン19 )**: トップサイド( 昇圧 )出力ドライバ。トップサイド外部パワーFETのゲートに接続します。

**V<sub>BOOST</sub>( ピン20 )**: トップサイド電源。スイッチ・ノード( ピン18 )に接続された $1\mu\text{F}$ のコンデンサと $12\text{V}_{IN}$ 電源に接続されたショットキ・ダイオードを通して、ブーストストラップします。

## 機能ブロック図



4

## 動作（機能ブロック図を参照）

### 基本制御ループ

LT1339は定周波数、電流モード同期アーキテクチャを使用しています。LT1339のタイミングは、外部クロックに同期可能な内部発振器回路によって供給され、動作周波数は最大150kHzまでプログラム可能です。発振器は、低速充電、高速放電特性を持つタイミング・ノード(CT)に、制限されたのこぎり波を生成します。

通常の降圧動作では、各発振器サイクルの始点でメインMOSFETスイッチがイネーブルされます。スイッチ・インダクタを通り、直列センス抵抗( $R_{SENSE}$ )両端の電圧によって感知される電流が、電流コンパレータ(IC1)をトリップし、

RSラッチをリセットするのに十分な量になるまでメイン・スイッチはイネーブルされたままです。RSラッチがリセットすると、メイン・スイッチがディスエーブルされ、同期スイッチMOSFETがイネーブルされます。ショート・スルーフロジックは、メイン・スイッチが十分にディスエーブルされるまで、同期スイッチのイネーブルを禁止します。発振器の全充電期間中に、電流コンパレータのスレッショルドに達しない場合は、発振器の放電時にRSラッチがバイパスされてメイン・スイッチがディスエーブルされます。この「最小オフ時間」により、ブートストラップ電源の十分な充電を保証し、メイン・スイッチを保護します。この時間は標準で約1μsです。

## 動作（機能ブロック図を参照）

電流コンパレータのトリップ・スレッショルドは、相互コンダクタンス・アンプまたは誤差アンプ(EA)の出力である $V_C$ ピンで設定されます。誤差アンプは、( $V_{FB}$ ピンの)帰還電圧と1.25Vの内部バンドギャップで生成されたリファレンス電圧の差から、必要な負荷電流を示す信号を生成します。この負荷に十分な電流が供給されなかった場合、出力は低下し、帰還電圧が減少します。誤差アンプは、 $V_C$ ピンから強制的に電流を流出させ、電流コンパレータのスレッショルドを上げて対応します。このように、必要な負荷に十分な電流が供給されるまで、また平均出力電圧が帰還抵抗でプログラムされた値になるまで、回路はサーボ制御を行います。

### 平均電流制限

センス・アンプの出力は、 $I_{AVG}$ ピン上の外付けコンデンサと、約50k $\Omega$ の出力インピーダンスで構成される単一ポール積分器によってモニタれます。この平均値信号が、外部センス抵抗の両端で120mVに相当するレベルを超えた場合、電流コンパレータのスレッショルドがクランプされ、誤差アンプからの出力に対応して上昇し続けることができなくなります。したがって、平均負荷電流要求が120mV/ $R_{SENSE}$ を超えた場合、電流制限が行われ、出力電圧は安定化されなくなります。平均電流制限回路は、スロープ補償またはリップル電流に寄与せずに、センス・アンプ出力をモニタします。このため、平均負荷電流制限のスレッショルドはデューティ・サイクルの影響を受けません。

### 低電圧ロックアウト

LT1339は12V電源レールをモニタする低電圧ロックアウト回路(UVLO)を採用しています。この回路は、12V電源が9V以下になった場合は、LT1339の出力ドライブ機能をディスエーブルします。約350mVのUVLOスレッショルド・ヒステリシスによって、不安定なモード切替えを防止しています。

### 適応型非オーバラッピング出力段

FETドライバ出力段は、適応型非オーバラッピング制御を行います。この回路は、スイッチ素子のタイプ、サイズ、または動作条件とは無関係のデッド・タイムを維持します。制御回路は出力ゲート・ドライブ信号をモニタ

し、他のスイッチ・ドライバをイネーブルする前に、スイッチ・ゲート(ディスエーブルされている)が確実に完全に放電するようにします。

### シャットダウン

LT1339は、RUN/SHDNピンを“L”にし、全回路機能をディスエーブルすることにより、低電流のシャットダウン・モードにすることができます。シャットダウン・スレッショルドは、標準1.25Vのバンドギャップ基準電圧です。シャットダウン回路で高精度なスレッショルドを使用することにより、 $V_{IN}$ 電源や電源シーケンスでの電圧低下保護用にこのピンを使用できます。

### ソフト・スタート

LT1339は、内部電流制限を徐々に上げて動作するソフト・スタート機能を備えています。この電流制限は、 $V_C$ ノードをSSピンの外付けコンデンサが約10 $\mu$ Aの電流で充電される間に上昇するある低い電圧に内部でクランプすることによって制御されます。これにより、出力電流供給能力を徐々に高めて、安定したレギュレーション状態に達するまで出力電圧を徐々に上昇させます。シャットダウンおよび低電圧ロックアウト時は、ソフト・スタート・タイミング・コンデンサがグランドにクランプされ、いずれの状態からも出力を徐々に回復できます。

### 5V内部リファレンス

発振器タイミング要素と他のほとんどのLT1339内部回路の電源は、5 $V_{REF}$ ピンで利用可能な内部5Vリファレンスから供給されます。この電源ピンは、コントロール・ロジックなどの特定領域のバイアスに便利なように、最大10mA DC(20mAパルス)まで供給できます。

### スロープ補償

デューティ・サイクルが50%を超える場合は、レギュレータ制御ループで電流モードのデューティ・サイクルを安定させるため、スロープ補償が必要です。LT1339では、ほとんどのアプリケーションに十分な内部スロープ補償を採用しています。ただし、スロープ補償を追加する必要がある場合は、SL/ADJピンによってできます。過度なスロープ補償を行うと、最大負荷電流能力が低下するため望ましくありません。

## アプリケーション情報

出力電流に対応した $R_{SENSE}$ の選択

$R_{SENSE}$ は、LT1339の電流センス・アンプで使用するインダクタ電流に比例する電圧を生成します。 $R_{SENSE}$ の値は、必要な負荷電流に基づいています。平均電流制限機能の標準スレッショルドは、 $120\text{mV}/R_{SENSE}$ です。したがって、 $R_{SENSE}$ は次のようにになります。

$$R_{SENSE} = 120\text{mV}/I_{LIMIT}$$

4.5V以下の $V_{SENSE}$ 同相電圧で動作する場合、電流制限の精度がわずかに低下する場合があります。詳細については、標準的性能特性セクションの平均電流制限スレッショルド許容差と同相電圧のグラフを参照してください。

### 出力電圧のプログラミング

出力電圧は、LT1339の $V_{FB}$ ピン(ピン9)に接続された抵抗帰還ネットワークによってプログラムされます。このピンは誤差アンプの反転入力で、1.25Vの内部リファレンスを基準にしています。出力が要求値になると、分割器が $V_{FB}$ ピンにおいて1.25Vを供給します。

出力電圧は、次式に基づいて設定されます。

$$V_{OUT} = 1.25(1 + R2/R1)$$

外部分割抵抗は、図1に示す出力に接続されます。

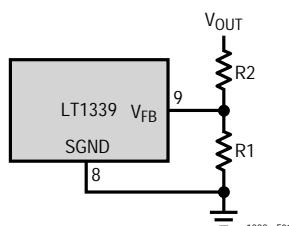


図1. LT1339出力電圧のプログラミング

### 発振器構成部品 $R_{CT}$ と $C_{CT}$

LT1339の発振器は、低速充電、高速放電特性を持つタイミング・ノード( $CT$ )に、制限されたのこぎり波を生成します。高速放電時間はPWMコントローラの最小オフ時間に対応しています。これにより、最大デューティ・サイクル( $DC_{MAX}$ )は、以下のとおり制限されます。

$$DC_{MAX} = 1 - (t_{DISCH})(f_0)$$

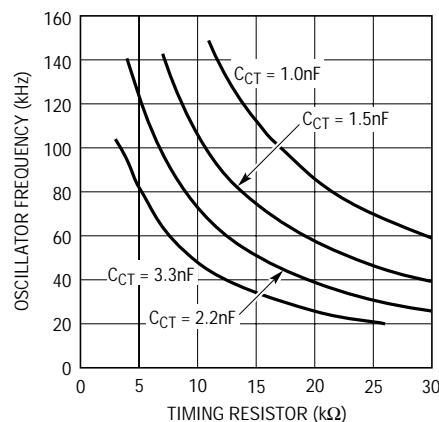
発振器のこぎり波の振幅は約1.7V、放電電流は標準2.5mAです。充電抵抗( $R_{CT}$ )で供給される電流を考慮すると、放電時

間は1000pFの標準タイミング・コンデンサ値の場合は、900nsと推定することができます。(この値では、100kHzで90%以上のデューティ・サイクルが可能です。)

$C_{CT}$ の値が与えられると、発振器周波数はタイミング抵抗 $R_{CT}$ を選択して決定されます。発振器の自走充電時間は以下のとおりです。

$$t_{CHARGE} = (R_{CT})(C_{CT})/1.85$$

$R_{CT}$ の標準動作値が17kの場合は、約100kHzの固定周波数が生成されます。



LT1339 • F02

図2. 発振器周波数と $R_{CT}$ 、 $C_{CT}$

### 平均電流制限

平均電流制限機能は、 $I_{AVG}$ からSGNDに接続された外付けコンデンサ( $C_{AVG}$ )を使って実行されます。このコンデンサは $I_{AVG}$ ピンの50kΩ出力インピーダンスとともに単一ポールの積分器を形成します。積分器のコーナー周波数は、次式に基づいて、通常、発振器周波数より1~2桁低い値に設定されます。

$$f_{-3\text{dB}} = (3.2)(10^{-6})/C_{AVG}$$

$I_{AVG}$ ピンを直接SGNDピンに短絡すると、平均電流制限機能をディスエーブルすることができます。アプリケーションによっては、平均電流制限回路が、誤差アンプ出力( $V_C$ )を電流センス・コンバレータの動作範囲を超えてオーバードライブすることが理論的に可能です。これらのアプリケーションには、出力短絡状態のブースト・レギュレータや信号グランドの完全性が不適切なシステムなど、開ループ・システム動作が発生するものが含まれます。このオーバードライブ・モードは、 $I_{AVG}$ と $V_C$ ピン

## アプリケーション情報

間(アノードから $I_{AVG}$ およびカソードから $V_C$ )に外部クランプ・ダイオードを接続すれば防止できます。このダイオード・クランプを接続してもシステムに悪影響はなく、接続することが推奨されます。すべての昇圧コンバータ・トポロジーにこのクランプが必要です。

### ソフト・スタートのプログラミング

電流制御ピン( $V_C$ )は平均負荷電流の全レギュレーション範囲の1.8Vで、 $V_C \approx 2.5V$ で全平均電流制限、 $\approx 0.7V$ 未満の電圧でインダクタ電流をゼロに制限します。ソフト・スタート・クランプは約0.7Vのゼロ電流レベルで始まるので、標準ソフト・スタート充電電流を $10\mu A$ とし、ソフト・スタート・タイミング・コンデンサ $C_{SS}$ を使用した場合、利用可能な全平均電流に対する起動遅延時間は、次式で求められます。

$$t_{SS} = (1.8)(10^5)(C_{SS})$$

### 昇圧電源

$V_{BOOST}$ 電源は外付けコンデンサによりブートストラップされます。この電源はトップサイド・スイッチFETにゲート・ドライブを供給します。スイッチ・ノードを“L”にすると、ブートストラップ・コンデンサは $12V_{IN}$ からダイオードを通して充電されます。

ダイオードの逆ブレークダウン電圧は、 $V_{IN} + 12V_{IN}$ 以上でなければなりません。ブートストラップ・コンデンサの値は、トップサイドMOSFETの全入力容量の最低100倍が必要です。ほとんどのアプリケーションでは、一般に $0.1\mu F \sim 1\mu F$ の範囲のコンデンサで十分です。

### シャットダウン機能 - 入力の電圧低下検出とスレッショルド・ヒステリシス

LT1339のRUN/SHDNピンは、約1.25Vのバンドギャップ・リファレンス電圧スレッショルドを使用します。この高精度なスレッショルドにより、ロジック・レベルのシャットダウン・アプリケーションと、電源シーケンスなどのアナログ・モニタリング・アプリケーションの両方でRUN/SHDNピンを使用できます。

LT1339で制御されるコンバータは電力転送デバイスなので、入力電源が予測される値より電圧が低い場合は、その電源の供給能力を超える電流を要求し、システムが電圧低下状態でロックアップする可能性があります。入力電源からグランドへの抵抗分割器を使用してRUN/

SHDNピンをイネーブルすることにより、入力電源の起動保護が可能です。電源がほぼ完全にイネーブルされたときに分割器の出力を1.25Vに設定すると、入力電源が必要な電力を供給できるようになるまで、LT1339のレギュレータに大きな電流が流入するのを防止できます。

イネーブル機能にヒステリシスを追加する必要がある場合、LT1339のレギュレータ出力から外部帰還抵抗を使用できます。レギュレータ出力への接続が望ましくない場合、5V<sub>REF</sub>内部電源ピンを使用できます。図3にレギュレータ・イネーブルに対して40V  $V_{IN}$ 起動スレッショルドを生成し、約10%の入力基準ヒステリシスを提供する48V ~ 5Vコンバータの接続を示します。

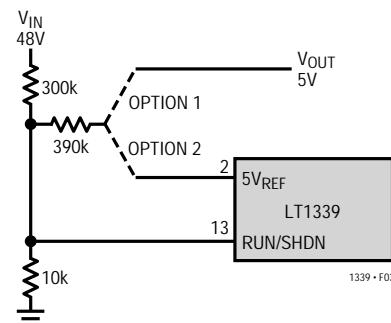


図3. 入力電源シーケンスのプログラミング

シャットダウン機能は、RUN/SHDNピンを $12V_{IN}$ レールに接続することによってディスエーブルできます。このピンは、20kの直列入力抵抗を通して2.5Vに内部クランプされているので、12Vに直接接続した場合は0.5mAの電流が流れます。この追加電流は、外部抵抗(通常100kを使用)を介して接続することにより、最小限に抑えることができます。

LT1339のシャットダウン時には、RUN/SHDNピンの電圧が、最低 $25\mu s$ の間は、シャットダウン・スレッショルド(1.13V)と最小シャットダウン制御限界電圧(図4参照)の間になければなりません。デジタル入力または高速移動クランプを使用する場合は、シャットダウン制御電圧を最小値以上にするか、単純な積分器を使って入力信号の立下り時間を増やすことによって達成できます。単一ポール積分器段は、 $\geq 70\mu s$ でなければなりません。

図5に、デジタル制御入力クランプの例を示します。ロジック“H”信号があると、ダイオードを通してRUN/SHDNピンの電圧をターンオン・スレッショルド以上にします。シャット

## アプリケーション情報

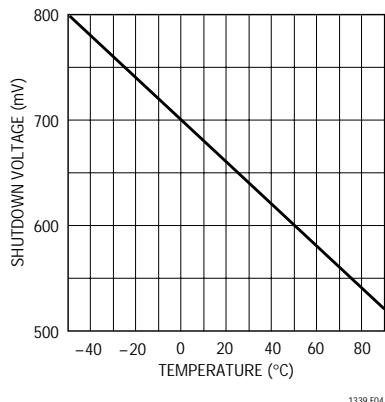


図4. 最小シャットダウン制御制限と温度

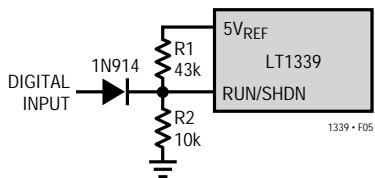


図5. デジタル入力シャットダウン・レベル制御

ダウン(ロジック“L”)信号を受け取ると、完全なシャットダウン状態になって $V_{REF}$ 電圧が消滅するまで、RUN/SHDNピンは抵抗分割器を通して0.95Vに強制されます。

図6の回路は、RUN/SHDN入力のデジタル制御積分段の例です。積分器は  $= (10)(10^3) \cdot (10)(10^{-9}) = 100\mu s$  を持っています。ただし、この回路により、コントローラのシャットダウン開始が、シャットダウン信号(5Vから0Vの遷移)の受信から約125μs遅れます。

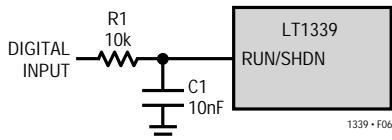


図6. デジタル入力シャットダウン積分制御

図7に、図3の例と同様の48V入力電源シーケンス回路に接続された積分器段の例を示します。積分器段により、アクティブのシャットダウン・クランプを使って、ユーザ制御のシャットダウンと入力電源シーケンス保護を実現できます。

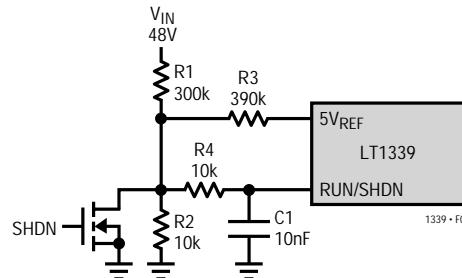


図7. ユーザ制御のシャットダウン機能を備えた入力電源シーケンシング

### インダクタの選択

LT1339コンバータのインダクタは、出力電力、動作周波数、および効率の要求に基づいて選択します。一般に、インダクタ値は、インダクタで要求される最大リップル電流( $I$ )まで低減できます。降圧コンバータでは、希望の最大動作リップル電流に対する最小インダクタ値を、次式を使って計算することができます。

$$L_{MIN} = \frac{(V_{OUT})(V_{IN} - V_{OUT})}{(\Delta I)(f_0)(V_{IN})}$$

ここで、 $f_0$  = 動作周波数です。インダクタ値( $L$ )が与えられると、ピーク・インダクタ電流は平均インダクタ電流( $I_{AVG}$ )とインダクタ・リップル電流( $I$ )の $1/2$ の和になります。すなわち、次式で求められます。

$$I_{PK} = I_{AVG} + \frac{(V_{OUT})(V_{IN} - V_{OUT})}{(2)(L)(f_0)(V_{IN})}$$

インダクタ・コア・タイプは、ピーク電流と効率要求に基づいて選択されます。インダクタ・コアは、飽和せずにこのピーク電流に耐え、また巻線の直列抵抗とコア損失は、変換効率を最大にするために、実用的な範囲でできるだけ低くなければなりません。

LT1339のピーク電流制限スレッショルドは、平均電流制限スレッショルドより40%高くなります。スロープ補償により、デューティ・サイクルが増加するとこのマージンが低下します。このマージンは、ピーク電流制限によって平均電流制限のプログラム値が変更されるのを防ぐために維持する必要があります。ピーク・リップル電流を、必要な平均電流制限値の15%以下にプログラムすることにより、90%のデューティ・サイクルで平均電流

## アプリケーション情報

制限機能が適切に動作することを保証します(スロープ補償のセクションを参照してください)。

### 発振器の同期化

LT1339の発振器は、 $C_T$ ピンでそれぞれ0.8V( $v_l$ )と2.5V( $v_h$ )の“L”および“H”スレッショルドの間で、制限されたこぎり波を生成します。TTLレベル・パルスでSYNCピンをドライブすることにより、発振器を同期化させることができます。これは発振器の“H”スレッショルドを約200nsの間2Vにまで低減するワンショット回路の入力です。SYNC入力信号には、1μs以上の最小オン/オフ時間が必要です。

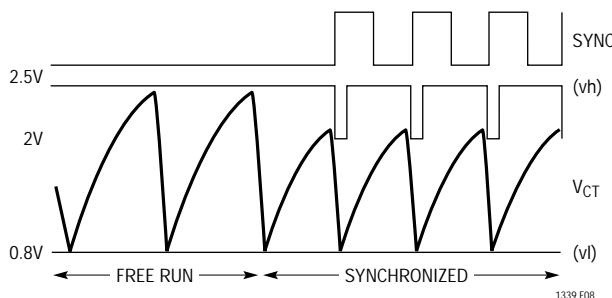


図8. 自走および同期化された発振器波形( $C_T$ ピン)

### スロープ補償

50%以上のデューティ・サイクルで動作し、連続インダクタ電流が流れる電流モード・スイッチング・レギュレータでは、デューティ・サイクルが不安定になることがあります。レギュレータが損傷することなく、このような低調波発振中も許容可能なレベルで動作を継続できますが、通常不快なピッチの高い悲鳴のような音が鳴ります。

インダクタ・リップル電流の増加スロープが減少スロープより短くなった場合、すなわちデューティ・サイクルが50%を超えた場合に、電流モードのデューティ・サイクルが不安定になる可能性があります。図9aにこのような状況を示します。インダクタ・リップル電流は、各発振器スイッチ・サイクルの始めである $I_1$ を始点とします。電流は制御トリップ・レベル $I_2$ に達するまで、S1の割合で増加します。その後、コントローラ・サーボ・ループがメイン・スイッチをディスエーブルし(そして、同期スイッチをイネーブルする)インダクタ電流がS2の割合で減少し始めます。電流スイッチ・ポイント( $I_2$ )がわずかに不安定になり、Iによって増加した場合、サイクル・タイムは最小電流ポイントが $1 + (S2/S1)$ で増加し

て次のサイクルを開始するようにして終了します。後続の各サイクルで、この誤差に係数 $S2/S1$ が掛けられます。したがって、 $S2/S1$ が1以上の場合、システムは不安定になります。

低調波発振は、制御ループで増加リップル電流スロープ( $S1$ )を増やすと除去できます。図9bに示すように、これはIC内部のインダクタ電流波形(スロープ $S_X$ )に人工のランプを追加することによって行います。スロープ $S1 + S_X$ の合計が $S2$ より大きい場合、低調波発振が発生する可能性はありません。

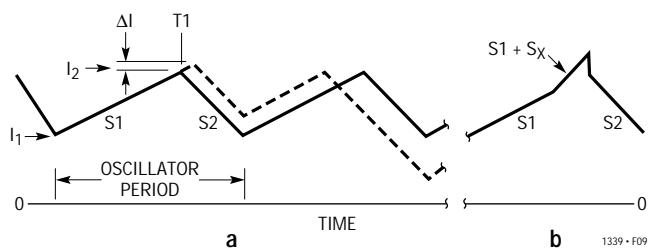


図9. DC > 50%のインダクタ電流と、スロープ補償による調整信号

降圧コンバータの場合、必要な追加電流波形スロープ、つまり“スロープ補償”は、次式で求められます。

$$S_X \geq \left( \frac{V_{IN}}{L} \right) (2DC - 1)$$

デューティ・サイクルが50%未満( $DC < 0.5$ )の場合、 $S_X$ は負になるため必要ありません。デューティ・サイクルが50%を超える場合、 $S_X$ の値は $S1$ とデューティ・サイクルによって決まります。次式に $V_{IN}$ とデューティ・サイクルを代入すると、最小インダクタンス要求が求められます。

$$L_{MIN} = \left( \frac{V_{IN}}{S_X} \right) (2DC - 1)$$

LT1339の内部スロープ補償ランプには、次式から得られる等価電流基準値があります。

$$0.084 \left( \frac{f_0}{R_{SENSE}} \right) \text{ Amp/s}$$

ここで、 $f_0$ は発振器周波数です。次式により最小インダクタンス要求が求められます。

## アプリケーション情報

$$L_{MIN} \geq \frac{(V_{IN})(R_{SENSE})(2DC - 1)}{(0.084)(f_0)}$$

スロープ補償の下降は、ICサーボ・ループがインダクタ電流の増加を感知したため、スロープ補償を基準にした有効電流と同じ量だけレギュレータの最大電流能力が減少するように、内部電流制限が機能したことを意味します。ただし、LT1339はスロープ補償の影響を受けない電流制限機能(平均電流制限)を使用します。これにより、リップル電流ピーク振幅が電流制限値の15%未満の場合、電流供給能力を低下させることなく、あらゆるデューティ・サイクルでの動作が可能です。たとえば、コンバータの平均電流制限を10Aに設定した場合は、ピーク・インダクタ電流が11.5A未満である限り、平均電流制限値を低下させないで、最大90%のデューティ・サイクルを実現できます。

インダクタを内部スロープ補償で要求される最小インダクタ値(上式では $L_{MIN}$ で計算)より小さくしたい場合は、スロープ補償を追加する必要があります。LT1339はSL/ADJピンによってこの機能を提供します。この機能は、5V<sub>REF</sub>からグランドに接続した抵抗分割器を介して、このピンを参照することによって実行されます。スロープ補償を追加すると、抵抗分割器で設定された電圧に対応する発振器波形(CTピン)に関する影響が現れます。追加するスロープ補償は次式を使用して計算できます。

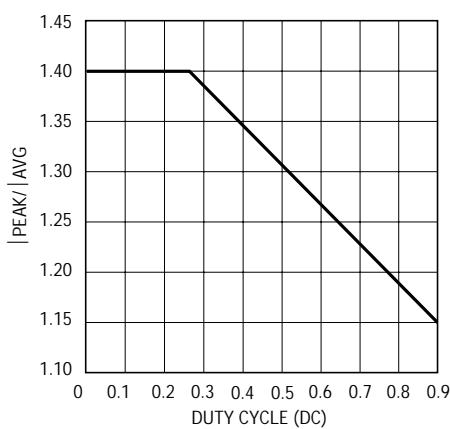


図10. 最大ピーク・リップル電流(正規化)  
と平均電流制限のデューティ・サイクル

$$S_{XADD} = \frac{(2500)(f_0)}{(R_{EQ})(R_{SENSE})} \text{ Amp/s}$$

ここで、 $R_{EQ}$ は抵抗分割器の実効抵抗です。実際の補償は、スロープ補償波形で指数増加させる内部曲率修正回路によって若干大きくなり、有効スロープ補償はさらに設定値の最大20%まで増加します。

設計例 :

$$V_{IN} = 20V$$

$$V_{OUT} = 15V(DC = 0.75)$$

$$R_{SENSE} = 0.01$$

$$f_O = 100kHz$$

$$L = 5\mu H$$

スロープ補償を追加せずに使用可能な最小インダクタは以下のとおりです :

$$L_{MIN} \geq \frac{(20V)(0.01\Omega)(1.5 - 1)}{(0.084)(100000)} = 11.9\mu H$$

$L = 20\mu H$ は $L_{MIN}$ より小さいため、スロープ補償の追加が必要です。必要なスロープ補償の合計は次式で求められます :

$$S_X \geq \left( \frac{20V}{5\mu H} \right) (1.5 - 1) = (2) \left( 10^6 \right) \text{ Amp/s}$$

内部で生成されたスロープ補償を減算し、SL/ADJで必要な有効抵抗を計算すると、以下のようになります :

$$R_{EQ} \leq \frac{(2500)(f_0)}{\left( 2 \right) \left( 10^6 \right) \left( R_{SENSE} \right) - (0.084)(f_0)} = 21.5k$$

抵抗分割器のリファレンス電圧を2Vに設定すると、追加補償波形が75%のデューティ・サイクルでイネーブルされます。図11aに示すように、 $R_{SL1} = 45k$ と $R_{SL2} = 30k$ を使って、必要なリファレンス電圧を設定します。 $R_{EQ}$ は18kであり、設計要求条件に適合します。図11bに、SL/ADJ外部抵抗がある場合とない場合のスロープ補償有効波形を示します。

## アプリケーション情報

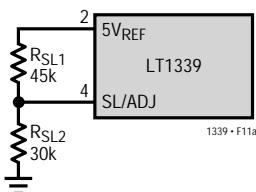


図11a. 外部スロープ補償抵抗

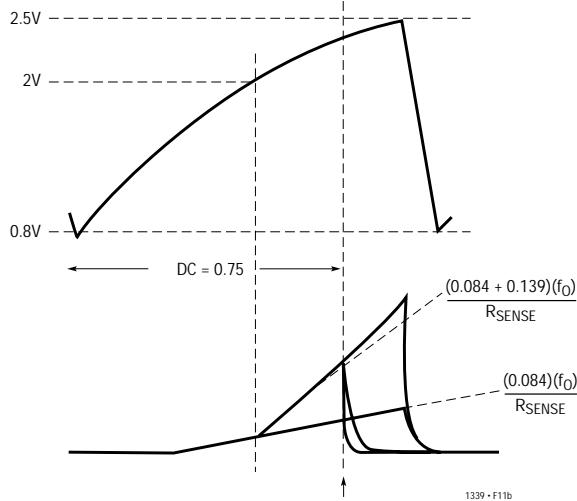


図11b. スロープ補償波形

## パワーMOSFETとキャッチ・ダイオードの選択

LT1339には外部NチャネルMOSFETスイッチが使用されます。両方のスイッチに対して、LT1339の正のゲート-ソース・ドライブ電圧は、ほぼ $12V_{IN}$ 電源電圧に等しいので、標準スレッショルドMOSFETを使用できます。

パワーMOSFETの選択基準には、オン抵抗( $R_{DS(ON)}$ )、逆伝達容量( $C_{RSS}$ )、最大ドレン-ソース間電圧( $V_{DSS}$ )および最大出力電流が含まれます。

選択されたパワーFETの最大動作 $V_{DSS}$ は、最大 $V_{IN}$ 以上でなければなりません。また、 $V_{GS}$ 電圧の最大値は、 $12V_{IN}$ 電源電圧以上である必要があります。

電圧要求が決まったら、許容可能な消費電力と所要出力電流に基づいて、 $R_{DS(ON)}$ を選択することができます。

LT1339降圧コンバータでは、平均インダクタ電流はDC負荷電流と等しくなります。メインおよび同期スイッチを流れる平均電流は、以下のとおりです：

$$I_{MAIN} = (I_{LOAD})(DC)$$

$$I_{SYNC} = (I_{LOAD})(1 - DC)$$

これで、与えられた伝導損失に必要な $R_{DS(ON)}$ は、次式で計算することができます：

$$P_{LOSS} = (I_{SWITCH})^2(R_{DS(ON)})$$

高電圧アプリケーション( $V_{IN} > 20V$ )では、非常に高い電圧をスルーするのにトップサイド・スイッチが必要です。 $V_{IN}$ が上昇すると、遷移損失はメイン・スイッチで支配的な電力損失になるまで、正方関係により増加します。この遷移損失は、以下の形式をとります：

$$P_{TR} \approx (k)(V_{IN})^2(I_{MAX})(C_{RSS})(f_0)$$

ここで、 $k$ はゲート-ドライブ電流に反比例する定数で、LT1339のアプリケーションでは $k=2$ で近似されます。

したがって、スイッチの最大電力損失の項は、次のようにになります：

$$P_{MAIN} = (DC)(I_{MAX})^2(1 + \delta)(R_{DS(ON)}) +$$

$$2(V_{IN})^2(I_{MAX})(C_{RSS})(f_0)$$

$$P_{SYNC} = (1 - DC)(I_{MAX})^2(1 + \delta)(R_{DS(ON)})$$

上式の( $1 + \delta$ )の項は $R_{DS(ON)}$ の温度依存項で、通常はMOSFETのデータシートで正規化 $R_{DS(ON)}$ と温度曲線の形式で与えられます。

アプリケーションによっては、寄生FET容量が負進行スイッチ・ノード過渡信号を、LT1339のボトム・ゲート-ドライブ・ピンに結合し、そのピンに絶対最大定格を超える負電圧が加えられます。このピンからグランドへのキャッチ・ショットキ(通常は約1Aの定格のもので十分です)を接続すれば、この影響が排除されます。

 $C_{IN}$ および $C_{OUT}$ 電源デカップリング・コンデンサの選択

LT1339アプリケーションでは大きな電流を処理する場合が多いので、レギュレータ入力と出力電源デカップリング・コンデンサには特に注意が必要です。通常の定常状態動作では、メイン・スイッチMOSFETのソース電流は、デューティ・サイクル $V_{OUT}/V_{IN}$ の方形波です。この電流の大部分は入力バイパス・コンデンサから供給しなければなりません。大きな過渡電圧を防止し、バイパス・コンデンサが加熱しないようにするには、最大RMS電流に対応できる容量の低ESR入力コンデンサを使用しなければなりません。このコンデンサの最大RMS電流は、次式で求められます。

## アプリケーション情報

$$I_{RMS} \approx \frac{(I_{MAX})(V_{OUT}(V_{IN} - V_{OUT}))^{1/2}}{V_{IN}}$$

これは、 $I_{RMS} = I_{MAX}/2$ のときの50%デューティ・サイクルでピークに達します。コンデンサのリップル電流定格は、多くの場合、わずか2000時間(3ヶ月)の動作時間によって規定されています。レギュレータのMTBFを向上させるために、コンデンサのESRまたは温度定格には余裕をもたせるべきです。

降圧コンバータの出力コンデンサは、一般に入力コンデンサよりもはるかにリップル電流が少くなります。ピーク・ツー・ピーク電流は、インダクタのピーク・ツー・ピーク電流と等しく、通常は負荷電流の数分の1です。期待出力リップル電流が与えられると、 $C_{OUT}$ は出力電圧リップルを望ましい値に低減するように選択されます。出力リップル( $V_{OUT}$ )は、ほぼ次式のようになります：

$$V_{OUT} \approx I_L[ESR + (4)(f_0) \cdot C_{OUT}^{-1}]$$

ここで、 $f_0$  = 動作周波数です。

### 効率と放熱

高電力出力アプリケーションでは、コンバータ部品の電力消費に関する本質的な問題があります。LT1339を使用すれば高効率を実現できますが、負荷が大きな電力を消費すると、それに伴ってコンバータで消費される電力もかなり増加します。90%の効率でも、500Wのアプリケーションでは55Wの変換損失が発生します。

スイッチ、センス抵抗、およびインダクタ直列抵抗での $I^2R$ 消費により、高電流条件下では大きな変換損失が発生する可能性があります。一般に、FETスイッチでは支配的な $I^2R$ 損失が明らかになっています。各スイッチでの損失は、そのスイッチの導通時間に比例します。たとえば、48V ~ 5Vコンバータでは、同期型FETは、サイクル・タイムの約90%の間インダクタ電流を導通するので、 $I^2R$ の電力消費についてさらに注意が必要です。

ゲートの充電/放電電流によって、12V電源でさらに電流が流出します。高電圧入力からリニア・レギュレータを通して、電源が供給される場合、そのレギュレータ・デバイスの損失が大きくなる可能性があります。出力からブートストラップされた電源ソリューションにより、低い電源から電流を流して、この損失成分を低減します。

高い $V_{IN}$ 電圧を使用するときには、トップサイド・スイッチFETで遷移損失が大きくなります。遷移損失は次式のとおり推定できます。

$$P_{LOSS} \approx 2(V_{IN})^2(I_{MAX})(C_{RSS})(f_0)$$

48V ~ 5Vコンバータのメイン・スイッチの導通時間は短いので、メイン・スイッチFETの $I^2R$ 損失は小さくなります。しかし、FETゲートは48Vの入力電圧を超えて切り替わらなければならぬので、遷移損失が重要な要因になることがあります。そのような場合は、CRSSを低減しそれによって付随する遷移損失を低減するために、小型FETで $I^2R$ を増加させたほうがよい場合も少なくありません。

### ゲート・ドライブ・バッファ

LT1339は比較的大きな容量性負荷をドライブするように設計されています。ただし、アプリケーションによっては、外部バッファ段を追加してFETスイッチのゲートをドライブすることにより、効率を改善できます。スイッチ・ゲートが立上り/立下り時間が100nsを超えるようなドライバ出力の負荷のとき、バッファの効率が向上する場合もあります。また、バッファによって、スイッチFET  $C_{MILLER}$ を通るスイッチ・ノード遷移の結合に起因するボトム・サイド・ドライバ出力への逆電荷注入の影響を軽減することもできます。

4

### 物理的特性の考察

高電力同期式降圧構成では、外部MOSFETスイッチの物理的特性が変換効率に影響を与えることがあります。入力電圧が約30Vに近づくと、ボトムMOSFETが「偽ターンオン」を示し始めます。この現象はボトムサイド・スイッチ上の瞬時電圧ステップが $C_{MILLER}$ を通して、デバイス・ゲートに結合されると発生し、FETのターンオン・スレッショルドより高い内部で局所化されたゲート・ソース電圧が発生します。これが一時的なシートスルーを発生させ、大幅に効率が低下します。図12では、ボトムサイド・ゲートに負のプライバシアス回路が追加されています。ボトム・ゲート・ドライブにこの約3Vの負オフセットを追加すると、偽ターンオンを防止するためのオフ状態電圧範囲が追加されます。

標準的応用例セクションに記載する48V ~ 5V、50Aコンバータに、この種のプライバシアス回路が使用されています。

電流が10A ~ 15Aの範囲を超えて上昇すると、ボトムサイドのFETボディ・ダイオードは、ローカル・ループ・インダクタンスのために、スイッチ・デッドタイム中に激しくターンオンし、ショットキ・キャッチ・ダイオードへのタイムリな電荷の移転を防止します。このボディ・ダイオードを転流させるのに必要な充電電流は、ダイオード

## アプリケーション情報

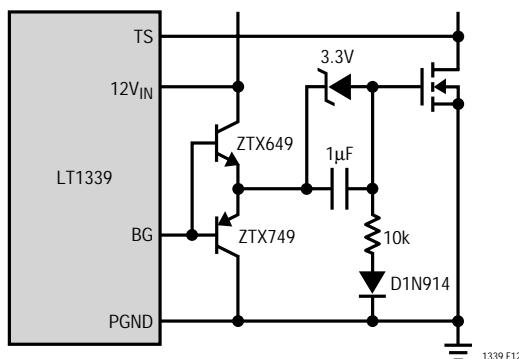


図12. ポトムサイド・ドライバの負ブリバイアス回路

ドの電荷が最終的に枯渇したときに(ボディ・ダイオード電荷を必要としなくなる時点で有効インダクタ電流が不連続になるため)高い $dV/dt$ のショットキなだれを生じます。これによって、トップサイド・スイッチでターンオン電源バーストが生成され、さらに変換効率の損失が生じます。この寄生インダクタンスの影響は、パッケージ内部にパラレル・キャッチ・ショットキ・ダイオードを持つFETKEY™ MOSFETを使用すれば低減できます。FETKEY MOSFETは高電圧には使用できないので、入力電圧が増加し続けると使えなくなります。このためディ

スクリートFETとショットキを使う必要があります、多数の小型デバイスを組み合わせて、寄生インダクタンスを抑えなければなりません。この手法は標準的応用例セクションに記載する48V ~ 5V、50Aコンバータでも用いられています。

## 過渡応答の最適化 - 補償構成部品値

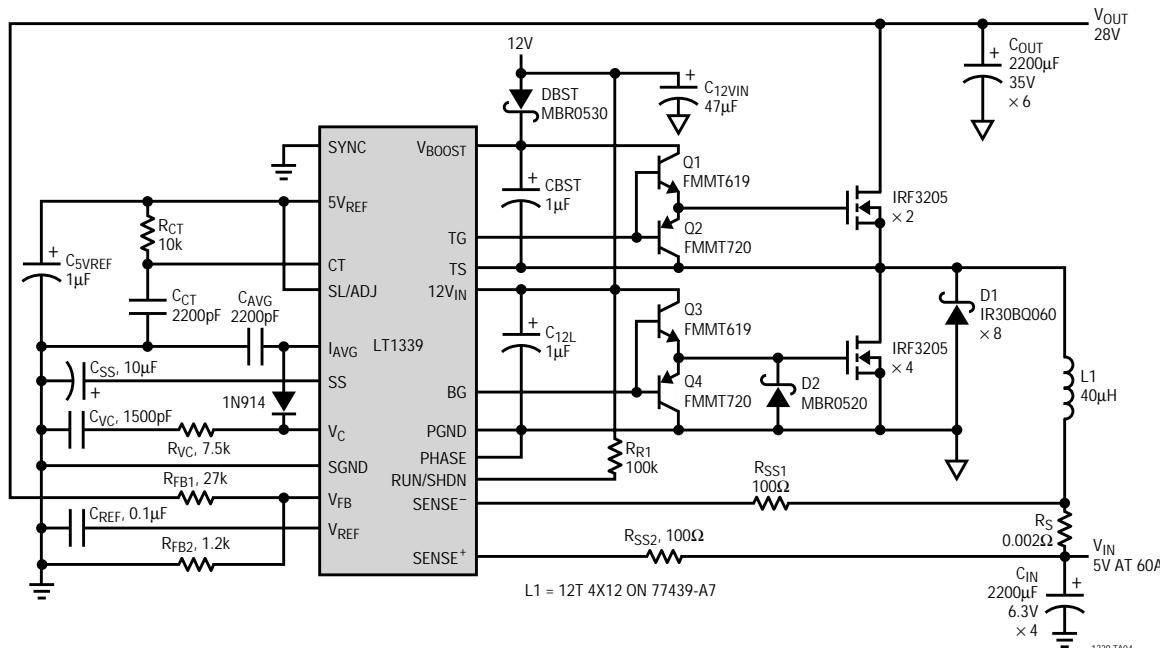
LT1339コンバータの主な補償ポイントは、 $V_C$ ピン(ピン7)か誤差アンプ出力です。このピンは直列RCネットワーク、 $R_{VC}$ と $C_{VC}$ に接続されています。入出力フィルタリングの無限置換、コンデンサESR、入力電圧、負荷電流などのデータに基づいて、特定の条件でループ応答を最適化します。

ループ応答は、負荷電流のステップ変更によって観察することができます。これは、切換える可能な負荷を使って実現できます。負荷を切り換えて、出力電圧の過渡応答をオシロスコープで観察します。RCの組合せを変えて、繰り返しテストすることにより、最適な応答を得ることができます。詳細については、『1990 Linear Application Handbook, Volume 1』の「アプリケーション・ノート19」を参照してください。

FETKEYはInternational Rectifier Corporationの商標です。

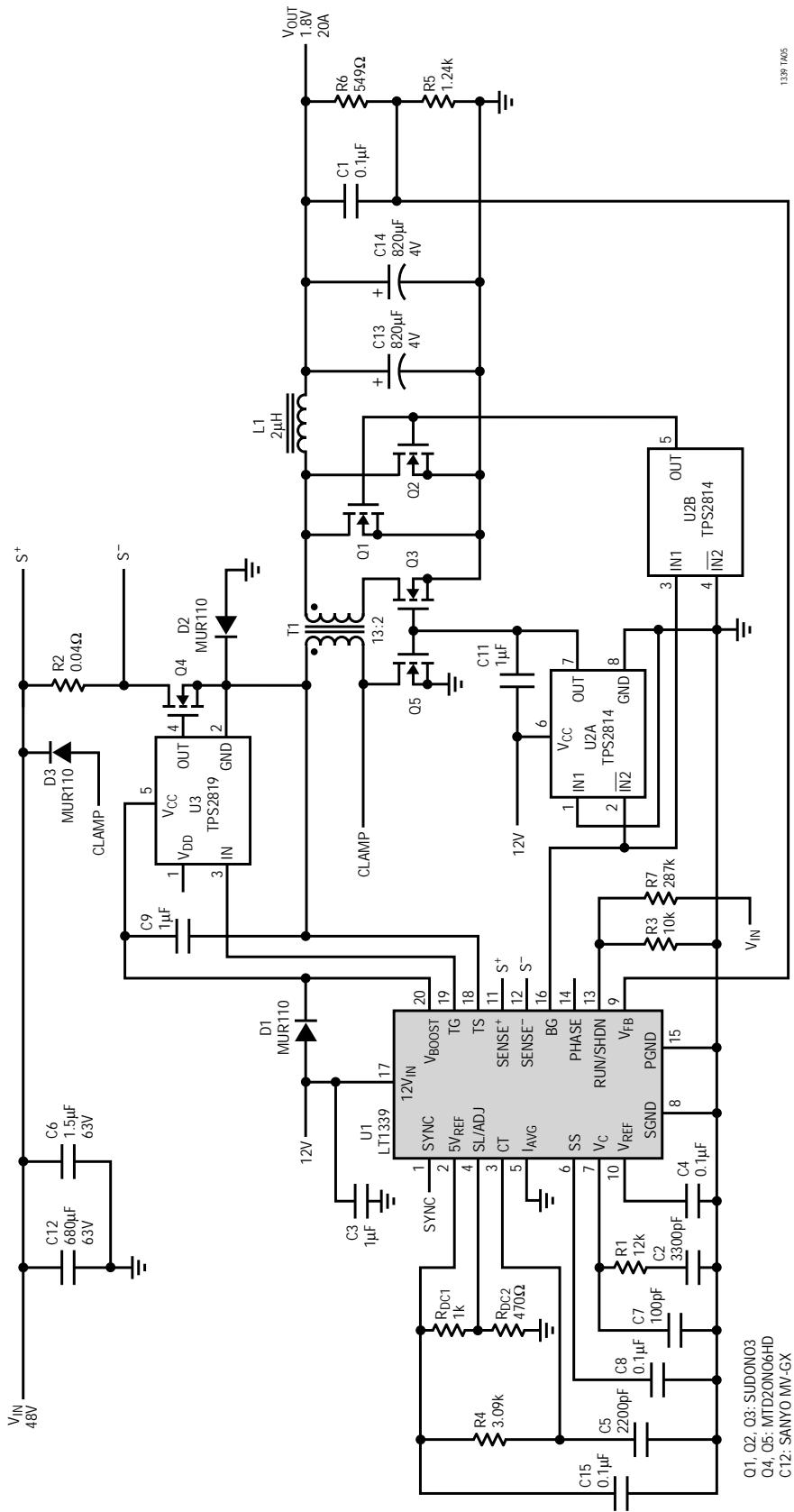
## 標準的応用例

## 入力電流を60A(DC)に制限した5V ~ 28V DC/DC同期式昇圧コンバータ



## 標準的応用例

48V ~ 1.8V Ø2トランジスタ同期式フォワード・コンバータ

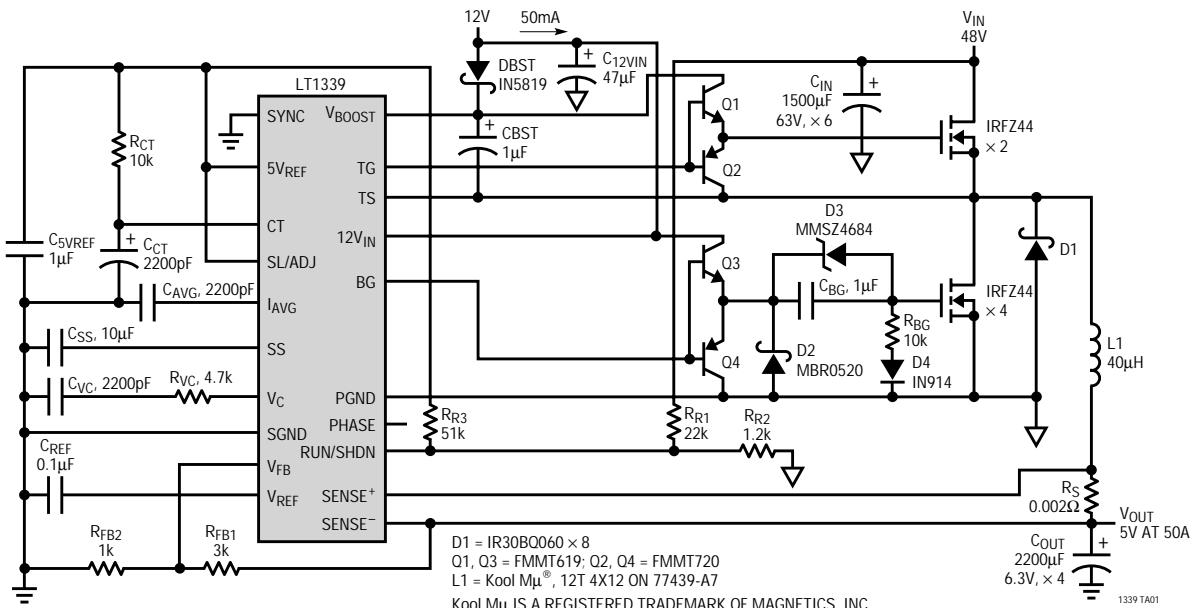


Q1, Q2, Q3: SUDON03  
 Q4, Q5: MTD20N06HD  
 C12: SANYO MV-GX  
 C13, C14: SANYO OS-CON

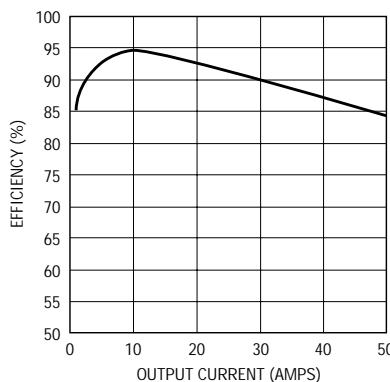
1339/TM05

## 標準的應用例

入力電源起動保護付き 48V ~ 5V 50A DC/DCコンバータ



48V ~ 5V 効率曲線



LT1339 • TA02

関連製品

PART NUMBER	DESCRIPTION	COMMENTS
LT1158	Half-Bridge N-Channel MOSFET Driver	Current Limit Protection, 100% of Duty Cycle
LT1160	Half-Bridge N-Channel MOSFET Driver	Up to 60V Input Supply, No Shoot-Through
LT1162	Dual Half-Bridge N-Channel MOSFET Driver	V <sub>IN</sub> to 60V, Good for Full-Bridge Applications
LT1336	Half-Bridge N-Channel MOSFET Driver	Smooth Operation at High Duty Cycle (95% to 100%)
LTC®1430	High Power Step-Down Switching Regulator Controller	Excellent for 5V to 3.3V Up to 50A
LTC1435	High Efficiency, Low Noise Current Mode Step-Down DC/DC Converter	Drives Synchronous N-Channel MOSFETs
LTC1438	Dual High Efficiency, Low Noise Synchronous Step-Down Controller	Tight 1% Reference
LT1680	High Power DC/DC Current Mode Step-Up Controller	High Side Current Sense, Up to 60V Input