

## 特長

- 25 度高精度フルスケールDAC出力電流を保証：
 

LTC1329A-50	50 $\mu$ A $\pm$ 1%
LTC1329-10	10 $\mu$ A $\pm$ 3%
LTC1329-50	50 $\mu$ A $\pm$ 3%
- 広いIDC対応出力電圧： - 15V ~ 2.5V
- 広い電源電圧範囲： 2.7V  $\leq$  V<sub>CC</sub>  $\leq$  6.5V
- シャットダウン時の消費電流： 0.2 $\mu$ A
- 低消費電流： LTC1329-10は75 $\mu$ A、LTC1329-50/LTC1329A-50は95 $\mu$ A
- 8ピンSOパッケージで供給
- トリプル・モード™インタフェース・モード
  1. 標準3線モード
  2. パルス・モード1線インタフェース：インクリメント専用モード
  3. パルス・モード2線インタフェース：インクリメント/デクリメント
- 3線モードで8ビットDAC値をリードバック可能
- 電源投入時DAC出力を中間レンジに設定
- シャットダウン時にもDAC設定を保持

## アプリケーション

- LCDコントラスト制御
- バックライト輝度制御
- バッテリー・チャージャ電流/電圧調整
- 電源電圧調整
- トリマ・ポットの代替え

## 概要

LTC®1329-10/LTC1329-50/LTC1329A-50はマイクロパワー8ビット電流出力D/Aコンバータ(DAC)です。出力範囲はLTC1329-10では0 $\mu$ Aから10 $\mu$ A、LTC1329-50/LTC1329A-50では0 $\mu$ Aから50 $\mu$ Aとなっています。DAC電流出力は3.3Vおよび5Vシステムでは、それぞれ - 15V ~ 2V、または - 15V ~ 2.5Vにバイアスできます。電源電流はLTC1329-50/LTC1329A-50ではわずか95 $\mu$ A、LTC1329-10では75 $\mu$ Aです。シャットダウン・モードでは電源電流が0.2 $\mu$ Aに低下します。

LTC1329は標準3線シリアル・モードと2種類のパルス・モードの3つのインタフェース・モードの1つを使用して、外部回路と通信を行うことができます。電源投入時に内部カウンタは1000 0000Bにリセットされ、DAC出力は中間レンジに設定され、チップはCSの信号レベルに応じて3線モードまたはパルス・モードに構成されます。

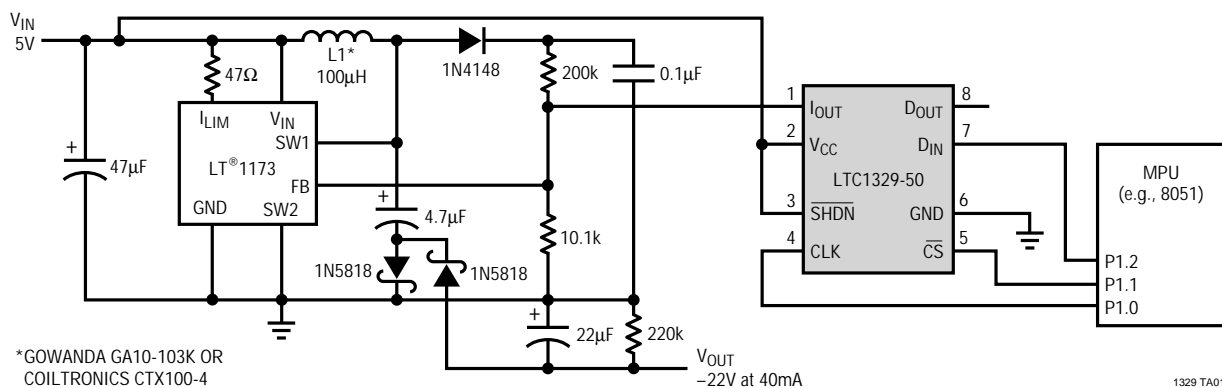
3線モードではシステムMPUはLTC1329との間で8ビット・データをシリアルに転送できます。パルス・モードでは、D<sub>IN</sub>の信号レベルに基づいて、DACの上位6ビットがインクリメント専用(1線インタフェース)またはインクリメント/デクリメント(2線インタフェース)動作として構成できます。

LTC1329は8ピンSOパッケージで供給されます。

Δ、LTC、LTはリニアテクノロジー社の登録商標です。  
トリプル・モードはリニアテクノロジー社の商標です。

## 標準的応用例

デジタル制御されたLCDバイアス発生器



## 絶対最大定格

(Note 1)

電源電圧 ( $V_{CC}$ )	7V
入力電圧 (全入力)	- 0.3V ~ ( $V_{CC} + 0.3V$ )
出力電圧	
$I_{OUT}$	- 15V ~ ( $V_{CC} + 0.3V$ )
$D_{OUT}$	- 0.3V ~ ( $V_{CC} + 0.3V$ )
短絡時間 (全出力)	無限
動作温度範囲	0 ~ 70
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

## パッケージ/発注情報

	ORDER PART NUMBER	
	LTC1329CS8-10	
	LTC1329CS8-50	
	LTC1329ACS8-50	
S8 PART MARKING		
13291	1329A5	
13295		

インダストリアルおよびミリタリ・グレードに関してはお問い合わせください。

## 電気的特性 注記がない限り、 $V_{CC} = 3.3V$ 、 $T_A = 25$

SYMBOL	PARAMETER	CONDITIONS	LTC1329-10			LTC1329-50/LTC1329A-50			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX		
$V_{CC}$			●	2.7	6.5	2.7	6.5	V		
$I_{CC}$	Supply Current	$V_{SHDN} = V_{DIN} = V_{CS} = V_{CC}$ , $V_{CLK} = 0V$ , $D_{OUT} = NC$ , $I_{OUT} = NC$	●	75	130	95	150	$\mu A$		
		Shutdown	●	0.2	5	0.2	5	$\mu A$		
	DAC Resolution			8	8	8	Bits			
	DAC Full-Scale Current	Output Voltage at $I_{OUT} = 0.45V$ , $T_A = 25^\circ C$ (LTC1329-10, LTC1329-50)	●	9.7	10	10.3	48.5	50	51.5	$\mu A$
		Output Voltage at $I_{OUT} = 0.45V$ , $T_A = 25^\circ C$ (LTC1329A-50)	●	9.5	10	10.5	47.5	50	52.5	$\mu A$
	DAC Zero-Scale Current	Output Voltage at $I_{OUT} = 0.45V$	●		200		200	nA		
	DAC Differential Nonlinearity	Monotonicity Guaranteed	●	$\pm 0.3$	$\pm 0.9$		$\pm 0.9$	LSB		
	Supply Voltage Rejection	$V_{CC} = 3V$ to $5.5V$ , $I_{OUT} =$ Full Scale, Output Voltage at $I_{OUT} = 0.45V$	●	$\pm 1$	$\pm 2$	$\pm 1$	$\pm 2$	LSB		
		$V_{CC} = 2.7V$ to $6.5V$ , Full Scale, Output Voltage at $I_{OUT} = 0.45V$	●	$\pm 2.5$	$\pm 4$	$\pm 2.5$	$\pm 4$	LSB		
	Output Voltage Rejection	$V_{CC} = 5V$ , $I_{OUT} =$ Full Scale, Output Voltage at $I_{OUT} = -15V$ to $0V$	●	$\pm 0.25$	$\pm 1$		$\pm 0.25$	LSB		
		$V_{CC} = 5V$ , $I_{OUT} =$ Full Scale, Output Voltage at $I_{OUT} = 0V$ to $2.5V$	●		$\pm 1.5$		$\pm 1.5$	LSB		
$I_{IH}$ , $I_{IL}$	Logic Input Current	$0V \leq V_{IN} \leq V_{CC}$	●		$\pm 1$		$\pm 1$	$\mu A$		
$V_{IH}$	High Level Input Voltage	$V_{CC} = 5V$	●	2.0		2.0		V		
		$V_{CC} = 3.3V$	●	1.9		1.9		V		
$V_{IL}$	Low Level Input Voltage	$V_{CC} = 5V$	●		0.80		0.80	V		
		$V_{CC} = 3.3V$	●		0.45		0.45	V		
$V_{OH}$	High Level Output Voltage	$V_{CC} = 5V$ , $I_O = 400\mu A$	●	2.4		2.4		V		
		$V_{CC} = 3.3V$ , $I_O = 400\mu A$	●	2.1		2.1		V		
$V_{OL}$	Low Level Output Voltage	$V_{CC} = 5V$ , $I_O = 2mA$	●		0.4		0.4	V		
		$V_{CC} = 3.3V$ , $I_O = 1mA$	●		0.4		0.4	V		
$I_{OZ}$	Three-State Output Leakage	$V_{CS} = V_{CC}$	●		$\pm 5$		$\pm 5$	$\mu A$		

# LTC1329-10/ LTC1329-50/LTC1329A-50

## 推奨動作条件 注記がない限り、 $V_{CC} = 3.3V$ (Notes 2, 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Serial Interface</b>						
$f_{CLK}$	Clock Frequency		●		2	MHz
$t_{CKS}$	Setup Time, CLK↓ Before $\overline{CS}$ ↓		●	150		ns
$t_{\overline{CSS}}$	Setup Time, $\overline{CS}$ ↓ Before CLK↑		●	400		ns
$t_{DV}$	$\overline{CS}$ ↓ to $D_{OUT}$ Valid	See Test Circuits	●	150		ns
$t_{DS}$	$D_{IN}$ Setup Time Before CLK↑		●	150		ns
$t_{DH}$	$D_{IN}$ Hold Time After CLK↑		●	150		ns
$t_{DO}$	CLK↓ to $D_{OUT}$ Valid	See Test Circuits	●	150		ns
$t_{CKHI}$	CLK High Time		●	200		ns
$t_{CKLO}$	CLK Low Time		●	250		ns
$t_{\overline{CSH}}$	CLK↓ Before $\overline{CS}$ ↑		●	150		ns
$t_{DZ}$	$\overline{CS}$ ↑ to $D_{OUT}$ in Hi-Z	See Test Circuits	●		400	ns
$t_{CKH}$	$\overline{CS}$ ↑ Before CLK↑		●		400	ns
$t_{\overline{CSLO}}$	$\overline{CS}$ Low Time	$f_{CLK} = 2MHz$ (Note 4) $V_{CLK} = 0V$	●	4550		ns
			●	400		ns
$t_{\overline{CSHI}}$	$\overline{CS}$ High Time		●	400		ns

は全動作温度範囲の規格値を意味する。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

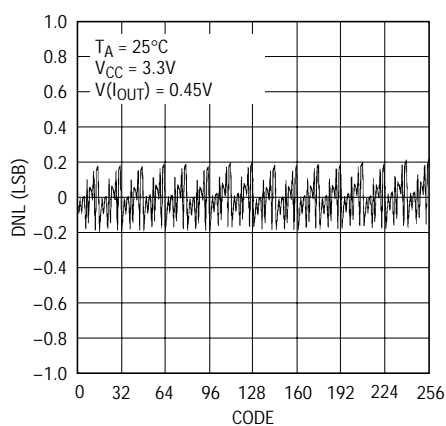
Note 2: すべての入力信号に対するタイミングは“H”から“L”の遷移では0.8V、また“L”から“H”の遷移では2Vで測定されている。

Note 3: タイミング仕様は保証されているが、テストされていない。

Note 4: これは有効データ転送に必要な最小時間。

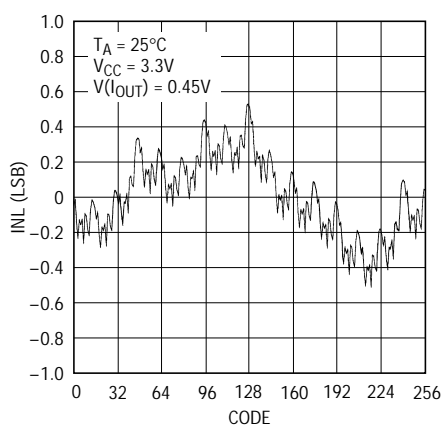
## 標準的性能特性

LTC1329-10 DNLとコード



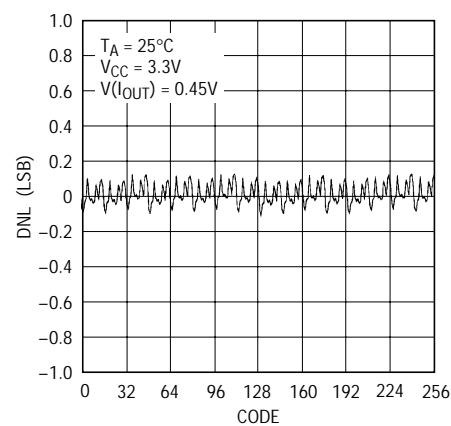
1392 G01

LTC1329-10 INLとコード



1329 - TPC02

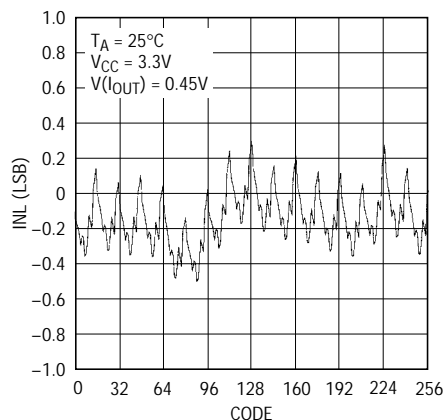
LTC1329-50 DNLとコード



1392 G03

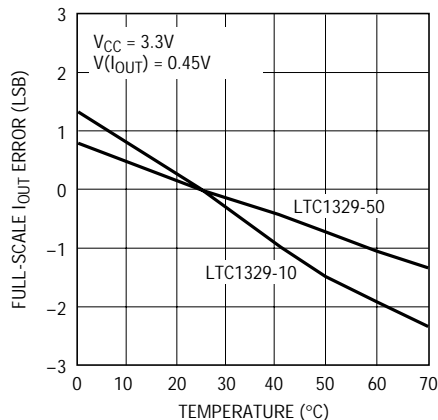
## 標準的性能特性

LTC1329-50 INLとコード



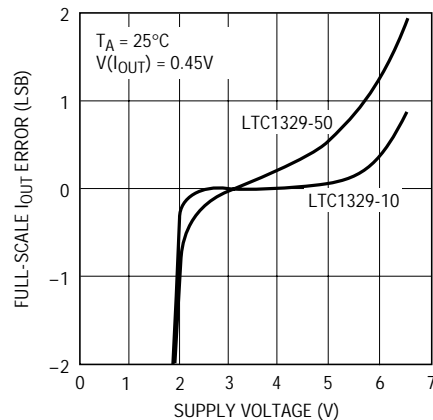
1329-TPC04

LTC1329-10/LTC1329-50  
フルスケール電流と温度



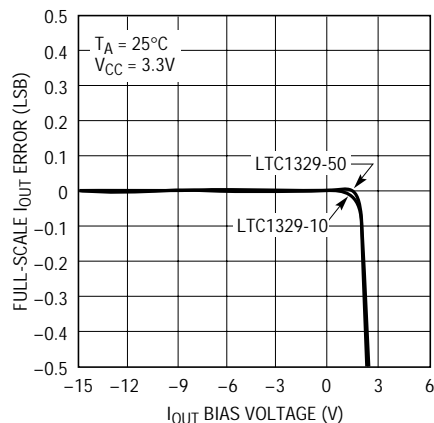
1329-G05

LTC1329-10/LTC1329-50  
電源電圧除去



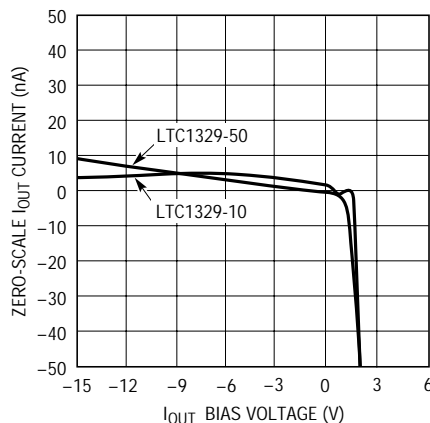
1329-G06

LTC1329-10/LTC1329-50  
バイアス電圧除去  
(フルスケール電流)



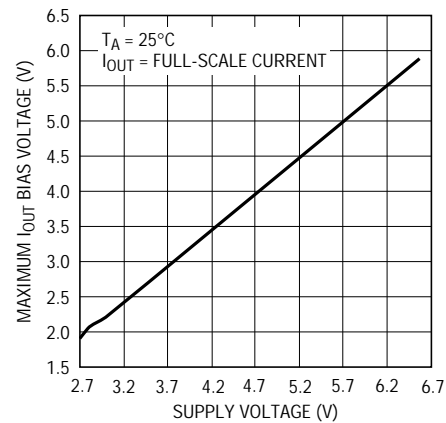
1329-G07

LTC1329-10/LTC1329-50  
バイアス電圧除去  
(ゼロスケール電流)



1329-G08

最大IOUTバイアス電圧と  
電源電圧



1329-TPC09

## ピン機能

$I_{OUT}$  (ピン1): DAC電流出力。3.3Vまたは5Vシステムでは、DAC電流出力はそれぞれ -15V ~ 2Vまたは -15V ~ 2.5Vにバイアスすることができます。

$V_{CC}$  (ピン2): 電圧電源 ( $2.7V \leq V_{CC} \leq 6.5V$ )。この電源は直接グランド・プレーンにバイパスして、ノイズやリップルが乗らないようにしなければなりません。

$\overline{SHDN}$  (ピン3): シャットダウン。このピンに“L”を印加すると、チップはシャットダウン・モードになります。DACのデジタル設定値は保持されます。

CLK (ピン4): シフト・クロック。このクロックは3線モードでシリアル・データに同期します。このピンはシュミット・トリガ入力を持っています。

$\overline{CS}$  (ピン5): チップ・セレクト入力。3線モードでは、この $\overline{CS}$ ピンに“L”を印加するとLTC1329がイネーブルされます。電源立上り時に $\overline{CS}$ が“H”ならば、チップはパルス・モードになります。 $\overline{CS}$ を“L”にすれば、チップは次に電源が投入されるまで3線モードに構成されます。

GND (ピン6): グランド。グランドは直接グランド・プレーンに接続しなければなりません。

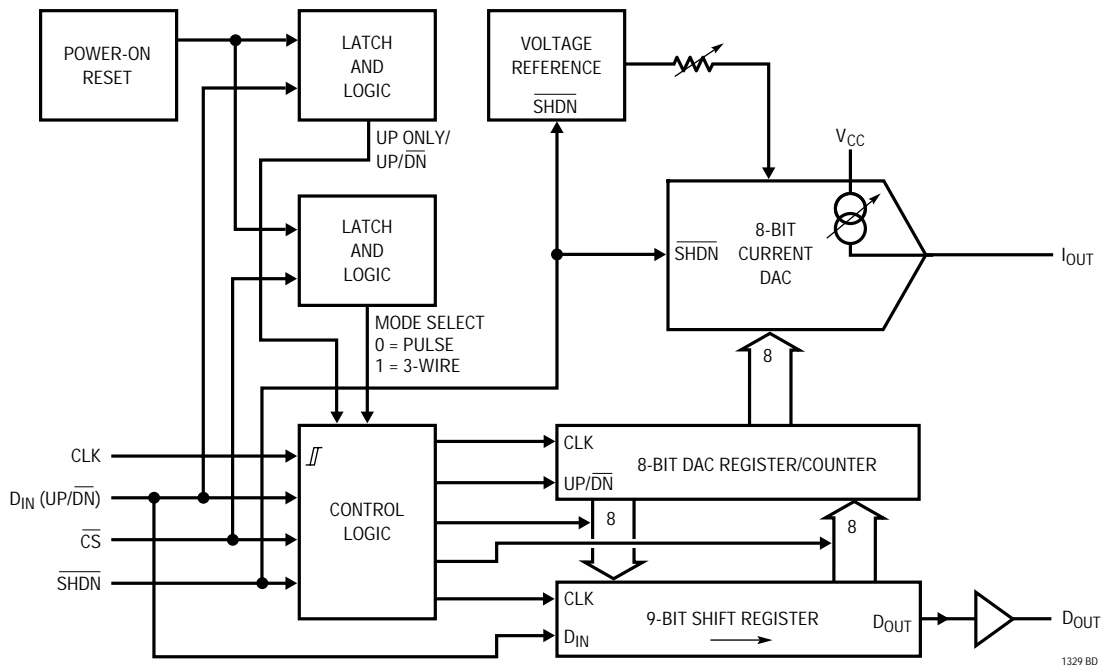
$D_{IN}$  ( $UP/\overline{DN}$ ) (ピン7): データ入力。3線モードでは、CLKの立上りエッジでDACデータ $D_{IN}$ にシフトインされます。パルス・モードでは、電源立上り時に $D_{IN}$ が“H”なら、カウンタはインクリメント専用モードに入ります。

## ピン機能

$D_{IN}$ を“L”にすると、電源が再度立ち上げられるまでカウンタはインクリメント/デクリメント・モードに構成されます。

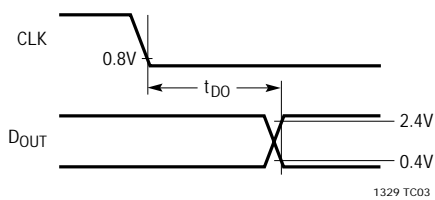
$D_{OUT}$ (ピン8): データ出力。3線モードでは、変換を実行するたびに $D_{OUT}$ は前の8ビットDACデータをシリアルに出力します。パルス・モードでは、 $D_{OUT}$ はスリーステートになります。

## ブロック図



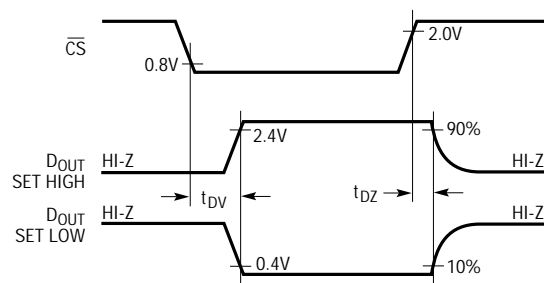
## テスト回路

$t_{DO}$ の電圧波形



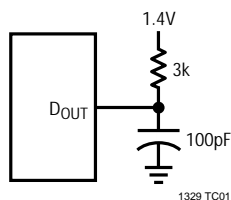
1329 TC03

$t_{DZ}$ 、 $t_{DV}$ の電圧波形



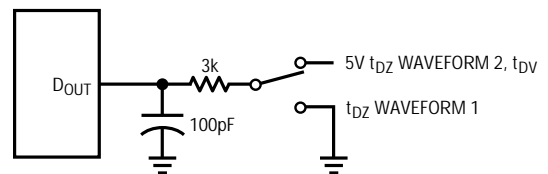
1329 TC04

$t_{DO}$ の負荷回路



1329 TC01

$t_{DZ}$ 、 $t_{DV}$ の負荷回路



1329 TC02

## シリアル/I/O動作シーケンス

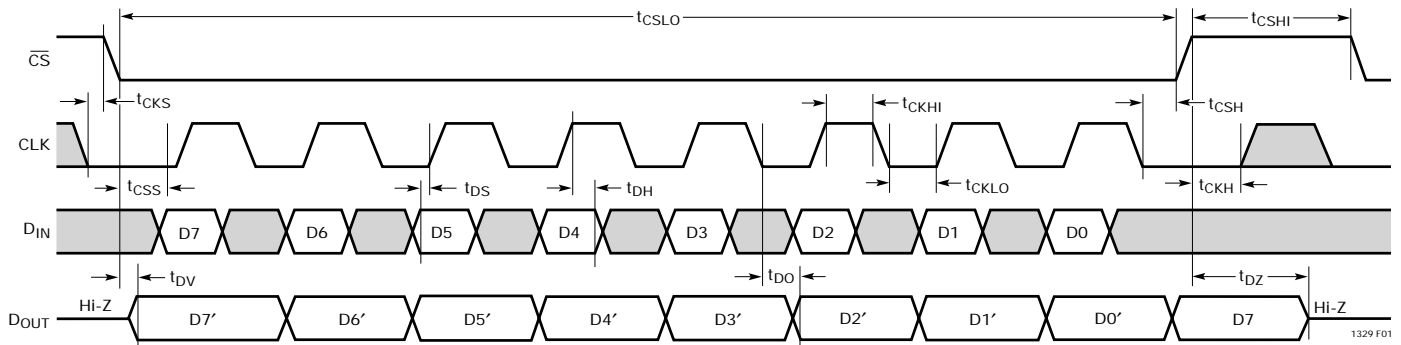


図1. 3線インタフェース・タイミング仕様

## アプリケーション情報

### 8ビット電流出力DAC

LTC1329-10/LTC1329-50/LTC1329A-50は、8ビットの電流出力デジタル-アナログ(DAC)コンバータです。各ICとも、8ビットDAC出力は単調性が保証されており、256の等ステップでデジタル的に調整可能です。電源投入時に内部DACレジスタは10000000Bにリセットされ、DAC出力は中間レンジに設定されます。電流出力( $I_{OUT}$ )は3.3Vおよび5Vシステムでは、それぞれ -15V ~ 2Vまたは -15V ~ 2.5Vにバイアスすることができます。LTC1329-10は室温で $\pm 3\%$ (全温度範囲では $\pm 5\%$ )に調整された10 $\mu$ Aのフルスケール出力を備えており、LTC1329-50は50 $\mu$ Aのフルスケールと2つの精度グレードを備えています。LTC1329A-50の室温での精度は $\pm 1\%$ (全温度範囲では $\pm 2\%$ )、LTC1329-50の室温での精度は $\pm 3\%$ (全温度範囲では $\pm 5\%$ )です。すべてのバージョンが柔軟性の高いシリアル・デジタル・インタフェースを内蔵しており、多様なデジタル・システムとの相互接続を簡単に行うことができます。

### デジタル・インタフェース

#### 自動モード選択

LTC1329ファミリは、標準3線モード、2線アップ/ダウン・パルス・モードおよび1線インクリメント専用モードの3つのプロトコルのうちの1つを使用して、ホスト・システムと通信することができるシリアル・インタフェースを内蔵しています。LTC1329ファミリはデータが提供される方法に応じて、自身を自動構成できるように設計されています。この自動検出動作を表す図を図2に示します。電源立上り時にはインタフェースは1線パルス・モードに設定されます。

$\overline{CS}$ ラインが $\overline{L}$ になると(有効な3線シリアル転送開始時など)、チップはすぐに自身を3線モードに再構成し、次に電源が再度立ち上げられるまでこのモードを保持します。 $\overline{CS}$ が $\overline{H}$ に保持されると、LTC1329ファミリはパルス・モードにとどまり、UP/ $\overline{DN}$ ピンを監視して2線モードに切り替えるかどうかを判断します。UP/ $\overline{DN}$ が $\overline{L}$ になると(最初に「ダウン」コマンドが与えられたときなど)、チップは2線パルス・モードに切り替わって、次に電源が再度立ち上げられるまでこのモードにとどまります。適切に構成された1線システムでは、 $\overline{CS}$ とUP/ $\overline{DN}$ が継続的に $\overline{H}$ に保持され、LTC1329-10/LTC1329-50/LTC1329A-50は1線パルス・モードにとどまります。2線パルス・モードのシステムは、最初の数パルスが偶然「アップ」になったときに、LTC1329ファミリが1線モードを保持するのを防ぐために、最初のデータ・パルスが送信される前に「ダウン」パルスを送信しなければなりません。

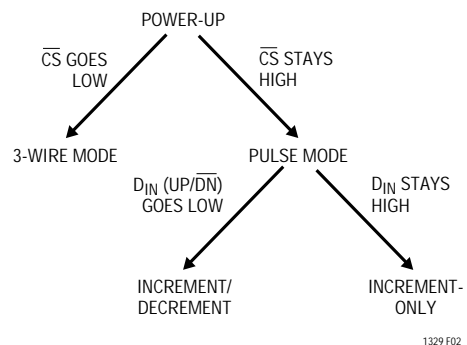


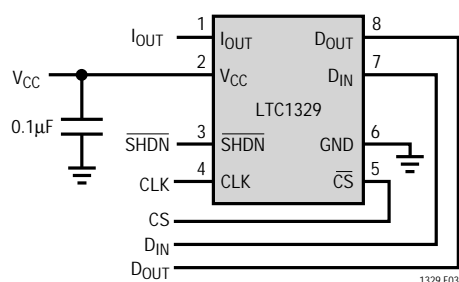
図2. LTC1329動作モード

## アプリケーション情報

### 標準3線モード(図3)

図1のシリアル・インタフェース動作シーケンスを参照してください。3線モードで動作する場合、LTC1329-10/LTC1329-50/LTC1329A-50は大部分の標準3線または4線シリアル・インタフェース・システムと直接インタフェースします。クロック(CLK)入力はデータ転送を、CLKの立上りエッジで捕捉された各入力ビットおよび立下りエッジでD<sub>OUT</sub>を通してシフトアウトされた各出力データ・ビットに同期させます。 $\overline{CS}$ の立下りエッジでデータ転送が開始され、D<sub>OUT</sub>ピンは3ステート状態から解放されます。新しいIDAC設定値を表すシリアル8ビット・データがD<sub>IN</sub>ピンにシフトインされます。同時に前述のDAC設定値がD<sub>OUT</sub>ピンからシフトアウトされます。新しいデータがシフトインされた後、 $\overline{CS}$ の立上りエッジでデータが入力シフト・レジスタからDACレジスタに転送されます。DAC出力は新しい値を出力し、D<sub>OUT</sub>ピンはハイ・インピーダンス状態に戻ります。

$$I_{OUT} = (B7 B6 B5 B4 B3 B2 B1 B0)_{FULLSCALE}/255$$



D<sub>IN</sub> AND D<sub>OUT</sub> CAN BE TIED TOGETHER FOR HALF DUPLEX DATA TRANSFER

図3. 3線モード; シリアル・インタフェース  
( $\overline{CS}$ 、CLK、D<sub>IN</sub>による3線制御)

### 1線インタフェース(パルス・モード、図4)

1線パルス・モードでは、CLKの各立上りエッジでDACレジスタの上位6ビットを1カウントだけインクリメントします。11111100Bを超えてインクリメントされると、カウンタはロールオーバーして、DACには最小値(00000000B)がセットされます。このように、CLKに1個のパルスが印加されると、DAC出力が4-LSBステップだけ上昇し、63個のパルスが印加されるとDAC出力は1ステップ減少します。パルス・モードでは最後の2LSBは常にゼロです。

$$I_{OUT} = (B7 B6 B5 B4 B3 B2 0 0)_{FULLSCALE}/255$$

LTC1329-10/LTC1329-50/LTC1329A-50を1線パルス・モードに構成するには、 $\overline{CS}$ ピンとD<sub>IN</sub>ピンの両方をV<sub>CC</sub>に接続してください。

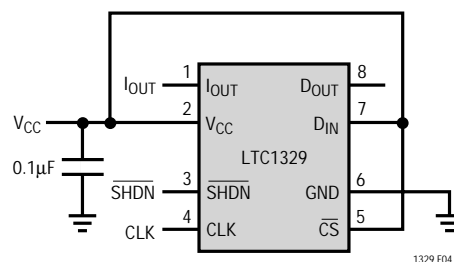


図4. パルス・モード; インクリメント専用  
(CLKによる1線制御)

### 2線インタフェース(パルス・モード、図5)

2線パルス・モードでは、UP/DNが“H”ならDACレジスタはインクリメント・モードにプログラムされ、CLKの各立上りエッジでレジスタの上位6ビットを1カウントだけインクリメントします。同様に、UP/DNが“L”であれば、DACレジスタはデクリメント・モードにセットされ、CLKの立上りエッジでレジスタの上位6ビットを1カウントだけデクリメントします。2線モードの各カウントは、DAC出力を4-LSBステップだけ変化させます。DACレジスタは11111100Bでインクリメントを停止し、00000000Bでデクリメントを停止して、2線パルス・モードではロールオーバーしません。パルス・モードでは最後の2LSBは常にゼロです。

$$I_{OUT} = (B7 B6 B5 B4 B3 B2 0 0)_{FULLSCALE}/255$$

LTC1329-10/LTC1329-50/LTC1329A-50を2線パルス・モードに構成するには、 $\overline{CS}$ をV<sub>CC</sub>に接続し、少なくとも電源立上り時に一度はUP/DNピンを“L”にしてください。

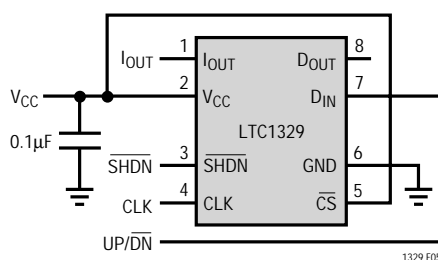
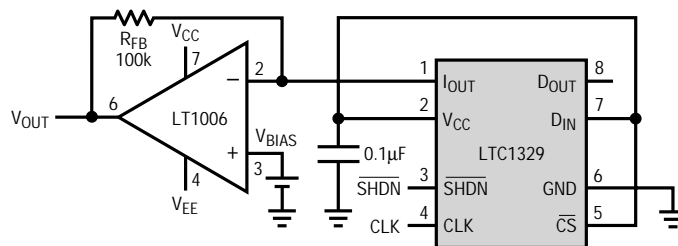


図5. パルス・モード; インクリメント/デクリメント  
(CLKおよびUP/DNによる2線制御)

標準的応用例

パルス・モード：電圧出力付き  
インクリメント専用(CLKによる1線制御)



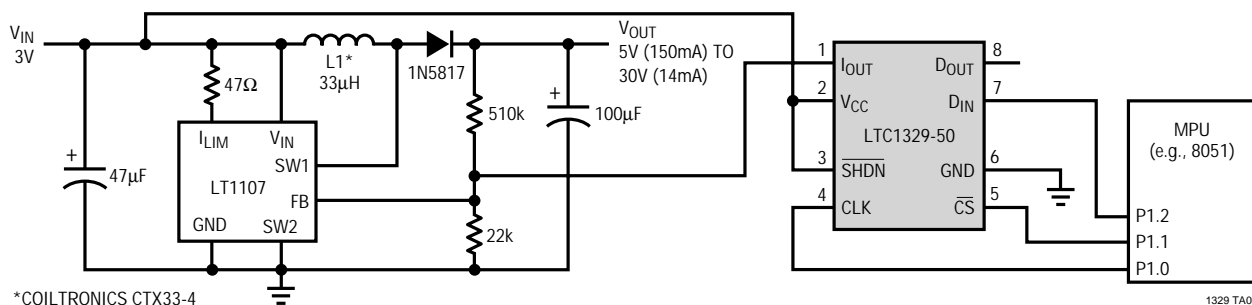
$$V_{OUT} = (-I_{OUT})(R_{FB} + V_{BIAS})$$

$$V_{EE} < V_{BIAS} + V_{OUT}$$

FOR  $V_{CC} = 3.3V, -15V \leq V_{BIAS} \leq 2V$   
FOR  $V_{CC} = 5V, -15V \leq V_{BIAS} \leq 2.5V$

1329 TA02

デジタル制御された電源調整



\*COILTRONICS CTX33-4

1329 TA03

関連製品

PART NUMBER	DESCRIPTION	COMMENTS
LTC1451	12-Bit Micropower Serial Input $V_{OUT}$ DAC	Higher Resolution, 8-Pin SO
LTC1452	12-Bit Multiplying Serial Input $V_{OUT}$ DAC	Higher Resolution, 8-Pin SO
LTC8043	12-Bit Multiplying Serial Input $I_{OUT}$ DAC	Higher Resolution, 8-Pin SO