

12ビット、600kspsサンプリング A/Dコンバータ シャットダウン付き

特長

- 単一5Vまたは±5V電源動作
- サンプリング・レート：600ksps
- ナイキスト入力周波数にて70dB S/(N + D) および74dB THD
- 消費電力：60mW(TYP)
- 即時ウェイクアップ機能付きパワー・シャットダウン
- 内部リファレンスを外部からオーバドライブ可能
- 内部同期クロック。クロック不要
- ハイ・インピーダンス・アナログ入力
- 入力範囲：0V ~ 5Vまたは±2.5V
- フレキシブル・パラレル・インタフェースによりDSP およびFIFOへの接続が容易
- 24ピンSOワイド・パッケージ

アプリケーション

- 高速データ変換
- デジタル信号処理
- チャネル・データ収集システム
- オーディオおよびテレコム処理
- スペクトル分析

概要

LTC[®]1279は、1.4 μ s、600kspsサンプリング12ビットA/Dコンバータで、単一5Vまたは±5V電源で動作し、動作時の消費電力はわずか60mWです。このデバイスは使いやすく、160nsサンプル&ホールド、精度リファレンス、内部トリミングされたクロックを内蔵しています。ユニポーラおよびバイポーラ変換モードを備え、柔軟性に優れたADCです。パワー・シャットダウン・モードでは、さらに消費電力が低減され、わずか8.5mWです。パワー・シャットダウンからの即時ウェイクアップによって、コンバータは、短い非アクティブ期間中でもパワー・ダウンすることができます。

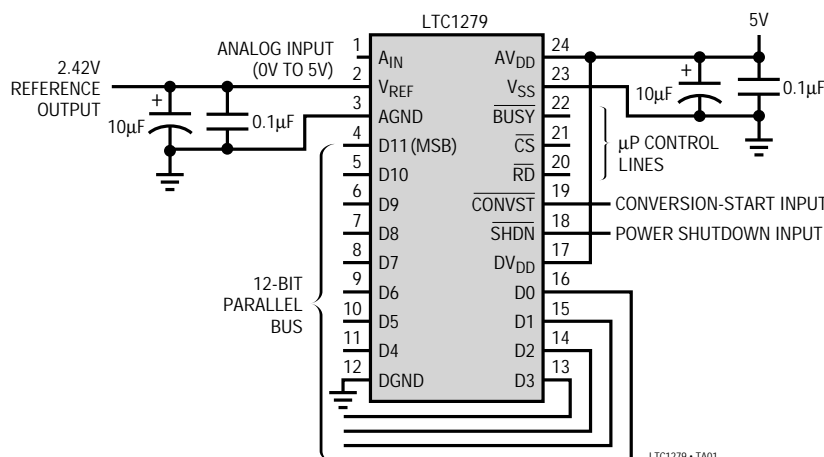
LTC1279は、単一5V電源での0V ~ 5Vのユニポーラ入力および±5V電源での±2.5Vバイポーラ入力にて使用できます。DC仕様には、±1LSB INLと±1LSB DNLが最大値で規定されています。全温度範囲にわたる100kHzの入力周波数での70dB S/(N + D)および78dB THDなど、卓越したAC性能を実現しています。

内部クロックは変換時間が1.4 μ sになるようにトリミングされています。クロックは自動的に各サンプル・コマンドに同期するため、競合デバイスに見られる非同期クロック・ノイズの問題は発生しません。変換スタート入力とデータレディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。

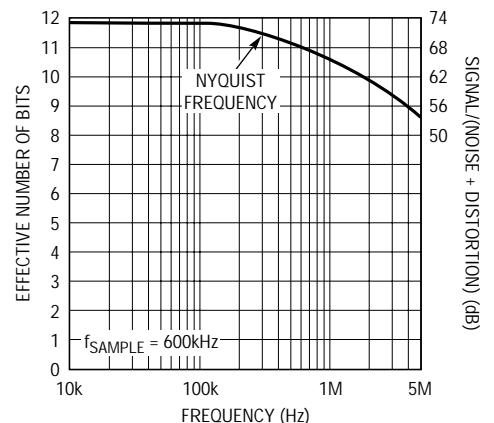
▲ LTC、LTはリアテクノロジー社の登録商標です。

TYPICAL APPLICATION

Single 5V Supply, 600kHz, 12-Bit Sampling A/D Converter



Effective Bits and Signal-to-(Noise + Distortion) vs Input Frequency

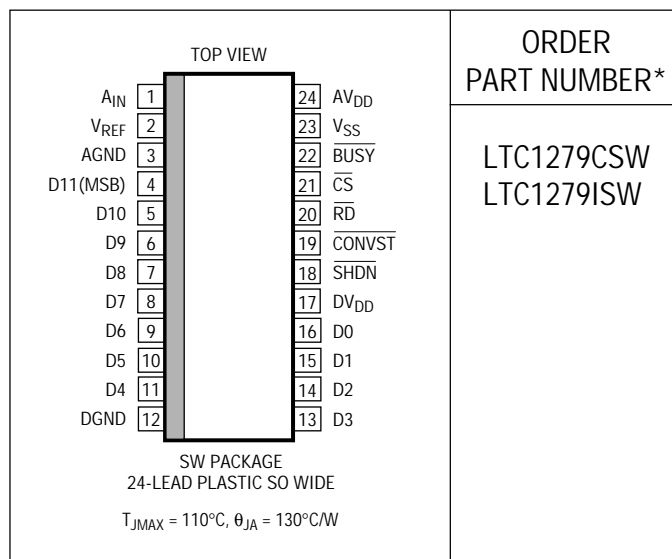


ABSOLUTE MAXIMUM RATINGS

$AV_{DD} = DV_{DD} = V_{DD}$ (Notes 1, 2)

Supply Voltage (V_{DD})	7V
Negative Supply Voltage (V_{SS})	
Bipolar Operation Only	-6V to GND
Total Supply Voltage (V_{DD} to V_{SS})	
Bipolar Operation Only	12V
Analog Input Voltage (Note 3)	
Unipolar Operation	-0.3V to $V_{DD} + 0.3V$
Bipolar Operation	$V_{SS} - 0.3V$ to $V_{DD} + 0.3V$
Digital Input Voltage (Note 4)	
Unipolar Operation	-0.3V to 12V
Bipolar Operation	$V_{SS} - 0.3V$ to 12V
Digital Output Voltage	
Unipolar Operation	-0.3V to $V_{DD} + 0.3V$
Bipolar Operation	-0.3V to $V_{DD} + 0.3V$
Power Dissipation	500mW
Operating Temperature Range	
LTC1279C	0°C to 70°C
LTC1279I	-40°C to 85°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION



ORDER PART NUMBER*

LTC1279CSW
LTC1279ISW

*Consult factory for plastic DIP package.
Consult factory for Military grade parts.

CONVERTER CHARACTERISTICS With Internal Reference (Notes 5, 6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 7)	●		±1	LSB
Differential Linearity Error		●		±1	LSB
Bipolar Offset Error	(Note 8)	●		±4 ±6	LSB LSB
Unipolar Offset Error		●		±6 ±8	LSB LSB
Gain Error				±15	LSB
Gain Error Tempco	$I_{OUT(REF)} = 0$	●	±10	±45	ppm/°C

ANALOG INPUT (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 9)	$4.95V \leq V_{DD} \leq 5.25V$ (Unipolar)	●	0 to 5		V
		$4.75V \leq V_{DD} \leq 5.25V, -5.25V \leq V_{SS} \leq -2.45V$ (Bipolar)	●	±2.5		V
I_{IN}	Analog Input Leakage Current	$\overline{CS} = \text{High}$	●		±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		25		pF
		During Conversions (Hold Mode)		5		pF

DYNAMIC ACCURACY (Notes 5, 10)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal	●	70	72	dB	
		300kHz Input Signal			70		
THD	Total Harmonic Distortion First 5 Harmonics	100kHz Input Signal	●		-82	-78	dB
		300kHz Input Signal			-74		dB
	Peak Harmonic or Spurious Noise	100kHz Input Signal 300kHz Input Signal	●		-82	-78	dB
IMD	Intermodulation Distortion	$f_{IN1} = 94.189\text{kHz}$, $f_{IN2} = 97.705\text{kHz}$ 2nd Order Terms 3rd Order Terms	●		-81		dB
					-78		dB
		$f_{IN1} = 299.26\text{kHz}$, $f_{IN2} = 305.12\text{kHz}$ 2nd Order Terms 3rd Order Terms	●		-77		dB
					-74		dB
	Full Power Bandwidth			5		MHz	
	Full Linear Bandwidth (S/(N + D) \geq 68dB)			500		kHz	

INTERNAL REFERENCE CHARACTERISTICS (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.400	2.420	2.440	V
V_{REF} Output Tempco	$I_{OUT} = 0$	●	± 10	± 45	ppm/ $^{\circ}\text{C}$
V_{REF} Line Regulation	$4.95\text{V} \leq V_{DD} \leq 5.25\text{V}$ $-5.25\text{V} \leq V_{SS} \leq -4.95\text{V}$		0.01		LSB/V
V_{REF} Load Regulation	$-5\text{mA} \leq I_{OUT} \leq 800\mu\text{A}$		2		LSB/mA

DIGITAL INPUTS AND DIGITAL OUTPUTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	●	2.4		V	
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.95\text{V}$	●		0.8	V	
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}	●		± 10	μA	
C_{IN}	Digital Input Capacitance			5		pF	
V_{OH}	High Level Output Voltage	$V_{DD} = 4.95\text{V}$ $I_O = -10\mu\text{A}$ $I_O = -200\mu\text{A}$	●		4.9		V
				4.0			V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.95\text{V}$ $I_O = 160\mu\text{A}$ $I_O = 1.6\text{mA}$	●		0.05		V
					0.10	0.4	V
I_{OZ}	High-Z Output Leakage D11 to D0	$V_{OUT} = 0\text{V}$ to V_{DD} , $\overline{\text{CS}}$ High	●		± 10	μA	
C_{OZ}	High-Z Output Capacitance D11 to D0	$\overline{\text{CS}}$ High (Note 9)	●		15	pF	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA	
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA	

POWER REQUIREMENTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD}	Positive Supply Voltage (Notes 11, 12)	Unipolar	4.95		5.25	V
		Bipolar	4.75		5.25	V
V _{SS}	Negative Supply Voltage (Note 11, 12)	Bipolar Only	-2.45		-5.25	V
I _{DD}	Positive Supply Current	f _{SAMPLE} = 600ksps	●	12	24	mA
		SHDN = 0V	●	1.7	3	mA
I _{SS}	Negative Supply Current	f _{SAMPLE} = 600ksps, V _{SS} = -5V	●	0.12	0.30	mA
P _D	Power Dissipation	f _{SAMPLE} = 600ksps	●	60	120	mW
		SHDN = 0V	●	8.5	15	mW

TIMING CHARACTERISTICS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
f _{SAMPLE(MAX)}	Maximum Sampling Frequency		●	600		kHz	
t _{SAMPLE(MIN)}	Minimum Throughput Time (Acquisition Time Plus Conversion Time)		●		1.66	μs	
t _{CONV}	Conversion Time		●	1.4	1.6	μs	
t _{ACQ}	Acquisition Time			160		ns	
t ₁	$\overline{CS}\downarrow$ to $\overline{RD}\downarrow$ Setup Time	(Notes 9, 11)	●	0		ns	
t ₂	$\overline{CS}\downarrow$ to $\overline{CONVST}\downarrow$ Setup Time	(Notes 9, 11)	●	20		ns	
t ₃	$\overline{SHDN}\uparrow$ to $\overline{CONVST}\downarrow$ Wake-Up Time	(Note 11)		350		ns	
t ₄	\overline{CONVST} Low Time	(Notes 11, 13)	●	40		ns	
t ₅	$\overline{CONVST}\downarrow$ to $\overline{BUSY}\downarrow$ Delay	C _L = 100pF		50	110	ns	
		Commercial	●		130	ns	
		Industrial	●		140	ns	
t ₆	Data Ready Before $\overline{BUSY}\uparrow$	C _L = 20pF	●	20	40	ns	
t ₇	Wait Time $\overline{RD}\downarrow$ After $\overline{BUSY}\uparrow$	Mode 2, (See Figure 14) (Note 9)	●	-20		ns	
t ₈	Data Access Time After $\overline{RD}\downarrow$	C _L = 20pF (Note 9)		35	90	ns	
		Commercial	●		110	ns	
		Industrial	●		120	ns	
		C _L = 100pF		50	125	ns	
	Commercial	●		150	ns		
	Industrial	●		170	ns		
t ₉	Bus Relinquish Time	(3k and 10pF Connected as Shown in Test Circuits)		10	30	75	ns
		Commercial	●	10		85	ns
		Industrial	●	10		90	ns
t ₁₀	\overline{RD} Low Time	(Note 9)	●	t ₈		ns	
t ₁₁	\overline{CONVST} High Time	(Notes 9, 13)	●	40		ns	
t ₁₂	Aperture Delay of Sample-and-Hold	Jitter <50ps		12		ns	

TIMING CHARACTERISTICS (Note 5)

The ● indicates specifications which apply over the full operating temperature range; all other limits and typicals $T_A = 25^\circ\text{C}$.

Note 1: Absolute maximum ratings are those values beyond which the life of a device may be impaired.

Note 2: All voltage values are with respect to ground with DGND and AGND wired together (unless otherwise noted).

Note 3: When the analog input voltage is taken below V_{SS} (ground for unipolar mode) or above V_{DD} , it will be clamped by internal diodes. This product can handle input currents greater than 80mA below V_{SS} (ground for unipolar mode) or above V_{DD} without latch-up.

Note 4: When these pin voltages are taken below V_{SS} (ground for unipolar mode), they will be clamped by internal diodes. This product can handle input currents greater than 60mA below V_{SS} (ground for unipolar mode) without latch-up. These pins are not clamped to V_{DD} .

Note 5: $AV_{DD} = DV_{DD} = V_{DD} = 5V$, ($V_{SS} = -5V$ for bipolar mode), $f_{SAMPLE} = 600\text{kHz}$, $t_r = t_f = 5\text{ns}$ unless otherwise specified.

Note 6: Linearity, offset and full scale specifications apply for unipolar and bipolar modes.

Note 7: Integral nonlinearity is defined as the deviation of a code from a straight line passing through the actual endpoints of the transfer curve. The deviation is measured from the center of the quantization band.

Note 8: Bipolar offset is the offset voltage measured from $-1/2\text{LSB}$ when the output code flickers between 0000 0000 0000 and 1111 1111 1111.

Note 9: Guaranteed by design, not subject to test.

Note 10: The AC test is for bipolar mode. The signal-to-noise plus distortion ratio is about 1dB lower for unipolar mode, so the typical $S/(N + D)$ at 100kHz in unipolar mode is 71dB.

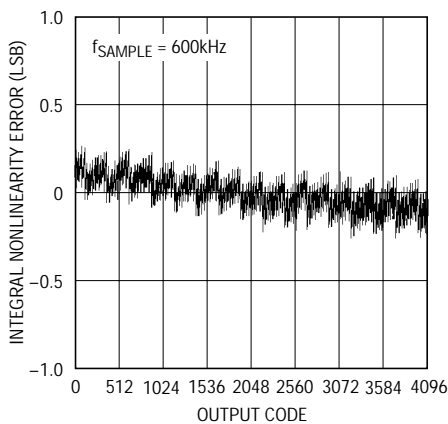
Note 11: Recommended operating conditions.

Note 12: A_{IN} must not exceed V_{DD} or fall below V_{SS} by more than 50mV for specified accuracy. Therefore the minimum supply voltage for the unipolar mode is 4.95V. The minimum for the bipolar mode is 4.75V, $-2.45V$.

Note 13: The falling $\overline{\text{CONVST}}$ edge starts a conversion. If $\overline{\text{CONVST}}$ returns high at a bit decision point during the conversion it can create small errors. For best performance ensure that $\overline{\text{CONVST}}$ returns high either within 120ns after conversion start (i.e., before the first bit decision) or after BUSY rises (i.e., after the last bit test). See mode 1a and 1b (Figures 12 and 13) timing diagrams.

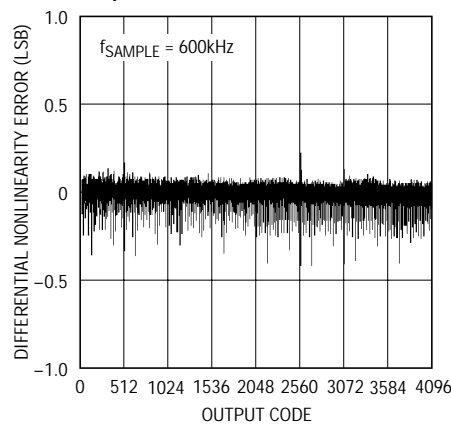
TYPICAL PERFORMANCE CHARACTERISTICS

Integral Nonlinearity vs Output Code



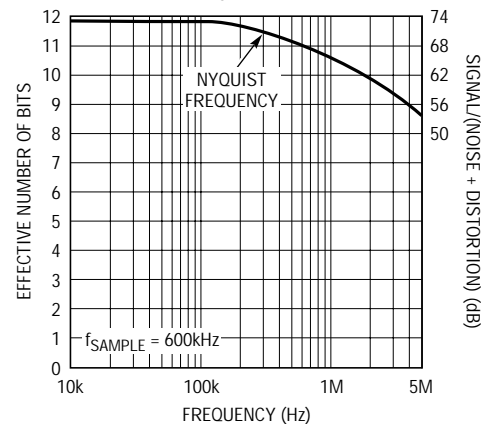
1279 G01

Differential Nonlinearity vs Output Code



1279 G02

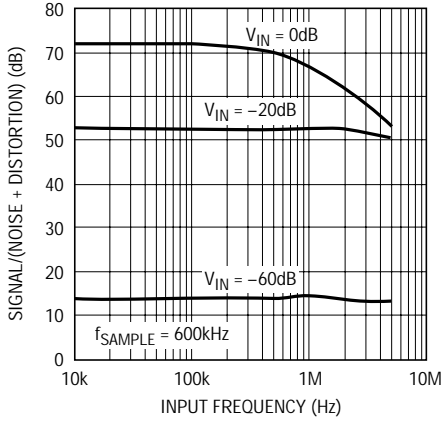
ENOBs and S/(N + D) vs Input Frequency



1279 G03

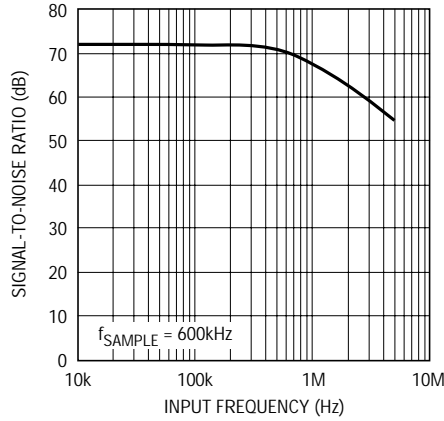
TYPICAL PERFORMANCE CHARACTERISTICS

S/(N + D) vs Input Frequency and Amplitude



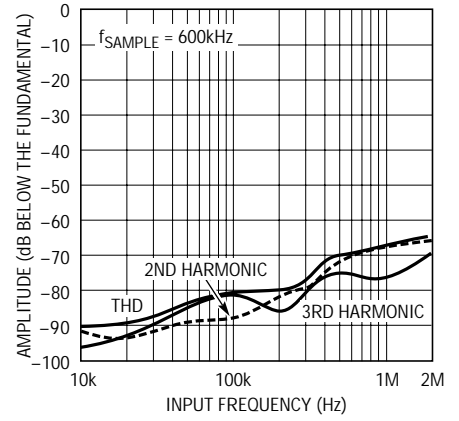
1279 G04

Signal-to-Noise Ratio (Without Harmonics) vs Input Frequency



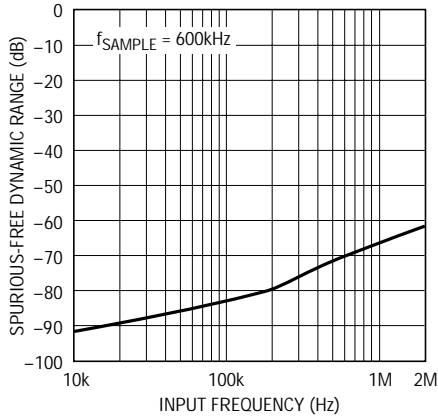
1279 G05

Distortion vs Input Frequency



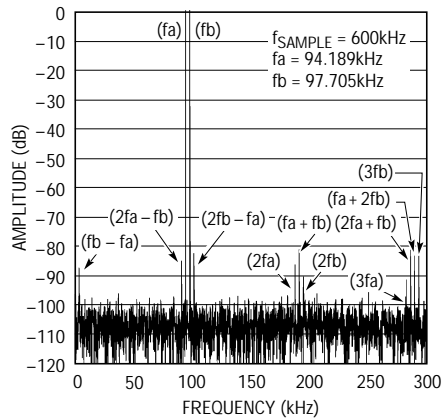
1279 G06

Peak Harmonic or Spurious Noise vs Input Frequency



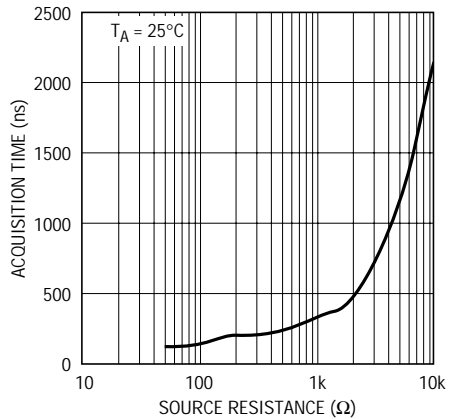
1279 G07

Intermodulation Distortion Plot



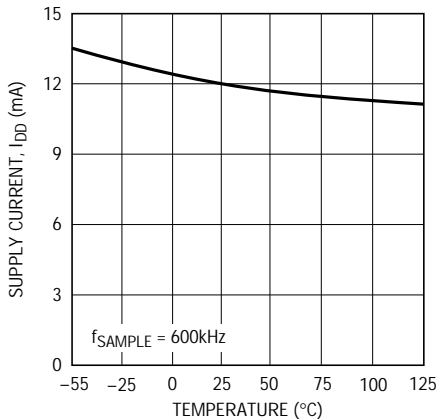
1279 G08

Acquisition Time vs Source Impedance



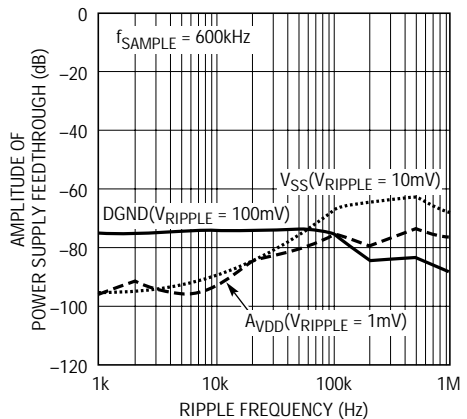
1279 G09

Supply Current vs Temperature



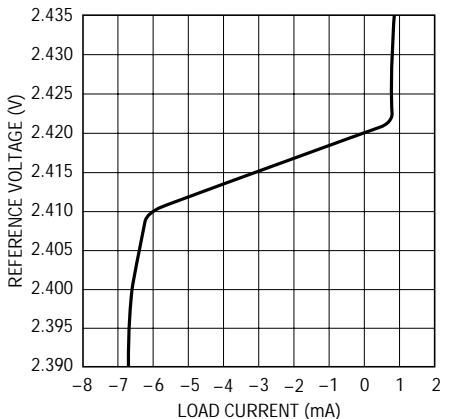
1279 G10

Power Supply Feedthrough vs Ripple Frequency



1279 G11

Reference Voltage vs Load Current



1279 G12

LTC1279

ピン機能

A_{IN} (ピン1): アナログ入力。0V ~ 5V(ユニポーラ) \pm 2.5V(バイポーラ)。

V_{REF} (ピン2): 2.42V基準電圧出力。AGNDにバイパスします(10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

AGND(ピン3): アナログ・グラウンド

D11からD4 (ピン11から4): スリーステート・データ出力。D11は最上位ビットです。

DGND(ピン12): デジタル・グラウンド。

D3からD0 (ピン13から16): スリーステート・データ出力。

DV_{DD} (ピン17): デジタル電源、5V。 AV_{DD} ピンに接続。

\overline{SHDN} (ピン18): パワー・シャットダウン。 \overline{SHDN} が“L”のときに、LTC1279はパワー・ダウンします。

\overline{CONVST} (ピン19): 変換スタート入力。このピンはアクティブ“L”です。 \overline{CONVST} 信号の立下りエッジで変換を

開始します。LTC1279は、 \overline{CS} に印加された信号が論理“L”の場合にのみ \overline{CONVST} 信号に応答します。

\overline{RD} (ピン20): READ入力。このピンに論理“L”信号が印加されると、 \overline{CS} ピンに印加された信号が論理“L”のときに、出力データ・ドライバがイネーブルされます。

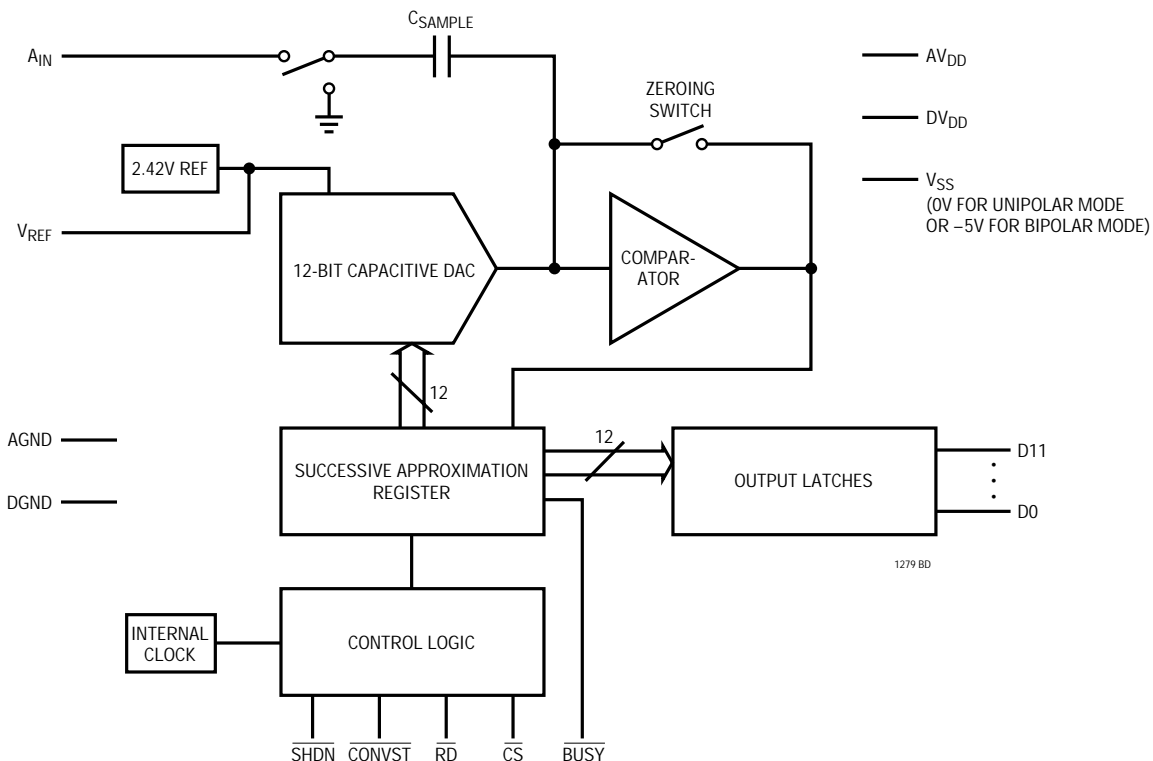
\overline{CS} (ピン21): ADCが \overline{CONVST} および \overline{RD} 入力に印加された信号を認識するには、CHIP SELECT入力論理“L”でなければなりません。

\overline{BUSY} (ピン22): \overline{BUSY} 出力はコンバータのステータスを示します。変換中は論理“L”です。

V_{SS} (ピン23): 負電源。-5Vはバイポーラ動作を選択します。0.1 μ Fのセラミック・コンデンサを用いてAGNDにバイパスしてください。ユニポーラ動作を選択するには、グラウンドに接続します。

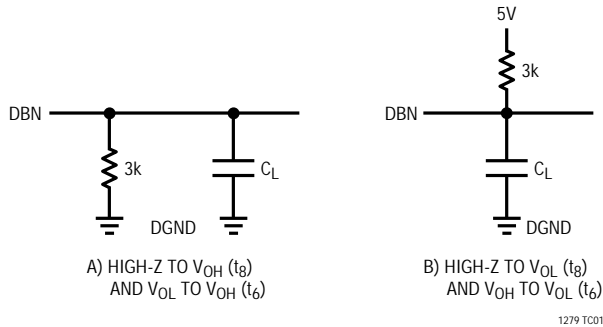
AV_{DD} (ピン24): 正電源、5V。AGNDにバイパスします(10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

FUNCTIONAL BLOCK DIAGRAM

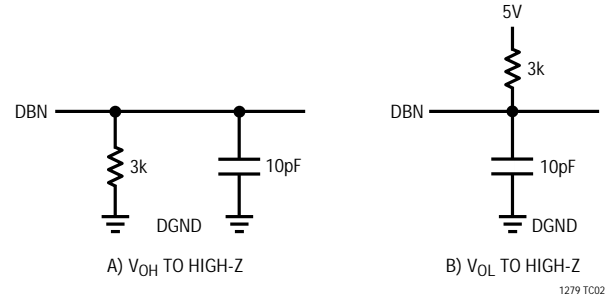


TEST CIRCUITS

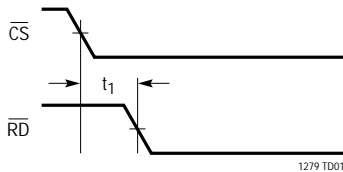
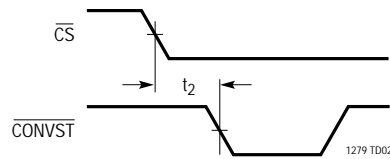
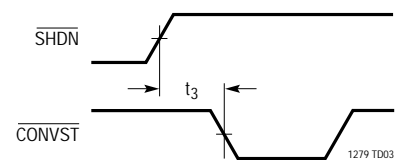
Load Circuits for Access Timing



Load Circuits for Output Float Delay



TIMING DIAGRAMS

 \overline{CS} to \overline{RD} Setup Timing \overline{CS} to \overline{CONVST} Setup Timing \overline{SHDN} to \overline{CONVST} Wake-Up Timing

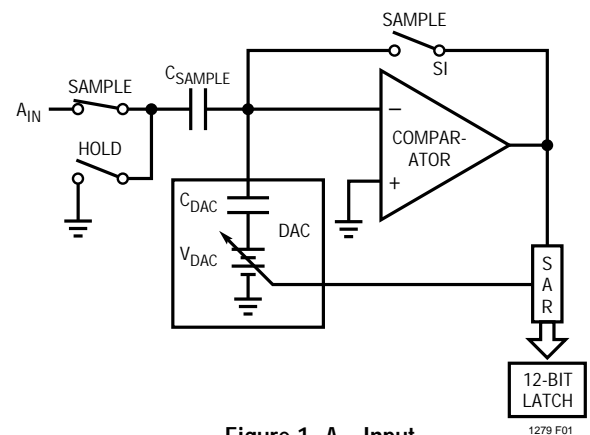
アプリケーション情報

変換の詳細説明

LTC1279は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を12ビットの平行出力に変換します。このADCは高精度リファレンスおよび内部クロックを備えたA/Dコンバータです。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換スタートは、 \overline{CS} および \overline{CONVST} 入力によってコントロールされます。変換がスタートすると、逐次変換レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、それを再スタートすることはできません。

変換中は、内部の12ビット容量性DAC出力が最上位ビット(MSB)から最下位ビット(LSB)にSARでシーケンスされます。図1を参照すると、 A_{IN} 入力はアキュイジション・フェーズ中に、サンプル&ホールド・コンデンサに接続され、コンパレータ・オフセットはフィードバック・スイッチ



によってゼロになります。このアキュイジション・フェーズでは、160nsの最小遅延時間が、サンプル&ホールド・コンデンサがアナログ入力を収集するのに十分な時間を与えます。変換フェーズでは、コンパレータのフィードバック・スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは C_{SAMPLE} をグラウンドにスイッチして、アナログ入力電荷をコンパレータの加算ジャンク

アプリケーション情報

シヨンに送ります。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は、高速コンパレータで行われます。変換が終わると、DAC出力は A_{IN} 入力電荷とバランスします。 A_{IN} 入力信号を表すSAR成分(12ビット・データ・ワード)が12ビット出力ラッチにロードされます。

ダイナミック特性

LTC1279は、非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2aおよび図2bに、代表的なLTC1279のFFTプロットを示します。

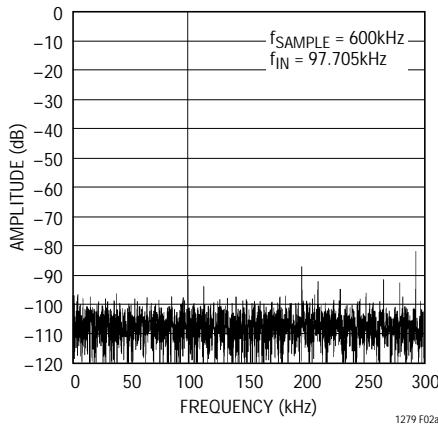


Figure 2a. LTC1279 Nonaveraged, 4096 Point FFT Plot with 100kHz Input Frequency

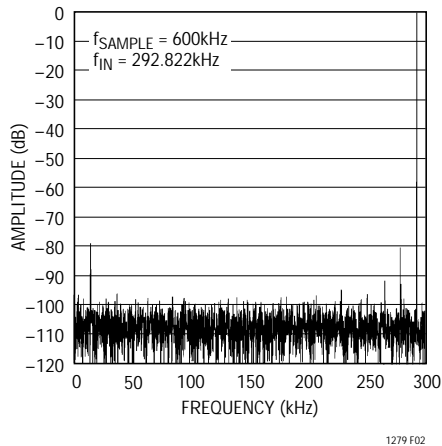


Figure 2b. LTC1279 Nonaveraged, 4096 Point FFT Plot with 300kHz Input Frequency

SN比

SN + 歪み比[S/(N + D)]は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに、600kHzのサンプリング・レートと100kHz入力での標準スペクトル成分を示します。図2bに示すとおり、ダイナミック特性は入力周波数が300kHzのナイキスト限界まで良好です。

有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおりS/(N + D)に直接関係します。

$$N = [S/(N + D) - 1.76] / 6.02$$

ここで、Nは分解能の有効ビット数であり、S/(N + D)はdBで表されます。600kHzの最大サンプリング・レートで、LTC1279は300kHzのナイキスト入力周波数まで非常に良好なENOBを維持します。図3を参照してください。

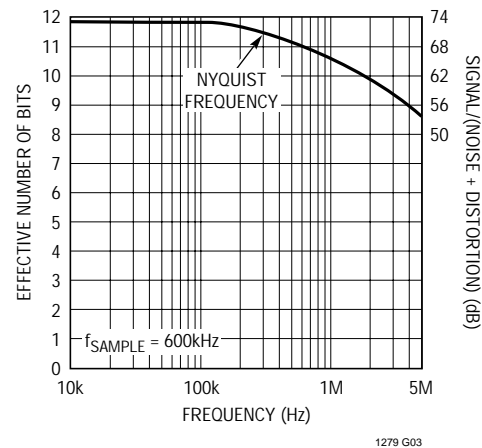


Figure 3. Effective Bits and Signal/(Noise + Distortion) vs Input Frequency

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMS合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されず。THDは次式で表されます。

アプリケーション情報

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_N は第2高調波から第N高調波の振幅です。THD対入力周波数を図4に示します。LTC1279は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

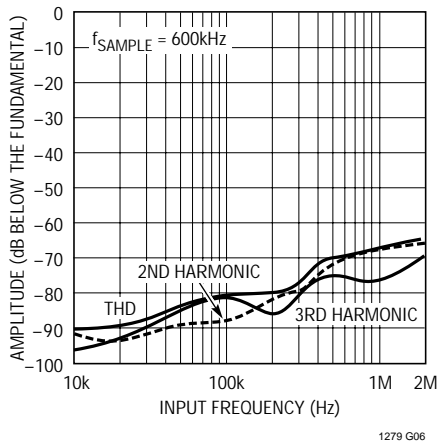


Figure 4. Distortion vs Input Frequency

混変調歪み

ADC入力信号が2つ以上のスペクトル成分から成るときには、ADC伝達関数の非直線性によって、THDに加えて混変調歪み (IMD) が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ 、 $(f_a - f_b)$ 、3次IMDの項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値 (dB) は次式で表すことができます。

$$\text{IMD}(f_a \pm f_b) = 20 \log \frac{(f_a \pm f_b) \text{ での振幅}}{f_a \text{ での振幅}}$$

図5に100kHz入力におけるIMD性能を示します。

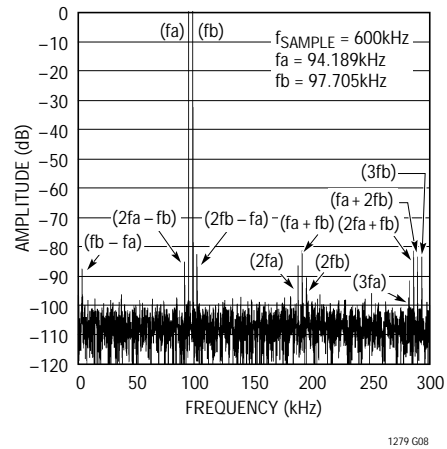


Figure 5. Intermodulation Distortion Plot

最大高調波またはスプリアス・ノイズ

最大高調波またはスプリアス・ノイズは、入力信号とDCを除いた最大のスペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

最大電力および最大直線帯域幅

最大電力帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S(N + D)$ が68dB (有効ビット11ビット) に低下する入力周波数です。LTC1279は、入力帯域幅が最大になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダースampleすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S(N + D)$ では歪みが大きな部分を占めます。

アナログ入力のドライブ

LTC1279のアナログ入力は簡単にドライブできます。入力電流は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを生じます。変換中、アナログ入力には電流は流れません。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換がスタートする前に安定しなければならないことです。160ns以内に小さな過渡電流に安定するオペアンプであれば、最大速度での動作が可能です。低速オペアンプを使用する場

アプリケーション情報

合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くとることができます。このADCのA_{IN} 入力のドライブには、LT[®]1360、LT1220、LT1223、LT1224などのオペアンプが適しています。

内部リファレンス

LTC1279には、オンチップの温度補償および曲線補正された、バンドギャップ・リファレンスを内蔵しており、このリファレンスは2.42Vにトリミングされています。このリファレンスは内部でDACに接続され、ピン2から外部に引き出されており、外部負荷に800μAまでの電流を供給可能です。

コード・トランジション・ノイズを最小限に抑えるために、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズをフィルタしなければなりません(0.1μFのセラミック・コンデンサと並列に10μFのタンタル・コンデンサを接続)。

DACまたは他の方法でV_{REF}ピンをドライブして、バイポーラ・モードで入力スパン調整を行うことができます。V_{REF}ピンは内部リファレンスとの衝突を避けるために、最低でも2.45V以上にドライブしなければなりません。入力スパンを±5V電源以内に保持するには、リファレンスを4.8V以上にドライブしてはなりません。

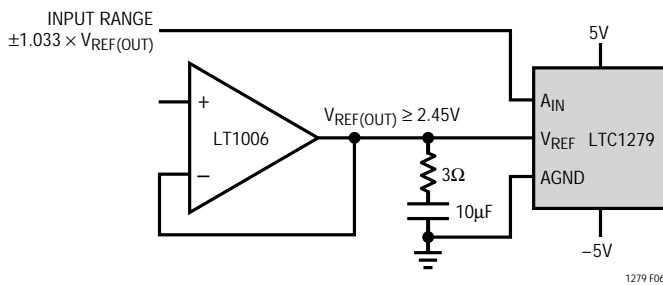


Figure 6. Driving the V_{REF} with the LT1006 Op Amp

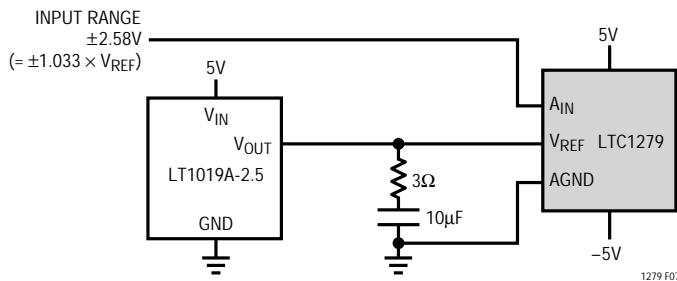


Figure 7. Supplying a 2.5V Reference Voltage to the LTC1279 with the LT1019A-2.5

図6にV_{REF}ピンをLT1006オペアンプでドライブする回路を示します。(ユニポーラ・モードでは、入力スパンは内部リファレンスによりすでに0V~5Vになっているため、入力スパンが電源を超えて、フルスケールにおいてコードが失われるため、リファレンスを外部でドライブしないようにしてください。) 図7に代表的なリファレンスLT1019A-2.5をLTC1279に接続した回路を示します。これにより、ドリフトが改善され(LT1019A-2.5の最大5ppm/) ±2.582Vのフルスケールになります。

ユニポーラ / バイポーラ・オペレーションと調整

図8aに、LTC1279の理想的な入出力特性を示します。コード・トランジションは、連続する整数のLSB値の間の中間(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS-1.5LSB)に現れます。出力コードは、1LSB = FS/4096 = 5V/4096 = 1.22mVの自然バイナリです。図8bに、2の補数形式で表したバイポーラ・モードでの入出力伝達特性を示します。

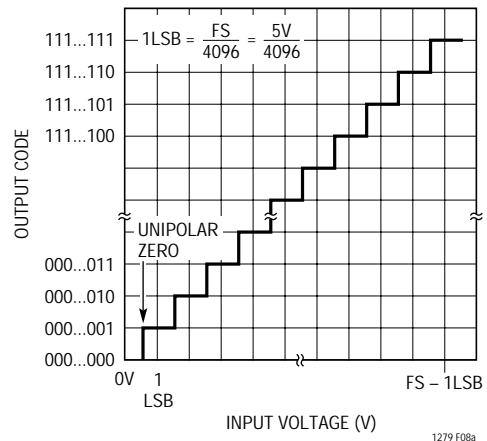


Figure 8a. LTC1279 Unipolar Transfer Characteristics

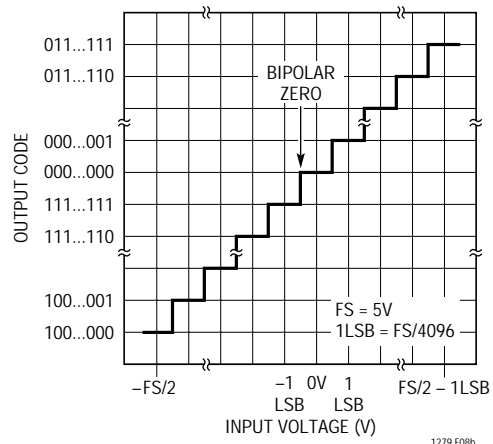


Figure 8b. LTC1279 Bipolar Transfer Characteristics

アプリケーション情報

ユニポラ・オフセットとフルスケール誤差調整

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前にオフセット誤差を調整しなければなりません。図9aに、フルスケール誤差調整に必要な追加部品を示します。オフセットとフルスケール調整の両方が必要な場合には、図9bの回路を使用できます。オフセット誤差をゼロにするには、 0.61mV (すなわち、 0.5LSB) を入力に印加し、LTC1279の出力コードが0000 0000と0000 0000 0001の間で変化するまで、オフセット・トリム抵抗を調整します。また、フルスケール誤差をゼロに調整するには、 4.99817V のアナログ入力(すなわち、FS- 1.5LSB または最後のコード・トランジション)を入力に印加し、LTC1279の出力コードが1111 1111 1110と1111 1111 1111の間で変化するまで、R5を調整します。

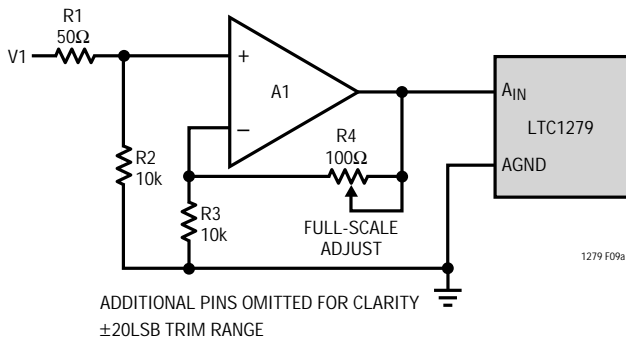


Figure 9a. Full-Scale Adjust Circuit

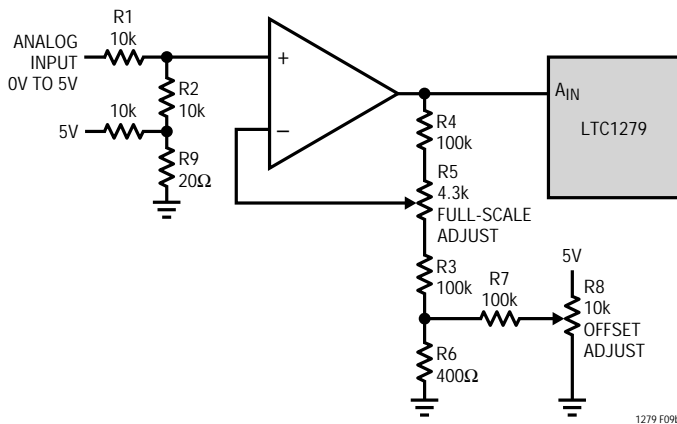


Figure 9b. LTC1279 Unipolar Offset and Full-Scale Adjust Circuit

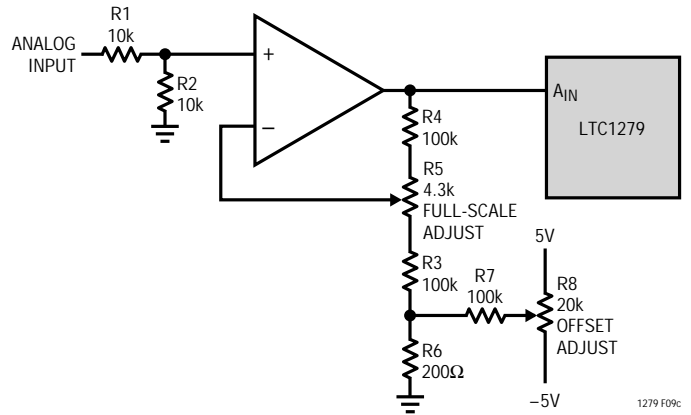


Figure 9c. LTC1279 Bipolar Offset and Full-Scale Adjust Circuit

バイポラ・オフセットおよびフルスケール誤差の調整

バイポラ・オフセットおよびフルスケール誤差は、ユニポラの場合と同様に調整されます。この場合にも、フルスケール誤差を調整する前にバイポラ・オフセットを調整しなければなりません。バイポラ・オフセット誤差調整は、LTC1279のアナログ入力をドライブするオペアンプのオフセットを微調整して行うことができます。これには、 -0.61mV (-0.5LSB) の入力電圧を図9cの入力に印加し、ADCの出力コードが0000 0000と1111 1111 1111の間で変化するまでR8を調整します。フルスケール調整を行うには、 2.49817V (FS - 1.5LSB) の入力電圧を入力に印加し、出力コードが0111 1111 1110と0111 1111 1111の間で変化するまでR5を調整します。

ボード・レイアウトとバイパス

ワイヤラップ・ボードは、高分解能または高速A/Dコンバータに推奨されません。LTC1279から最適な性能を引き出すには、PCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特に、デジタル・トラックをADCの真下やアナログ信号トレースに沿って走らせないように注意してください。アナログ入力にはAGNDで遮蔽しなければなりません。

AV_{DD} および V_{REF} ピンには、図10に示すように高品質のタンタルおよびセラミック・バイパス・コンデンサを使用してください。バイポラ・モードの場合、 $0.1\mu\text{F}$ のセラミック・コンデンサで V_{SS} ピンへの十分なバイパスが得られます。これらのコンデンサはできる限りピ

アプリケーション情報

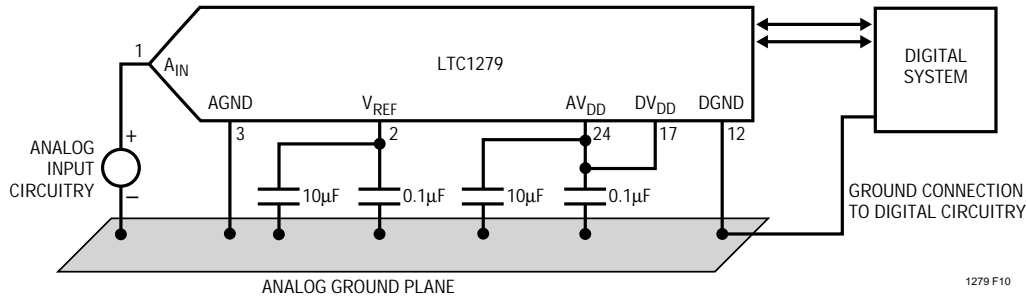


Figure 10. Power Supply Grounding Practice

ンの近くに配置します。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。

A_{IN} (ピン1)の入力信号トレースおよびAGND(ピン3)からの信号リターン・トレースは、できるだけ短くして、入力ノイズのカップリングを最小にします。これができないアプリケーションの場合には、ソースとADCの間にシールド・ケーブルを使ってください。また、信号ソースとADC間のグラウンドの電位差は入力信号と直列に誤差電圧として現れるため、できるだけグラウンド回路のインピーダンスが低くなるよう配慮が必要です。

ロジックのシステム・グラウンドから離れたシングル・ポイントのアナログ・グラウンドを、ピン3 (AGND) のアナログ・グラウンド面かできる限りADCの近くに設けなければなりません。ピン12 (DGND) および他のすべてのアナログ・グラウンドは、このシングル・アナログ・グラウンド・ポイントに接続してください。他のデジタル・グラウンドをこのアナログ・グラウンド・ポイントに接続してはなりません。このADCを低ノイズで動作させるには、低インピーダンスのアナログおよびデジタル電源の共通・リターンが不可欠であり、またこれらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力とコントロール信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAITステートにするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。

デジタル・インタフェース

このA/Dコンバータは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 \overline{CS} および \overline{RD} コントロール入力は、すべての周辺メモリ・インタフェースに共通です。個々の \overline{CONVST} が変換開始に使用されます。

内部クロック

このA/Dコンバータには内部クロックがあり、他のADCのように外部クロックと \overline{CS} および \overline{RD} 信号間で同期をとる必要はありません。内部クロックは1.4µsの標準変換時間を達成するよう製造時にトリミングされています。外部調整は不要で、標準アキュイジション・タイム160ns、スループット性能600kspsが保証されています。

パワー・シャットダウン

LTC1279には、ADCが非アクティブ中に電力を節減するパワー・シャットダウン機能があります。ADCをパワー・ダウンするには、ピン18 (\overline{SHDN}) を“L”にドライブする必要があります。パワー・シャットダウン・モードでは、 \overline{CONVST} が“L”になってもLTC1279は変換を開始しません。内部リファレンスを除くすべての電源がオフになります。内部リファレンスはアクティブのまま、他の回路に2.42Vの出力電圧を供給します。このモードでは、ADCは60mWではなく8.5mWを消費します(消費電力を最小限に抑えるには、ロジック入力は電源レールの600mV以内になければなりません)。パワー・シャットダウンからアクティブ状態へのウェイクアップ時間は、350nsです。

アプリケーション情報

タイミングとコントロール

変換スタートおよびデータ・リード・オペレーションは、 \overline{CS} 、 \overline{CONVST} 、 \overline{RD} の3つのデジタル入力によってコントロールされます。図11に、これらの入力のロジック回路を示します。ADCが選択された(すなわち、 \overline{CS} が「L」)後、 \overline{CONVST} に論理「0」があると、変換が開始されます。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは \overline{BUSY} 出力で表示され、変換実行中この出力は「L」になっています。

図12~16にいくつかの動作モードを示します。モード1aと1b(図12および図13)で、 \overline{CS} と \overline{RD} は両方とも「L」に接続されます。 \overline{CONVST} の立下りで変換が開始されます。データ出力は常時イネーブルされ、 \overline{BUSY} 立上りエッジでデータをラッチすることができます。モード1aは、幅の狭い論理「L」の \overline{CONVST} パルスによる動作を示しています。また、モード1bは幅の狭い論理「H」の \overline{CONVST} パルスを示します。

モード2(図14)では、 \overline{CS} は「L」につながれます。 \overline{CONVST} の立下り信号で再び変換が開始されます。デー

タ出力は、MPUが \overline{RD} 信号を使用して読み出すまで3ステートになったままです。モード2は、共有MPUデータバスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図15と図16)では、 \overline{CS} は「L」に接続され、 \overline{CONVST} と \overline{RD} は連結されます。MPUは変換を開始し、 \overline{RD} 信号でその出力を読み出します。変換は、MPUまたはDSPIによって開始されます(外部サンプル・クロックなし)。

低速メモリ・モードでは、プロセッサは \overline{RD} ($=\overline{CONVST}$)に論理「L」を印加して、変換を開始します。 \overline{BUSY} が「L」になると、プロセッサはWAITステートに入ります。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。 \overline{BUSY} が「H」になって、プロセッサを解放します。プロセッサは、 \overline{RD} ($=\overline{CONVST}$)に論理「H」を印加して、新しい変換データを読み出します。

ROMモードでは、プロセッサは \overline{RD} ($=\overline{CONVST}$)に論理「L」を印加し、変換を開始して、前の変換結果を読み出します。変換が完了した後、プロセッサは新しい結果を読み出すことができます(これによって別の変換が開始されます)。

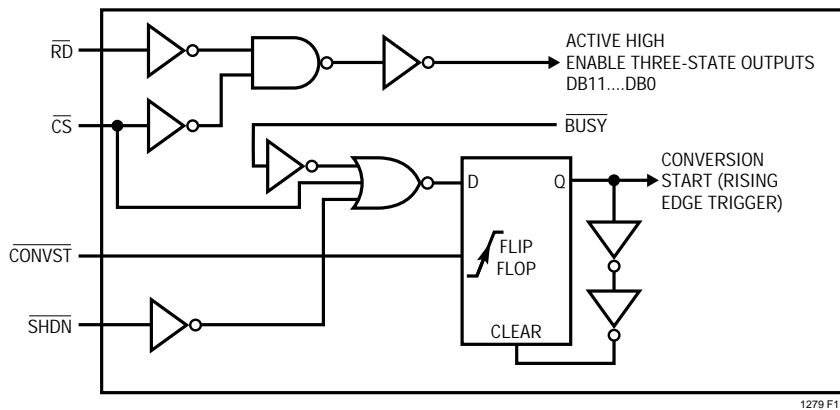


Figure 11. Internal Logic for Control Inputs \overline{CS} , \overline{RD} , \overline{CONVST} and \overline{SHDN}

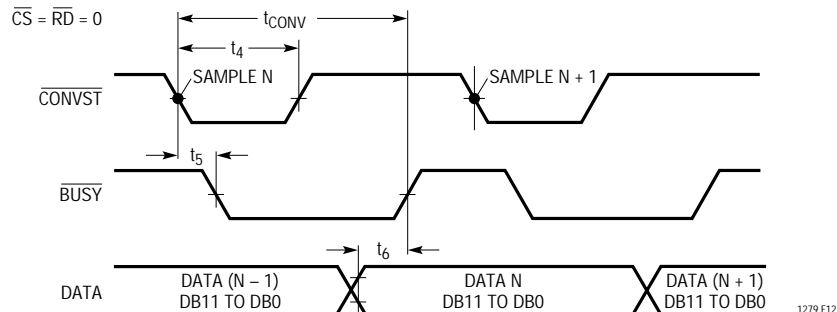


Figure 12. Mode 1a. \overline{CONVST} Starts a Conversion. Data Outputs Always Enabled. (\overline{CONVST} =

アプリケーション情報

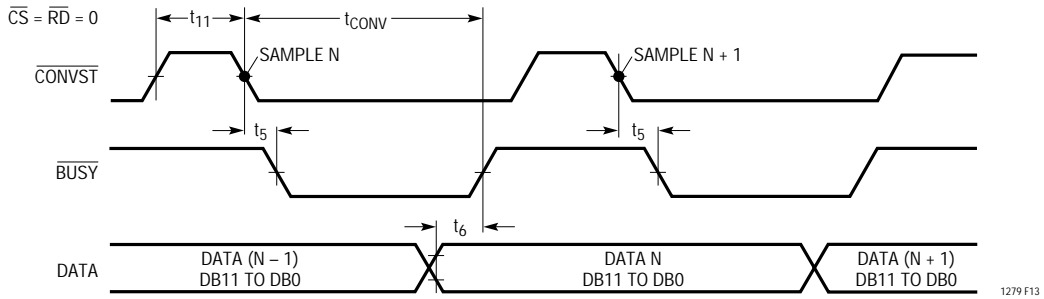


Figure 13. Mode 1b. \overline{CONVST} Starts a Conversion. Data Outputs Always Enabled. ($\overline{CONVST} = \text{[Pulse]}$)

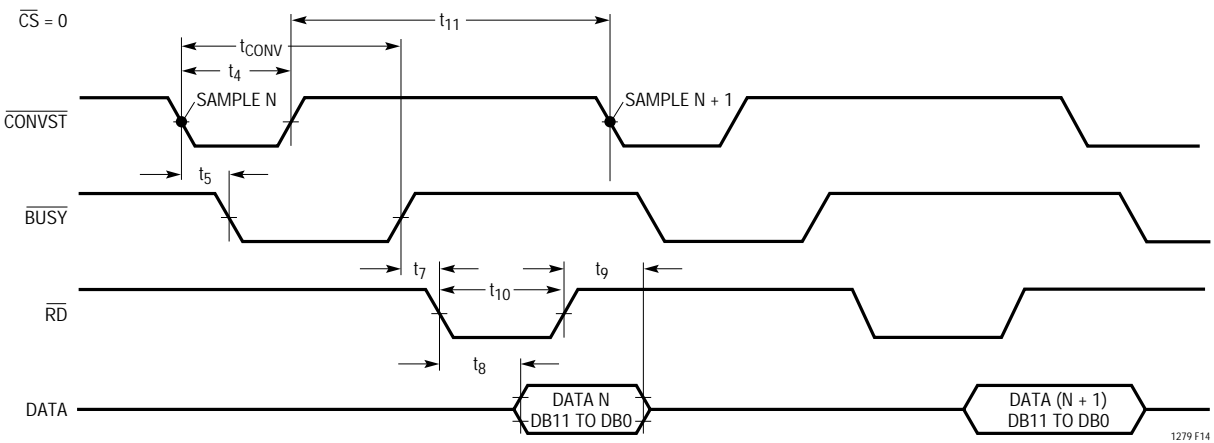


Figure 14. Mode 2. \overline{CONVST} Starts a Conversion. Data is Read by \overline{RD}

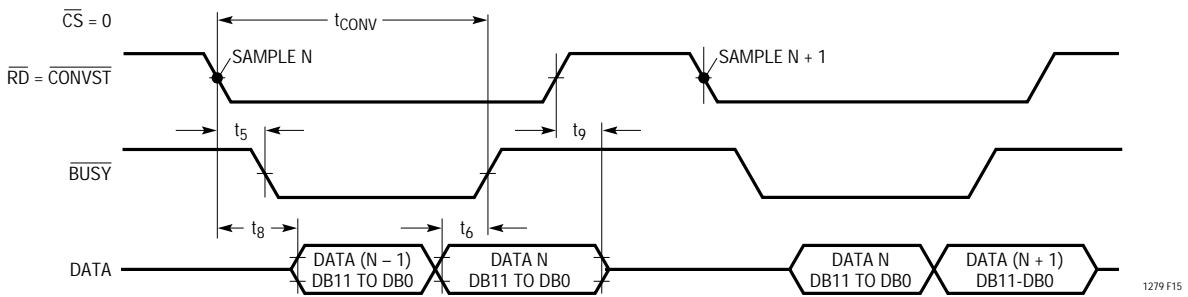


Figure 15. Slow Memory Mode

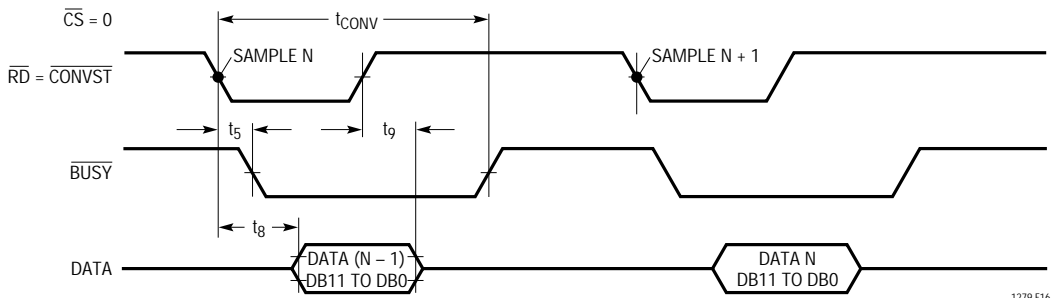


Figure 16. ROM Mode Timing

RELATED PARTS (12 Bit)

PART NUMBER	DESCRIPTION	COMMENTS
LTC1272	12-Bit, 3 μ s, 250kHz Sampling A/D Converter	Single 5V, Sampling 7572 Upgrade
LTC1273/LTC1275/LTC1276	12-Bit, 300ksps Sampling A/D Converters with Reference	Complete with Clock, Reference
LTC1274/LTC1277	12-Bit, 10mW, 100ksps A/D Converters with 1 μ A Shutdown	Complete with Clock, Reference
LTC1278	12-Bit, 500ksps Sampling A/D Converter with Shutdown	70dB SINAD at Nyquist, Low Power
LTC1282	3V, 140ksps 12-Bit Sampling A/D Converter with Reference	3V or \pm 3V ADC with Reference, Clock
LTC1409	12-Bit, 800ksps Sampling A/D Converter with Shutdown	Fast, Complete Low Power ADC
LTC1410	12-Bit, 1.25Msps Sampling A/D Converter with Shutdown	Fast, Complete, Wideband ADC