


## 特長

- 低消費電力：10mW
- サンプル・レート：100ksps
- ナイキストを越えた条件でのサンプル入力：  
72dB S/(N + D)、82dB THD( $f_{IN} = 100\text{kHz}$ )
- 単一5Vまたは $\pm 5\text{V}$ 電源動作
- スリープ・モードでの電源シャットダウン時消費電流：1 $\mu$ A
- 即時ウェイクアップ可能なナップ・モード (LTC1277)での消費電流：180 $\mu$ A
- 内部リファレンスのオーバドライブが可能
- 内部同期クロック
- 0V ~ 4.096Vまたは $\pm 2.048\text{V}$ 入力範囲(1mV/LSB)
- 24ピンSOパッケージ

## アプリケーション

- バッテリー動作ポータブル・システム
- PC用高速データ変換
- デジタル信号処理
- 多チャンネル・データ収集システム
- オーディオおよびテレコム処理
- スペクトル分析

 LTC、LTIはリニアテクノロジー社の登録商標です。

## 概要

LTC<sup>®</sup>1274/LTC1277は、8 $\mu$ sサンプリング12ビットA/Dコンバータで、単一5Vまたは $\pm 5\text{V}$ 電源で動作し消費電流はわずか2mA (TYP)です。これらのデバイスは使いやすく、2 $\mu$ sのサンプル&ホールド、高精度リファレンス、および内部でトリミングされたクロックを内蔵しています。ユニポーラおよびバイポーラ変換モードを備えており、柔軟性に富んでいます。

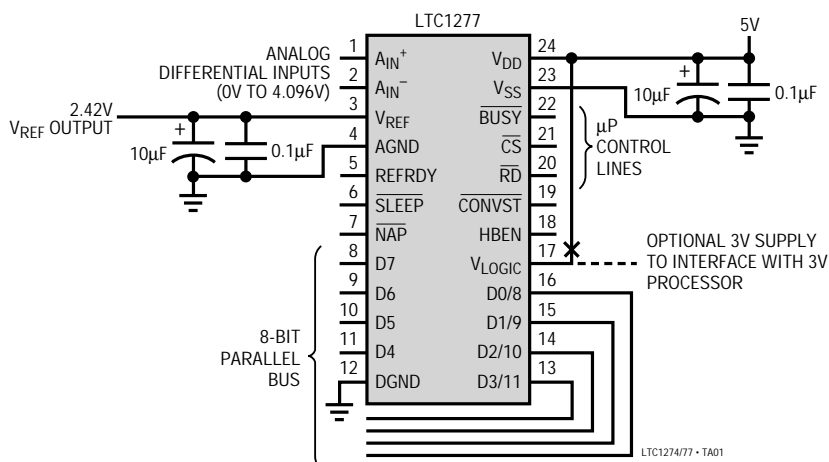
LTC1277には、2つのパワーダウン・モードがあります。ナップ・モードでは、LTC1277の消費電流はわずか180 $\mu$ Aで、ナップ・モードから即時にウェイクアップ可能なため、短い非アクティブ期間中でもパワーダウンすることができます。スリープ・モードでの消費電流はわずか1 $\mu$ Aです。REFRDY信号を使用して、ADCがスリープ・モードからウェイクアップした後、サンプリングの準備ができていることを示します。LTC1274にもスリープ・モードとREFRDY信号があります。

このA/Dコンバータは、単一5V電源からの0V ~ 4.096Vのユニポーラ入力、または $\pm 5\text{V}$ 電源からの $\pm 2.048\text{V}$ バイポーラ入力を変換します。

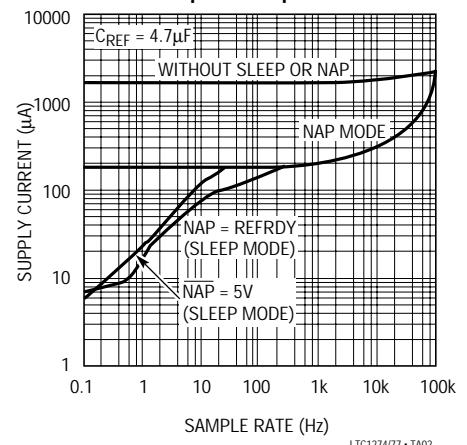
LTC1274はシングルエンド入力と12ビット・パラレル・データ・フォーマットを備えています。また、LTC1277は差動入力と2バイトのリード・フォーマットを備えています。バイポーラ・モードは、LTC1274の場合は2の補数、LTC1277の場合はオフセット・バイナリとしてフォーマットされます。

## TYPICAL APPLICATION

Single 5V Supply, 10mW, 100kHz, 12-Bit ADC



Supply Current vs Sample Rate with Sleep and Nap Modes



## ABSOLUTE MAXIMUM RATINGS

(Notes 1, 2)

Supply Voltage ( $V_{DD}$ ) .....	7V	Digital Output Voltage	
Negative Supply Voltage ( $V_{SS}$ )		Unipolar Operation .....	-0.3V to $V_{DD} + 0.3V$
Bipolar Operation Only .....	-6V to GND	Bipolar Operation .....	-0.3V to $V_{DD} + 0.3V$
Total Supply Voltage ( $V_{DD}$ to $V_{SS}$ )		Power Dissipation .....	500mW
Bipolar Operation Only .....	12V	Operating Temperature Range	
Analog Input Voltage (Note 3)		Commercial .....	0°C to 70°C
Unipolar Operation .....	-0.3V to $V_{DD} + 0.3V$	Industrial .....	-40°C to 85°C
Bipolar Operation .....	$V_{SS} - 0.3V$ to $V_{DD} + 0.3V$	Storage Temperature Range .....	-65°C to 150°C
Digital Input Voltage (Note 4)		Lead Temperature (Soldering, 10 sec) .....	300°C
Unipolar Operation .....	-0.3V to 12V		
Bipolar Operation .....	$V_{SS} - 0.3V$ to 12V		

## PACKAGE/ORDER INFORMATION

<p>TOP VIEW</p> <p>SW PACKAGE 24-LEAD PLASTIC SO</p> <p><math>T_{JMAX} = 110^{\circ}C, \theta_{JA} = 130^{\circ}C/W</math></p>	<p>ORDER PART NUMBER</p> <p>LTC1274CS LTC1274IS</p>	<p>TOP VIEW</p> <p>SW PACKAGE 24-LEAD PLASTIC SO</p> <p><math>T_{JMAX} = 110^{\circ}C, \theta_{JA} = 130^{\circ}C/W</math></p>	<p>ORDER PART NUMBER</p> <p>LTC1277CS LTC1277IS</p>
--	---	--	---

Consult factory for Military grade parts.

## CONVERTER CHARACTERISTICS With Internal Reference (Notes 5, 6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 7)	●		±1	LSB
Differential Linearity Error		●		±1	LSB
Unipolar Offset Error		●		±6 ±8	LSB LSB
Bipolar Offset Error	(Note 8)	●		±8 ±10	LSB LSB
Gain Error				±20	LSB
Gain Error Tempco	$I_{OUT(REF)} = 0$	●	±10	±45	ppm/°C

# LTC1274/LTC1277

## ANALOG INPUT (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>IN</sub>	Analog Input Range (Note 10)	4.75V ≤ V <sub>DD</sub> ≤ 5.25V (Unipolar)	●	0 to 4.096		V
		4.75V ≤ V <sub>DD</sub> ≤ 5.25V, -5.25V ≤ V <sub>SS</sub> ≤ -2.45V (Bipolar)	●	±2.048		V
I <sub>IN</sub>	Analog Input Leakage Current	$\overline{CS}$ = High	●		±1	μA
C <sub>IN</sub>	Analog Input Capacitance	Between Conversions (Sample Mode)		45		pF
		During Conversions (Hold Mode)		5		pF

## DYNAMIC ACCURACY (Notes 5, 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	50kHz Input Signal	●	73		dB
		100kHz Input Signal	●	70	72.5	dB
THD	Total Harmonic Distortion Up to 5th Harmonic	50kHz Input Signal	●	-84		dB
		100kHz Input Signal	●	-82	-76	dB
	Peak Harmonic or Spurious Noise	50kHz Input Signal	●	-84		dB
		100kHz Input Signal	●	-82	-76	dB
IMD	Intermodulation Distortion	fa = 96.95kHz, fb = 97.68kHz		-78		dB
		2nd Order Terms 3rd Order Terms		-81		dB
	Full Power Bandwidth			2		MHz
	Full Linear Bandwidth [S/(N + D) ≥ 68dB]			350		kHz

## INTERNAL REFERENCE CHARACTERISTICS (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>REF</sub> Output Voltage	I <sub>OUT</sub> = 0	2.400	2.420	2.440	V
V <sub>REF</sub> Output Tempco	I <sub>OUT</sub> = 0	●	±10	±45	ppm/°C
V <sub>REF</sub> Line Regulation	4.75V ≤ V <sub>DD</sub> ≤ 5.25V		0.01		LSB/V
	-5.25V ≤ V <sub>SS</sub> ≤ -4.75V		0.01		LSB/V
V <sub>REF</sub> Load Regulation	-5mA ≤ I <sub>OUT</sub> ≤ 70μA		2		LSB/mA

## DIGITAL INPUTS AND DIGITAL OUTPUTS (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>IH</sub>	High Level Input Voltage	V <sub>DD</sub> = 5.25V	●	2.4		V
V <sub>IL</sub>	Low Level Input Voltage	V <sub>DD</sub> = 4.75V	●		0.8	V
I <sub>IN</sub>	Digital Input Current	V <sub>IN</sub> = 0V to V <sub>DD</sub>	●		±10	μA
C <sub>IN</sub>	Digital Input Capacitance			5		pF
V <sub>OH</sub>	High Level Output Voltage, All Logic Outputs	V <sub>DD</sub> = 4.75V I <sub>O</sub> = -10μA I <sub>O</sub> = -200μA	●	4.0	4.70	V V
		V <sub>LOGIC</sub> = 2.7V (LTC1277) I <sub>O</sub> = -10μA I <sub>O</sub> = -200μA			2.65 2.60	V V
V <sub>OL</sub>	Low Level Output Voltage, All Logic Outputs	V <sub>DD</sub> = 4.75V I <sub>O</sub> = 160μA I <sub>O</sub> = 1.6mA	●	0.05 0.10	0.4	V V
		V <sub>LOGIC</sub> = 2.7V (LTC1277) I <sub>O</sub> = 160μA I <sub>O</sub> = 1.6mA		0.05 0.10		V V

**DIGITAL INPUTS AND DIGITAL OUTPUTS** (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I <sub>OZ</sub>	High-Z Output Leakage D11 to D0/8	V <sub>OUT</sub> = 0V to V <sub>DD</sub> , $\overline{CS}$ High	●		±10	μA
C <sub>OZ</sub>	High-Z Output Capacitance D11 to D0/8	$\overline{CS}$ High (Note 10)	●		15	pF
I <sub>SOURCE</sub>	Output Source Current	V <sub>OUT</sub> = 0V		-10		mA
I <sub>SINK</sub>	Output Sink Current	V <sub>OUT</sub> = V <sub>DD</sub>		10		mA

**POWER REQUIREMENTS** (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>DD</sub>	Positive Supply Voltage (Notes 11, 12)	Unipolar and Bipolar Mode	4.75		5.25	V
V <sub>LOGIC</sub>	Logic Supply (Notes 11,12)	Unipolar and Bipolar Mode (LTC1277)		2.7 to 5.25		V
V <sub>SS</sub>	Negative Supply Voltage (Note 11)	Bipolar Mode Only	-2.45		-5.25	V
I <sub>DD</sub>	Positive Supply Current	f <sub>SAMPLE</sub> = 100ksps NAP = 0V (LTC1277 Only) SLEEP = 0V	●	2	4	mA
			●	180	320	μA
			●	0.3	5	μA
I <sub>SS</sub>	Negative Supply Current	f <sub>SAMPLE</sub> = 100ksps, Bipolar Mode Only SLEEP = 0V	●	40	70	μA
			●	0.3	5	μA
P <sub>DISS</sub>	Power Dissipation	f <sub>SAMPLE</sub> = 100ksps NAP = 0V (LTC1277 Only) SLEEP = 0V (Unipolar/Bipolar)	●	10	20	mW
			●	0.9	1.8	mW
			●		25/50	μW

**TIMING CHARACTERISTICS** (Note 5) See Figures 13 to 17.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f <sub>SAMPLE(MAX)</sub>	Maximum Sampling Frequency	(Note 11)	●	100		ksps
t <sub>CONV</sub>	Conversion Time		●	6	8	μs
t <sub>ACQ</sub>	Acquisition Time		●	0.35	2	μs
t <sub>1</sub>	$\overline{CS}$ ↓ to $\overline{RD}$ ↓ Setup Time	(Note 10)	●	0		ns
t <sub>2</sub>	$\overline{CS}$ ↓ to $\overline{CONVST}$ ↓ Setup Time	(Note 10)	●	30		ns
t <sub>3</sub>	$\overline{NAP}$ ↑ to $\overline{CONVST}$ ↓ Wake-Up Time	(LTC1277 Only) (Note 11)		620		ns
t <sub>4</sub>	$\overline{CONVST}$ Low Time	(Note 13)	●	40		ns
t <sub>5</sub>	$\overline{CONVST}$ ↓ to $\overline{BUSY}$ ↓ Delay	C <sub>L</sub> = 100pF	●	70	150	ns
t <sub>6</sub>	Data Ready Before $\overline{BUSY}$ ↑	C <sub>L</sub> = 100pF	●	20	65	ns
t <sub>7</sub>	Delay Between Conversions	(Note 11)	●	0.35	2	μs
t <sub>8</sub>	Wait Time $\overline{RD}$ ↓ After $\overline{BUSY}$ ↑	(Note 10)	●	-20		ns
t <sub>9</sub>	Data Access Time After $\overline{RD}$ ↓	C <sub>L</sub> = 20pF (Note 10)	●	50	110	ns
		C <sub>L</sub> = 100pF	●	65	125	ns
			●		170	ns
t <sub>10</sub>	Bus Relinquish Time	C <sub>L</sub> = 100pF	●	20	60	ns
			●	20	100	ns
t <sub>11</sub>	$\overline{RD}$ Low Time	(Note 10)	●	t <sub>9</sub>		ns
t <sub>12</sub>	$\overline{CONVST}$ High Time	(Notes 10, 13)	●	40		ns
t <sub>13</sub>	Aperture Delay of Sample-and-Hold			35		ns
t <sub>14</sub>	$\overline{SLEEP}$ ↑ to REF <sub>RDY</sub> ↑ Wake-Up Time	10μF Bypass at V <sub>REF</sub> Pin 4.7μF Bypass at V <sub>REF</sub> Pin		4.2		ms
				3.3		ms
t <sub>15</sub>	HBEN↑ to High Byte Data Valid	C <sub>L</sub> = 100pF (LTC1277 Only)	●	35	100	ns

## TIMING CHARACTERISTICS (Note 5) See Figures 13 to 17.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t <sub>16</sub>	HBEN↓ to Low Byte Data Valid	C <sub>L</sub> = 100pF (LTC1277 Only)	●	45	100	ns
t <sub>17</sub>	HBEN↑ to $\overline{\text{RD}}\downarrow$ Setup Time	(Note 10) (LTC1277 Only)	●	10		ns
t <sub>18</sub>	$\overline{\text{RD}}\uparrow$ to HBEN↓ Setup Time	(Note 10) (LTC1277 Only)	●	10		ns

The ● denotes specifications which apply over the full operating temperature range; all other limits and typicals T<sub>A</sub> = 25°C.

**Note 1:** Absolute Maximum Ratings are those values beyond which the life of a device may be impaired.

**Note 2:** All voltage values are with respect to ground with DGND and AGND wired together and V<sub>LOGIC</sub> is tied to V<sub>DD</sub> in LTC1277 (unless otherwise noted).

**Note 3:** When these pin voltages are taken below V<sub>SS</sub> (ground for unipolar mode) or above V<sub>DD</sub>, they will be clamped by internal diodes. This product can handle input currents greater than 60mA below V<sub>SS</sub> (ground for unipolar mode) or above V<sub>DD</sub> without latch-up.

**Note 4:** When these pin voltages are taken below V<sub>SS</sub> (ground for unipolar mode), they will be clamped by internal diodes. This product can handle input currents greater than 60mA below V<sub>SS</sub> (ground for unipolar mode) without latch-up. These pins are not clamped to V<sub>DD</sub>.

**Note 5:** V<sub>DD</sub> = 5V (V<sub>SS</sub> = -5V for bipolar mode), V<sub>LOGIC</sub> = V<sub>DD</sub> (LTC1277), f<sub>SAMPLE</sub> = 100ksps, t<sub>r</sub> = t<sub>f</sub> = 5ns unless otherwise specified.

**Note 6:** Linearity, offset and full-scale specifications apply for unipolar and bipolar modes.

**Note 7:** Integral nonlinearity is defined as the deviation of a code from a straight line passing through the actual endpoints of the transfer curve. The deviation is measured from the center of the quantization band.

**Note 8:** For LTC1274, bipolar offset is the offset voltage measured from -0.5LSB when the output code flickers between 0000 0000 0000 and 1111 1111 1111. For LTC1277, bipolar offset voltage is measured from -0.5LSB when the output code flickers between 0111 1111 1111 and 1000 0000 0000.

**Note 9:** The AC tests apply to bipolar mode only and the S/(N + D) is 71dB (typ) for unipolar mode at 100kHz input frequency.

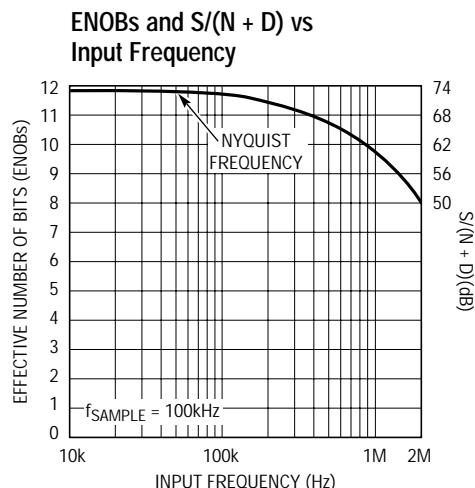
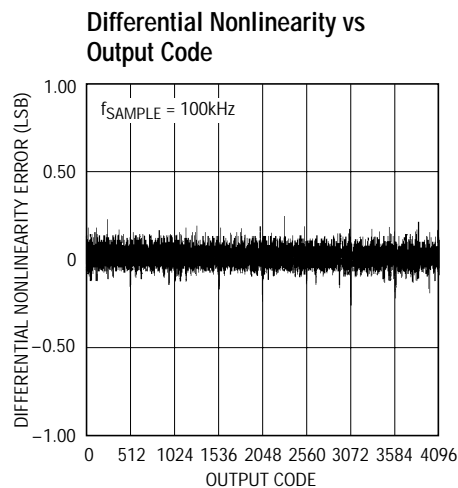
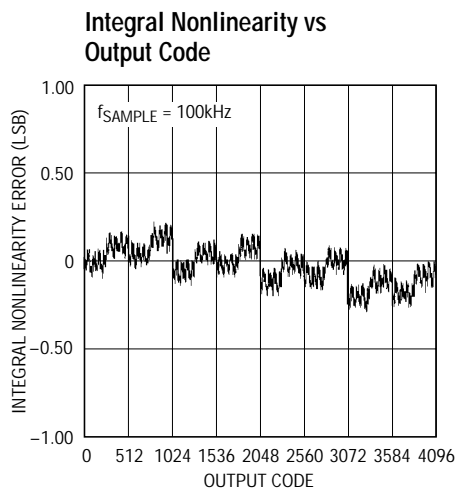
**Note 10:** Guaranteed by design, not subject to test.

**Note 11:** Recommended operating conditions.

**Note 12:** A<sub>IN</sub> must not exceed V<sub>DD</sub> or fall below V<sub>SS</sub> by more than 50mV to specified accuracy.

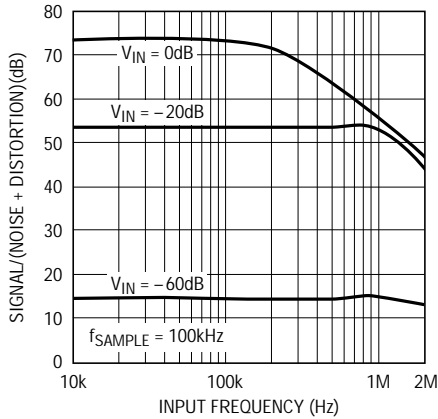
**Note 13:** The falling  $\overline{\text{CONVST}}$  edge starts a conversion. If  $\overline{\text{CONVST}}$  returns high at a bit decision point during the conversion it can create small errors. For best performance ensure that  $\overline{\text{CONVST}}$  returns high either within 400ns after conversion start (i.e., before the first bit decision) or after  $\overline{\text{BUSY}}$  rises (i.e., after the last bit test). See timing diagrams Modes 1a and 1b (Figures 13, 14).

## TYPICAL PERFORMANCE CHARACTERISTICS



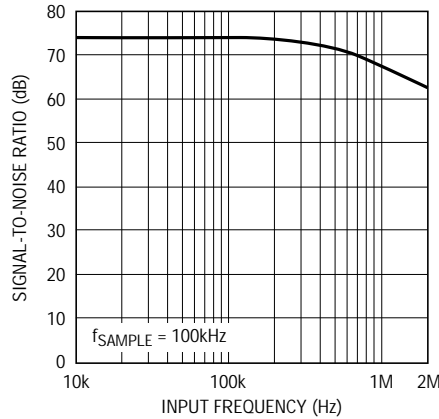
# TYPICAL PERFORMANCE CHARACTERISTICS

**S/(N + D) vs Input Frequency and Amplitude**



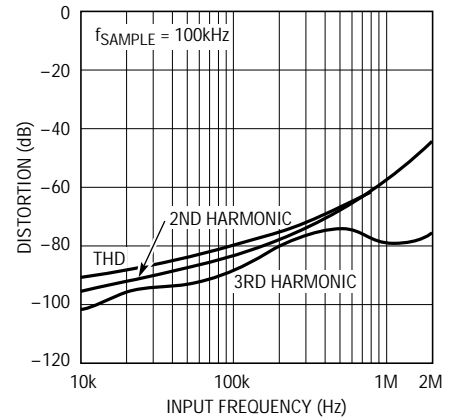
LTC1274/77 - TPC04

**Signal-to-Noise Ratio (Without Harmonics) vs Input Frequency**



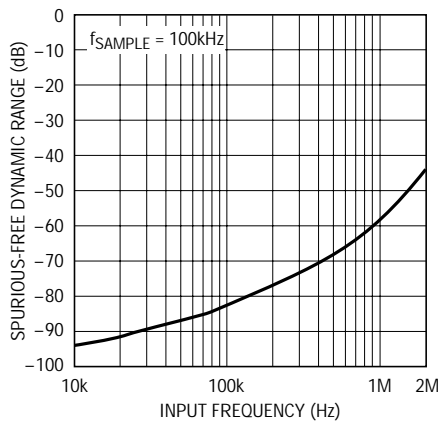
LTC1274/77 - TPC05

**Distortion vs Input Frequency**



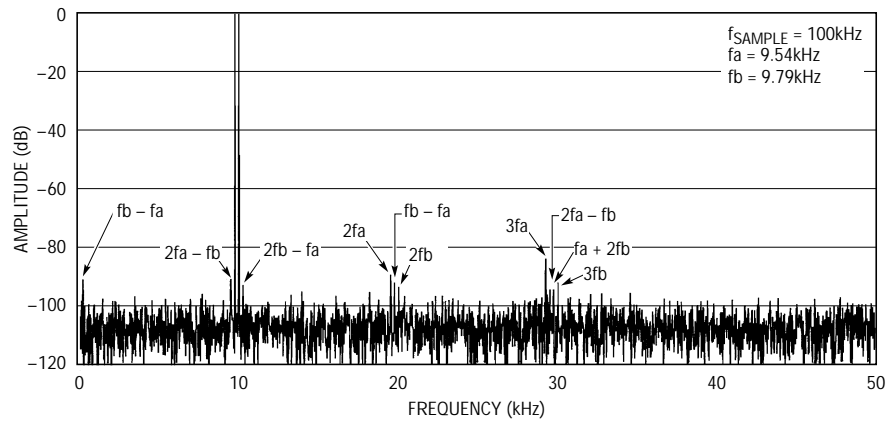
LTC1274/77 - TPC06

**Spurious-Free Dynamic Range vs Input Frequency**



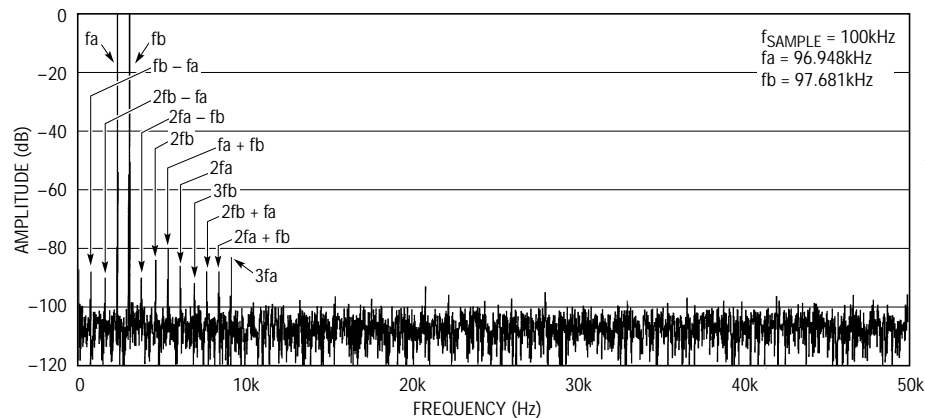
LTC1274/77 - TPC07

**Intermodulation Distortion Plot**



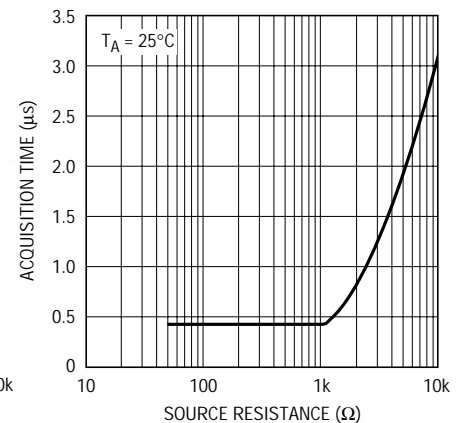
LTC1274/77 - TPC08

**Intermodulation Distortion Plot**



LTC1274/77 - TPC09

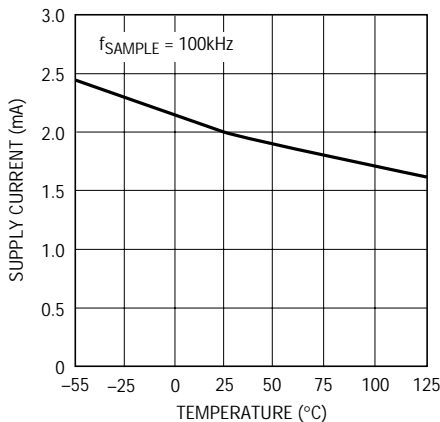
**Acquisition Time vs Source Impedance**



LTC1274/75 - TPC10

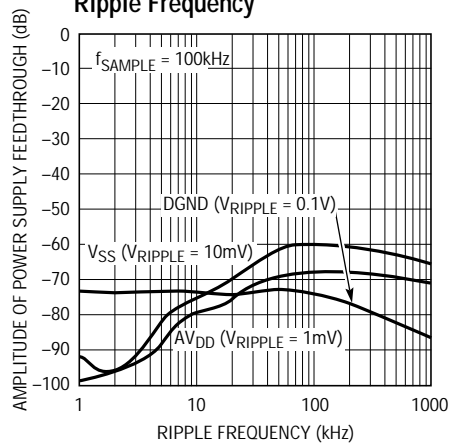
## TYPICAL PERFORMANCE CHARACTERISTICS

Supply Current vs Temperature



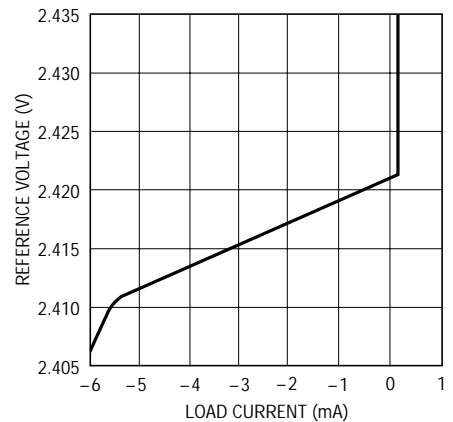
LT1274/77 - TPC11

Power Supply Feedthrough vs Ripple Frequency



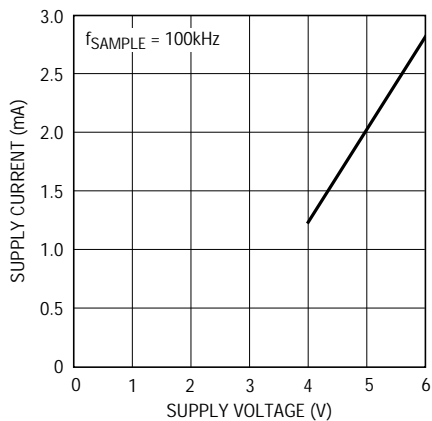
LTC1274/77 - TPC12

Reference Voltage vs Load Current



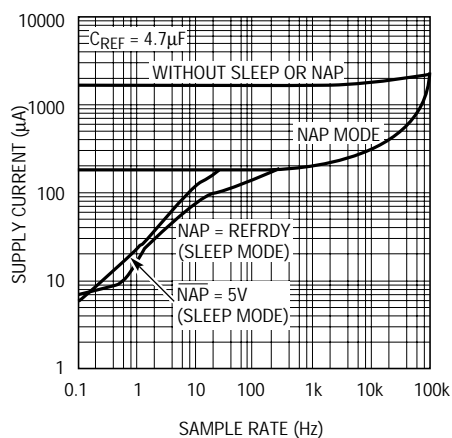
LT1274/77 - TPC13

Supply Current vs Supply Voltage



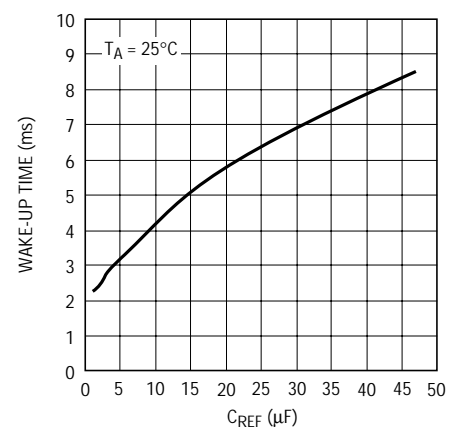
LTC1274/77 - TPC14

Supply Current vs Sample Rate With Sleep and Nap Modes



LTC1274/77 - TPC15

Wake-Up Time vs C\_REF (Sleep Mode)



LTC1274/77 - TPC16

## ピン機能

## LTC1274

$A_{IN}$  (ピン1): アナログ入力。0V ~ 4.096V(ユニポーラ、 $V_{SS} = 0V$ )または $\pm 2.048V$ (バイポーラ、 $V_{SS} = -5V$ )

$V_{REF}$  (ピン2): 2.42Vリファレンス出力。AGNDにバイパスします(10 $\mu$ Fタンタルと0.1 $\mu$ Fセラミックを並列に接続)。 $V_{REF}$ は外部リファレンス電圧で正にオーバードライブできます。

AGND(ピン3): アナログ・グランド

D11 ~ D4(ピン4 ~ 11): スリーステート・データ出力。D11は最上位ビットです。

DGND(ピン12): デジタル・グランド

D3 ~ D0(ピン13 ~ 16): スリーステート・データ出力

REFRDY(ピン17): リファレンス・レディ信号。 $\overline{SLEEP}$ 後にリファレンス電圧が安定し、ADCがサンプリング可能な状態になると“H”になります。

$\overline{SLEEP}$ (ピン18): スリープ・モード入力。このピンを“L”レベルにすると、ADCはスリープ・モードに入って電力を節減します(REFRDYが“L”になります)。デバイスはスリープ・モードでは1 $\mu$ Aしか流しません。

CONVST(ピン19): 変換スタート信号。このアクティブ“L”信号は、立下りエッジで変換を開始します( $\overline{CONVST}$ を認識するには、 $\overline{CS}$ が“L”でなければなりません)。



## ピン機能

$\overline{RD}$  (ピン20): リード入力。 $\overline{CS}$ が“L”のときに出力ドライバをイネーブルします。

$\overline{CS}$  (ピン21): チップ・セレクト入力。ADCが $\overline{CONVST}$ および $\overline{RD}$ 入力を認識するには“L”でなければなりません。

$\overline{BUSY}$  (ピン21):  $\overline{BUSY}$ 出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。 $\overline{BUSY}$ の立上りエッジを使用して、変換結果をラッチすることができます。

$V_{SS}$  (ピン23): 負の5V電源。-5Vはバイポーラ動作を選択します。0.1 $\mu$ Fのセラミック・コンデンサでAGNDにバイパスしてください。このピンをアナログ・グラウンドに接続すると、ユニポーラ動作が選択されます。

$V_{DD}$  (ピン24): 正5V電源。AGNDにバイパスします(10 $\mu$ Fタンタルと0.1 $\mu$ Fセラミックを並列に接続)。

### LTC1277

$A_{IN}^+$  (ピン1): 正のアナログ入力( $A_{IN}^+ - A_{IN}^-$ ) = 0V ~ 4.096V(ユニポーラ、 $V_{SS} = 0V$ )または+2.048V(バイポーラ、 $V_{SS} = -5V$ )。

$A_{IN}^-$  (ピン2): 負のアナログ入力。このピンには変換中にノイズがあってはなりません。シングルエンド入力の場合、 $A_{IN}^-$ をアナログ・グラウンドに接続します。

$V_{REF}$  (ピン3): 2.42Vリファレンス出力。AGNDにバイパスします(10 $\mu$ Fタンタルと0.1 $\mu$ Fセラミックを並列に接続)。 $V_{REF}$ は外部リファレンス電圧で正にオーバドライブできます。

AGND (ピン4): アナログ・グラウンド

REFRDY (ピン5): リファレンス・レディイ信号。SLEEP後にリファレンス電圧が安定し、ADCがサンプリング可能な状態になると“H”になります。

$\overline{SLEEP}$  (ピン6): スリープ・モード入力。このピンを“L”に接続すると、ADCはスリープ・モードに入り電力を節減します(REFRDYは“L”になります)。デバイスはスリープ・モードでは1 $\mu$ Aしか流しません。

$\overline{NAR}$  (ピン7): ナップ・モード入力。このピンを“L”にプルダウンすると、リファレンスを除くADCのすべての電流をシャットダウンします。ナップ・モードでは、ADCは180 $\mu$ Aを流します。ナップ・モードからは約620nsでウェイクアップします。

D7 ~ D4 (ピン8 ~ 11): スリーステート・データ出力  
DGND (ピン12): デジタル・グラウンド

D3/11 ~ D0/8 (ピン13 ~ 16): スリーステート・データ出力。D11が最上位ビットです。

$V_{LOGIC}$  (ピン17): 5Vまたは3Vデジタル電源。このピンにより、プロセッサとの5Vまたは3Vロジック・インタフェースが可能です。すべてのロジック出力(データ・ビット、 $\overline{BUSY}$ 、およびREFRDY)は、0Vと $V_{LOGIC}$ の間で振幅します。

HBEN (ピン18): 上位バイト・イネーブル入力。このピンが“H”のとき、最上位4ビットがピン13 ~ 16に現れます。LTC1277は、ユニポーラ・モードではストレート・バイナリ、バイポーラ・モードではオフセット・バイナリを使用します。

$\overline{CONVST}$  (ピン19): 変換スタート信号。このアクティブ“L”信号は、立下りエッジで変換を開始します( $\overline{CONVST}$ を認識するには、 $\overline{CS}$ が“L”でなければなりません)。

$\overline{RD}$  (ピン20): リード入力。 $\overline{CS}$ が“L”のときに出力ドライバをイネーブルします。

$\overline{CS}$  (ピン21): チップ・セレクト入力は、ADCが $\overline{CONVST}$ および $\overline{RD}$ 入力を認識するには“L”でなければなりません。

$\overline{BUSY}$  (Pin 22):  $\overline{BUSY}$ 出力はコンバータのステータスを示します。変換を実行中のときには“L”になります。

$V_{SS}$  (ピン23): 負5V電源。-5V負電源でバイポーラ動作を選択します。0.1 $\mu$ Fのセラミック・コンデンサでAGNDにバイパスしてください。このピンをアナログ・グラウンドに接続するとユニポーラ動作が選択されます。

$V_{DD}$  (ピン24): 5V正電源。AGNDにバイパスします(10 $\mu$ Fタンタルと0.1 $\mu$ Fセラミックを並列に接続)。

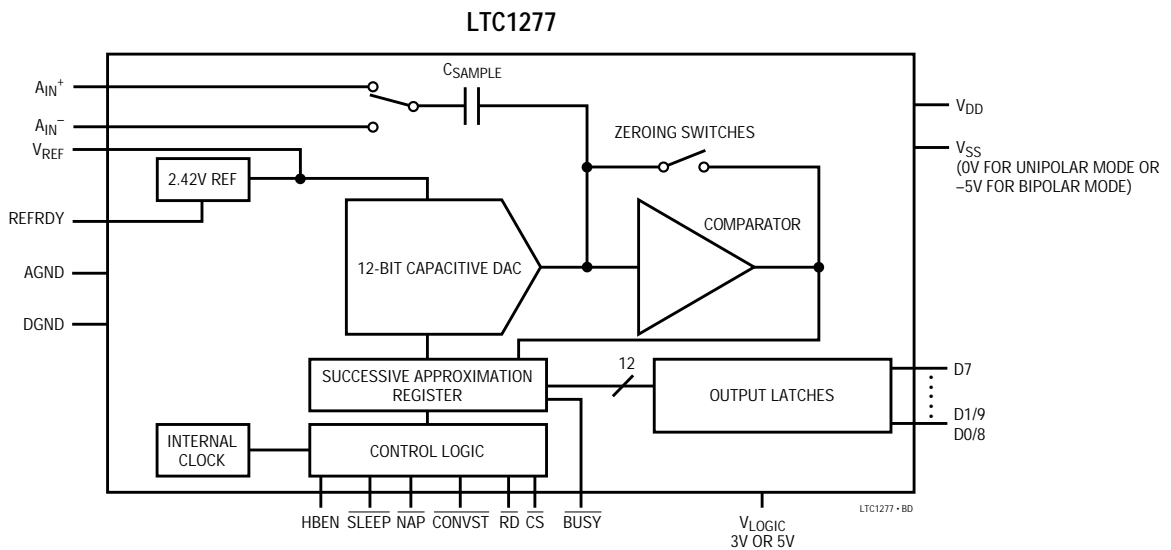
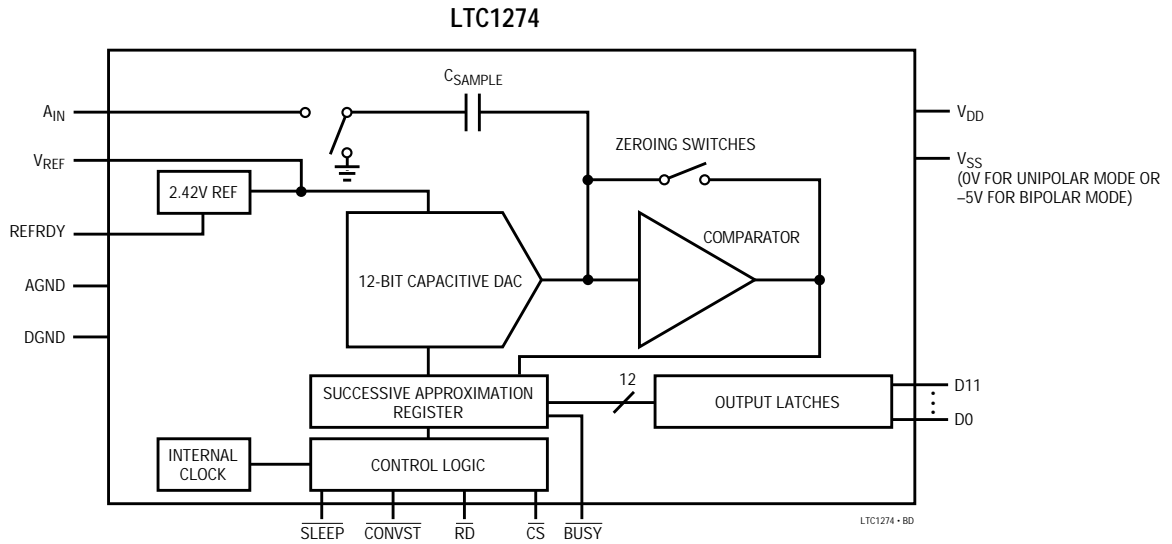
Table 1. LTC1277 Two-Byte Read Data Bus Status

DATA OUTPUTS	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
Low Byte	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
High Byte	Low	Low	Low	Low	DB11	DB10	DB9	DB8

\*LTC1277のバイポーラ・モードはオフセット・バイナリです。

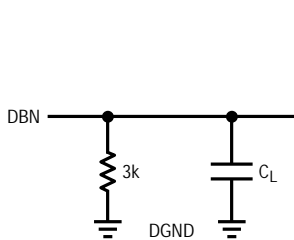


## BLOCK DIAGRAMS

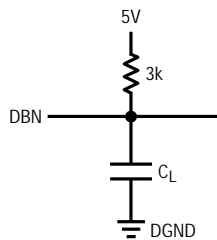


## TEST CIRCUITS

Load Circuits for Access Timing



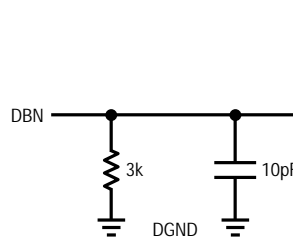
A) HIGH-Z TO  $V_{OH}$  ( $t_9$ ) AND  $V_{OL}$  TO  $V_{OH}$  ( $t_6$ )



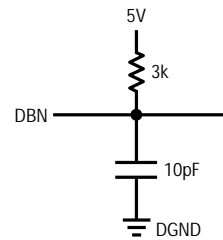
B) HIGH-Z TO  $V_{OL}$  ( $t_9$ ) AND  $V_{OH}$  TO  $V_{OL}$  ( $t_6$ )

1274/77 - TC01

Load Circuits for Output Float Delay



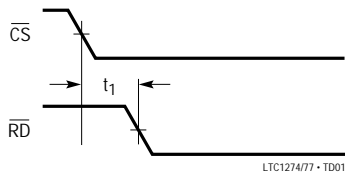
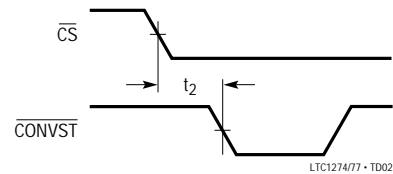
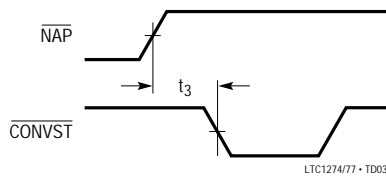
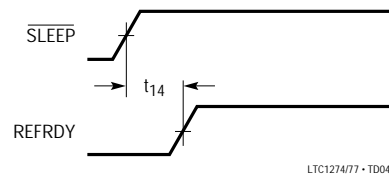
A)  $V_{OH}$  TO HIGH-Z



B)  $V_{OL}$  TO HIGH-Z

1274/77 - TC02

## TIMING DIAGRAMS

 $\overline{\text{CS}}$  to  $\overline{\text{RD}}$  Setup Timing $\overline{\text{CS}}$  to  $\overline{\text{CONVST}}$  Setup Timing $\overline{\text{NAP}}$  to  $\overline{\text{CONVST}}$  Wake-Up Timing (LTC1277) $\overline{\text{SLEEP}}$  to  $\overline{\text{REFRDY}}$  Wake-Up Timing

## アプリケーション情報

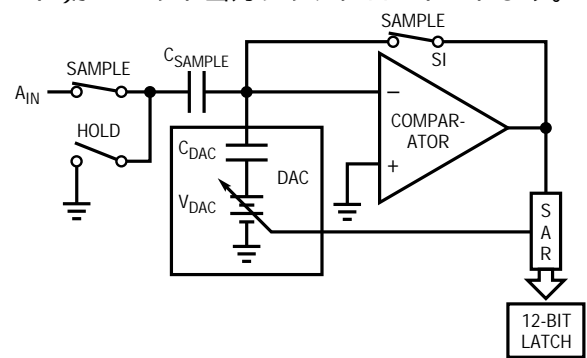
## 変換の詳細説明

LTC1274/LTC1277は、逐次比較アルゴリズムと内部サンプル&ホールド回路を使用して、アナログ信号を12ビットの平行出力に変換します。これらのADCは高精度リファレンスおよび内部クロックを備えた完全なA/Dコンバータです。コントロール・ロジックにより、簡単にマイクロプロセッサやDSPにインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースの項を参照してください)。

変換スタートは、 $\overline{\text{CS}}$ および $\overline{\text{CONVST}}$ 入力でコントロールされます。変換がスタートすると、逐次変換レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の12ビット容量性DAC出力が最上位ビット(MSB)から最下位ビット(LSB)にSARでシーケンスされます。図1を参照すると、 $A_{\text{IN}}$ (LTC1274)または $A_{\text{IN}}^+$ (LTC1277)入力はアキュイジション・フェーズ中に、サンプル&ホールド・コンデンサに接続され、コンパレータ・オフセットはフィードバック・スイッチによってゼロになります。このアキュイジション・フェーズでは、 $2\mu\text{s}$ の最小遅延時間が、サンプル&ホールド・コンデンサがアナログ入力を収集するのに十分な時間を与えます。変換フェーズでは、コンパレータのフィードバック・スイッチがオープンして、コンパレータを比較モードにします。入力スイッチは $C_{\text{SAMPLE}}$ をグランド(LTC1274)または $A_{\text{IN}}^-$

(LTC1277)にスイッチして、アナログ入力電荷をコンパレータの加算ジャンクションに送ります。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は、高速コンパレータで行われます。変換が終わると、DAC出力は $A_{\text{IN}}$ (LTC1274)または $A_{\text{IN}}^+ - A_{\text{IN}}^-$ (LTC1277)入力電荷とバランスします。 $A_{\text{IN}}$ (LTC1274)または $A_{\text{IN}}^+ - A_{\text{IN}}^-$ (LTC1277)入力信号を表すSAR成分(12ビット・データワード)が12ビット出力ラッチにロードされます。

Figure 1. LTC1274  $A_{\text{IN}}$  Input

## ダイナミック特性

LTC1274/LTC1277は、非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズをテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を加え、FFTアルゴリズムを用いてデジタル

## アプリケーション情報

出力を分析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2aと図2bに、代表的なLTC1274のFFTプロットを示します。

### SN比

SN + 歪み比  $S/(N + D)$  は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに、100kHzのサンプリング・レートと48.85kHz入力での標準スペクトル成分を示します。ダイナミック特性は、図2bと図3に示すとおり、入力周波数がナイキスト周波数を超えても良好です。

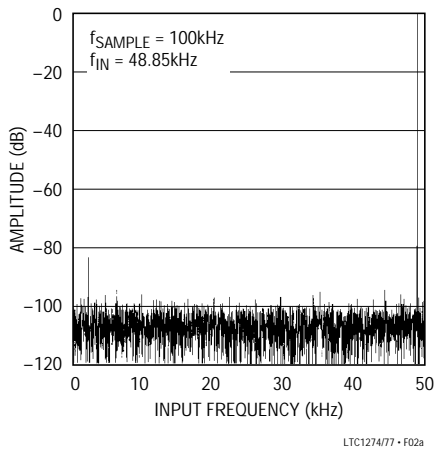


Figure 2a. LTC1274 Nonaveraged, 4096 Point FFT Plot with 50kHz Input Frequency

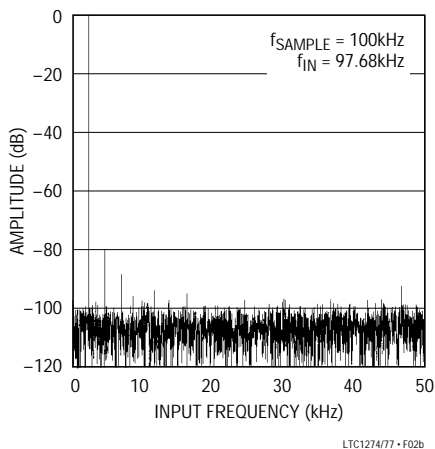


Figure 2b. LTC1274 Nonaveraged, 4096 Point FFT Plot with 100kHz Input Frequency

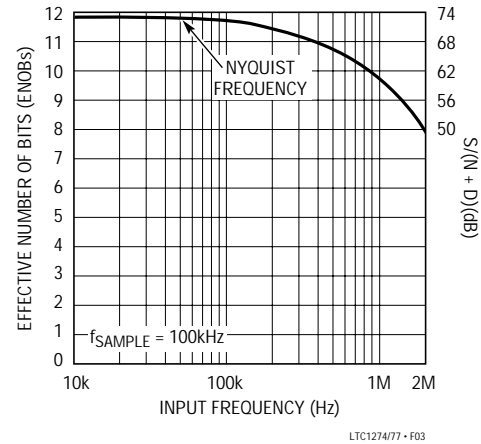


Figure 3. ENOBs and  $S/(N + D)$  vs Input Frequency

### 有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり  $S/(N + D)$  に直接関係します。

$$N = [S/(N + D) - 1.76]/6.02$$

ここで、Nは分解能の有効ビット数であり、 $S/(N + D)$  はdBで表されます。100kHzの最大サンプリング・レートで、LTC1274/LTC1277は300kHzを超えても非常に良好な有効ビットを維持します。図3を参照してください。

### 全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されます。THDは、次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots + V_N^2}}{V_1}$$

ここで、 $V_1$ は基本周波数のRMS振幅であり、 $V_2$ から $V_N$ は第2高調波から第N高調波の振幅です。THD対入力周波数を図4に示します。これらのADCは、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

## アプリケーション情報

### 混変調歪み

ADC入力信号が2つ以上のスペクトル成分から成るときには、ADC伝達関数の非直線性によって、THDに加えて混変調( IMD )が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

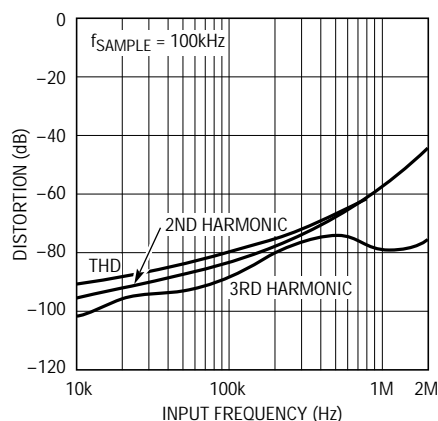
ADC入力に $f_a$ と $f_b$ の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、 $m$ および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ 、 $(f_a - f_b)$ 、3次IMDの項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値( dB )は次式で表すことができます。

$$\text{IMD}(f_a \pm f_b) = 20 \log \frac{\text{Amplitude at } (f_a \pm f_b)}{\text{Amplitude at } f_a}$$

図5に97kHz入力におけるIMD性能を示します。

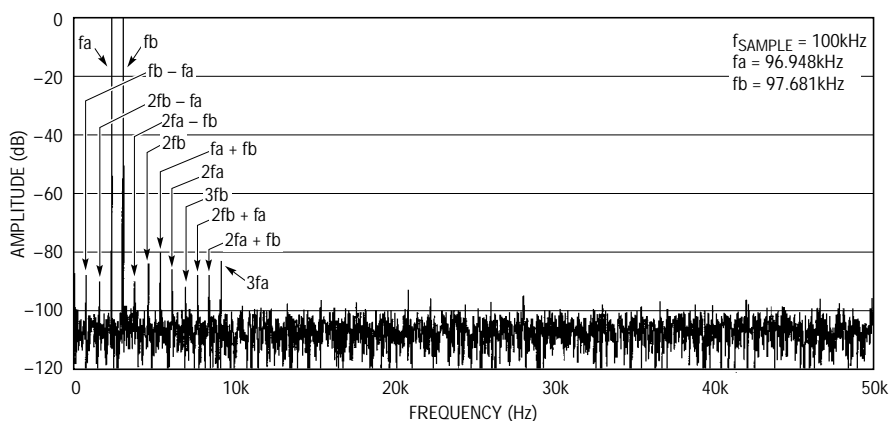
### 最大高調波、最大スプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。



LTC1274/77 - F04

Figure 4. Distortion vs Input Frequency



LTC1274/77 - F05

Figure 5. Intermodulation Distortion

## アプリケーション情報

### LTC1277 $A_{IN}^+ / A_{IN}^-$ 入力セトリング

LTC1277の入力コンデンサは、サンプリング・フェーズ中に $A_{IN}^+$ 入力に切り換えられます。 $A_{IN}^+$ 入力の電圧はこのサンプリング期間内に完全にセトリングしなければなりません。サンプリング・フェーズの終わりに、入力コンデンサは $A_{IN}^-$ 入力に切り換わり、変換がスタートします。変換中、 $A_{IN}^+$ 入力電圧はサンプル&ホールドによって効率的に「ホールド」され、変換結果には影響を与えません。変換中には $A_{IN}^-$ 入力電圧にノイズがなく、完全にセトリングすることが重要です。

### 内部リファレンス

このADCは、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.42Vにトリミングされています。このリファレンスは内部でDACに接続され、ピン2 (LTC1274) またはピン3 (LTC1277) から外部に引き出されており、外部負荷に1mAまでの電流を供給可能です。

コード・トランジション・ノイズを最小限に抑えるために、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズをフィルタしなければなりません(0.1 $\mu$ Fのセラミック・コンデンサと並列に10 $\mu$ Fのタンタル・コンデンサを接続)。

DACまたは他の方法で $V_{REF}$ ピンをドライブして、入力スパン調整を行うことができます。 $V_{REF}$ ピンは内部リファレンスとの衝突を避けるために、最低でも2.45V以上にドライブしなければなりません。ユニポーラ・モー

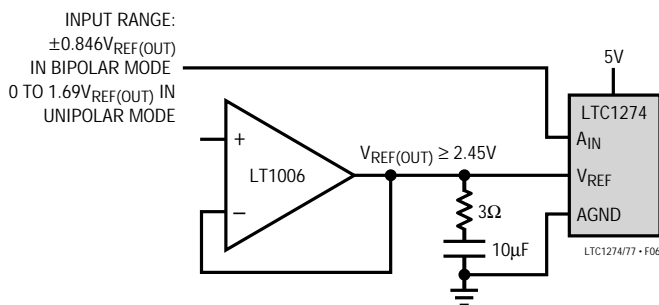


Figure 6. Driving the  $V_{REF}$  with the LT1006 Op Amp

ドでは、入力スパンを5V電源以内に保持するには、リファレンスを3V以上にドライブしてはなりません。バイポーラ・モードでは、リファレンスをチップの正電源電圧である5V以上ドライブしてはなりません。

図6にリファレンス・ピンをLT1006オペアンプでドライブする回路を示します。ユニポーラ・モードでは、リファレンスを2.95Vまでドライブでき、2.95Vで0V~5Vの入力スパンを提供します。バイポーラ・モードでは、リファレンスは5Vまでドライブすることができ、5Vで $\pm 4.23V$ の入力スパンを提供します。図7に代表的なりファレンスLT1019A-2.5をLTC1274に接続した回路を示します。これにより、ドリフトが改善され(LT1019A-2.5の最大5ppm/ )  $\pm 2.115V$  (バイポーラ) または4.231V (ユニポーラ) のフルスケールになります。

### ボード・レイアウトとバイパス

高分解能または高速A/Dコンバータには、ワイヤラップ・ボードは使用しないでください。LTC1274/LTC1277から最適な性能を引き出すには、PCボードが必要です。PCボードのレイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特にADCの下やアナログ信号トラックに沿ってデジタル・トラックを走らせないように注意してください。アナログ入力にはAGNDで遮蔽しなければなりません。

$V_{DD}$ および $V_{REF}$ ピンには、図8に示すように高品質のタンタルおよびセラミック・バイパス・コンデンサを使用してください。

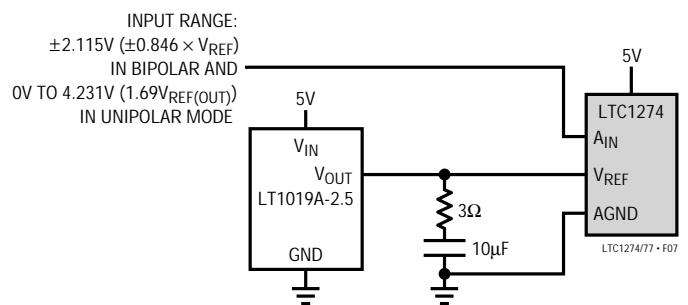


Figure 7. Supplying a 2.5V Reference Voltage to the LTC1274 with the LT1019A-2.5

## アプリケーション情報

バイポーラ・モードの場合、 $0.1\mu\text{F}$ のセラミック・コンデンサで $V_{SS}$ ピンに十分なバイパスが得られます。これらのコンデンサはできる限りピンの近くに配置してください。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。

$A_{IN}$ の入力信号リードおよび $AGND$ (LTC1274の場合はピン3、LTC1277の場合はピン4)からの信号リターン・リードは、できるだけ短くして、入力ノイズのカップリングを最小にします。これができないアプリケーションの場合には、ソースとADCの間にシールド・ケーブルを使ってください。

また、信号ソースとADC間のグラウンドの電位差は入力信号と直列に誤差電圧として現れるため、できるだけグラウンド回路のインピーダンスが低くなるよう配慮が必要です。

ロジックのシステム・グラウンドから離れたシングル・ポイントのアナログ・グラウンド面を、 $AGND$ にまたはできる限

りADCの近くに設けなければなりません。ピン12 (DGND)および他のすべてのアナログ・グラウンドは、このシングル・アナログ・グラウンド・ポイントに接続してください。他のデジタル・グラウンドをこのアナログ・グラウンド・ポイントに接続してはなりません。このADCを低ノイズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADCのデータ出力とコントロール信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次変換コンバータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAITステートにするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。図9はLTC1274の代表的なアプリケーション回路です。

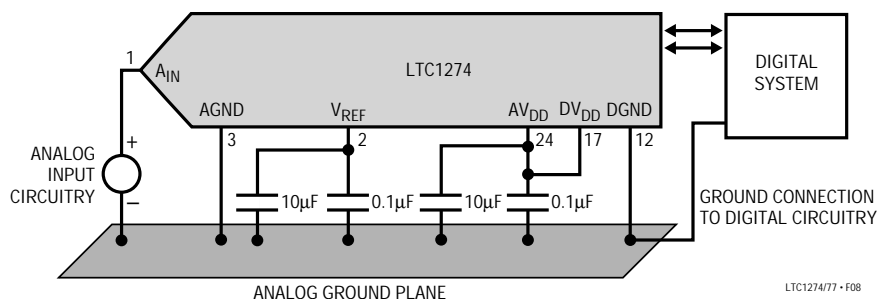


Figure 8. Power Supply Grounding Practice

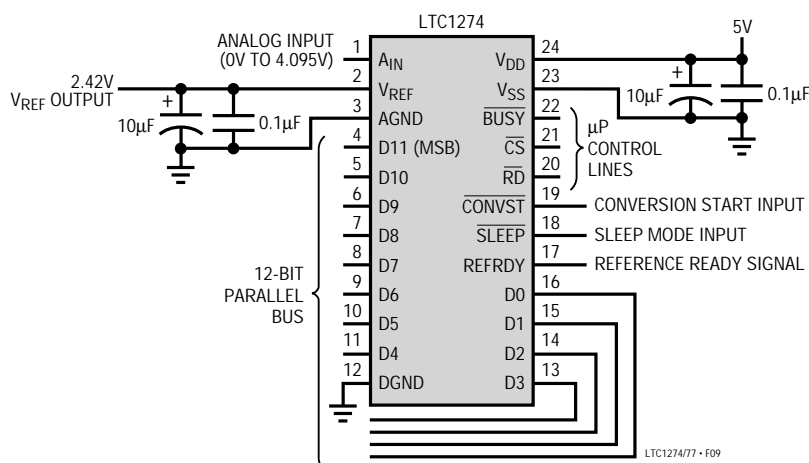


Figure 9. LTC1274 Typical Circuit



## アプリケーション情報

### デジタル・インタフェース

これらのADCは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 $\overline{CS}$ および $\overline{RD}$ コントロール入力は、すべての周辺メモリ・インタフェースに共通です。別々の $\overline{CONVST}$ を使用して、変換を開始します。図10a~図10cはADCの入力/出力特性です。コード・トランジションは、連続する整数のLSB値の間の中間に現れます(すなわち、0.5LSB、1.5LSB、2.5LSB、...FS - 1.5LSB)。出力コードは、1.0LSB = FS/4096 = 4.096V/4096 = 1.0mVにスケールされます。

### ユニポラ・オフセットとフルスケール調整

絶対精度が重要なアプリケーションの場合、オフセットと

フルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図11aにフルスケール誤差調整に必要な追加部品を示します。オフセットとフルスケール調整の両方が必要な場合には、図11bの回路を使用できます。オフセット誤差をゼロにするには、0.50mV(すなわち、0.5LSB)を入力に印加し、LTC1274/LTC1277の出力コードが0000 0000 0000と0000 0000 0001の間で変化するまで、オフセット・トリム抵抗を調整します。また、フルスケール誤差をゼロにするには、4.0945Vのアナログ入力(すなわち、FS - 1.5LSBまたは最後のコード・トランジション)を入力に印加し、ADCの出力コードが1111 1111 1110と1111 1111 1111の間で変化するまで、抵抗R5を調整します。

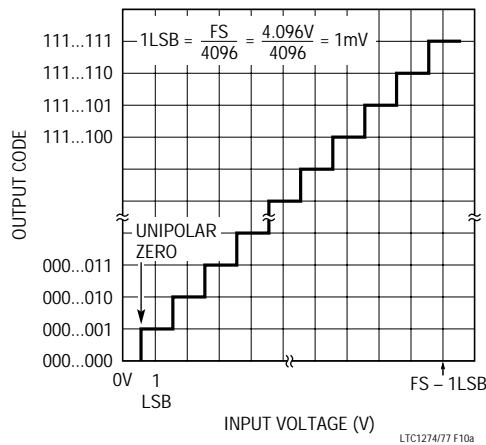


Figure 10a. LTC1274/LTC1277 Unipolar Transfer Characteristics

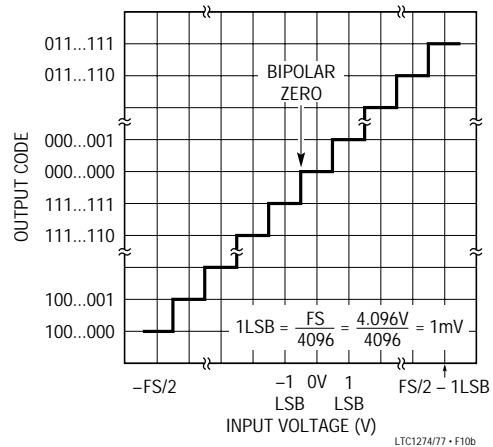


Figure 10b. LTC1274 Bipolar Transfer Characteristics (2's Complement)

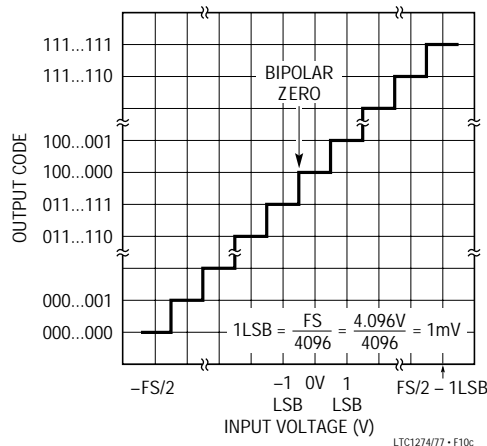


Figure 10c. LTC1277 Bipolar Transfer Characteristics (Offset Binary)



## アプリケーション情報

### バイポーラ・オフセットとフルスケール誤差調整

バイポーラ・オフセットおよびフルスケール誤差は、ユニポーラの場合と同様に調整されます。この場合にも、フルスケール誤差を調整する前にバイポーラ・オフセットを調整しなければなりません。バイポーラ・オフセット誤差調整は、入力電圧をグラウンドから0.5LSB低くして、オフセットを微調整して行うことができます。これは -0.50mV( -0.5LSB)の入力電圧を図11cの入力に印加し、ADCの出力コードがLTC1274では0000 0000 0000と1111 1111 1111の間で、あるいはLTC1277では0111 1111 1111と1000 0000 0000の間で変化するまでR8を調整して行います。フルスケール調整を行うには、2.0465Vの入力電圧(FS - 1.5LSB)を入力に印加し、出力コードがLTC1274では0111 1111 1110と0111 1111 1111の間で、あるいはLTC1277では1111 1111 1110と1111 1111 1111の間で変化するまでR5を調整します。

### 内部クロック

これらのADCには内部クロックがあり、他のADCのように外部クロックとCSおよびRD信号間で同期をとる必要はありません。内部クロックは標準変換時間6 $\mu$ sを達成するよう製造時にトリミングされています。外部調整は不要で、最大アキュイジション・タイム2 $\mu$ s、スループット性能100kspsが保証されています。

### タイミングとコントロール

変換スタートおよびデータ読み込み動作は、LTC1274のCS、CONVST、およびRDの3つのデジタル入力でコントロールされます。LTC1277の場合は、CS、CONVST、RD、HBENの4つのデジタル入力があります。図12に、LTC1277のこれらの入力のロジック回路を示します。CONVSTを論理“0”にすると、ADCが選択された後(すなわち、CSが“L”)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスはBUSY出力で表示され、変換実行中この出力は“L”になっています。LTC1277の上位バイト・イネーブル入力(HBEN)は、下位D7からD0/8出力に変換データの12ビットを多重化します。

図13~図17に、いくつかの異なる動作モードを示します。モード1aと1b(図13と図17)では、CSとRDは両方とも“L”に接続されます。CONVSTの立下りエッジで変換を開始します。データ出力は常にイネーブルされ、デー

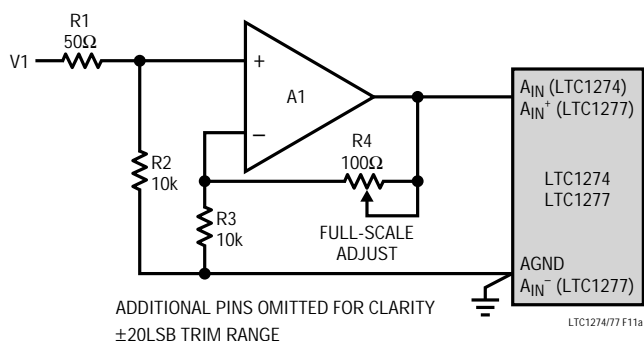


Figure 11a. Full-Scale Adjust Circuit

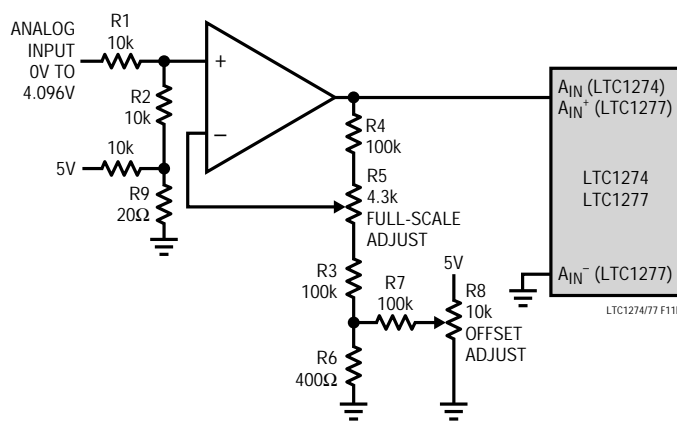


Figure 11b. LTC1274/LTC1277 Unipolar Offset and Full-Scale Adjust Circuit

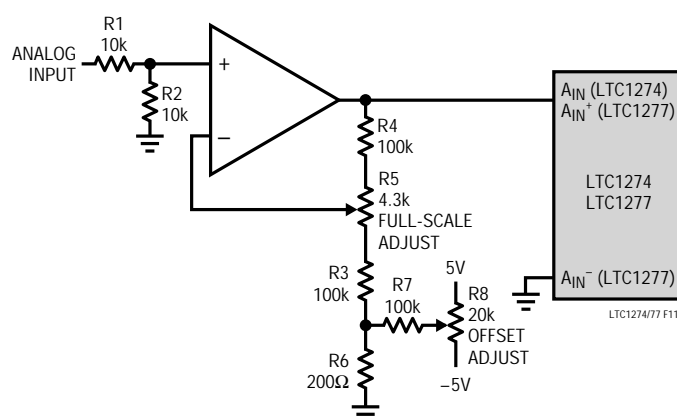


Figure 11c. LTC1274/LTC1277 Bipolar Offset and Full-Scale Adjust Circuit

アプリケーション情報

タはBUSYの立上りエッジでラッチすることができます。モード1aは、幅の狭い論理'L'のCONVSTパルスによる動作を示します。モード1bは、幅の狭い論理'H'のCONVSTパルスによる動作を示します。

CONVSTにこのような幅の狭い論理パルスを印加すれば、変換中にCONVSTが'H'に戻ることはありません( タイミング特性表の下のNote 13を参照してください)。

モード2(図15)では、CSは'L'に接続されます。CONVST信号の立下りエッジで再び変換を開始します。データ出力は、MPUがRD信号で読み出すまでスリーステートになっています。モード2は、共有MPUデータバスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図16と図17)では、CSは'L'に接続され、CONVSTとRDは連結されま

す。MPUは変換を開始して、RD信号で出力を読み出します。変換はMPUまたはDSP(外部サンプル・クロックではなく)によって開始されます。

低速メモリ・モードでは、プロセッサはRD (= CONVST)に論理'L'を印加します。BUSYが'L'になり、プロセッサを強制的にWAITステートにします。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。BUSYが'H'になって、プロセッサを解放すると、プロセッサは論理'H'をRD (= CONVST)に印加して、新しい変換データを読み出します。

ROMモードでは、プロセッサはRD (= CONVST)に論理'L'を印加して、変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果を読み出して、別の変換を開始することができます。

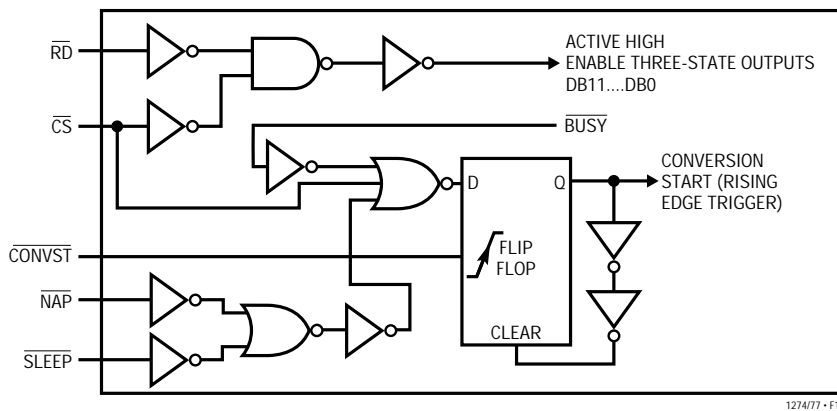


Figure 12. Internal Logic for Control Inputs CS, RD, CONVST, NAP and SLEEP (LTC1277)

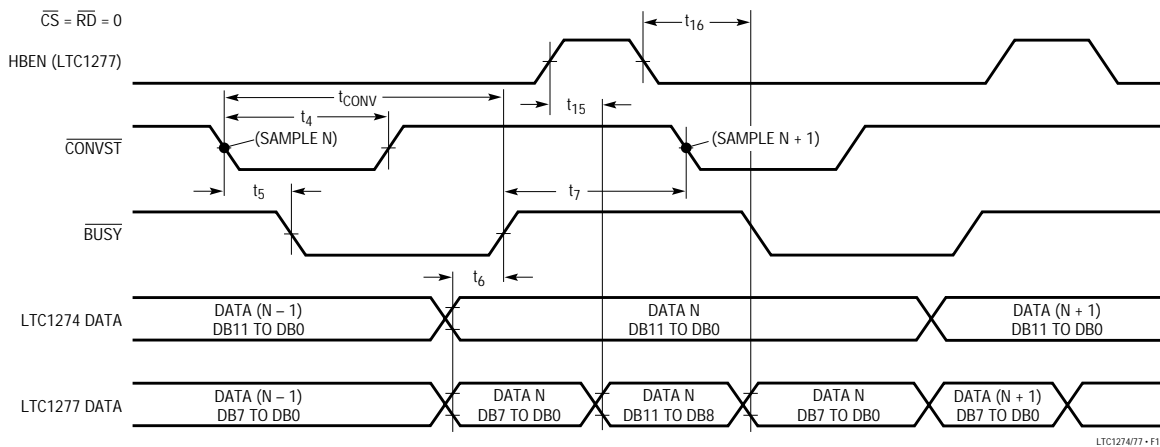


Figure 13. Mode 1a. CONVST Starts a Conversion. Data Outputs Always Enabled (CONVST = pulse)

APPLICATIONS INFORMATION

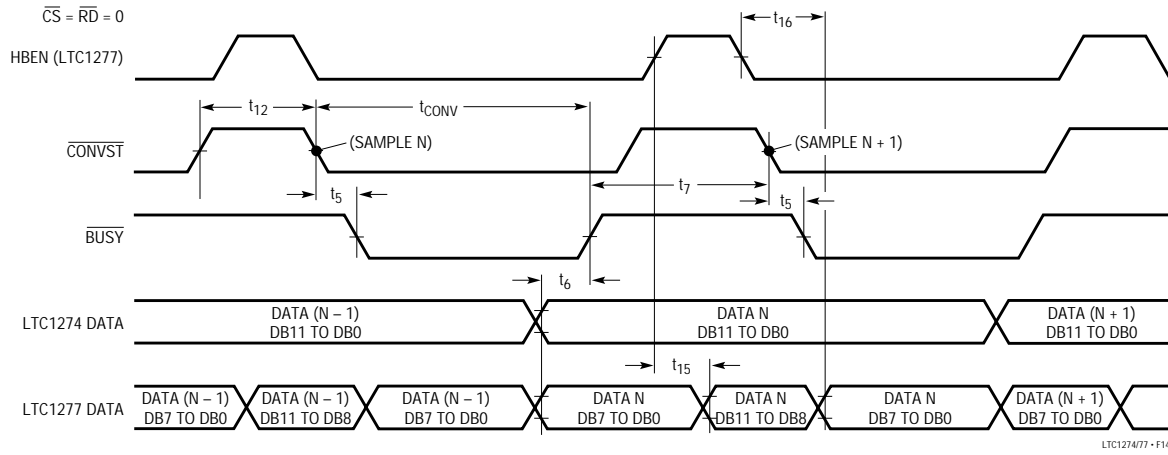


Figure 14. Mode 1b.  $\overline{CONVST}$  Starts a Conversion. Data Outputs Always Enabled  
 ( $\overline{CONVST} = \text{[Pulse]} \text{ )}$

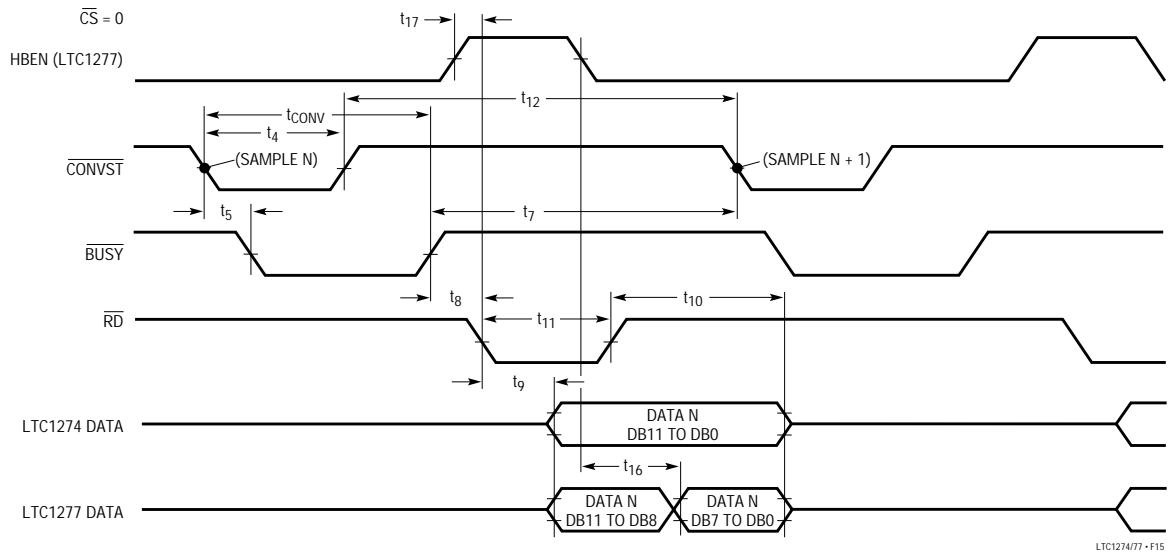


Figure 15. Mode 2.  $\overline{CONVST}$  Starts a Conversion. Data is Read by  $\overline{RD}$

## アプリケーション情報

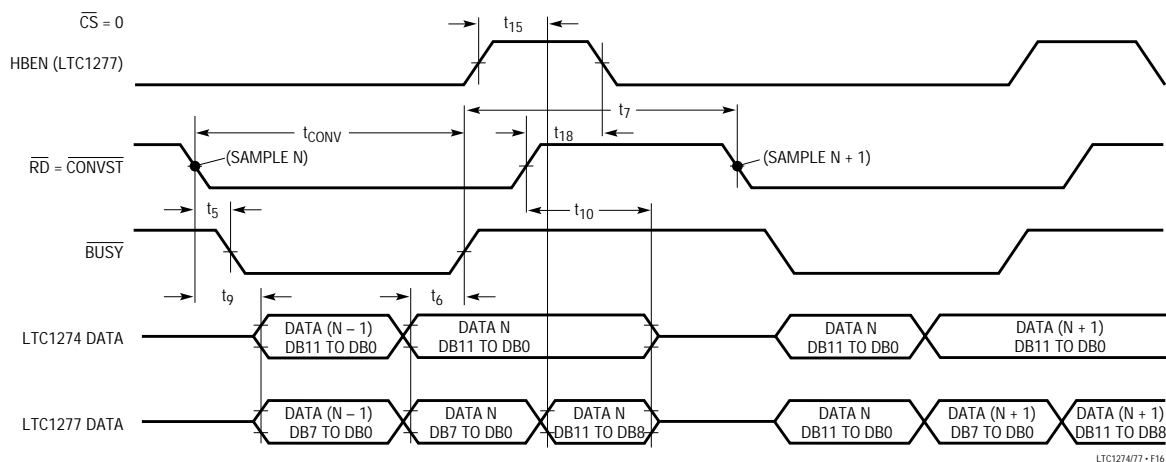


Figure 16. Slow Memory Mode

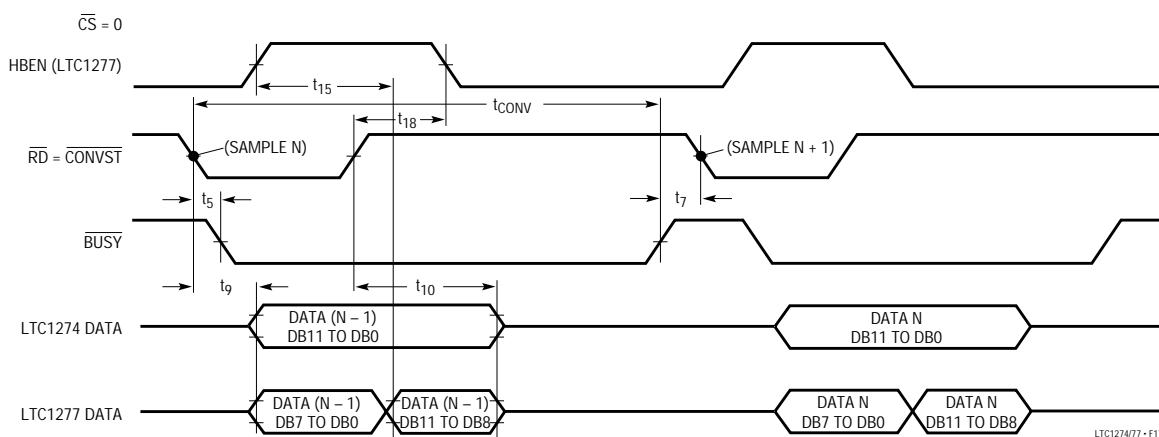


Figure 17. ROM Mode Timing

### 電源シャットダウン

LTC1274/LTC1277は、ADCが非アクティブ期間にあるときに電力を節減するシャットダウン機能を備えています。両方のADCにスリープ・モードがあります。ADCをパワーダウンするには、 $\overline{\text{SLEEP}}$  (LTC1274のピン18またはLTC1277のピン6)を“L”に接続する必要があります。スリープ・モードでは、LTC1274/LTC1277は $\overline{\text{CONVST}}$ が“L”になっても変換を開始しません。LTC1274/LTC1277は1 $\mu\text{A}$ を流します。スリープ・モードから解放された後、ADCは3msでウェイクアップし ( $V_{\text{REF}}$ ピンに4.7 $\mu\text{F}$ のバイパス・コンデンサ接続時)、REFRDY信号が“H”になり、ADCが変換する準備ができていることを示します。

LTC1277には、ナップ・モードが追加されています。NAP (ピン7)が“L”になると、内部リファレンス以外のすべての電源がオフになります。内部リファレンスはアクティブになったままで、他の回路に2.42Vの出力電圧を供給します。このモードでは、ADCは10mW (最小電力。論理入力は電源レールから600mV以内でなければなりません)ではなく0.9mWを消費します。電源シャットダウンからアクティブ状態へのウェイクアップ時間は、620nsです。本データシートの最初のページにある標準性能グラフに、スリープ・モードとナップ・モードによって消費電力が大幅に低減されることを示します。

## アプリケーション情報

スリープ・モードでは、図18aに示すとおり $\overline{\text{SLEEP}}$ の立上りエッジ後にADCのコンパレータが電力を消費し始め

ます。 $\overline{\text{REFRDY}}$ を $\overline{\text{NAP}}$ に接続した場合、コンパレータは $\overline{\text{REFRDY}}$ の立上りエッジ後に起動します。したがって、図18bに示すようにさらに多くの電力が節減されます。

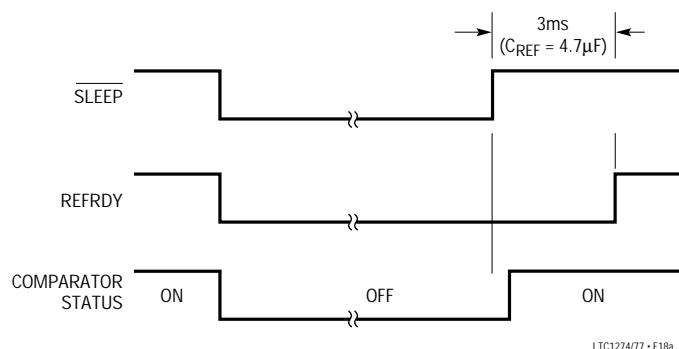


Figure 18a. Power Saved in Sleep Mode ( $\overline{\text{NAP}} = \text{HIGH}$ )

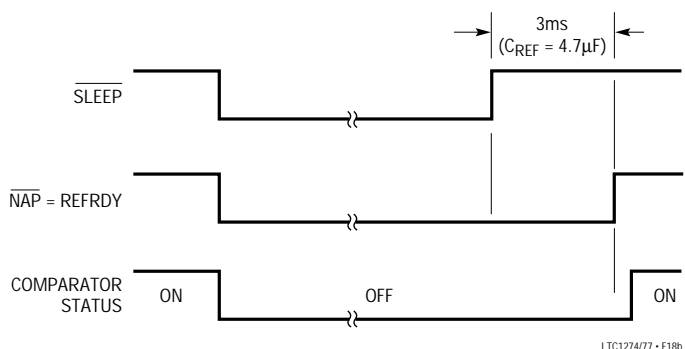


Figure 18b. Power Saved in Sleep Mode ( $\overline{\text{NAP}} = \overline{\text{REFRDY}}$ )

## RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC1272	12-Bit, 3 $\mu$ s, 250kHz Sampling A/D Converter	Single 5V, Sampling 7572 Upgrade
LTC1273/75/76	12-Bit, 300ksps Sampling A/D Converters with Reference	Complete with Clock, Reference
LTC1278	12-Bit, 500ksps Sampling A/D Converter with Shutdown	70dB SINAD at Nyquist, Low Power
LTC1279	12-Bit, 600ksps Sampling A/D Converter with Shutdown	70dB SINAD at Nyquist, Low Power
LTC1282	12-Bit, 140ksps Sampling A/D Converter with Reference	3V or $\pm$ 3V ADC with Reference, Clock
LTC1409	12-Bit, 800ksps Sampling A/D Converter with Shutdown	Fast, Complete Low Power ADC, 80mV
LTC1410	12-Bit, 1.25Msps Sampling A/D Converter with Shutdown	Fast, Complete Wideband ADC, 160mV