

12ビット、3 μ s、250kHz サンプリングA/Dコンバータ

特長

- AD7572ピン配置
- 12ビット分解能
- 3 μ s、8 μ sの変換時間
- オンチップ・サンプル&ホールド
- 最大サンプル・レート 250kHz
- 単一+5V電源動作
- 負電源が不要
- オンチップ25ppm/°C基準電圧
- 消費電力 75mW(TYP)
- 全てのピンでESD保護
- 24ピン・ナロー-DIPおよびSOパッケージ

アプリケーション

- 高速データ収集
- デジタル信号処理 (DSP)
- 多重化データ収集システム
- 単一電源システム

LT, LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。LTBiCMOSはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

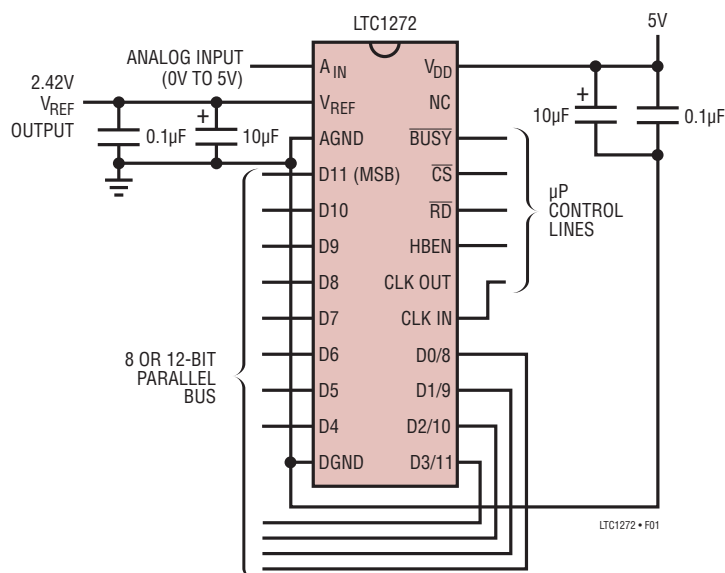
LTC1272は、3 μ s、12ビットの逐次比較型サンプリングA/Dコンバータです。業界標準のAD7572と同じピン配置を持ち、高速変換時間、オンチップ・サンプル&ホールド、および単一電源動作を特長としています。LTBiCMOS™スイッチト・キャパシタ・テクノロジーを用いて、高速12ビットADCを高速かつ高精度のサンプル&ホールドおよび精密レファレンスと結合しています。

LTC1272は単一+5V電源で動作しますが、AD7572で要求される+5V/-15V電源でも動作可能です(AD7572の負電源ピン23は、LTC1272では接続されていない)。LTC1272の入力範囲はAD7572と同じ0Vから5Vですが、単一電源動作を実現するため、AD7572の-5.25Vの代りに+2.42Vの基準電圧を供給します。リファレンス・コンデンサの極性を反転させれば、AD7572と差し替えることができ、変換と変換の間に1 μ sのサンプル&ホールド・アクイジション時間が許容できます。

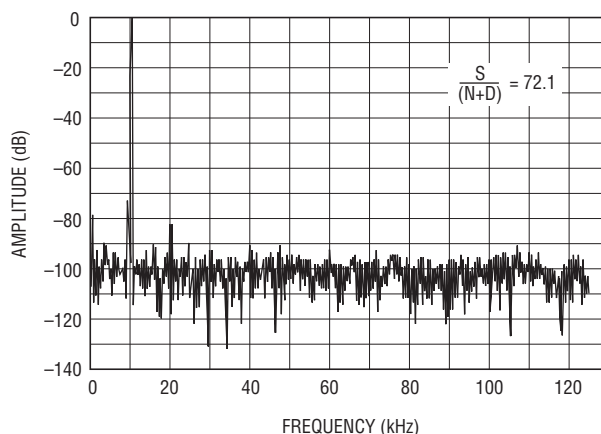
出力データは12ビット・ワードとして、または2つの8ビット・バイトとして読み出すことができます。これによって、8ビットおよびそれ以上のビット幅のプロセッサに容易にインタフェース可能です。LTC1272はクリスタルまたは外部クロックで使用可能で、使用でき、3 μ s、8 μ sのスピード・グレードが用意されています。

標準的応用例

単一5V電源、3 μ s、12ビット・サンプリングADC



1024ポイントのFFT、 $f_s = 250\text{kHz}$ 、 $f_N = 10\text{kHz}$



LTC1272-F02

1272fc

LTC1272

絶対最大定格

(Note 1, 2)

電源電圧 (V _{DD})6V
アナログ入力電圧 (Note 3) -0.3V~15V
デジタル入力電圧 -0.3V~12V
デジタル出力電圧 -0.3V~V _{DD} +0.3V
消費電力 500mW

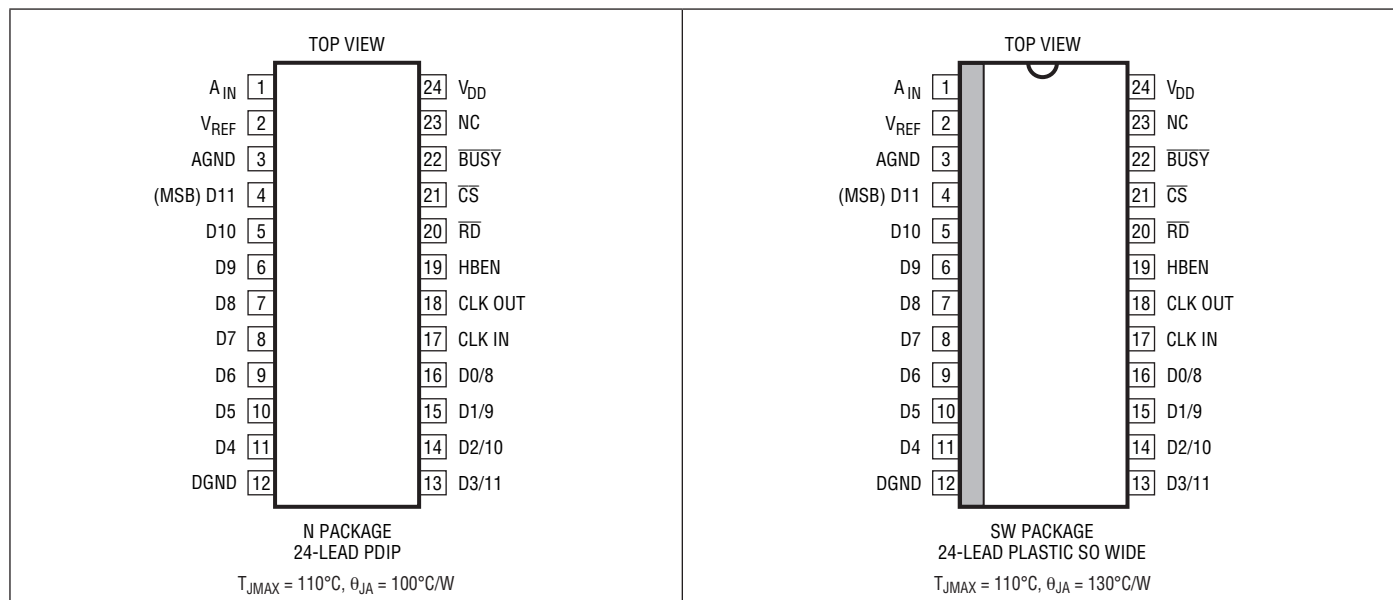
動作温度範囲

LTC1272-XAC、CC 0°C~70°C

保存温度範囲..... -65°C~150°C

リード温度(半田付け、10秒).....300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC1272ACN-3#PBF	LTC1272ACN-3#TRPBF	LTC1272-3ACN	24-Lead PDIP	0°C to 70°C
LTC1272CCN-3#PBF	LTC1272CCN-3#TRPBF	LTC1272-3CCN	24-Lead PDIP	0°C to 70°C
LTC1272ACN-8#PBF	LTC1272ACN-8#TRPBF	LTC1272-8ACN	24-Lead PDIP	0°C to 70°C
LTC1272CCN-8#PBF	LTC1272CCN-8#TRPBF	LTC1272-8CCN	24-Lead PDIP	0°C to 70°C
LTC1272ACSW-3#PBF	LTC1272ACSW-3#TRPBF	LTC1272-3ACSW	24-Lead Plastic SO Wide	0°C to 70°C
LTC1272CCSW-3#PBF	LTC1272CCSW-3#TRPBF	LTC1272-3CCSW	24-Lead Plastic SO Wide	0°C to 70°C
LTC1272ACSW-8#PBF	LTC1272ACSW-8#TRPBF	LTC1272-8ACSW	24-Lead Plastic SO Wide	0°C to 70°C
LTC1272CCSW-8#PBF	LTC1272CCSW-8#TRPBF	LTC1272-8CCSW	24-Lead Plastic SO Wide	0°C to 70°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
 非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。
 無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用 (Note 4)

PARAMETER	CONDITIONS		LTC1272-XA			LTC1272-XC			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	12			12			Bits
Integral Linearity Error	(Note 5)	●			$\pm 1/2$			± 1	LSB
Differential Linearity Error		●			± 1			± 1	LSB
Offset Error		●			± 3			± 4	LSB
		●			± 4			± 6	LSB
Gain Error					± 10			± 15	LSB
Full-Scale Tempco	$I_{OUT}(\text{Reference}) = 0$	●		± 5	± 25		± 10	± 45	ppm/ $^\circ\text{C}$

内部リファレンス特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

PARAMETER	CONDITIONS		LTC1272-XA			LTC1272-XC			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{REF} Output Voltage (Note 6)	$I_{OUT} = 0$		2.400	2.420	2.440	2.400	2.420	2.440	V
V_{REF} Output Tempco	$I_{OUT} = 0$	●		5	25		10	45	ppm/ $^\circ\text{C}$
V_{REF} Line Regulation	$4.75\text{V} \leq V_{DD} \leq 5.25\text{V}, I_{OUT} = 0$			0.01			0.01		LSB/V
V_{REF} Load Regulation (Sourcing Current)	$0 \leq I_{OUT} \leq 1\text{mA}$			2			2		LSB/mA

デジタルとDCの電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		LTC1272-XA/C			UNITS	
				MIN	TYP	MAX		
V_{IH}	High Level Input Voltage \overline{CS} , \overline{RD} , HBEN, CLK IN	$V_{DD} = 5.25\text{V}$	●	2.4			V	
V_{IL}	Low Level Input Voltage \overline{CS} , \overline{RD} , HBEN, CLK IN	$V_{DD} = 4.75\text{V}$	●			0.8	V	
I_{IN}	Input Current \overline{CS} , \overline{RD} , HBEN	$V_{IN} = 0\text{V to } V_{DD}$	●			± 10	μA	
	Input Current CLK IN	$V_{IN} = 0\text{V to } V_{DD}$	●			± 20	μA	
V_{OH}	High Level Output Voltage All Logic Outputs	$V_{DD} = 4.75\text{V}$ $I_{OUT} = -10\mu\text{A}$			4.7		V	
		$I_{OUT} = -200\mu\text{A}$	●		4.0		V	
V_{OL}	Low Level Output Voltage All Logic Outputs	$V_{DD} = 4.75\text{V}, I_{OUT} = 1.6\text{mA}$	●			0.4	V	
I_{OZ}	High-Z Output Leakage D11-D0/8	$V_{OUT} = 0\text{V to } V_{DD}$	●			± 10	μA	
C_{OZ}	High-Z Output Capacitance (Note 7)		●			15	pF	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$				-10	mA	
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$				10	mA	
I_{DD}	Positive Supply Current	$\overline{CS} = \overline{RD} = V_{DD}, A_{IN} = 5\text{V}$	●			15	30	mA
P_D	Power Dissipation					75	mW	

LTC1272

ダイナミック精度

(Note 4) $f_{\text{SAMPLE}} = 250\text{kHz}$ (LTC1272-3)、 111kHz (LTC1272-8)

SYMBOL	PARAMETER	CONDITIONS	LTC1272-XA/C			UNITS
			MIN	TYP	MAX	
S/(N + D)	Signal-to-Noise Plus Distortion Ratio	10kHz Input Signal		72		dB
THD	Total Harmonic Distortion (Up to 5th Harmonic)	10kHz Input Signal		-82		dB
	Peak Harmonic or Spurious Noise	10kHz Input Signal		-82		dB

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	LTC1272-XA/B/C			UNITS
			MIN	TYP	MAX	
V_{IN}	Input Voltage Range	$4.75\text{V} \leq V_{\text{DD}} \leq 5.25\text{V}$	●	0	5	V
I_{IN}	Input Current		●		3.5	mA
C_{IN}	Input Capacitance			50		pF
t_{ACQ}	Sample-and-Hold Acquisition Time		●	0.45	1	μs

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

SYMBOL	PARAMETER	CONDITIONS	LTC1272-XA/C			UNITS	
			MIN	TYP	MAX		
t_1	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time		●	0		ns	
t_2	$\overline{\text{RD}}$ to $\overline{\text{BUSY}}$ Delay	$C_L = 50\text{pF}$		80	190	ns	
		COM Grade	●		230	ns	
t_3	Data Access Time After $\overline{\text{RD}}\downarrow$	$C_L = 20\text{pF}$		50	90	ns	
		COM Grade	●		110	ns	
		$C_L = 100\text{pF}$		70	125	ns	
		COM Grade	●		150	ns	
t_4	$\overline{\text{RD}}$ Pulse Width			t_3		ns	
		COM Grade	●	t_3		ns	
t_5	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Hold Time		●	0		ns	
t_6	Data Setup Time After $\overline{\text{BUSY}}$			40	70	ns	
		COM Grade	●		90	ns	
t_7	Bus Relinquish Time			20	30	75	ns
		COM Grade	●	20		85	ns
t_8	HBEN to $\overline{\text{RD}}$ Setup Time		●	0		ns	
t_9	HBEN to $\overline{\text{RD}}$ Hold Time		●	0		ns	
t_{10}	Delay Between $\overline{\text{RD}}$ Operations		●	200		ns	
t_{11}	Delay Between Conversions			1		μs	
t_{12}	Aperture Delay of Sample and Hold	Jitter < 50ps		25		ns	
t_{13}	CLK to $\overline{\text{BUSY}}$ Delay			80	170	ns	
		COM Grade	●		220	ns	
t_{CONV}	Conversion Time		●	12	13	CLK CYCLES	

1272fc

電気的特性

Note 1: 絶対最大定格はそれを超えるとデバイスに永続的な損傷を与える可能性がある値。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 注記がない限り、すべての電圧値はDGNDとAGNDを接続したグラウンドを基準にしている。

Note 3: アナログ入力電圧をグラウンドより低くすると、内部のダイオードによってクランプされる。この製品はダイオードを外付けすることなく、グラウンドより低い電圧でラッチアップを起こさずに60mA以上の入力電流を処理することができる。

Note 4: 注記がない限り、 $V_{DD} = 5V$ 、 $f_{CLK} = 4MHz$ (LTC1272-3)、 $1.6MHz$ (LTC1272-8)、 $t_r = t_f = 5ns$ 。最高のアナログ性能を得るため、LTC1272のクロックをRDおよびCS制御入力に同期させ、最も近いクロック・エッジから少なくとも40ns離れて変換が開始されるようにする必要がある。

Note 5: 直線性誤差はA/D伝達曲線の実際のエンドポイント間で規定されている。

Note 6: LTC1272の入力範囲はAD7572同様0V~5Vであるが、単一電源動作を実現するため、AD7572の-5.25Vの代わりに2.42Vのリファレンス出力を供給する。したがって、LTC1272をAD7572ソケットに挿入するときは、リファレンス・バイパス・コンデンサの極性を反転させる必要がある。

Note 7: 設計によって保証されているが、テストは行われぬ。

Note 8: $V_{DD} = 5V$ 。タイミング仕様への適合を確認するため、25°Cで抜き取りテストされている。すべての入力制御信号は $t_r = t_f = 5ns$ (5Vの10%から90%まで)で規定され、1.6Vの電圧レベルから計測される。図13~図17を参照。

LTC1272

ピン機能

A_{IN} (ピン1): アナログ入力、0V～5Vユニポーラ入力。

V_{REF} (ピン2): 2.42Vリファレンス出力。AD7572ソケットに挿入するときは、リファレンス・バイパス・コンデンサの極性を反転し、10Ωの直列抵抗を短絡します。

AGND (ピン3): アナログ・グランド。

D11～D4 (ピン4～11): スリーステート・データ出力。

DGND (ピン12): デジタル・グランド。

D3/11～D0/8 (ピン13～16): スリーステート・データ出力。

CLK IN (ピン17): クロック入力。TTL/CMOS互換の外部クロックをこのピンに印加するか、または、CLK INとCLK OUTの間に水晶振動子を接続することができます。

CLK OUT (ピン18): クロック出力。反転したCLK IN信号がこのピンに出力されます。

HBEN (ピン19): 上位バイトのイネーブル入力。このピンは、内部の12ビットの変換結果を下位のビット出力(D7～D0/8)に多重するのに使用されます。下の表を参照してください。HBENが“H”のときは変換開始のディスエーブルも行います。

\overline{RD} (ピン20): 読み出し入力。 \overline{CS} とHBENが“L”のとき、このアクティブ“L”の信号によって変換が開始されます。 \overline{CS} が“L”のとき、 \overline{RD} は出力ドライバのイネーブルも行います。

\overline{CS} (ピン21): ADCが \overline{RD} およびHBEN入力を認識するには、このチップ・セレクト入力は“L”でなければなりません。

\overline{BUSY} (ピン22): 変換を実行中のときには \overline{BUSY} 出力は“L”になります。

NC (ピン23): 内部で接続されていません。LTC1272は負電源を必要としません。このピンは、AD7572が必要とする-15Vに問題なく対応できます。

V_{DD} (ピン24): 正電源、5V。

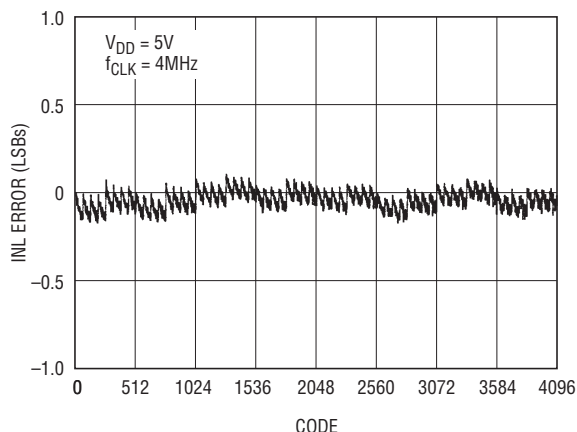
データバス出力、 \overline{CS} および \overline{RD} = “L”

	Pin 4	Pin 5	Pin 6	Pin 7	Pin 8	Pin 9	Pin 10	Pin 11	Pin 13	Pin 14	Pin 15	Pin 16
MNEMONIC*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN = LOW	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN = HIGH	DB11	DB10	DB9	DB8	LOW	LOW	LOW	LOW	DB11	DB10	DB9	DB8

* D11～D0/8はADCのデータ出力ピン。
DB11～DB0は12ビットの変換結果、DB11がMSB。

標準的性能特性

積分非直線性

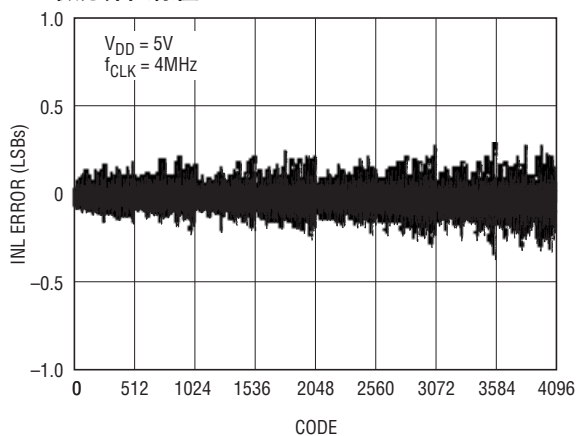


LTC1272 • G01

1272fc

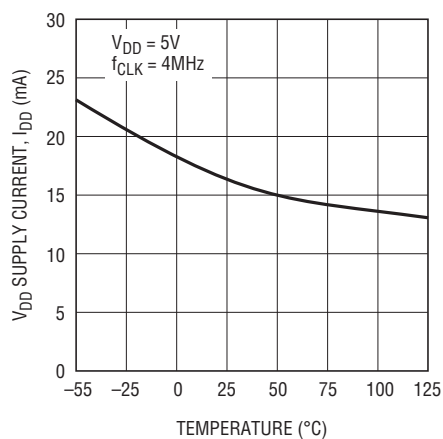
標準的性能特性

微分非直線性



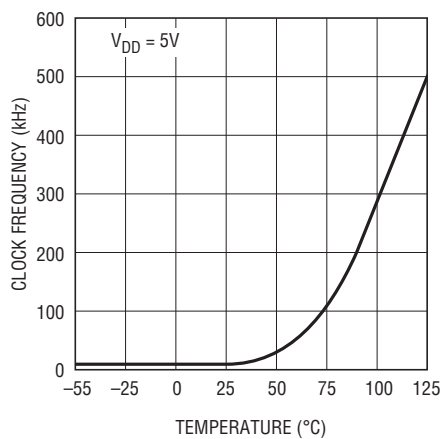
LTC1272 • G02

V_{DD}電源電流と温度



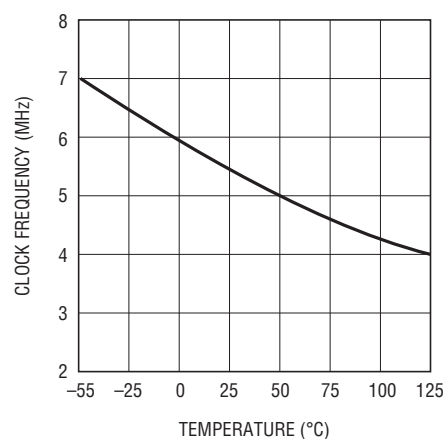
LT1272 • G03

最小クロック周波数と温度



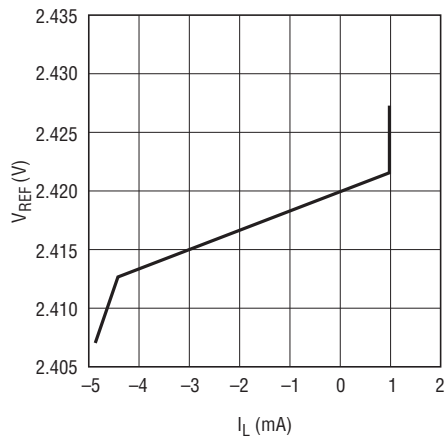
LT1272 • G04

最大クロック周波数と温度



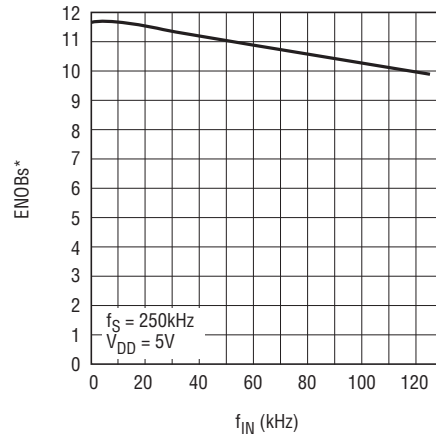
LT1272 • G05

V_{REF}とI_{LOAD} (mA)



LT1272 • G06

LTC1272のENOB*と周波数



$$* \text{EFFECTIVE NUMBER OF BITS, ENOBs} = \frac{S/(N + D) - 1.76dB}{6.02}$$

LT1272 • G07

1272tc

アプリケーション情報

変換の詳細説明

変換開始は、 \overline{CS} 、 \overline{RD} およびHBEN入力によって制御されます。変換の開始時に、逐次比較レジスタ(SAR)がリセットされ、スリーステート・データ出力がイネーブルされます。一度変換サイクルが始まると、再スタートすることはできません。

変換時には、SARによって、内部の12ビット容量性DAC出力が最上位ビット(MSB)から最下位ビット(LSB)までシーケンスされます。図1を参照すると、 A_{IN} 入力は $300\Omega/2.7k\Omega$ の分割器を介してサンプル・ホールド・コンデンサに接続されています。この電圧分割器によって、LTC1272は4.5V電源で動作しながら0V~5Vの入力信号を変換することができます。変換には収集フェーズと変換フェーズがあります。収集フェーズの間、コンパレータのオフセットは帰還スイッチによってゼロになり、アナログ入力サンプル・ホールド・コンデンサ C_{SAMPLE} の電荷として蓄積されます。このフェーズは、前の変換が終了してから次の変換が開始されるまで続きます。変換と変換の間の最小1 μ sの遅延(t_{10})によって、アナログ入力取得するのに十分な時間が得られます。変換フェーズでは、コンパレータの帰還スイッチがオープンになり、コンパレータを比較モードにします。サンプル・ホールド・コンデンサがグランドに切り替えられ、アナログ入力電荷がコンパレータの加算点に注入されます。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は、DAC出力からの連続する各ウェイト・ビットの加算をチェックするコンパレータ(ゼロクロス検出器)によって行われます。MSBの決定は、変換開始後のCLK INの2回目の立ち下がりエッジから50ns(標準)後に行われます。同様に、次のビットの決定は、CLK INのエッジの約50ns後から変換が終了するまでに行われます。変換の終了時点で、DAC出力は A_{IN} 出力電荷と均衡します。 A_{IN} 入力信号を表すSAR成分(12ビット・データ・ワード)が12ビット・ラッチにロードされます。

サンプル・ホールドとダイナミック特性

A/Dコンバータは従来、オフセットおよびフルスケール誤差、積分非直線性および微分非直線性などの仕様によって特性評価が行われています。これらの仕様は、ADCのDCまたは低周波数の信号特性を評価するのに便利です。

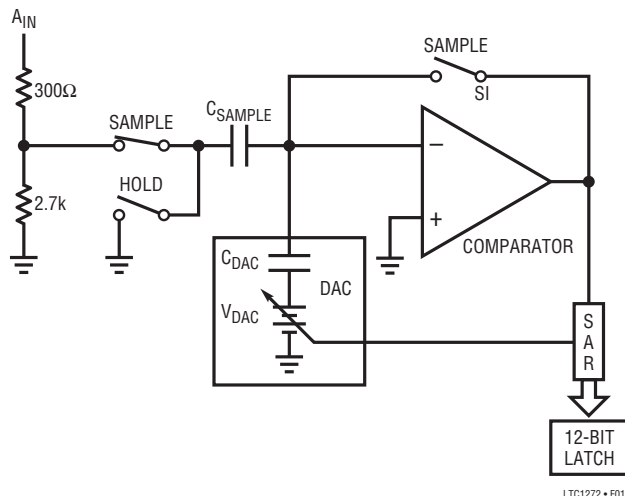


図1. A_{IN} 入力

LTC1272には高速なサンプリング能力があるので、すべてを規定するのにこれらの仕様だけでは不十分です。定格スループットにおけるLTC1272の周波数応答、歪み、およびノイズの特性を評価するために、FFT(高速フーリエ変換)テスト手法が使用されます。

低歪みの正弦波を印加し、FFTアルゴリズムを使用してデジタル出力を分析することにより、基本成分外の周波数に対するLTC1272のスペクトル成分を調べることができます。図2に、標準的なLTC1272のFFTプロットを示します。

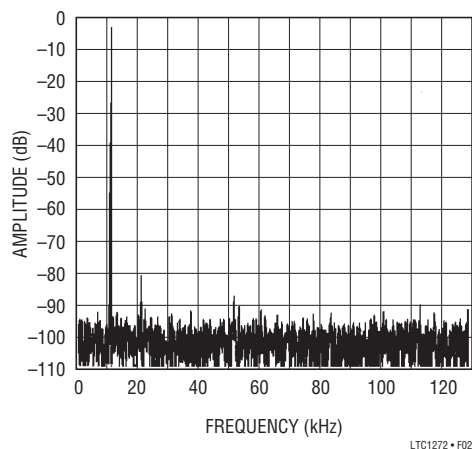


図2. LTC1272の平均化されていない1024ポイントのFFTプロット。
 $f_s = 250\text{kHz}$ 、 $f_{IN} = 10\text{kHz}$

アプリケーション情報

SN比

SN比(SNR)は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。これにはノイズの他に歪みの成分が含まれているので、SN+歪み比[S/(N+D)]と呼ばれることもあります。出力は、DCからサンプリング周波数の1/2までの周波数に帯域制限されます。DCから125kHz(250kHzのサンプリング・レートの1/2)までのスペクトル成分を図2に示します。

有効ビット数

有効ビット数(ENOB)はA/Dの分解能の尺度であり、次式からS/(N+D)に直接関係します。

$$N = [S/(N + D) - 1.76]/6.02,$$

ここで、Nは分解能の有効ビット数であり、S/(N+D)はdBで表されます。250kHzの最大サンプリング・レートでは、LTC1272は20kHzまで11.5以上のENOBを維持します。図3に示すように、20kHzを上回ると2次高調波歪みが増加するので、ENOBは徐々に減少します。ノイズ・フロアは約90dBに保たれます。図4に示すように、ダイナミック微分非直線性は120kHzまで問題なく保たれます。

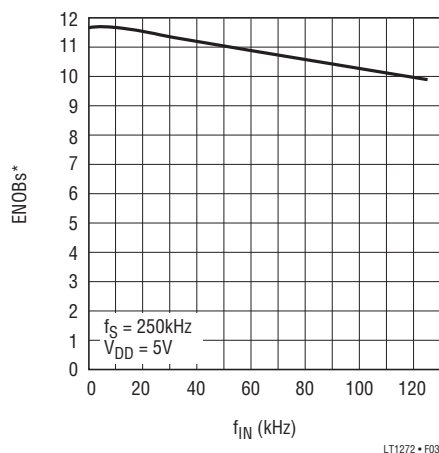


図3. LTC1272の有効ビット数(ENOB)と入力周波数。f_s = 250kHz

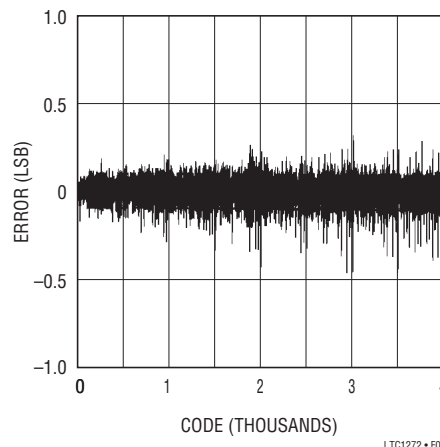


図4. LTC1272のダイナミックDNL。f_{CLK} = 4MHz、f_s = 250kHz、f_{IN} = 122.25342kHz、V_{CC} = 5V

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMS値の合計と基本波のRMS値との比率です。高調波は、DCとサンプリング周波数の1/2の間の周波数帯域に制限されます。THDは $20 \text{ LOG } [\sqrt{V_2^2 + V_3^2 + \dots + V_N^2} / V_1]$ で表されます。ここで、V₁は基本周波数のRMS振幅であり、V₂からV_Nは2次高調波からN次高調波までの振幅です。

クロックと制御の同期

最高のアナログ性能を得るため、図5に示すように、LTC1272のクロックをCSおよびRD制御入力に同期させ、最も近いCLK INのエッジから少なくとも40ns離れて変換が開始されるようにする必要があります。これにより、CLK INおよびCLK OUTでの遷移がアナログ入力に結合しないようになり、サンプル・ホールドによってサンプリングされます。このフィードスルーの振幅は数ミリボルトしかありませんが、CLKと変換開始(CSおよびRD)が同期していないと、クロックと変換信号が混合されて生じる周波数成分によって、見かけ上の入力ノイズが増加する可能性があります。

クロックと変換信号が同期していると、小さなエンドポイント誤差(オフセットおよびフルスケール)がクロック・フィードスルーによって発生しうる最大誤差になります。

アプリケーション情報

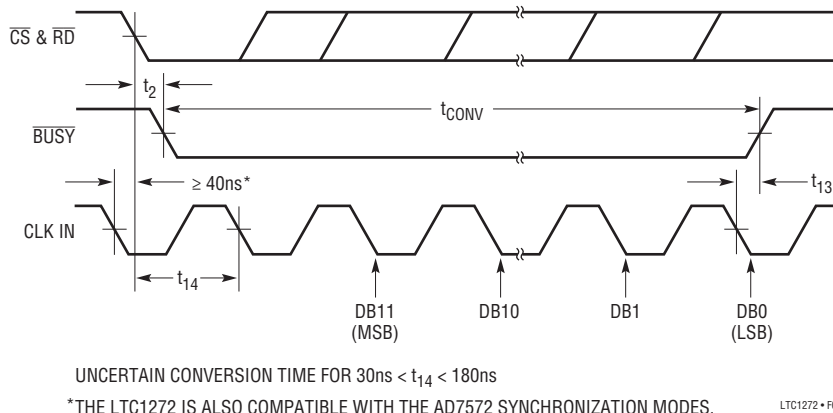


図5. 同期動作の \overline{RD} とCLK IN

図5に示すように、変換開始(\overline{CS} および \overline{RD} の立ち下がりエッジ)がクロック・エッジの40ns以内に生じないようにすることにより、(調整可能な)これらの誤差をなくすることも可能です。たとえこのガイドラインに従わない場合であっても、LTC1272はAD7572の同期モードとの互換性を保ち、直線性誤差は増加しません。つまり、CLK INの立ち下がりエッジも立ち上がりエッジも \overline{RD} の立ち下がりエッジの近くでもかまわないということです。

アナログ入力のドライブ

LTC1272はAD7572よりアナログ入力のドライブがはるかに容易です。入力電流がAD7572のようにDACによって変調されることはありません。変換終了時に、サンプル・ホールド・コンデンサの充電によって1つだけ小さな電流スパイクが生じます。変換中はアナログ入力にはDC電流のみが流れます。唯一の要件は、アナログ入力をドライブするアンプが小さな電流スパイクの発生後、次の変換が開始される前にセトリングしなければならないことです。1 μ s以内に小さな電流過渡にセトリングするオペアンプであれば、最大速度での動作が可能です。低速のオペアンプを使用する場合、変換と変換の間隔を大きくすることにより、セトリング時間を長くすることができます。LTC1272のA_{IN}入力をドライブ可能なデバイスとして、LT1006、LT1007などのオペアンプが適しています。

内部クロック発振器

図6にLTC1272の内部クロック回路を示します。CLK IN (ピン17)とCLK OUT (ピン18)の間に水晶振動子またはセラミック共振子を接続してADCのタイミング用クロック発振器を構成することができます。あるいは、水晶振動

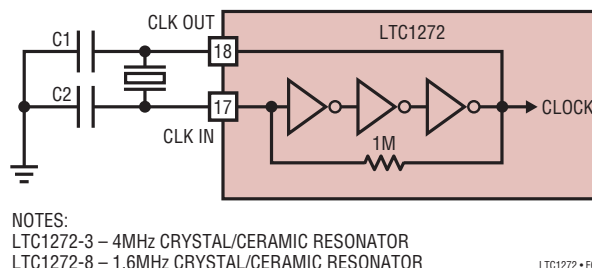


図6. LTC1272の内部クロック回路

子/セラミック共振子を使用せず、CLK INに外部クロック・ソースを接続することもできます。外部クロックの場合にはデューティ・サイクルは重要ではありません。図7の動作波形に示すように、CLK OUTピンに反転されたCLK IN信号が出力されます。最高のアナログ性能を得るには、CLK OUTピンの容量を最小限に抑えます。

内部リファレンス

LTC1272は、温度補償および曲線補正されたバンドギャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.42V \pm 1%に調整されています。このリファレンスは内部でDACに接続され、またピン2に出力されており、外部負荷に最大1mAの電流を供給可能です。

コード遷移ノイズを最小限に抑えるためには、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズを除去する必要があります(10 μ F tantalum capacitorを0.1 μ F ceramic capacitorと並列に接続)。推奨するデカップリングを使用したリファレンスの簡略回路を図8に示します。

アプリケーション情報

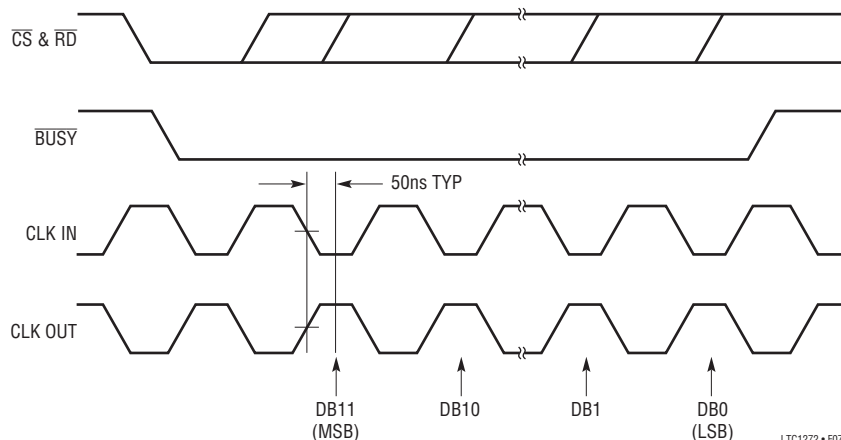


図7. CLK INに外部クロック・ソースを使用した動作波形

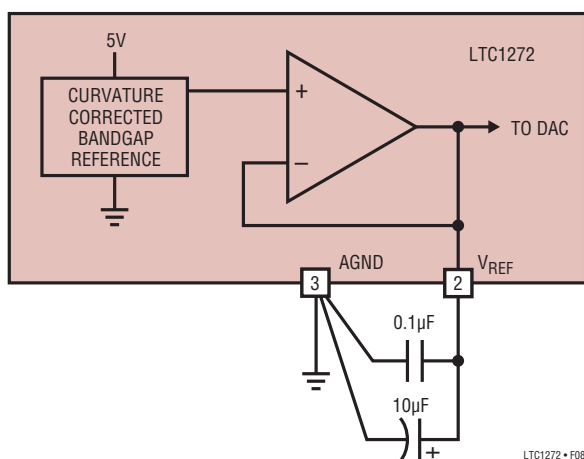


図8. LTC1272内部の2.42Vリファレンス

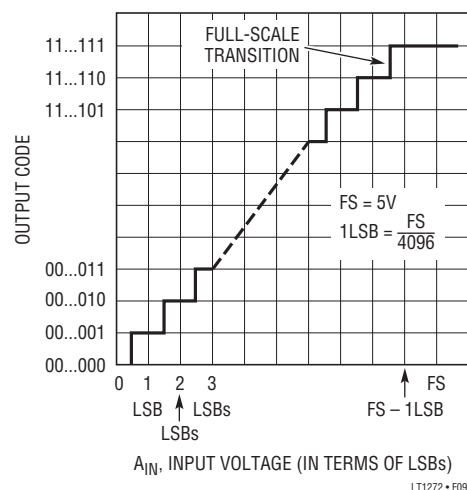


図9. LTC1272の理想的な入出力伝達特性

ユニポーラ動作

LTC1272の0V～5Vの入力範囲での理想的な入出力特性を図9に示します。コード遷移は、連続する整数のLSB値の間の中間(つまり、 $1/2\text{LSB}$ 、 $3/2\text{LSB}$ 、 $5/2\text{LSB}$ 、... $\text{FS} - 3/2\text{LSB}$)で生じます。出力コードは、 $1\text{LSB} = \text{FS}/4096 = (5/4096)\text{V} = 1.22\text{mV}$ の自然バイナリです。

ユニポーラのオフセットおよびフルスケール誤差の調整

絶対精度が重要なアプリケーションの場合、オフセット誤差とフルスケール誤差をゼロに調整することができます。フルスケール誤差を調整する前にオフセット誤差を調整する必要があります。フルスケール誤差の調整に

必要な追加部品を図10に示します。オフセットをゼロにするには、 A_{IN} をドライブするオペアンプ(つまり、図10のA1)のオフセットを調整します。オフセット誤差をゼロにするには、 0.61mV (つまり、 $1/2\text{LSB}$)を V_{IN} に印加し、ADCの出力コードが0000 0000 0000と0000 0000 0001の間で変化するようにオペアンプのオフセット電圧を調整します。

フルスケール誤差をゼロに調整するには、 4.99817V のアナログ入力(つまり、 $\text{FS} - 3/2\text{LSB}$ または最後のコード遷移)を V_{IN} に印加し、ADCの出力コードが1111 1111 1110と1111 1111 1111の間で変化するようにR1を調整します。

アプリケーション情報

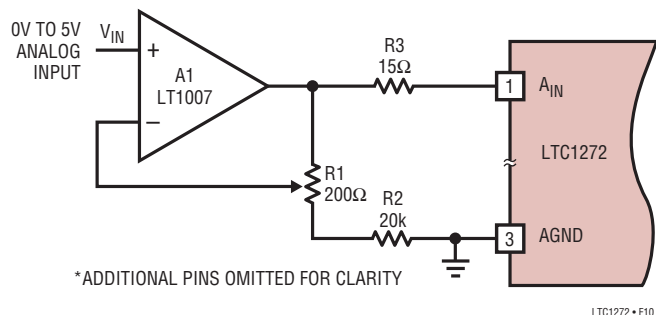


図10. 利得誤差調整を使用した0V~5Vのユニポーラ動作

アプリケーションのためのヒント

ワイヤラップ・ボードは、高分解能または高速A/Dコンバータには推奨できません。LTC1272から最高性能を得るためにはPCボードが必要です。PCボードのレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、アナログ信号トラックの横やLTC1272の下にデジタル・トラックを走らせないように注意してください。アナログ入力はAGNDで遮蔽する必要があります。

図11に示すように、ロジックのシステム・グランドから離れたシングル・ポイントのアナログ・グランドを、ピン3 (AGND)のアナログ・グランド・プレーンかLTC1272のできるだけ近くに設けます。ピン12 (LTC1272のDGND) と他のすべてのアナログ・グランドは、このシングル・アナログ・グランド・ポイントに接続します。他のデジタル・グランドをこのアナログ・グランド・ポイントに接続してはなりません。このADCを低ノイズで動作させるためには、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできるだけ広くします。

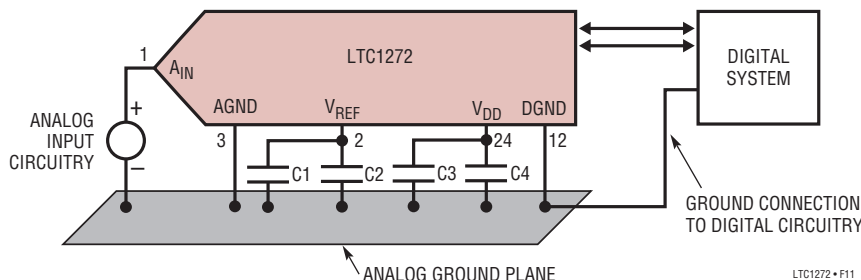


図11. 電源グランドの実施例

ノイズ: A_{IN}への入力信号リードおよびAGND (ピン3)からの信号リターン・リードはできるだけ短くして、入力ノイズの結合を最小限に抑えます。これができないアプリケーションの場合には、ソースとADCの間にシールド・ケーブルを使用することを推奨します。また、信号ソースとADC間のグランドの電位差は入力信号に加えられて誤差電圧として現れるので、グランド回路のインピーダンスをできるだけ低くするように注意を払う必要があります。

LTC1272のデータ出力と制御信号が常時アクティブ状態のマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果にLSB誤差が生じる可能性があります。これらの誤差は、マイクロプロセッサから逐次比較コンパレータへのフィードスルーによるものです。この問題は、変換時にマイクロプロセッサをWAIT状態にする (低速メモリ・モードのインターフェイスを参照)、またはスリーステート・バッファを使用してLTC1272のデータバスを絶縁することによって解消できます。

タイミングと制御

変換開始およびデータ読み出し動作は、 $\overline{\text{HBEN}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ のLTC1272の3つのデジタル入力によって制御されます。図12に、これらの入力に対応するロジック回路を示します。3つの信号は内部でゲートされているので、変換を開始するには3つの入力すべてにロジック“0”が必要になります。変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスは $\overline{\text{BUSY}}$ 出力によって表され、変換実行中のこの出力は“L”になっています。

アプリケーション情報

図13～図17のタイミング図に概要を示すように、2つの動作モードがあります。低速メモリ・モードはWAIT状態にすることが可能なマイクロプロセッサ用に設計されており、読み出し動作によって \overline{CS} と \overline{RD} が“L”になって変換が開始され、変換が完了するとデータが読み出されます。

2つ目は、マイクロプロセッサのWAIT状態を必要としないROMモードです。読み出し動作によって \overline{CS} と \overline{RD} が“L”になって変換が開始され、前の変換結果が読み出されます。

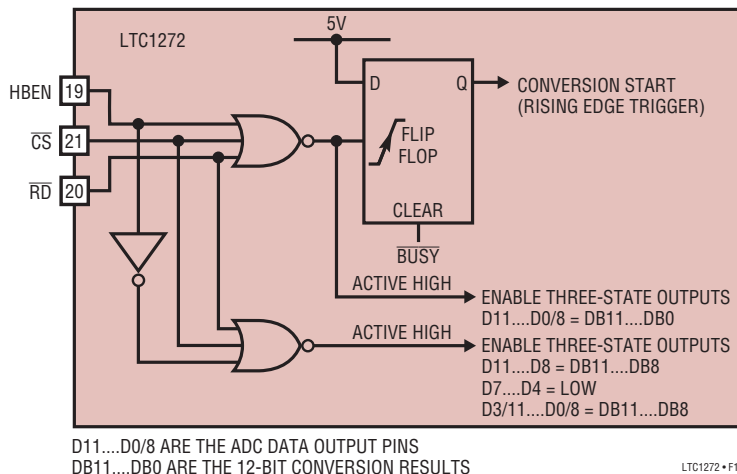


図12. 制御入力 \overline{CS} 、 \overline{RD} 、HBENの内部ロジック

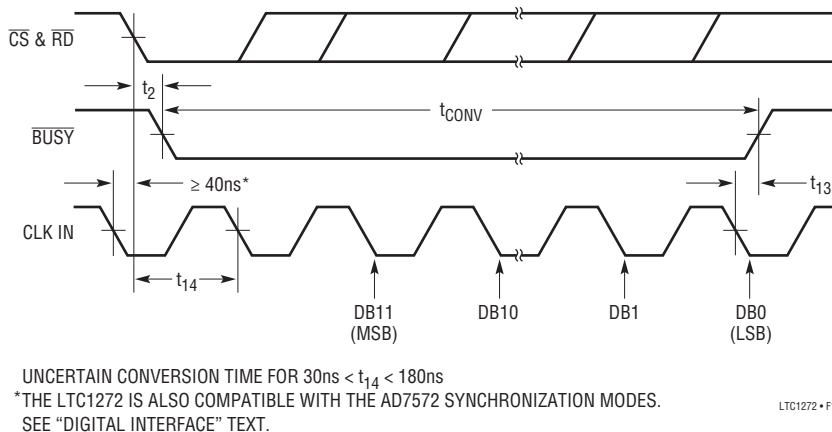


図13. 同期動作の \overline{RD} とCLK IN

表1. データバス出力、 \overline{CS} および \overline{RD} = “L”

	PIN 4	PIN 5	PIN 6	PIN 7	PIN 8	PIN 9	PIN 10	PIN 11	PIN 13	PIN 14	PIN 15	PIN 16
Data Outputs*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN = Low	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN = High	DB11	DB10	DB9	DB8	Low	Low	Low	Low	DB11	DB10	DB9	DB8

注: * D11～D0/8はADCのデータ出力ピン
DB11～DB0は12ビットの変換結果、DB11がMSB

アプリケーション情報

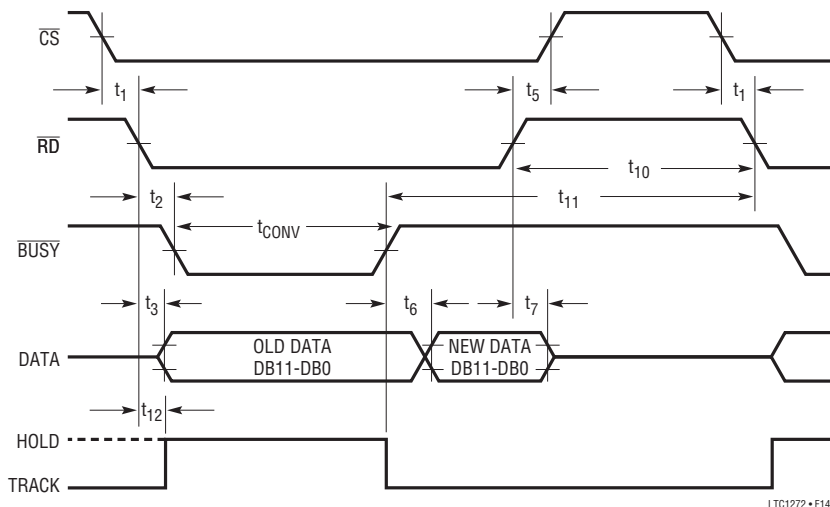


図14. 低速メモリ・モード、並列読み出しのタイミング図

表2. 低速メモリ・モード、並列読み出しのデータバス・ステータス

Data Outputs	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
Read	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

データ・フォーマット

出力データ・フォーマットは16ビット・マイクロプロセッサ用の完全な並列ロードまたは8ビット・マイクロプロセッサ用の2バイト・ロードが可能です。データは常に右揃えです(つまり、LSBが16ビット・ワードの右端のビットになる)。2バイト読み出しでは、データ出力D7~D0/8のみが使用されます。バイトの選択は、内部のデジタル・マルチプレクサを制御するHBEN入力によって決定されます。このマルチプレクサは、12ビットの変換データを下位のD7~D0/8出力(4つのMSBまたは8つのLSB)に多重します。ここでは、2回の読み出しサイクルで読み出すことができます。スリーステートの出力ドライブがオンするたびに、4つのMSBはD11~D8に出力されます。

低速メモリ・モード、並列読み出し(HBEN = “L”)

低速メモリ・モード、並列読み出しのタイミング図とデータバス・ステータスを、それぞれ図14と表2に示します。 \overline{CS} と \overline{RD} が“L”になると変換がトリガされ、LTC1272は \overline{BUSY} を“L”にすることによって応答します。前の変換によるデータがスリーステート・データ出力に現れます。出力ラッチが更新されてデータ出力D11~D0/8に変換結果が格納されると、変換終了時に \overline{BUSY} が“H”に戻ります。

低速メモリ・モード、2バイト読み出し

2バイト読み出しでは、D7~D0/8の8つのデータ出力のみが使用されます。1回目の読み出し動作での変換開始手順およびデータ出力ステータスは、低速メモリ・モード、並列読み出しと同様です。図15のタイミング図と表3のデータバス・ステータスを参照してください。変換終了時に、下位のデータ・バイト(DB7~DB0)がADCから読み出されます。HBENが“H”のとき、2回目の読み出し動作で、上位バイトがデータ出力D3/11~D0/8に格納されて変換開始がデイスエブルされます。上述の2回の読み出し動作時に、4つのMSBがデータ出力D11~D8に現れることに注意してください。

ROMモード、並列読み出し(HBEN = “L”)

ROMモードでは、マイクロプロセッサがWAIT状態になることはありません。読み出し動作で変換が開始され、前の変換による12ビットのデータがデータ出力D11~D0/8に現れます(図16と表4を参照)。このデータは必要なければ無視してもかまいません。2回目の読み出し動作で新しいデータ(DB11~DB0)が読み出され、新たな変換が開始されます。読み出し動作と読み出し動作の間には、少なくとも、LTC1272の変換時間に変換と変換の間の1 μ sの最小遅延を加えた分の遅延を確保する必要があります。

アプリケーション情報

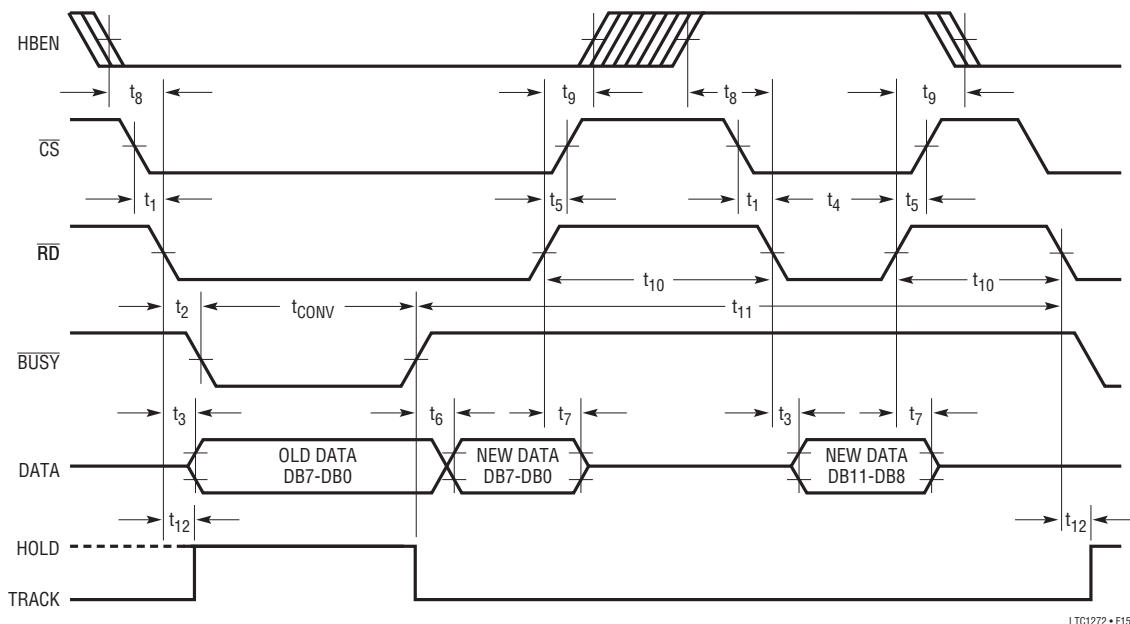


図15. 低速メモリ・モード、2バイト読み出しのタイミング図

表3. 低速メモリ・モード、2バイト読み出しのデータバス・ステータス

Data Outputs	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	Low	Low	Low	Low	DB11	DB10	DB9	DB8

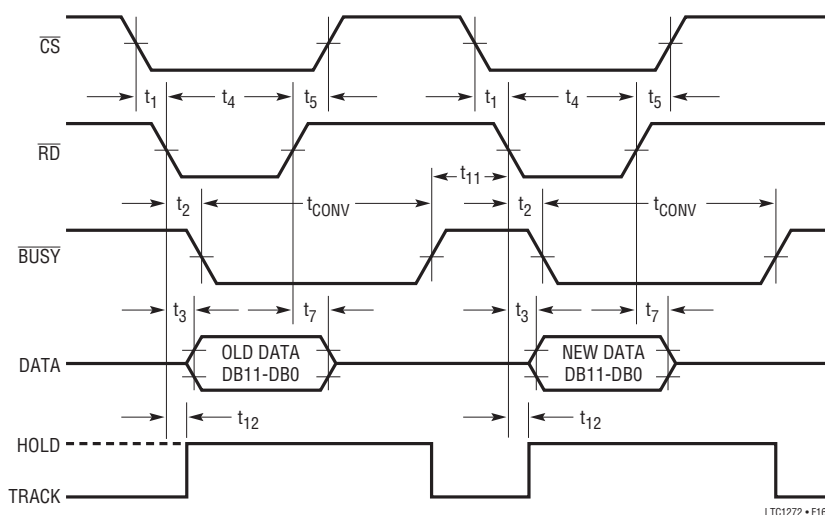


図16. ROMモード、並列読み出しのタイミング図

表4. ROMモード、並列読み出しのデータバス・ステータス

Data Outputs	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read (Old Data)	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

アプリケーション情報

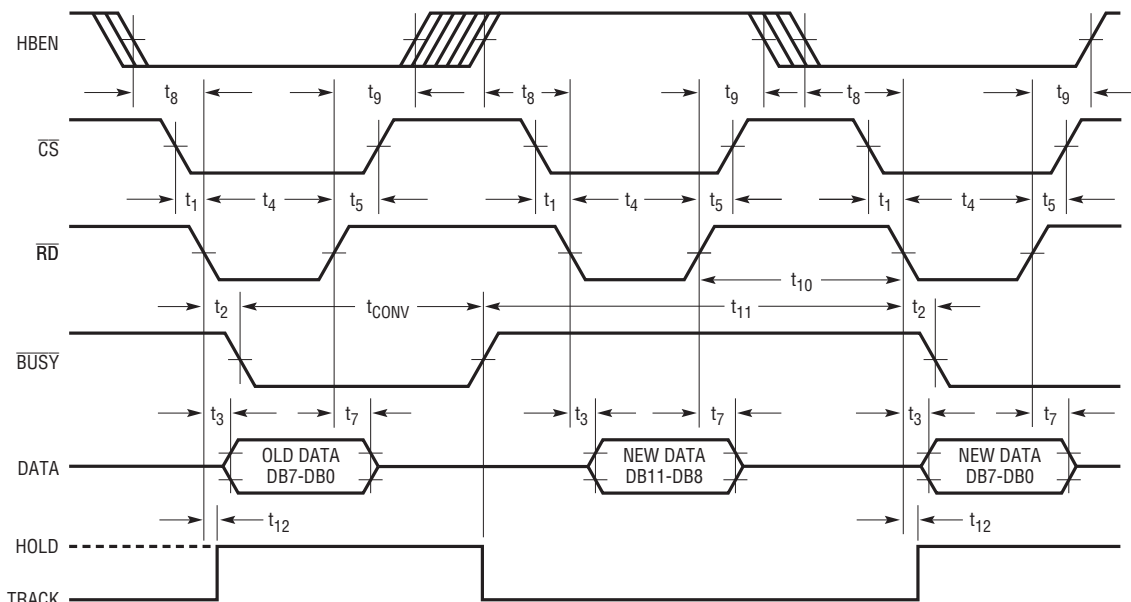


図17. ROMモード、2バイト読み出しのタイミング図

表5. ROMモード、2バイト読み出しのデータバス・ステータス

Data Outputs	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
First Read	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Second Read	Low	Low	Low	Low	DB11	DB10	DB9	DB8
Third Read	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

ROMモード、2バイト読み出し

前述のように、2バイト読み出しではデータ出力D7～D0/8のみが使用されます。読み出し動作時には、変換は通常の方法で開始され、データ出力ステータスはROMモード、並列読み出しと同様です。図17のタイミング図と表5のデータバス・ステータスを参照してください。新たな変換結果にアクセスするにはさらに2回の読み出し動作を必要とします。変換開始と2回目のデータ読み出し動作の間には、LTC1272の変換時間に等しい遅延を確保する必要があります。HBENが“H”のとき、2回目の読み出し動作で、変換開始がディスエーブルされて上位バイト（4つのMSB）がデータ出力D3/11～D0/8に格納されます。3回目の読み出し動作によって下位のデータ・バイト（DB7～DB0）がアクセスされ、新たな変換が開始されます。上述の3回のすべての読み出し動作時に、4つのMSBがデータ出力D11～D8に現れます。

マイクロプロセッサとのインターフェイス

LTC1272は、メモリ・マップド・デバイスとしてマイクロプロセッサとインターフェイスするように設計されています。制御入力CSおよびRDは、すべての周辺メモリ・インターフェイスと共通です。HBEN入力は8ビット・プロセッサのデータ・バイトを選択する役割を果たし、通常、マイクロプロセッサのアドレス・バスに接続されます。

MC68000マイクロプロセッサ

図18にMC68000の標準的なインターフェイスを示します。LTC1272は低速メモリ・モードで動作しています。LTC1272がアドレスC000に割り当てられていると仮定すると、次の16ビットのMove命令1つで変換の開始と変換結果の読み出しの両方が行われます。

```
Move.W $C000, D0
```


アプリケーション情報

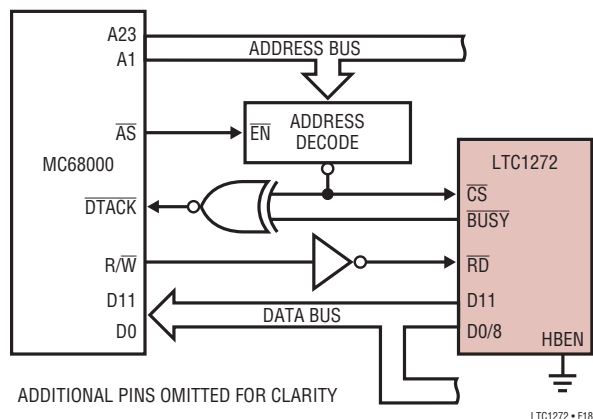


図18. LTC1272とMC68000とのインターフェイス

命令サイクルの開始時にADCアドレスが選択されると、 $\overline{\text{BUSY}}$ とCSがDTACKをアサートするので、MC68000はWAIT状態に強制されます。変換の終了時にBUSYが“H”に戻り、変換結果がマイクロプロセッサのD0レジスタに格納されます。

8085A、Z80マイクロプロセッサ

LTC1272とZ80および8085Aとのインターフェイスを図19に示します。LTC1272は低速メモリ・モードで動作しており、2バイト読み出しを必要とします。この図には、8085Aのアドレス/データ共通バスをデマルチプレクスするのに必要な8ビット・ラッチは示されていません。A0がHBENのアサートに使用されているので、LTC1272に偶数アドレス (HBEN = “L”) が入力されると、変換が開始されて下位のデータ・バイトが読み出されます。奇数アドレス (HBEN = “H”) が入力されると、上位のデータ・バイトが

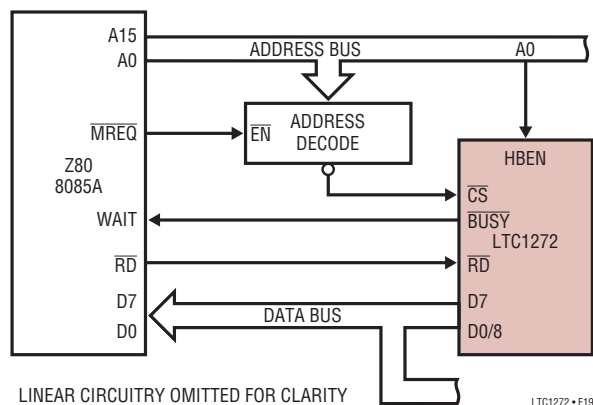


図19. LTC1272と8085A/Z80とのインターフェイス

読み出されます。これは、以下の16ビット・ロード命令1つで実行されます。

8085Aの場合、 LHL (B000)
Z80の場合、 LDHL, (B000)

これは2バイト読み出しの命令で、ADCのデータ (アドレスB000) を1対のHLレジスタにロードします。1回目の読み出し動作時は、LTC1272が変換を行うために、 $\overline{\text{BUSY}}$ によってマイクロプロセッサがWAIT状態に強制されます。2回目の読み出し動作時には、マイクロプロセッサが上位のデータ・バイトを読み出しているときにWAIT状態が追加されることはありません。

TMS32010マイクロコンピュータ

LTC1272とTMS32010とのインターフェイスを図20に示します。LTC1272はROMモードで動作しています。このインターフェイスはTMS32010の18MHzの最大クロック周波数に合わせて設計されていますが、通常、TMS32010のクロック周波数の全範囲で動作します。

LTC1272はポート・アドレスに割り当てられます。次のI/O命令によって変換が開始され、前の変換結果がデータ・メモリに読み出されます。

IN A, PA (PA = ポート・アドレス)

変換が完了すると、2回目のI/O命令によって最新のデータがメモリに読み出され、新たな変換が開始されます。I/O命令とI/O命令の間には、少なくともADCの変換時間分の遅延を確保する必要があります。

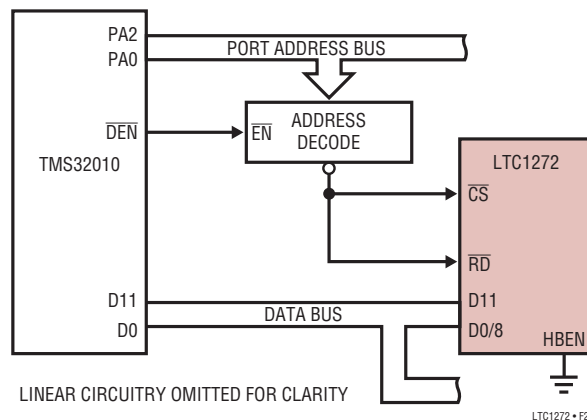


図20. LTC1272とTMS32010とのインターフェイス

LTC1272

アプリケーション情報

AD7572との互換性

LTC1272を使用した新たな設計に推奨する、シンプルな単一5V電源の回路構成を図21に示します。AD7572の置き換えやアップグレードが必要な場合、わずかな変更でLTC1272をAD7572ソケットに挿入することができます。これは、サンプル・ホールド、単一電源動作、電力消費の低減によって、AD7572の置き換えやアップグレードに使用することができます。

LTC1272はAD7572よりも全消費電力は少なくなります。5V電源からはより多くの電流が流れます(-15V電源からは電力供給されない)。また、サンプル・ホールドがア

ナログ入力を再取得できるように、変換と変換の間に最小1 μ sの時間を確保する必要があります。図22は、クロックが \overline{CS} と \overline{RD} に同期している場合、10 Ω の直列抵抗を短絡することとV_{REF}ピンの10 μ Fバイパス・コンデンサの極性を反転することだけが必要であることを示しています。-15V電源は必要ないので削除することができます。つまり、ピン23へは内部接続されていないので、そのままにしておくことができます。LTC1272のCLK IN信号がLTC1272を読み出しているマイクロプロセッサと同じクロックから供給される場合に、クロックが \overline{CS} と \overline{RD} に同期しているとみなすことができます。

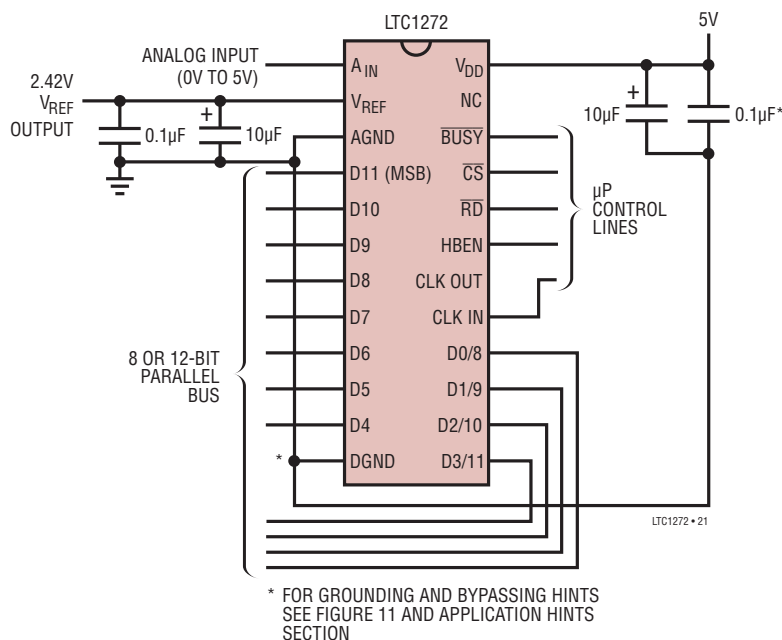


図21. 単一5V電源、3 μ s、12ビット・サンプリングADC

アプリケーション情報

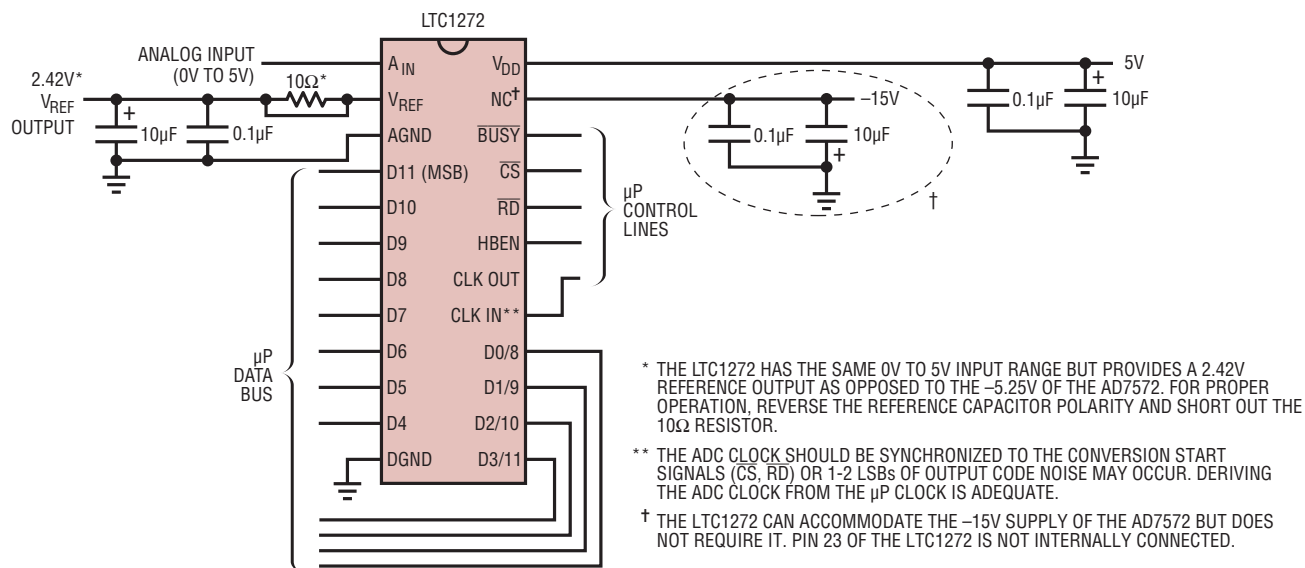


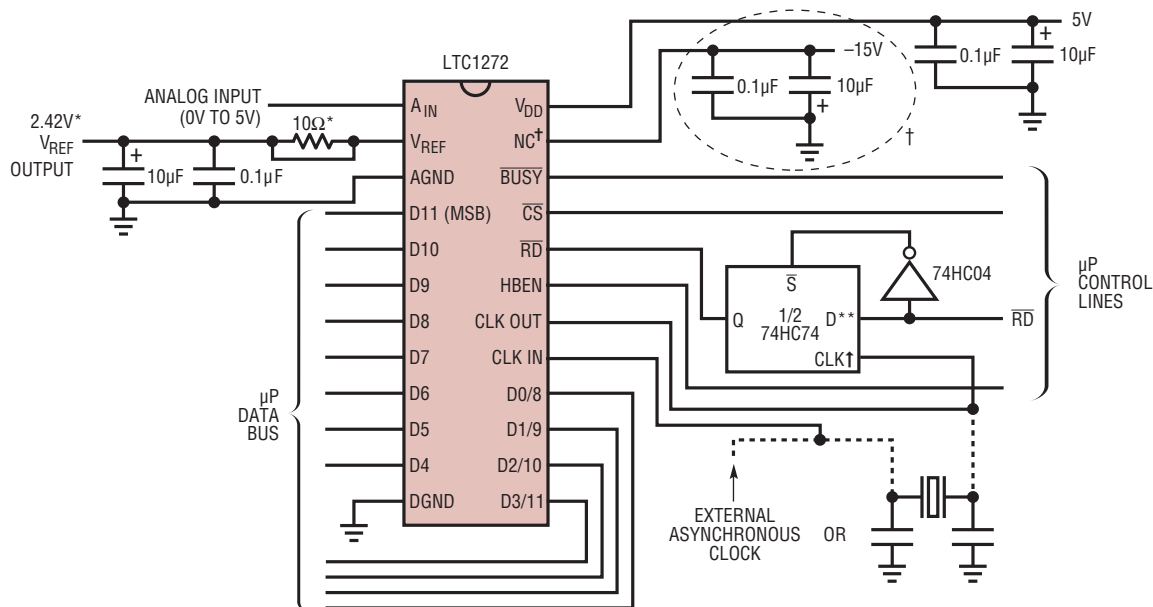
図22. LTC1272をAD7572ソケットに挿入
ケース1: \overline{CS} と \overline{RD} に同期したクロック

AD7572のクロック信号が、マイクロプロセッサのクロックと同期していない水晶振動子などの別の信号から供給される場合には、LTC1272が最高のアナログ性能を得るために信号を同期させる必要があります(「クロックと制御の同期」を参照)。これらの信号を同期させる最良の方法は、上述内容と図22に示すように、LTC1272のCLK INピンをプロセッサのクロックを供給してドライブすることです。図23に示すもう1つの方法は、フリップフロップを使用し、LTC1272に入力される \overline{RD} をCLK IN信号に同期させます。この方法は有効ですが、まず次の2つの欠点があります。 \overline{RD} がフリップフロップによって遅延するので、

プロセッサからの \overline{RD} ↓変換コマンドに応答して実際の変換開始とLTC1272の \overline{BUSY} およびデータ出力のイネーブルが行われるまでには最大で1 CLK INサイクルかかる可能性があります。アナログ入力のサンプリングがプロセッサの \overline{RD} の立ち下がりエッジで行われることはなく、1 CLK INサイクル分だけ遅延する場合があります。LTC1272のDC性能は依然として優れていますが、このフリップフロップによってサンプリングにジッタが生じ、ACシステムではこの方法の有用性が低下する可能性があります。

LTC1272

アプリケーション情報



- * THE LTC1272 HAS THE SAME 0V TO 5V INPUT RANGE BUT PROVIDES A 2.42V REFERENCE OUTPUT AS OPPOSED TO THE -5.25V OF THE AD7572. FOR PROPER OPERATION, REVERSE THE REFERENCE CAPACITOR POLARITY AND SHORT OUT THE 10Ω RESISTOR.
- ** THE D FLIP-FLOP SYNCHRONIZES THE CONVERSION START SIGNAL (\overline{RD}) TO THE ADC CLK_{OUT} SIGNAL TO PREVENT OUTPUT CODE NOISE WHICH OCCURS WITH AN ASYNCHRONOUS CLOCK.
- † THE LTC1272 CAN ACCOMMODATE THE -15V SUPPLY OF THE AD7572 BUT DOES NOT REQUIRE IT. PIN 23 OF THE LTC1272 IS NOT INTERNALLY CONNECTED.

LTC1272 • F23

図23. LTC1272をAD7572ソケットに挿入
ケース2:CSとRDに同期していないクロック

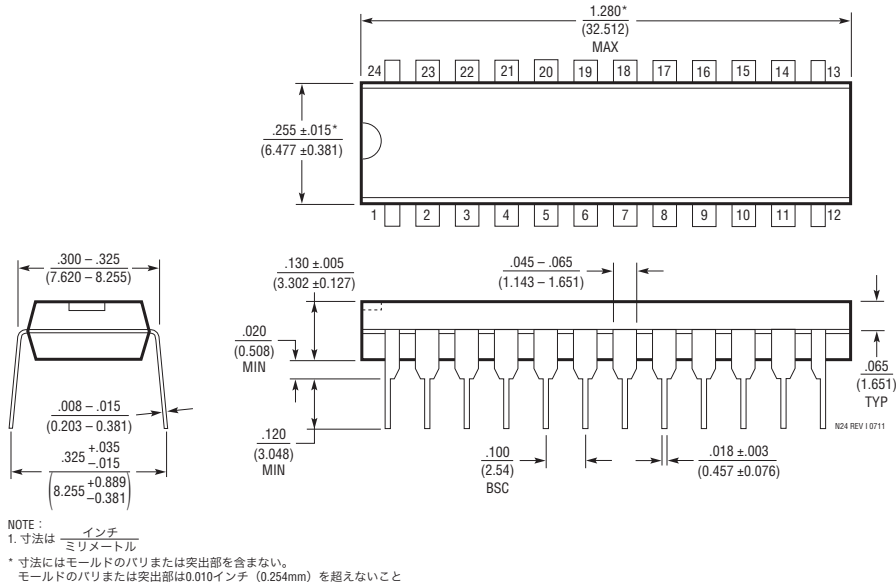
改訂履歴 (改訂履歴はRev Cから開始)

REV	日付	概要	ページ番号
C	1/13	ダイナミック精度の表のヘッダから166kHz(LTC1272-5)バージョンの記載を削除。	3

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

Nパッケージ 24ピンPDIP (細型0.300インチ) (Reference LTC DWG # 05-08-1510 Rev. I)



SWパッケージ 24ピン・プラスチック・スモール・アウトライン (幅0.300インチ) (Reference LTC DWG # 05-08-1620)

