

レール-トゥ-レール入力 レール-トゥ-レール出力 ゼロドリフト・オペアンプ

特長

- 入力同相範囲に両レールを含む
- レール-トゥ-レール出力振幅
- 1k Ω 負荷をドライブ可能
- 外付け部品不要
- 入力オフセット電圧：10 μ V (MAX)
- 入力オフセット・ドリフト：100nV/ (MAX)
- 最小CMRR：115dB
- 電源電流：3.0mA (MAX)
- シャットダウン時の消費電流：5 μ A (MAX)
- 容量性負荷のドライブに構成可能な出力
- 全電源電圧2.7Vから14Vで動作

アプリケーション


- レール-トゥ-レール・アンプおよびバッファ
- 高分解能データ・アキュジション・システム
- レールでの電源電流の検知
- 低電源電圧トランスデューサ・アンプ
- 高精度計測装置
- 単一負電源動作

概要

LTC[®]1152は高性能、低消費電力のゼロ・ドリフト・オペアンプで、両方の電源レールを含む同相入力範囲と、重負荷時にもレール-トゥ-レールで振幅する出力段を特徴としています。この広い同相入力範囲は、内蔵の高周波チャージポンプで実現されています。この技術を用いることによってクロスオーバー歪みと、他の手法では避けられないCMRRの制限をなくしています。LTC1152はあらゆる容量性負荷をドライブ可能なC-Load[™]オペアンプです。

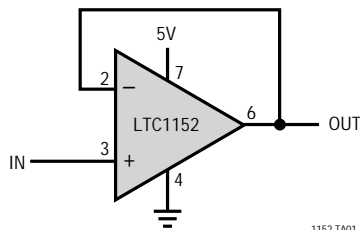
LTC1152はLTCの他のゼロ・ドリフト・アンプと同様に、優れたDC性能スペックを実現しています。オフセット電圧は標準1 μ Vで、オフセット・ドリフトは標準10nV/ です。また、CMRRおよびPSRRはそれぞれ標準130dBおよび120dB、開ループ利得は130dBです。入力ノイズ電圧は、0.1Hzから10Hzで2 μ V_{p-p}です。ゲイン帯域幅積は0.7MHz、スルー・レートは0.5V/ μ sで、電源電流はすべて全温度範囲において最大3.0mAです。LTC1152にはシャットダウン機能もあり、シャットダウン時には電源電流は1 μ Aに低下し、出力段はハイ・インピーダンス状態になります。

LTC1152はプラスチック8ピンPDIPおよび8ピンSOパッケージで供給され、標準オペアンプのピン配置を採用しているため、多くの標準オペアンプを置き換えることができます。

、LTC、LTIはリニアテクノロジー社の登録商標です。
C-Loadはリニアテクノロジー社の商標です。

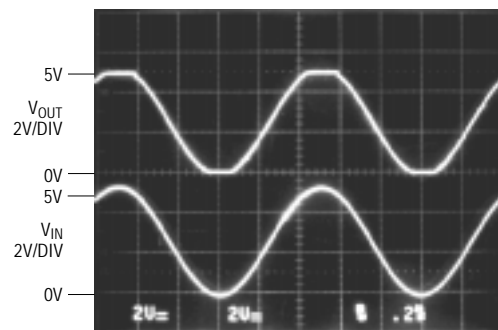
TYPICAL APPLICATION

Rail-to-Rail Buffer



1152 TA01

Input and Output Waveforms

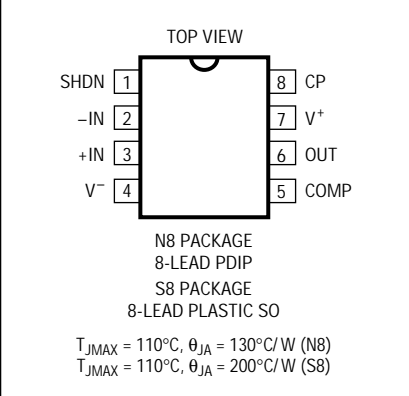


1152 TA02

ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage (V^+ to V^-)	14V
Input Voltage	$V^+ + 0.3V$ to $V^- - 0.3V$
Output Short-Circuit Duration (Pin 6)	Indefinite
Operating Temperature Range	
LTC1152C	0°C to 70°C
LTC1152I	-40°C to 85°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION

	ORDER PART NUMBER
	LTC1152CN8 LTC1152CS8 LTC1152IN8 LTC1152IS8
	S8 PART MARKING
	1152 1152I

Consult factory for Military grade parts.

ELECTRICAL CHARACTERISTICS $V_S = 5V$, $T_A =$ operating temperature range, unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	$T_A = 25^\circ\text{C}$ (Note 1)		±1	±10	μV
ΔV_{OS}	Average Input Offset Drift	(Note 1)	●	±10	±100	nV/°C
	Long-Term Offset Drift			±50		nV/√Mo
I_B	Input Bias Current	$T_A = 25^\circ\text{C}$ (Note 2)	●	±10	±100 ±1000	pA pA
I_{OS}	Input Offset Current	$T_A = 25^\circ\text{C}$ (Note 2)	●	±20	±200 ±500	pA pA
e_n	Input Noise Voltage (Note 3)	$R_S = 100\Omega$, 0.1Hz to 10Hz $R_S = 100\Omega$, 0.1Hz to 1Hz		2 0.5	3 1	μV _{p-p} μV _{p-p}
i_n	Input Noise Current	$f = 10\text{Hz}$		0.6		fA/√Hz
CMRR	Common-Mode Rejection Ratio	$V_{CM} = 0V$ to 5V	●	115	130	dB
PSRR	Power Supply Rejection Ratio	$V_S = 3V$ to 12V	●	110 105	120	dB dB
A_{VOL}	Large-Signal Voltage Gain	$R_L = 10k$, $V_{OUT} = 0.5V$ to 4.5V	●	110	130	dB
V_{OUT}	Maximum Output Voltage Swing (Note 4)	$R_L = 1k$, $V_S = \text{Single } 5V$ $R_L = 1k$, $V_S = \pm 2.5V$ $R_L = 100k$, $V_S = \pm 2.5V$	● ●	4.0 ±2.0	4.4 2.2 ±2.49	V V V
SR	Slew Rate	$R_L = 10k$, $C_L = 50pF$, $V_S = \pm 2.5V$		0.5		V/μs
GBW	Gain-Bandwidth Product	$R_L = 10k$, $C_L = 50pF$, $V_S = \pm 2.5V$		0.7		MHz
I_S	Supply Current	No Load Shutdown = 0V	● ●	2.2 1	3.0 5	mA μA
I_{OSD}	Output Leakage Current	Shutdown = 0V	●	±10	±100	nA
V_{CP}	Charge Pump Output Voltage	$I_{CP} = 0$		7.3		V
V_{IL}	Shutdown Pin Input Low Voltage			2.5		V
V_{IH}	Shutdown Pin Input High Voltage			4		V
I_{IN}	Shutdown Pin Input Current	$V_{SHDN} = 0V$	●	-1	-5	μA
f_{CP}	Internal Charge Pump Frequency	$T_A = 25^\circ\text{C}$		4.7		MHz
f_{SMPL}	Internal Sampling Frequency	$T_A = 25^\circ\text{C}$		2.3		kHz

ELECTRICAL CHARACTERISTICS $V_S = 3V$, T_A = operating temperature range, unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	$T_A = 25^\circ\text{C}$ (Note 1)		± 1	± 10	μV
ΔV_{OS}	Average Input Offset Drift	(Note 1)	●	± 10	± 100	$\text{nV}/^\circ\text{C}$
I_B	Input Bias Current	$T_A = 25^\circ\text{C}$ (Note 2)		± 5	± 100 ± 1000	pA pA
I_{OS}	Input Offset Current	$T_A = 25^\circ\text{C}$ (Note 2)		± 10	± 200 ± 500	pA pA
e_n	Input Noise Voltage (Note 3)	$R_S = 100\Omega$, 0.1Hz to 10Hz $R_S = 100\Omega$, 0.1Hz to 1Hz		2 0.75		$\mu\text{V}_{\text{p-p}}$ $\mu\text{V}_{\text{p-p}}$
i_n	Input Noise Current	$f = 10\text{Hz}$		0.6		$\text{fA}/\sqrt{\text{Hz}}$
CMRR	Common-Mode Rejection Ratio	$V_{\text{CM}} = 0\text{V}$ to 3V	●	130		dB
A_{VOL}	Large-Signal Voltage Gain	$R_L = 10\text{k}$, $V_{\text{OUT}} = 0.5\text{V}$ to 2.5V	●	106	130	dB
V_{OUT}	Maximum Output Voltage Swing (Note 4)	$R_L = 1\text{k}$, $V_S = \text{Single } 3\text{V}$ $R_L = 100\text{k}$, $V_S = \pm 1.5\text{V}$	●	2.0	2.5 ± 1.48	V V
SR	Slew Rate	$R_L = 10\text{k}$, $C_L = 50\text{pF}$, $V_S = \pm 1.5\text{V}$		0.4		$\text{V}/\mu\text{s}$
GBW	Gain-Bandwidth Product	$R_L = 10\text{k}$, $C_L = 50\text{pF}$, $V_S = \pm 1.5\text{V}$		0.5		MHz
I_S	Supply Current	No Load Shutdown = 0V	● ●	1.8 1	2.5 5	mA μA
I_{OSD}	Output Leakage Current	Shutdown = 0V	●	± 10		nA
V_{CP}	Charge Pump Output Voltage	$I_{\text{CP}} = 0$		4.5		V
V_{IL}	Shutdown Pin Input Low Voltage			1.2		V
V_{IH}	Shutdown Pin Input High Voltage			2.3		V
I_{IN}	Shutdown Pin Input Current	$V_{\text{SHDN}} = 0\text{V}$		-1		μA
f_{CP}	Internal Charge Pump Frequency	$T_A = 25^\circ\text{C}$		4.2		MHz
f_{SMPL}	Internal Sampling Frequency	$T_A = 25^\circ\text{C}$		2.1		kHz

The ● denotes specifications which apply over the full operating temperature range.

Note 1: These parameters are guaranteed by design. Thermocouple effects preclude measurement of these voltage levels during automated testing.

Note 2: At $T \leq 0^\circ\text{C}$ these parameters are guaranteed by design and not tested.

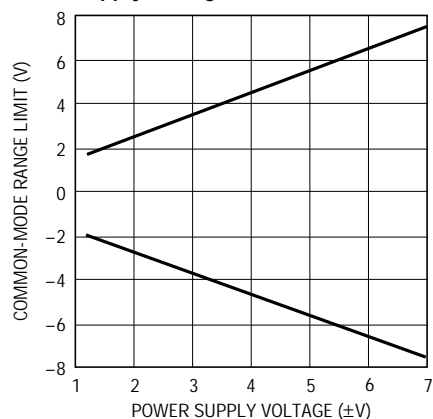
Note 3: 0.1Hz to 10Hz noise is specified DC coupled in a 10-sec window; 0.1Hz to 1Hz noise is specified in a 100-sec window with an RC highpass

filter at 0.1Hz. Contact LTC factory for sample tested or 100% tested noise parts.

Note 4: All output swing measurements are taken with the load resistor connected from output to ground. For single supply tests, only the positive swing is specified (negative swing will be 0V due to the pull-down effect of the load resistor). For dual supply operation, both positive and negative swing are specified.

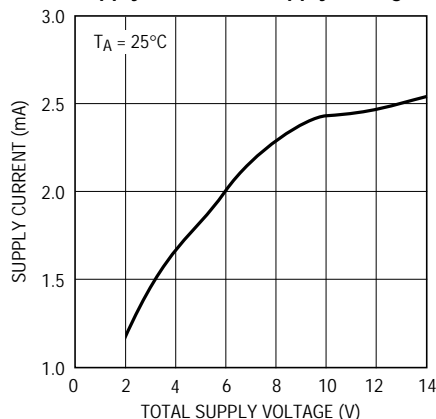
TYPICAL PERFORMANCE CHARACTERISTICS

Common-Mode Range vs Supply Voltage



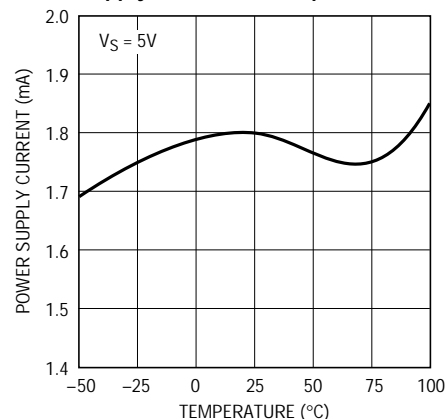
1152 G01

Supply Current vs Supply Voltage



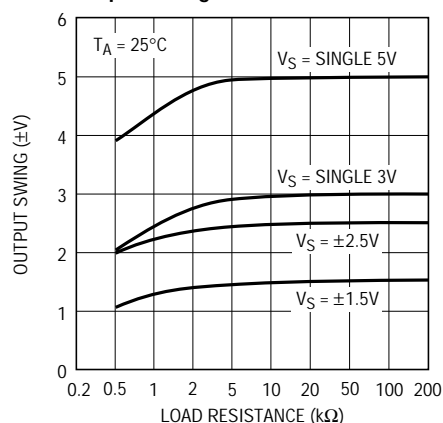
1152 G02

Supply Current vs Temperature



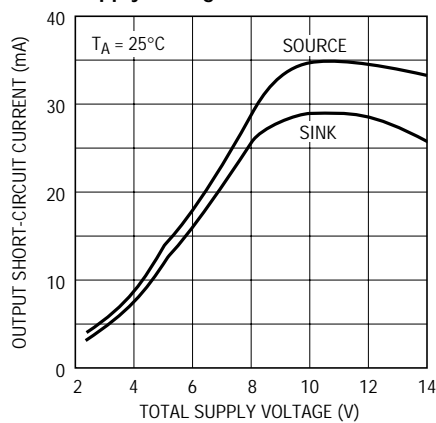
1152 G03

Output Swing vs Load Resistance



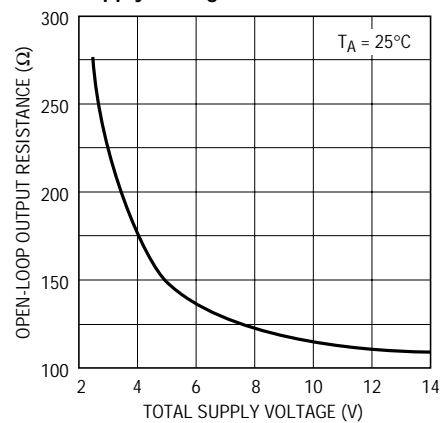
1152 G04

Output Short-Circuit Current vs Supply Voltage



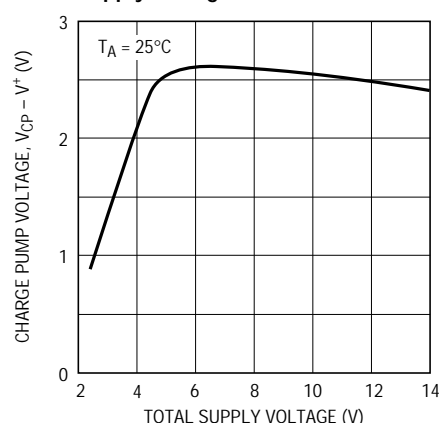
1152 G05

Open-Loop Output Resistance vs Supply Voltage



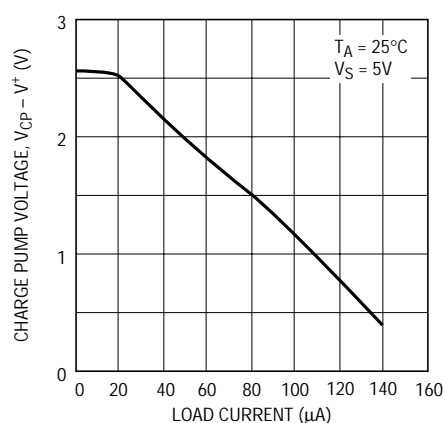
1152 G06

Charge Pump Voltage vs Supply Voltage



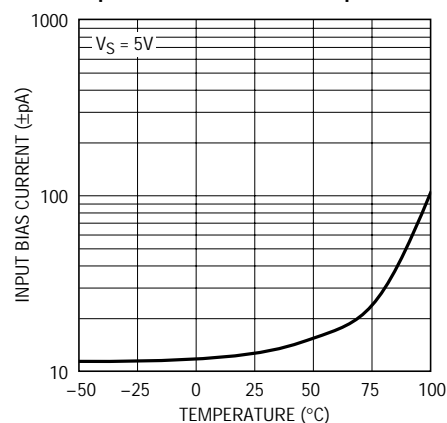
1152 G07

Charge Pump Voltage vs Load Current



1152 G08

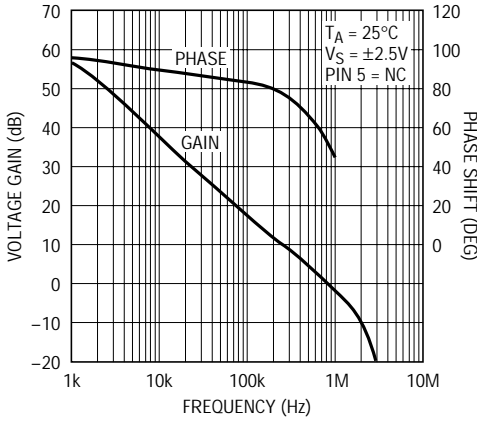
Input Bias Current vs Temperature



1152 G09

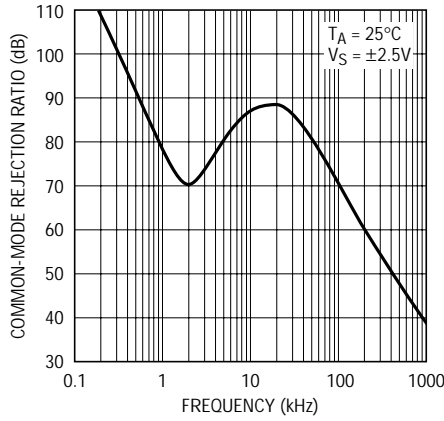
TYPICAL PERFORMANCE CHARACTERISTICS

Gain and Phase Shift vs Frequency



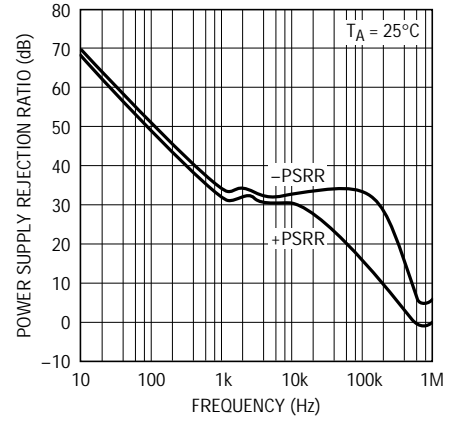
1152 G10

Common-Mode Rejection Ratio vs Frequency



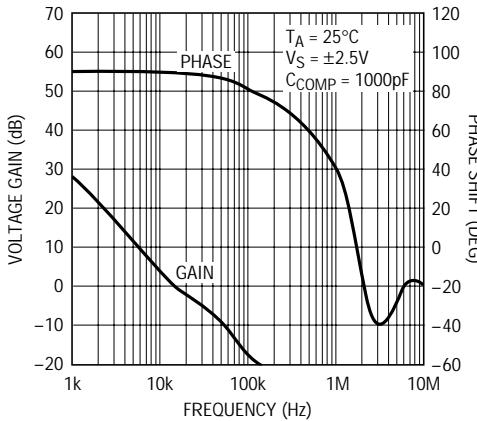
1152 G13

Power Supply Rejection Ratio vs Frequency



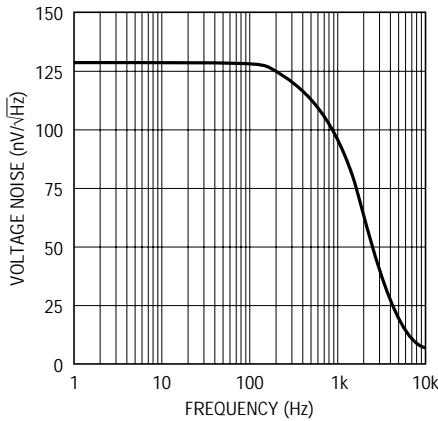
1152 G14

Gain and Phase Shift vs Frequency



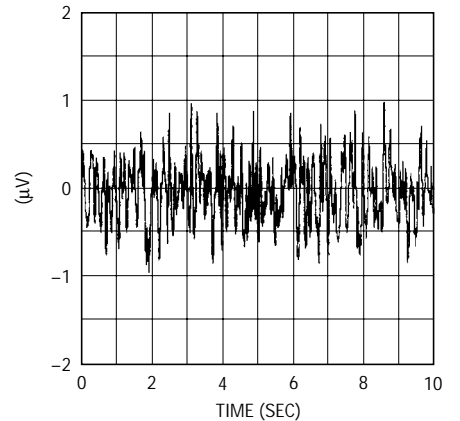
1152 G11

Voltage Noise vs Frequency



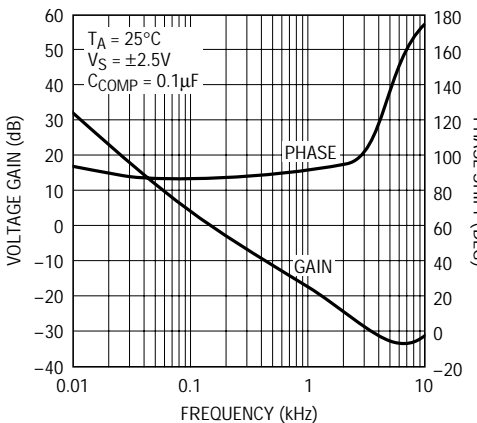
1152 G15

0.1Hz to 10Hz Input Noise



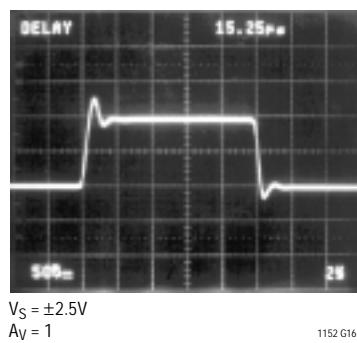
1152 G18

Gain and Phase Shift vs Frequency



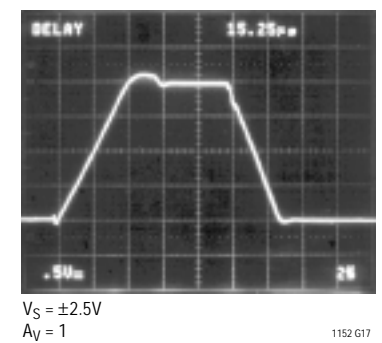
1152 G12

Small-Signal Transient Response



1152 G16

Large-Signal Transient Response



1152 G17

アプリケーション情報

レール-トゥ-レール動作

LTC1152はレール-トゥ-レールの同相入力範囲と出力振幅をもつオペアンプです。LTCのゼロ・ドリフト・アンプ製品ラインの全デバイスを含むほとんどのCMOSオペアンプや、一部のバイポーラ・オペアンプでも、レール-トゥ-レールの出力振幅が可能です。このようなデバイスの明らかな用途としては、単一5V電源で動作する0Vから5V信号用のユニティゲイン・バッファです。これは大多数のいわゆる“レール-トゥ-レール”オペアンプでは不可能です。出力はレール間で振幅できますが、負入力(出力に接続されている)があるポイント(一般に正電源より約1.5V低い)でデバイスの同相範囲を超えるため、帰還ループが開放され予測できない動作、ときには異常な動作を行うことがあります。

LTC1152はこれには該当せず、レール-トゥ-レール出力振幅とレール-トゥ-レール同相入力範囲(CMR)の2つの特徴を兼ね備えています。入力CMRは実際にはどちらのレールからも約0.3Vほど拡大しています。このため、ユニティゲイン・バッファ回路は電源レール内のどの入力信号でも処理可能です。入力信号振幅は負荷に供給される出力段振幅でのみ制限されます。さらに、いずれかのレールに現れる信号は、(電源電流検知の場合など)特別な回路なしで増幅することができます。

内部チャージポンプ

LTC1152はチャージポンプを使用して V^+ より約2V高い内部電圧を発生し、レール-トゥ-レール入力CMRを実現しています。オペアンプの入力段はこの高い電圧で動作するため、 V^+ の信号はフロント・エンドの電源より2V低くなります(図1)。チャージポンプ全体がLTC1152に含まれています。外付け部品は必要ありません。

約 $100\mu V_{p-p}$ の残留チャージポンプ・スイッチング・ノイズがLTC1152の出力に現れます。このフィードスルーはLTC1152の利得帯域幅より高い4.7MHzにあり、通常は問題になることはありません。非常に感度の高いアプリケーションでは、CPピン(ピン8)から V^+ ピン(ピン7)にコンデンサを接続してこのフィードスルーを低減できます。0.1 μF のコンデンサを使用すればチャージポンプのフィードスルーを無視できるレベルまで下げることができます。LTC1152ではピン8からピン7に内部でダイオードが接続されており、外部寄生容量によって起動時間が長くなるのを防止しています。このダイオードは約50mA

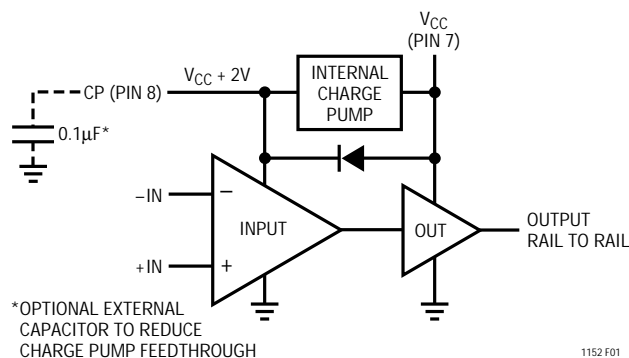


Figure 1. LTC1152 Internal Block Diagram

の短期ピーク電流に耐えることができるため、外部容量をグランドまたは V^- まで迅速に充電できます。起動時に過大なダイオード電流が流れないようにするために、大容量コンデンサ(1 μF 以上)をピン8とグランドまたは V^- 間に接続してはなりません。LTC1152はピン8と V^+ 間を連続的に短絡しても耐えることができます。しかし、ピン8をグランドまたは V^- に短絡すると、過大な電流がダイオードを流れてLTC1152を破壊するおそれがあります。決してこのようなことは行わないでください。

出力ドライブ

LTC1152の出力段は改良されており、ほとんどの負荷条件において、レール-トゥ-レール出力振幅を維持しながら単一5V電源により10mAの電流をシンクまたはソースできます。出力段は、直列に抵抗が接続された完全なレール-トゥ-レール電圧源としてモデル化できます。この開ループ出力抵抗は、出力負荷で抵抗分圧回路を形成することによって出力振幅を制限します。

代表的性能曲線に示すとおり、全電源電圧が上昇すると出力抵抗は低下します。これは単一5V電圧では標準140 Ω であり、単一5Vでは1k Ω の抵抗に対して4.4Vの出力振幅が可能です。

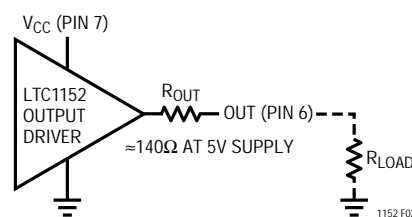


Figure 2. LTC1152 Output Resistance Model

アプリケーション情報

補償/バンド幅の制限

LTC1152は最大1000pFの容量性負荷を接続してもユニティ・ゲインで安定しています。LTC1152を外部で補償すれば、より大きな容量性負荷をドライブすることもできます。COMR(ピン5)とOUT(ピン6)の間に1000pFを追加すれば、最大1 μ Fの容量性負荷をドライブ可能です。また、ピン5と6の間に0.1 μ Fのコンデンサを接続すれば、LTC1152はどのような容量性負荷でもドライブできます(図3)。

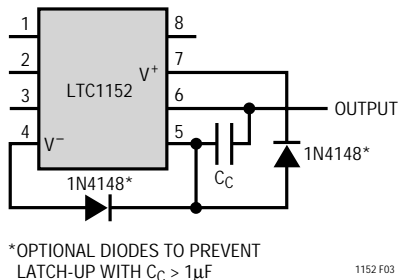


Figure 3. Output Compensation Connection

また、LTC1152のバンド幅を制限するために大容量の補償コンデンサも使用できます。ピン5からピン6に0.1 μ Fのコンデンサを接続すると、LTC1152の利得帯域幅積は、700kHzから約200Hzまで低減されます。補償コンデンサが1 μ F以上の場合、重大な出力障害時にラッチアップを引き起こす可能性があることに注意してください。これは図3に示すように、標準的な信号ダイオードでピン5を各電源にクランプすれば防止できます。

シャットダウン

LTC1152はシャットダウン・ピン(ピン1)を備えています。このピンが V^+ のときに、LTC1152は通常動作を行います。このピンはフロートしている場合には、ピンは1 μ Aの内部プルアップで“H”に保持されます。ピン1が“L”にプルダウンされると、デバイスはシャットダウン・モードに入ります。シャットダウン・モードでは電源電流は1 μ Aに低下し、すべての内部クロック動作が停止し、出力はハイ・インピーダンス状態になります。シャットダウン時には、CPピン(ピン8)の電圧は V^+ より0.5V低い電位に低下します。ピン1が再び“H”になると、約10 μ sが経過してからチャージポンプの全電圧が回復します。この期間中、LTC1152は通常どおり動作しますが、入力CMRに V^+ が含まれることはありません。ピン1はLTC1152と同じ電源で動作するCMOSロジックとコンパチブルです。さらに、LTC1152が ± 5 Vまたは ± 3 V電源で動作している場合、この入力トリップ・レベ

ルによってグランド基準のCMOSロジック信号を直接ピン1にインタフェースすることができます。

1 μ Aの内部プルアップにより、ピン1をオープンコレクタ/オープンドレイン・デバイス、またはディスクリート・トランジスタにインタフェースすることも可能です。シャットダウン時に出力がハイ・インピーダンスになるため、いくつかのLTC1152をMUXとして連結し、それぞれの出力を並列に接続しておけば、シャットダウン・ピンを使用してアクティブ・チャンネルを選択することができます。非選択(シャットダウン)チャンネルの出力はハイ・インピーダンスになり、アクティブ・チャンネルとの競合が防止されます。この方法は、個々のLTC1152を非反転フィードバック構成で接続して、帰還抵抗が非選択チャンネルを通して信号を流さないようにすれば、最適に動作します。回路例については、代表的アプリケーションのセクションを参照してください。

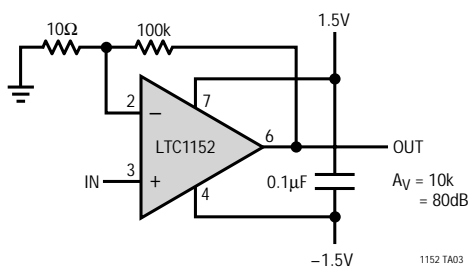
ゼロ・ドリフト動作

LTC1152はゼロ・ドリフト・オペアンプです。LTCの他のゼロ・ドリフト・オペアンプと同様、実質的に誤差のないDC性能、時間経過や全温度範囲にわたって非常にドリフトが小さい、低周波数でのノイズが非常に低いなどの特徴を備えています。内部ゼロ調整クロックは約2.3kHz(4.7MHzのチャージポンプ周波数 \div 2048)で動作し、ビート周波数が出力に現れないようにするために内部チャージポンプに同期しています。自己ゼロ調整回路は、絶えず入力オフセット電圧を修正し、全入力同相モード範囲にわたって、標準で $\pm 1\mu$ V以下に保持します。これには、低周波数において、競合するレールトゥーレール・オペアンプをはるかに凌ぐ、卓越したCMRRとPSRRを実現する利点があります。

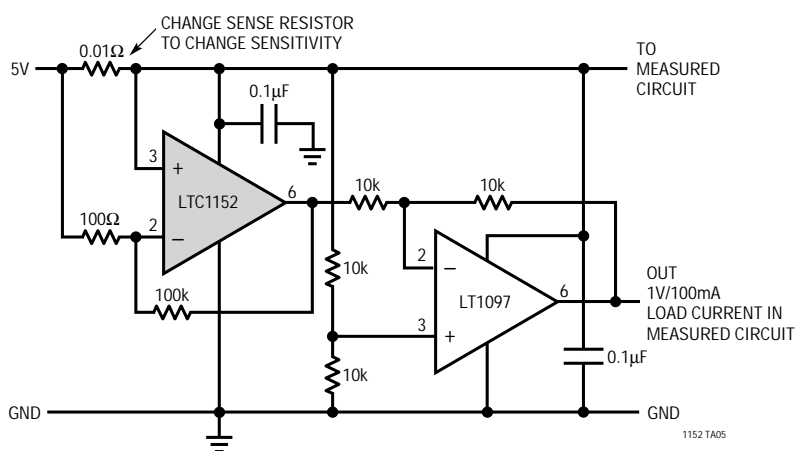
LTC1152はサンプリング・フロントエンドを使用しているため、内部2.3kHzサンプリング周波数付近の周波数では、エリアシング現象やクロック・リップルが現れます。LTC1152は、これらの誤差項を最小限に抑えるために、アンチエリアシング回路を内蔵しています。概して、ほとんどの標準アンプ構成では、エリアス周波数は(80dB - A_{CLG})だけ低下します。ここで、 A_{CLG} はLTC1152回路の閉ループ利得です。また、クロック・ノイズも閉ループ利得に依存し、通常、入力を基準にして約100 μ Vの振幅のスパイクが発生します。一般に、これらの誤差項は非常に小さいため、ほとんどのアプリケーションでは影響ありません。ゼロ・ドリフト・アンプ特性の詳細については、LTC1051/LTC1053のデータシートを参照してください。

アプリケーション情報

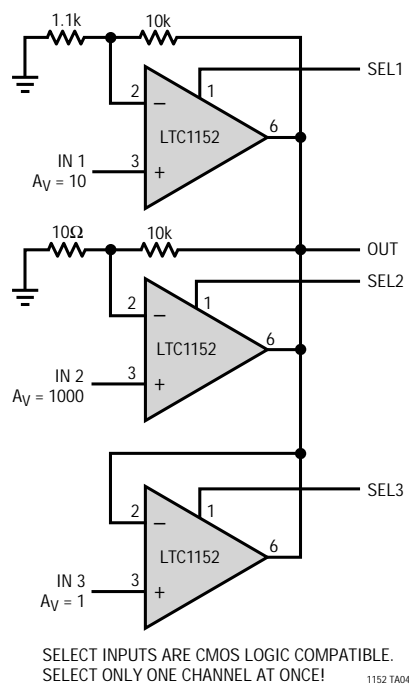
High Gain Amplifier with $\pm 1.5V$ Supplies



High Side Power Supply Current Sensing



High Precision Three-Input MUX



SELECT INPUTS ARE CMOS LOGIC COMPATIBLE.
SELECT ONLY ONE CHANNEL AT ONCE!