



リアルタイム・イーサネット・マルチプロトコル (REM) スイッチ

fido5100/fido5200

データシート

特長

- 144 ボールの CSP_BGA RoHS 準拠パッケージ
- 工業用温度範囲定格: -40 °C ~ +85 °C
- 3.3 V の入出力バッファ
- IEEE 802.3、10 Mbps/100 Mbps、半二重および全二重、IPv6 および IPv4 通信
- 2 つの独立したイーサネット・ポート: ポートごとに 1 MII および 1 RMII インターフェース
- あらゆる工業用プロトコルをサポート
 - 高速スタートアップを備えた PROFINET のクラス B およびクラス C (バージョン 2.3)
 - QuickConnect、CIP Sync、および CIP Motion を備えた EtherNet/IP
 - Modbus TCP
 - EtherCAT
 - SERCOS III
 - Ethernet POWERLINK
- ホスト・インターフェースの転送レート: 28 ns あたり 32 ビット
 - 最小 12.5 μs までの EtherCAT サイクル・タイム、および最小 31.25 μs までの PROFINET サイクル・タイムをサポート
- PI Net Load Class III に適合
- DLR (スーパーバイザおよびノード、アナウンス・ベースおよびビーコン・ベース)、MRPD、HSR、PRP、共用デバイス、コントローラの冗長性
- IEEE 1588 バージョン 2 をサポート: オーディナリー・クロック (ピア to ピアおよびエンド to エンドの両方のトランスペアレント・クロック)、生のフレーム、および UDP
- 内部高精度タイマーに同期した 8 つの独立したタイマー信号
 - タイマーのキャプチャ・イベントまたはタイマー出力イベント用の独立にプログラム可能な 4 つのタイマー信号
 - 4 つのタイマー信号により、内部高精度タイマーに同期したプログラマブルな周期波形を生成
 - DCP、LLDP、DHCP、RSTP、VLAN、IGMP スヌーピングをサポート
 - エージング機能およびラーニング機能を備えたフォワーディング・テーブル
 - リンク・アクティビティ用の LED を駆動

アプリケーション

- 工業用オートメーション
- プロセス制御
- マネージド・イーサネット・スイッチ

S 機能ブロック図

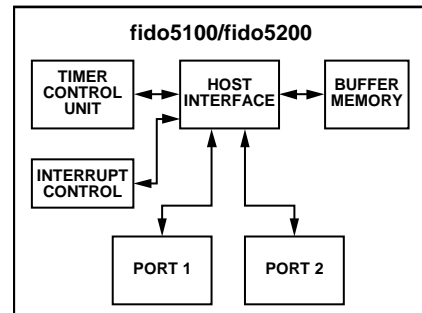


図 1.

概要

fido5100 および fido5200 は、プログラマブルな IEEE 802.3 の 10 Mbps/100 Mbps イーサネットのインターネット・プロトコル・バージョン 6 (IPv6) およびインターネット・プロトコル・バージョン 4 (IPv4) のスイッチで、実質的にあらゆるレイヤ 2 またはレイヤ 3 プロトコルをサポートしています。これらのスイッチはホスト・プロセッサからダウンロードされるファームウェアによって、所望のプロトコルをサポートできるようにパーソナライズされています。

このファームウェアはリアルタイム・イーサネット・マルチプロトコル (REM) スイッチ・ドライバに含まれており、電源投入時にダウンロードされます。REM スイッチは、4 ms 未満でネットワーク・データ・オペレーションの準備を整えることが可能で、高速スタートアップやクイック・コネクト・タイプのネットワーク機能をサポートしています。fido5100/fido5200 デバイスの信号の割り当ては、このデータシートで定義されているものと同一です。

fido5100 は、次のプロトコルをサポートしています: PROFINET のリアル・タイム (RT) およびアイソクロナス・リアル・タイム (IRT)、デバイス・レベル・リング (DLR) 構成の EtherNet/IP および DLR 構成でない EtherNet/IP、Modbus TCP、SERCOS III、および POWERLINK。

fido5200 は、EtherCAT および fido5100 用に定義されたすべてのプロトコルをサポートしています。

REM スイッチは、ホスト・プロセッサとともに使用することを前提としています。ネットワーク・オペレーションは、REM スイッチ・ドライバに備えられた機能とサービスを使用して処理されます。ホスト・プロセッサは REM スイッチ・ドライバと統合することにより、任意のプロトコル・スタックを実装することができます。アプリケーションの例を図 11 に示します。

fido5100 および fido5200 の REM スイッチは、144 ボールのボール・グリッド・アレイのチップ・スケール・パッケージ (CSP_BGA) を採用しています。

このデータシートでは、A02/ALE などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、ALE のように 1 つのピン機能だけを表記していることに注意してください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	デバイス・インターフェース	12
アプリケーション	1	内部高精度タイマー	12
機能ブロック図	1	ホスト・インターフェース	12
概要.....	1	イーサネット・インターフェース	15
改訂履歴.....	2	アプリケーション情報	17
仕様.....	3	REM スイッチのハードウェア	17
REM スイッチの特性	3	ボード・レイアウト	17
タイミング仕様 — マルチプレクスされない		設計上の考慮事項	17
アドレス・データ・バス	3	外形寸法.....	19
タイミング仕様 — マルチプレクスされる		オーダー・ガイド	19
アドレス・データ・バス	5		
絶対最大定格	7		
ESD に関する注意	7		
ピン配置およびピン機能の説明	8		
動作原理.....	12		

改訂履歴

10/2017—Revision 0: Initial Version

仕様

REM スイッチの特性

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
OPERATING CONDITIONS						
Core Voltage	1.08	1.2	1.32	V	3.3 V power supply	
Input/Output (I/O) Buffers	2.97	3.3	3.63	V		
PLL Analog Voltage Regulator Power Supply	1.08	1.2	1.32	V		
DC Input Voltage	-0.5		+3.8	V		
Output Voltage	-0.5		+3.8	V		
Operating Junction Temperature (Industrial)	-40		+125	°C		
DC CHARACTERISTICS (I/O STANDARD)						
3.3 V LVCMOS						
VCC+3V3	2.97	3.3	3.63	V	Voltage level applied to the VCC+3V3 signal	
Input Voltage						
Low (V_{IL})	-0.3		+0.8	V		
High (V_{IH})	2.0		3.6	V		
Output Voltage						
Low (V_{OL})			0.4	V		
High (V_{OH})	2.4			V		
Output Current						
Low (I_{OL})	8.2	13.0	16.1	mA		
High (I_{OH})	9.2	19.2	30.7	mA		
LEAKAGE CURRENT						
Input Pin	-10		+10	μ A		Input voltage (V_{IN}) = 0 V to 3.3 V maximum Output voltage (V_{OUT}) = 0 V to 3.3 V maximum
Tristated I/O Pin	-10		+10	μ A		
HOST INTERFACE TRANSFER RATE ¹		32		Bits	Per 28 ns	

¹ 最小 12.5 μ s までの EtherCAT サイクル・タイム、および最小 31.25 μ s までの PROFINET サイクル・タイムをサポートしています。

タイミング仕様 — マルチプレクスされないアドレス・データ・バス

表 2. マルチプレクスされないアドレス・データ・バス - 読出しおよび書込みサイクル・タイミング¹

Parameter	Min	Typ	Max	Unit	Description
t_{AS}	20			ps	Address setup time
t_{AH}	1			ns	Address hold time
t_{CDV}			20	ns	\overline{CS} to data valid time
t_{ODV}			20	ns	Output enable to data valid time
t_{OEL}	20			ns	Output enable low time
t_{CSH}	8			ns	\overline{CS} high time
t_{CSL}	20			ns	\overline{CS} low time
t_{EOE}	0			ns	\overline{CS} to output enable time
t_{COE}	0			ns	Output enable high to \overline{CS} high
t_{DO}	150			ps	Output enable to data drive time
t_{DHz}			110	ps	Output disable to high-Z time
t_{CHz}			110	ps	\overline{CS} high to high-Z time
t_{WES}	0			ns	\overline{CS} to write enable
t_{WEWC}	16			ns	Write enable to write complete
t_{WECS}	0			ns	Write enable high to \overline{CS} high
t_{DS}	30			ps	Data setup to \overline{WE} high
t_{DH}	30			ps	Input data hold after \overline{WE} high

¹ MBS ピンは、インターフェースされるホストのアドレス・ラインとデータ・ラインがマルチプレクスされるか、または独立であるかを指定します。MBS = 0 のとき、インターフェースはマルチプレクスされません。

マルチプレクスされないときの REM スイッチのタイミング図

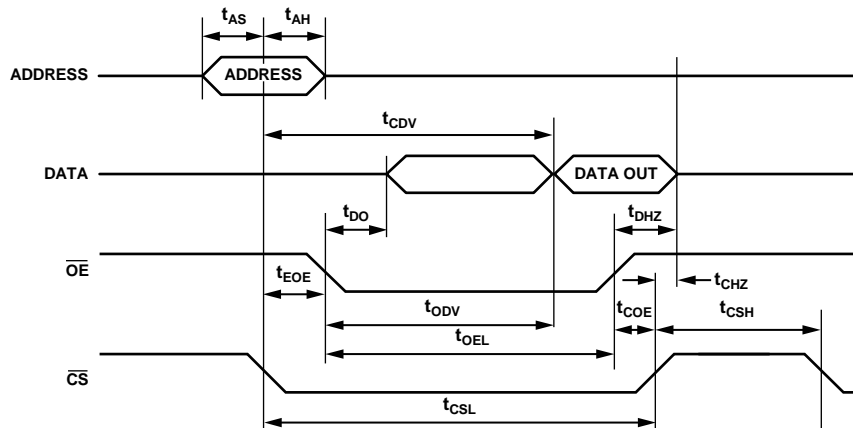


図 2. REM スイッチのマルチプレクスされないアドレス/データ・バスの読出しタイミング、MBS = 0

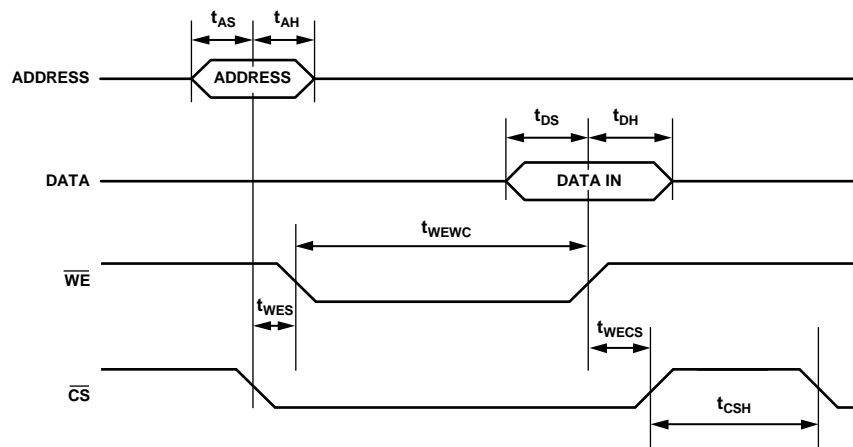


図 3. REM スイッチのマルチプレクスされないアドレス/データ・バスの書込みタイミング、MBS = 0

タイミング仕様 —マルチプレクスされるアドレス・データ・バス

表 3. マルチプレクスされるアドレス・データ・バス -読出しおよび書き込みサイクル・タイミング¹

Parameter	Min	Typ	Max	Unit	Description
t_{ALEH}	8			ns	ALE high time
t_{ALEL}	16			ns	ALE low time
t_{AS}	170			ps	Address setup time
t_{AH}	170			ps	Address hold time
t_{CDV}			20	ns	ALE to valid data
t_{ALOE}	2			ns	ALE to output enable
t_{ODV}			20	ns	Output enable to data valid
t_{DHZ}			150	ps	Output disable to high-Z time
t_{CHZ}			150	ps	\overline{CS} high to high-Z time
t_{CLLL}	0			ns	\overline{CS} low to ALE low
t_{CSH}	8			ns	\overline{CS} high time
t_{EOE}	2			ns	\overline{CS} to output enable
t_{DO}	2		110	ps	Output enable to output drive time
t_{COE}	0			ns	Output disable to \overline{CS} high
t_{WES}	0			ns	\overline{CS} to write enable
t_{WEWC}	16			ns	Write enable to write complete
t_{WECS}	0			ns	Write enable high to \overline{CS} high
t_{WHLH}	0			ns	\overline{WE} high to next ALE high
t_{DS}	60			ps	Data setup to \overline{WE} high
t_{DH}	60			ps	Input data hold after \overline{WE} high

¹ MBS ピンは、インターフェースされるホストのアドレス・ラインとデータ・ラインがマルチプレクスされるか、または独立であるかを指定します。MBS = 1 のとき、インターフェースはマルチプレクスされます。

マルチプレクスされるときの REM スイッチのタイミング図

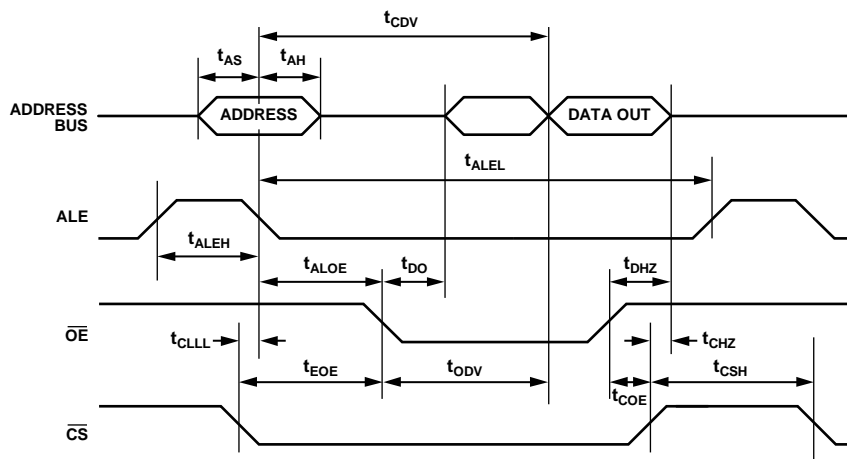
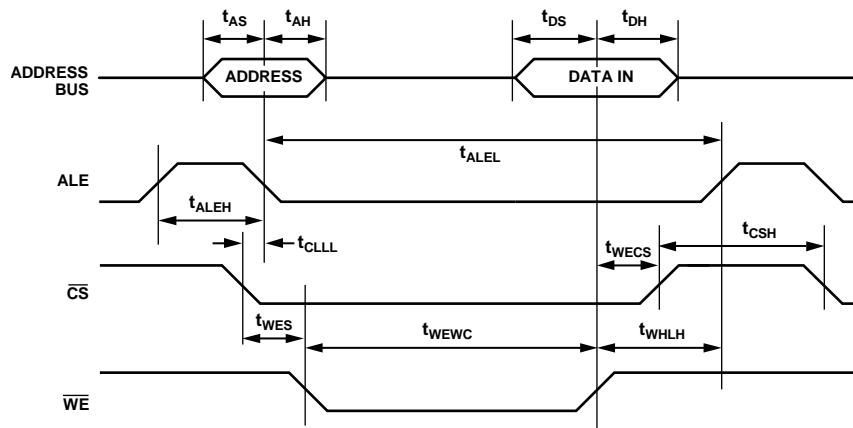


図 4. REM スイッチのマルチプレクスされるアドレス/データ・バスの読出しタイミング、MBS = 1



15833-005

図 5. REM スイッチのマルチプレクスされるアドレス/データ・バスの書込みタイミング、MBS = 1

絶対最大定格

表 4.

Parameter	Rating
Power Supply	
Core Voltage and Periphery Circuitry	1.08 V to 1.32 V
I/O (VCC+3V3)	2.97 V to 3.63 V
PLL Analog	1.08 V to 1.32 V
DC Input Voltage	-0.5 V to +3.8 V
Operating Temperature Range	
Junction	-40°C to +125°C
Ambient	-40°C to +85°C
Storage Temperature (No Bias) Range	-65°C to +150°C
Electrostatic discharge (ESD) Voltage, Human Body Model	-2000 V to +2000 V
Lead Temperature (Soldering)	J-STD-020C ¹
Power Dissipation	172 mW

¹ JEDEC 規格 J-STD-020C、および有害物質規制 (RoHS)、指令 2002/95/EU に準拠しています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

fido5100/fido5200
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12
A	D02/AD02	D04/AD04	D07	D11	D15	D18	D19	D22	D25	D27	D30	D31
B	D01	D03/AD03	D06	D10	D14	D17	D20	D23	D26	D29	\overline{OE}	\overline{WE}
C	A04/UNUSED	D00	D05/A05	D09	D13	D16	D21	D24	D28	INT2	INT1	INT0
D	A02/ALE	A03/UNUSED	A05/UNUSED	D08	D12	VCC+1V2	GND	VCC+3V3	GND	TIMER7	TIMER6	\overline{CS}
E	\overline{RESET}	LE	SIZE_32	GND	VCC+1V2	GND	VCC+1V2	GND	VCC+3V3	TIMER5	TIMER4	TIMER3
F	GND	MBS	GND	VCC+3V3	GND	VCC+1V2	GND	GND	GND	TIMER2	TIMER1	TIMER0
G	XTAL0	XTAL1	VCC+1V2A	GND	VCC+1V2	GND	GND	VCC+1V2	GND	RMII_CLK	CLKOUT	$\overline{P2_ACTIVITY}$
H	GND	VCC+3V3	GND	VCC+3V3	GND	VCC+1V2	GND	GND	VCC+3V3	P2_CRS	P2_COL	$\overline{P2_LINK_STATUS}$
J	P1_TXEN	P1_TXCLK	NC	GND	VCC+3V3	GND	VCC+1V2	NC	NC	NC	P2_RXDV	P2_RXCLK
K	P1_TXD0	NC	NC	NC	NC	P1_RXDV	$\overline{P1_LINK_STATUS}$	P2_TXD1	NC	P2_RXD0	NC	NC
L	P1_TXD1	P1_TXD2	P1_RXD0	P1_RXD3	NC	P1_CRS	$\overline{P1_ACTIVITY}$	P2_TXD0	P2_TXD3	NC	P2_RXD2	NC
M	P1_TXD3	NC	P1_RXD1	P1_RXD2	NC	P1_RXCLK	P1_COL	P2_TXEN	P2_TXD2	P2_TXCLK	P2_RXD1	P2_RXD3



図 6. ピン配置

15933-006

表 5. ピン機能の説明

Pin No.	Mnemonic	Direction ¹	Description
A1	D02/AD02	I/O	マルチプレクスされないデータ・バス・ビット 02/マルチプレクスされるデータ・バス・ビット 02。このピンは多機能ピンです。 MBS=0 のとき、ピン A1 (D02) はマルチプレクスされないアドレス・データ・バスにおいて、REM スイッチとやりとりするためのデータ・バス・ビット 02 になります。 MBS=1 のとき、ピン A1 (AD02) はマルチプレクスされるアドレス・データ・バスにおいて、アドレスのビット 02 (LSB) とデータのビット 02 になります。
A2	D04/AD04	I/O	マルチプレクスされないデータ・バス・ビット 04/マルチプレクスされるデータ・バス・ビット 04。このピンは多機能ピンです。 MBS=0 のとき、ピン A2 (D04) はマルチプレクスされないアドレス・データ・バスにおいて、REM スイッチとやりとりするためのデータ・バス・ビット 04 になります。 MBS=1 のとき、ピン A2 (AD04) はマルチプレクスされるアドレス・データ・バスにおいて、アドレスのビット 04 とデータのビット 04 になります。
A3	D07	I/O	データ・バス・ビット 07。ピン A3 は、REM スイッチとやりとりするためのデータ・バス・ビット 07 です。
A4	D11	I/O	データ・バス・ビット 11。ピン A4 は、REM スイッチとやりとりするためのデータ・バス・ビット 11 です。
A5	D15	I/O	データ・バス・ビット 15。ピン A5 は、REM スイッチとやりとりするためのデータ・バス・ビット 15 です。
A6	D18	I/O	データ・バス・ビット 18。ピン A6 は、REM スイッチとやりとりするためのデータ・バス・ビット 18 です。
A7	D19	I/O	データ・バス・ビット 19。ピン A7 は、REM スイッチとやりとりするためのデータ・バス・ビット 19 です。
A8	D22	I/O	データ・バス・ビット 22。ピン A8 は、REM スイッチとやりとりするためのデータ・バス・ビット 22 です。
A9	D25	I/O	データ・バス・ビット 25。ピン A9 は、REM スイッチとやりとりするためのデータ・バス・ビット 25 です。
A10	D27	I/O	データ・バス・ビット 27。ピン A10 は、REM スイッチとやりとりするためのデータ・バス・ビット 27 です。
A11	D30	I/O	データ・バス・ビット 30。ピン A11 は、REM スイッチとやりとりするためのデータ・バス・ビット 30 です。
A12	D31	I/O	データ・バス・ビット 31。ピン A12 は、REM スイッチとやりとりするためのデータ・バス・ビット 31 です。
B1	D01	I/O	データ・バス・ビット 01。ピン B1 は、REM スイッチとやりとりするためのデータ・バス・ビット 01 です。
B2	D03/AD03	I/O	マルチプレクスされないデータ・バス・ビット 03/マルチプレクスされるデータ・バス・ビット 03。このピンは多機能ピンです。 MBS=0 のとき、ピン B2 (D03) はマルチプレクスされないアドレス・データ・バスにおいて、REM スイッチとやりとりするためのデータ・バス・ビット 03 になります。 MBS=1 のとき、ピン B2 (AD03) はマルチプレクスされるアドレス・データ・バスにおいて、アドレスのビット 03 とデータのビット 03 になります。
B3	D06	I/O	データ・バス・ビット 06。ピン B3 は、REM スイッチとやりとりするためのデータ・バス・ビット 06 です。
B4	D10	I/O	データ・バス・ビット 10。ピン B4 は、REM スイッチとやりとりするためのデータ・バス・ビット 10 です。
B5	D14	I/O	データ・バス・ビット 14。ピン B5 は、REM スイッチとやりとりするためのデータ・バス・ビット 14 です。
B6	D17	I/O	データ・バス・ビット 17。ピン B6 は、REM スイッチとやりとりするためのデータ・バス・ビット 17 です。
B7	D20	I/O	データ・バス・ビット 20。ピン B7 は、REM スイッチとやりとりするためのデータ・バス・ビット 20 です。
B8	D23	I/O	データ・バス・ビット 23。ピン B8 は、REM スイッチとやりとりするためのデータ・バス・ビット 23 です。
B9	D26	I/O	データ・バス・ビット 26。ピン B9 は、REM スイッチとやりとりするためのデータ・バス・ビット 26 です。
B10	D29	I/O	データ・バス・ビット 29。ピン B10 は、REM スイッチとやりとりするためのデータ・バス・ビット 29 です。
B11	<u>OE</u>	I	出力イネーブル。ピン B11 をローにすると、REM スイッチはデータ・ラインを駆動できます。
B12	<u>WE</u>	I	書込みイネーブル。ピン B12 をローにすると、書込みができ、ピン B12 をハイにすると、読出しができます。
C1	A04/UNUSED	I	アドレス・ライン 04/マルチプレクスされるアドレス・バス (未使用)。このピンは多機能ピンです。 ピン C1 は MBS=0 のとき、マルチプレクスされないアドレス・データ・バスにおいて、アドレス・ライン 04 になります。MBS=0 のとき、ピン C1 はアドレス・バスのビット 04 になります。ライン A04 は CS (ピン D12) の立下がりエッジでサンプリングされます。 ピン C1 は MBS=1 のとき、マルチプレクスされるアドレス・データ・バスでは使用されません。
C2	D00	I/O	データ・バス・ビット 00。ピン C2 は、REM スイッチとやりとりするためのデータ・バス・ビット 00 です。
C3	D05/A05	I/O	マルチプレクスされないデータ・バス・ビット 05/マルチプレクスされるデータ・バス・ビット 05。このピンは多機能ピンです。 MBS=0 のとき、ピン C3 (D05) はマルチプレクスされないアドレス・データ・バスにおいて、REM スイッチとやりとりするためのデータ・バス・ビット 05 になります。 MBS=1 のとき、ピン C3 (A05) はマルチプレクスされるアドレス・データ・バスにおいて、アドレスのビット 05 とデータのビット 05 になります。
C4	D09	I/O	データ・バス・ビット 09。ピン C4 は、REM スイッチとやりとりするためのデータ・バス・ビット 09 です。
C5	D13	I/O	データ・バス・ビット 13。ピン C5 は、REM スイッチとやりとりするためのデータ・バス・ビット 13 です。
C6	D16	I/O	データ・バス・ビット 16。ピン C6 は、REM スイッチとやりとりするためのデータ・バス・ビット 16 です。

Pin No.	Mnemonic	Direction ¹	Description
C7	D21	I/O	データ・バス・ビット 21。ピン C7 は、REM スイッチとやりとりするためのデータ・バス・ビット 21 です。
C8	D24	I/O	データ・バス・ビット 24。ピン C8 は、REM スイッチとやりとりするためのデータ・バス・ビット 24 です。
C9	D28	I/O	データ・バス・ビット 28。ピン C9 は、REM スイッチとやりとりするためのデータ・バス・ビット 28 です。
C10	INT2	O	ホスト・プロセッサへの割込み 2 出力。ピン C10 は、1 つ以上の内部イベントにตอบสนองするように設定可能です。
C11	INT1	O	ホスト・プロセッサへの割込み 1 出力。ピン C11 は、1 つ以上の内部イベントにตอบสนองするように設定可能です。
C12	INT0	O	ホスト・プロセッサへの割込み 0 出力。ピン C12 は、1 つ以上の内部イベントにตอบสนองするように設定可能です。
D1	A02/ALE	I N/A	アドレス・ライン 02/アドレス・ラッチ・イネーブル。このピンは多機能ピンです。 ピン D1 は MBS = 0 のとき、マルチプレクスされないアドレス・データ・バスにおいて、アドレス・ライン 02 になります。MBS = 0 のとき、ピン D1 はアドレス・バスのビット 02 になります。ライン A02 は CS (ピン D12) の立下がりエッジでサンプリングされます。アドレスは 32 ビットでアラインされており、32 ビットのアドレス指定が可能です。 MBS = 1 のとき、このピンはアドレス・ラッチ・イネーブル・ピンになります。
D2	A03/UNUSED	I	アドレス・ライン 03/マルチプレクスされるアドレス・バス。このピンは多機能ピンです。 ピン D2 は MBS = 0 のとき、マルチプレクスされないアドレス・データ・バスにおいて、アドレス・ライン 03 になります。MBS = 0 のとき、ピン D2 はアドレス・バスのビット 03 になります。ライン A03 は CS (ピン D12) の立下がりエッジでサンプリングされます。アドレスは 32 ビットでアラインされており、32 ビットのアドレス指定が可能です。 ピン D2 は MBS = 1 のとき、マルチプレクスされるアドレス・データ・バスでは使用されません。
D3	A05/UNUSED	I	アドレス・ライン 05/マルチプレクスされるアドレス・バス。このピンは多機能ピンです。 ピン D3 は MBS = 0 のとき、マルチプレクスされないアドレス・データ・バスにおいて、アドレス・ライン 05 になります。MBS = 0 のとき、ピン D3 はアドレス・バスのビット 05 になります。ライン A05 は CS (ピン D12) の立下がりエッジでサンプリングされます。アドレスは 32 ビットでアラインされており、32 ビットのアドレス指定が可能です。 ピン D3 は MBS = 1 のとき、マルチプレクスされるアドレス・データ・バスでは使用されません。
D4	D08	I/O	データ・バス・ビット 08。ピン D4 は、REM スイッチとやりとりするためのデータ・バス・ビット 08 です。
D5	D12	I/O	データ・バス・ビット 12。ピン D5 は、REM スイッチとやりとりするためのデータ・バス・ビット 12 です。
D6, E5, E7, F6, G5, G8, H6, J7	VCC+1V2	N/A	1.2 V 電源。
D7, D9, E4, E6, E8, F1, F3, F5, F7, F8, F9, G4, G6, G7, G9, H1, H3, H5, H7, H8, J4, J6	GND	N/A	グラウンド。
D8, E9, F4, H2, H4, H9, J5	VCC+3V3	N/A	3.3 V 電源。
D10	TIMER7	O	同期化された内部高精度タイマー・クロック 7。ピン D10 は、プログラマブルな出力です。
D11	TIMER6	O	同期化された内部高精度タイマー・クロック 6。ピン D11 は、プログラマブルな出力です。
D12	CS	I	アドレス・バス・チップ・セレクト。アドレス・バスは、CS の立下がりエッジでサンプリングされます。CS の立上がりエッジで、現在の読出しまたは書込みサイクルが終了します。
E1	RESET	I	リセット。ピン E1 をローにアサートすると、すべての内部レジスタが初期化され、バス設定ピンをサンプリングできます。
E2	LE	I	システム・エンディアンネス。ピン E2 をハイに設定すると、データ・フォーマットはリトルエンディアンになります。ピン E2 をローに設定すると、データ・フォーマットはビッグエンディアンになります。この値は、RESET の立上がりエッジで取り込まれます。
E3	SIZE_32	I	データ・バス・サイズ。ピン E3 をハイに設定すると、データ・バス・サイズが 32 ビットになり、ピン E3 をローに設定すると、データ・バス・サイズが 16 ビットになります。この値は、RESET の立上がりエッジで取り込まれます。
E10	TIMER5	O	同期化された内部高精度タイマー・クロック 5。ピン E10 は、プログラマブルな出力です。
E11	TIMER4	O	同期化された内部高精度タイマー・クロック 4。ピン E11 は、プログラマブルな出力です。
E12	TIMER3	I/O	同期化された内部高精度タイマー・クロック 3。ピン E12 は、プログラマブルな出力または入力です。
F2	MBS	I	マルチプレクス・バス選択。ピン F2 をハイに設定すると、ホスト・インターフェース・バスはマルチプレクスされるバスとして動作します。ピン F2 をローに設定すると、ホスト・インターフェース・バスはマルチプレクスされないバスとして動作します。この値は、ピン E1、RESET の立上がりエッジで取り込まれます。
F10	TIMER2	I/O	同期化された内部高精度タイマー・クロック 2。ピン F10 は、プログラマブルな出力または入力です。

Pin No.	Mnemonic	Direction ¹	Description
F11	TIMER1	I/O	同期化された内部高精度タイマー・クロック 1。ピン F11 は、プログラマブルな出力または入力です。
F12	TIMER0	I/O	同期化された内部高精度タイマー・クロック 0。ピン F12 は、プログラマブルな出力または入力です。
G1	XTAL0		クロック入力。このピンには、25 MHz の周波数を入力します。
G2	XTAL1		XTAL0 用の出力ペア。ピン G2 には、水晶振動子のクロック源を使用する必要があります。
G3	VCC+1V2A		アナログ 1.2 V 電源。このピンは、VCC+1V2 から分離する必要があります。
G10	RMII_CLK	O	ポート 1 およびポート 2 用の 50 MHz の Reduced Media Independent Interface (RMII) の送信および受信クロック・リファレンス。
G11	CLKOUT	O	出力クロック。ピン G11 は、XTAL0 と同じ周波数 (25 MHz) です。
G12	P2_ACTIVITY	O	ポート 2 のアクティビティ LED 出力ドライバ。ピン G12 がローにアサートされたとき、LED が点灯します。
H10	P2_CRS	I	ポート 2 のキャリア検出。ピン H10 がハイにアサートされたとき、ポート 2 でキャリアが検出されたことを示します。
H11	P2_COL	I	ポート 2 の Media Independent Interface (MII) コリジョン検出。ピン H11 がハイにアサートされたとき、ポート 2 でコリジョンが検出されたことを示します。
H12	P2_LINK_STATUS	I	物理層 (PHY) からポート 2 へのリンク・ステータス。ピン H12 がローにアサートされたとき、ポート 2 のリンクがアクティブであることを示します。
J1	P1_TXEN	O	ポート 1 の MII 送信イネーブル。ピン J1 がハイになったとき、ポート 1 の送信が有効であることを示します。
J2	P1_TXCLK	I	PHY からポート 1 への MII 送信クロック。
J3, J8, J9, J10, K2, K3, K4, K5, K9, K11, K12, L5, L10, L12, M2, M5	NC	N/A	未接続。
J11	P2_RXDV	I	ポート 2 の受信データ有効。ピン J11 がハイにアサートされたとき、ポート 2 の PHY からのデータが有効であることを示します (RMII モードでは CRS/RXDV として使用されます)。
J12	P2_RXCLK	I	PHY からポート 2 への MII 受信クロック。
K1	P1_TXD0	O	ポート 1 の MII と RMII 用の送信データ出力ビット 0。
K6	P1_RXDV	I	ポート 1 の MII 受信データ有効。ピン K6 がハイにアサートされたとき、ポート 1 の PHY からのデータが有効であることを示します (RMII モードでは CRS/RXDV として使用されます)。
K7	P1_LINK_STATUS	I	PHY からポート 1 へのリンク・ステータス。ピン K7 がローにアサートされたとき、ポート 1 のリンクがアクティブであることを示します。
K8	P2_TXD1	O	ポート 2 の MII と RMII 用の送信データ出力ビット 1。
K10	P2_RXD0	I	ポート 2 の MII と RMII 用の受信データ入力ビット 0。
L1	P1_TXD1	O	ポート 1 の MII と RMII 用の送信データ出力ビット 1。
L2	P1_TXD2	O	ポート 1 の MII 用の送信データ出力ビット 2。
L3	P1_RXD0	I	ポート 1 の MII と RMII 用の受信データ入力ビット 0。
L4	P1_RXD3	I	ポート 1 の MII 用の受信データ入力ビット 3。
L6	P1_CRS	I	ポート 1 のキャリア検出。ピン L6 がハイにアサートされたとき、ポート 1 でキャリアが検出されたことを示します。
L7	P1_ACTIVITY	O	ポート 1 アクティビティ LED 出力ドライバ。ピン L7 がローにアサートされたとき、LED が点灯します。
L8	P2_TXD0	O	ポート 2 の MII と RMII 用の送信データ出力ビット 0。
L9	P2_TXD3	O	ポート 2 の MII 用の送信データ出力ビット 3。
L11	P2_RXD2	I	ポート 2 の MII 用の受信データ入力ビット 2。
M1	P1_TXD3	O	ポート 1 の MII 用の送信データ出力ビット 3。
M3	P1_RXD1	I	ポート 1 の MII と RMII 用の受信データ入力ビット 1。
M4	P1_RXD2	I	ポート 1 の MII 用の受信データ入力ビット 2。
M6	P1_RXCLK	I	PHY からポート 1 への MII 受信クロック。
M7	P1_COL	I	ポート 1 の MII コリジョン検出。ピン M7 がハイにアサートされたとき、ポート 1 でコリジョンが検出されたことを示します。
M8	P2_TXEN	O	ポート 2 の MII 送信イネーブル。ピン M8 がハイになったとき、ポート 2 の送信が有効であることを示します。
M9	P2_TXD2	O	ポート 2 の MII 用の送信データ出力ビット 2。
M10	P2_TXCLK	I	PHY からポート 2 への MII 送信クロック。
M11	P2_RXD1	I	ポート 2 の MII と RMII 用の受信データ入力ビット 1。
M12	P2_RXD3	I	ポート 2 の MII 用の受信データ入力ビット 3。

¹I は入力、I/O は入出力、O は出力、および N/A は該当なしを意味します。

動作原理

デバイス・インターフェース

発振器

発振器によるクロック源は内部のフェーズ・ロック・ループ (PLL) に配線され、次のクロック源を生成します。

- CLKOUT リファレンス・クロック用の 25 MHz
- RMI リファレンス・クロック用の 50 MHz

クロック源として使われる発振器には、厳格な許容誤差が要求されます。

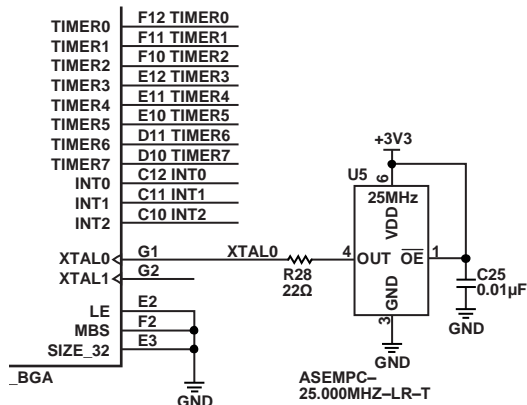


図 7. 発振器によるクロック源回路

水晶振動子

水晶振動子とともに fido5100/fido5200 を使用するとき、図 8 に示すような発振器パッド構成を使用します。

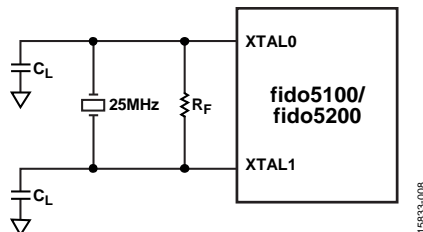


図 8. 水晶振動子によるクロック源回路

次のリストに示されている値は、25 MHz の水晶振動子を使用し動作させるための代表値です。

- ESR = 40 Ω
- C_L = 8 pF
- R_F = 1 MΩ

リセット・タイミング

RESET のタイミングは、少なくとも 16 ns の間アクティブ・ローにする必要があります。

内部高精度タイマー

REM スイッチは、内部高精度タイマー (IPT) を搭載しています。IPT は、分解能が 1 ns のシステム時間を維持します。IPT を使用すると、TIMER0、TIMER1、TIMER2、および TIMER3 の各ピンで、タイマー出力イベントのトリガまたは入力イベント時間の取得ができ、または、TIMER4、TIMER5、TIMER6、および TIMER7 の各ピンで、複雑なパルス・パターンの生成ができます。

TIMER0 ~ TIMER3 の各入出力

TIMER0 ~ TIMER3 の各入出力は、入力イベントごとのタイム・スタンプ、または出力イベントごとのタイム・トリガのいずれかに設定することができます。入力イベントごとのタイム・スタンプに設定した場合、関連するタイマー信号がローからハイに遷移したとき、IPT 値は 64 ビット・レジスタに取り込まれます。ユーザのソフトウェアはこのレジスタを読み出して、IPT 値を関連するイベントごとのタイム・スタンプに使用します。例えば、TIMER0 信号がローからハイに遷移したとき、IPT 値はタイマー 0 の 64 ビット・レジスタに記憶されます (詳細については、www.analog.com/en/products/industrial-ethernet.html で入手できる *REM Switch Software Driver User Guide* を参照してください)。TIMER1、TIMER2、または TIMER3 を入力イベントごとのタイム・スタンプに設定したときも同様です。ユーザのソフトウェアは生成されたタイム・スタンプを使用し、64 ビット・レジスタに記憶された時間を特定のイベントと関連づけます。

出力イベントごとのタイム・トリガに設定した場合、IPT がタイマー x の 64 ビット・レジスタに記憶された値に達したとき、タイマー信号がトグルします。出力イベントのタイム・トリガのプロセスは、この例のタイマー 0 のレジスタを使用して次のようになります。

1. ホスト・プロセッサのソフトウェアが、タイマー 0 の 64 ビット・レジスタに値を記憶します。
2. IPT が、タイマー 0 の 64 ビット・レジスタに記憶された値に達します。
3. TIMER0 ピンが、(64 ビット・レジスタがロードされたときの状態に応じて) ハイからローまたはローからハイにトグルします。

TIMER1、TIMER2、および TIMER3 の各ピンが出力イベントごとのタイム・トリガに設定されたときも、同様のプロセスに従います。

TIMER4 ~ TIMER7 の各出力

TIMER4 ~ TIMER7 の各出力は、IPT クロックに同期した、独立にプログラム可能なパルス幅変調信号を出力するように設定できます。これらのタイマーのそれぞれの分解能は、16 ns です。各タイマーは、専用のパルス幅変調のプログラムを実装可能で、このプログラムは、プログラム可能な間隔で繰り返されるプロトコルに応じて、任意数の立上がりおよび立下がりエッジを生成可能です。REM スイッチ用のソフトウェア・ドライバは、各 TIMERx の出力の立上がりおよび立下がりエッジを定義する機能を備えています。

ホスト・インターフェース

マルチプレクス・バス選択

ホスト・インターフェースは、独立したアドレス・バスおよびデータ・バス、またはマルチプレクスされるアドレスおよびデータ・バスをサポートしています。2 種類のバスの選択は MBS 信号 (ピン F2) で行うことができ、この信号は RESET の立上がりエッジでサンプリングされます。MBS 信号と RESET 信号については、表 5 のピン機能の説明を参照してください。

データ・バス幅

ホスト・インターフェースは、16 ビット幅または 32 ビット幅のいずれかのデータ・バスをサポートしています。データ・バス幅は、**SIZE_32** (ピン E3) 信号で指定でき、この信号は **RESET** の立上がりエッジでサンプリングされます。**SIZE_32** 信号と **RESET** 信号については、表 5 のピン機能の説明を参照してください。

エンディアンネス

ホスト・インターフェースは、データ・バス上のデータをビッグエンディアンまたはリトルエンディアンのいずれかのフォーマットで表現します。データのエンディアンネスは、**LE** 信号 (ピン E2) で指定でき、この信号は **RESET** 信号の立上がりエッジでサンプリングされます。**LE** 信号と **RESET** 信号については、表 5 のピン機能の説明を参照してください。

REM スイッチのデータ・バスは、次のように定義されます。

- D0 = LSB
- D15 = 16 ビット・バスの MSB
- D31 = 32 ビット・バスの MSB

すべてのコントロール/ステータス・レジスタのアクセスにおいて、**LE** ピンの設定による動作の違いはありません。ホスト・プロセッサのレジスタ内のデータの表現は、バス上を転送されるデータに適合する必要があります。

すべてのコントロール/ステータス・レジスタは、16 ビット幅です。32 ビット・バスを使用した場合、データが次の順序で転送されます: D15 ~ D0 (32 ビット・バスを使用した場合、D31 ~ D16 は無視されます)。例えば、REM スイッチのドライバは、初期化プロセスで早期にデバイス・ナンバー・レジスタを読み

表 6. コントロール/ステータス・レジスタのビット・マップ

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0

表 7. ビッグエンディアンの 16 ビット・データ・バスのビット・マップ、0x0E0F (16 進数)

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	1	0	0	0	0	0	1	1	1	1

表 8. ビッグエンディアンの 32 ビット・データ・バスのビット・マップ、0x0C0D0E0F (16 進数)

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	1
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	1	0	0	0	0	0	1	1	1	1

表 9. リトルエンディアンの 16 ビット・データ・バスのビット・マップ、0x0E0F (16 進数)

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	0

表 10. リトルエンディアンの 32 ビット・データ・バスのビット・マップ、0x0F0E0D0C (16 進数)

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	0
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	0	1	0	0	0	0	1	1	0	0

出します。ナンバーが 0x00003300 の場合、このレジスタから読み出された値は、表 6 に示すようにバス上に転送する必要があります。ホスト・プロセッサのソフトウェアで評価するとき、それらの 32 ビット値は 0x00003300 になります。

キュー・アクセスでは、**REM** スイッチはすべてのデータをバイト・アレイとして扱います。イーサネット・ケーブル上で受信されたバイトのストリームが、**REM** スイッチのポートに入り、その後、ホストに転送された次の例を考えてみましょう。ネットワーク内のパケット・データの順序は、次のとおりです。0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07、0x08、0x09、0x0A、0x0B、0x0C、0x0D、0x0E、0x0F。

データは設定値に応じて、次のようにさまざまに読み出されず。

- ビッグエンディアンの 16 ビット・ホスト・インターフェース: 0x0001、0x0203、0x0405、0x0607、0x0809、0x0A0B、0x0C0D、0x0E0F。
- ビッグエンディアンの 32 ビット・ホスト・インターフェース: 0x00010203、0x04050607、0x08090A0B、0x0C0D0E0F。
- リトルエンディアンの 16 ビット・ホスト・インターフェース: 0x0100、0x0302、0x0504、0x0706、0x0908、0x0B0A、0x0D0C、0x0F0E。
- リトルエンディアンの 32 ビット・ホスト・インターフェース: 0x03020100、0x07060504、0x0B0A0908、0x0F0E0D0C。

デバイスのアプリケーションにおいて、エンディアンネスの扱い方の詳細については、www.analog.com/en/products/industrial-ethernet.html で入手できる *REM Switch Software Driver User Guide* を参照してください。

アドレス/データ・バスの動作

ホスト・インターフェースのアドレス/データ・バスは、CPUのアドレス/データ・バスに接続されています。アドレス・バス用に4ビットのデータがあり、データ・バス用に16ビットまたは32ビットのデータがあります。各REMスイッチのアドレスは、32ビットにアラインされており、アドレスが4バイト単位（A05～A02）でインクリメントされることを意味します。データ・バスが16ビット幅か、32ビット幅かに関わらず、REMスイッチに与えられる最下位アドレス・ビットは常に同じです。

さらに、間接レジスタへのすべてのアクセスでは、（たとえインターフェースが32ビット幅であっても）下位16ビットのみのレジスタ・データを返します。64ビット・タイマーのような幅の広いレジスタでは、レジスタ全体の内容をアクセスするために、読出しまたは書込みの繰り返しセットを使用します。

マルチプレクスされないアドレス・データ・バス

MBS = 0 にすると、マルチプレクスされないアドレス・データ・バスに設定されます。読出しおよび書込みサイクル・タイミングは、図2および図3に定義されています。読出しおよび書込みサイクル・タイミングのパラメータについては、表2を参照してください。

マルチプレクスされるアドレス・データ・バス

MBS = 1 にすると、マルチプレクスされるアドレス・データ・バスに設定されます。読出しおよび書込みサイクル・タイミングは、図4および図5に定義されています。読出しおよび書込みサイクル・タイミングのパラメータについては、表3を参照してください。

レジスタおよびデータ・アクセス

4ビットのアドレスにより、16個のレジスタに直接アクセスできます。読出しサイクルまたは書込みサイクルでは、それらのレジスタ内のデータの取得または設定が行われます。追加レジスタにアクセスするには、ホストの間接アドレス・レジスタを使用します。直接アドレス・レジスタの定義を表11に示します。

REMスイッチのソフトウェア・ドライバは、必要なアプリケーション・プログラミング・インターフェース（API）機能を備え、それらのレジスタにアクセスし、特定のプロトコル向けのスイッチのあらゆる側面を管理します。イーサネット・パケットはプロトコルに応じて、キュー0、キュー1、キュー2、およびキュー3のリードおよびライト・レジスタを介して直接送信および受信されます。

イーサネットのプロトコル制御およびスイッチ管理は、ホストのリード/ライト・キュー・データ・レジスタおよびホストの直接/間接レジスタを介して、ソフトウェア・ドライバのAPIによって行われます（これらのレジスタの詳細については、www.analog.com/en/products/industrial-ethernet.html で入手できる *REM Switch Driver User Guide* を参照してください）。割り込み管理は、キュー・ステータス・レジスタ、タイマー・ステータス・レジスタ、ユニバーサル入出力コントローラ（UIC）割り込みステータス・レジスタ、および複合割り込みステータス・レジスタに関連する3本の割り込みラインを使用して、ソフトウェア・ドライバのAPIによって行われます。

表 11. 直接アドレス・レジスタの定義

Register Name	Width	Address[5:0]	Read/Write ¹	Reset Value ²
Queue 0 Read	16/32	0x00	R	0x00000000
Queue 0 Write	16/32	0x00	W	N/A
Queue 1 Read	16/32	0x04	R	0x00000000
Queue 1 Write	16/32	0x04	W	N/A
Queue 2 Read	16/32	0x08	R	0x00000000
Queue 2 Write	16/32	0x08	W	N/A
Queue 3 Read	16/32	0x0C	R	0x00000000
Queue 3 Write	16/32	0x0C	W	N/A
Reserved	N/A	0x10 to 0x14		N/A
Host Read Queue 0 Data	16/32	0x18	R	0x00000000
Host Read Queue 0 Data Head	16/32	0x18	W	0x00000000
Host Read Queue 1 Data	16/32	0x1C	R	0x00000000
Host Read Queue 1 Data Head	16/32	0x1C	W	N/A
Queue Status Register	16	0x20	R/W	0x00000F00
Timer Status Register	16	0x24	R/W	0x00000000
UIC Interrupt Status	16	0x28	R/W	0x0000
Composite Interrupt Status	16	0x2C	R	0x0000
Host Indirect Address	16	0x30	R/W	0x0000
Host Indirect Read Data	16	0x34	R	N/A
Host Indirect Write Data	16	0x34	W	N/A
Host Write Queue 0 Completion	16	0x38	R	0x0000
Host Write Queue 1 Completion	16	0x3C	R	0x0000

¹ R は読出しのみを意味し、W は書込みのみを意味し、R/W は読出し/書込みを意味します。

² N/A は該当なしを意味します。

割込み

3本の割込みラインはREMスイッチからの出力で、これら3本のラインの名称はINT0、INT1、およびINT2です。これらの割込みラインはそれぞれ、ホスト・プロセッサの割込み入力に従ってマッピングされる必要があります。最高のプロトコル性能を確保するためには、プロセッサの優先順位づけでINT2を最優先にし、INT2をディスエーブルしないでください。

割込みラインは、各プロトコル用のキュー・ステータス・レジスタ、タイマー・ステータス・レジスタ、UIC割込みステータス・レジスタ、および複合割込みステータス・レジスタによって定義されたイベントにマッピングされます。ソフトウェア・ドライバのAPIは、マッピングされたイベントに対して適切な割込みサービス・ルーチンを提供する必要があります。特定の工業用イーサネット・プロトコルに対するREMスイッチの割込み処理の技術的詳細については、www.analog.com/en/products/industrial-ethernet.htmlで入手できるREM Switch Driver User Guideを参照してください。

適切なステータス・レジスタで定義された割込みイベントが発生したとき、関連するREMスイッチの割込み出力ラインがアクティブになり（ロジック1）、レジスタがクリアされるまでアクティブを維持します。複数のイベントが同じREMスイッチの割込み出力にマッピングされていて、複数がアクティブになった場合、関連する割込みラインは、すべてのアクティブな割込み源のレジスタがクリアされるまで、アクティブ（ロジック1）状態を維持します。

割込みのINT0、INT1、およびINT2には、低、中、および高という優先順位が付けられていますが、ライン自体に固有の優先順位はないので、これらのラインは必要に応じてマッピング可能であることに注意してください。

イーサネット・インターフェース

REMスイッチには、2つのイーサネット・ポートがあります。各ポートは、RMIIまたはMIIをサポートするように設定できます。また、各ポートには、PHYからのリンク・ステータス用の入力およびリンク・アクティビティLED用の出力が装備されています。

接続

RMIIおよびMIIのインターフェースだけに関連するピンを表12に記載しています。これらのピンの詳細な説明は、表5に記載されています。

RMIIインターフェースは、各ポートにおいて7本の信号からなるインターフェースになっています（図9を参照）。このインターフェースは、REMスイッチからPHYに供給される50MHzのリファレンス・クロック（RMII_CLK）を使用します。

MIIインターフェースは、各ポートにおいて14本の信号からなるインターフェースになっています（図10を参照）。REMスイッチは、同期化された25MHzのCLKOUT信号を使用して、PHYに基本クロックを供給します。次に、PHYは受信および送信クロック（RX_CLKおよびTX_CLK）を各ポートに供給します。

リンク・ステータスおよびアクティビティ

Px_LINK_STATUS信号は選択されたPHYからREMスイッチへの入力で、Px_LINK_STATUS信号は連続して（変動しないで）アサートされるように構成されており、リンク・アップ状態であるか、またはリンク・ダウン状態であるかを示します。

Px_ACTIVITY信号はREMスイッチからの出力で、通常、LEDを駆動し、リンクが有効であることを示すために使用されます。

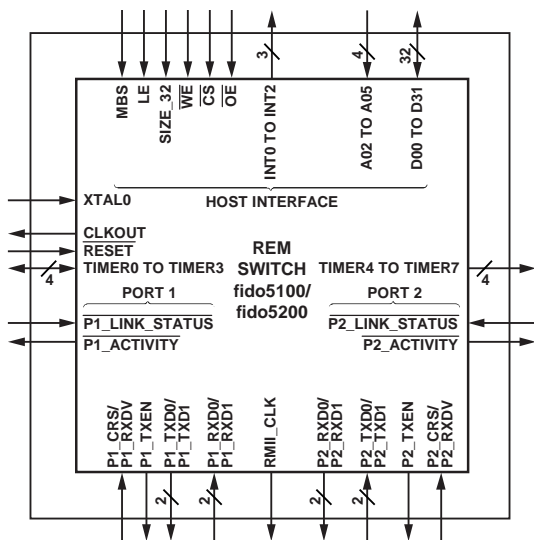


図 9. RMII インターフェース用に構成された REM スイッチ

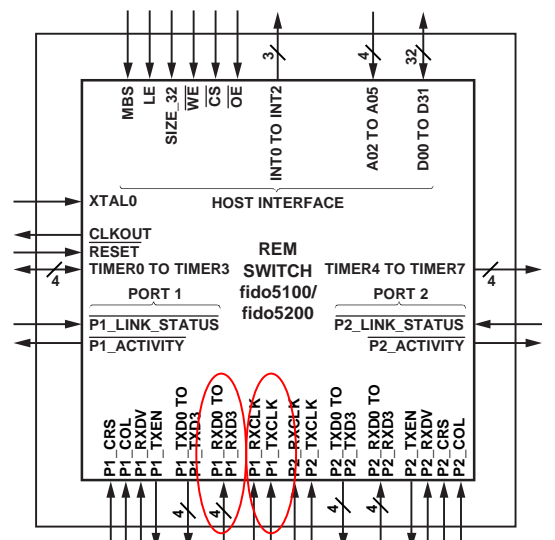


図 10. MII インターフェース用に構成された REM スイッチ

表 12. MII および RMII の各ピンについての概要説明

Pin No.	Mnemonic	Brief Description
G10	RMII_CLK	ポート 1 および ポート 2 用の 50 MHz の RMII の送信および受信クロック。
G11	CLKOUT	出カクロック。
G12	P2_ACTIVITY	ポート 2 のアクティビティ LED 出力ドライバ。
H10	P2_CRS	ポート 2 のキャリア検出。
H11	P2_COL	ポート 2 の MII コリジョン検出。
H12	P2_LINK_STATUS	PHY からポート 2 へのリンク・ステータス。
J1	P1_TXEN	ポート 1 の MII 送信イネーブル。
J2	P1_TXCLK	PHY からポート 1 への MII 送信クロック。
J11	P2_RXDV	ポート 2 の受信データ有効。
J12	P2_RXCLK	PHY からポート 2 への MII 受信クロック。
K1	P1_TXD0	ポート 1 の MII と RMII 用の送信データ出力ビット 0。
K6	P1_RXDV	ポート 1 の MII 受信データ有効。
K7	P1_LINK_STATUS	PHY からポート 1 へのリンク・ステータス。
K8	P2_TXD1	ポート 2 の MII と RMII 用の送信データ出力ビット 1。
K10	P2_RXD0	ポート 2 の MII と RMII 用の受信データ入力ビット 0。
L1	P1_TXD1	ポート 1 の MII と RMII 用の送信データ出力ビット 1。
L2	P1_TXD2	ポート 1 の MII 用の送信データ出力ビット 2。
L3	P1_RXD0	ポート 1 の MII と RMII 用の受信データ入力ビット 0。
L4	P1_RXD3	ポート 1 の MII 用の受信データ入力ビット 3。
L6	P1_CRS	ポート 1 の MII キャリア検出。
L7	P1_ACTIVITY	ポート 1 のアクティビティ LED 出力ドライバ。
L8	P2_TXD0	ポート 2 の MII と RMII 用の送信データ出力ビット 0。
L9	P2_TXD3	ポート 2 の MII 用の送信データ出力ビット 3。
L11	P2_RXD2	ポート 2 の MII 用の受信データ入力ビット 2。
M1	P1_TXD3	ポート 1 の MII 用の送信データ出力ビット 3。
M3	P1_RXD1	ポート 1 の MII と RMII 用の受信データ入力ビット 1。
M4	P1_RXD2	ポート 1 の MII 用の受信データ入力ビット 2。
M6	P1_RXCLK	PHY からポート 1 への受信クロック。
M7	P1_COL	ポート 1 の MII コリジョン検出。
M8	P2_TXEN	ポート 2 の MII 送信イネーブル。
M9	P2_TXD2	ポート 2 の MII 用の送信データ出力ビット 2。
M10	P2_TXCLK	PHY からポート 2 への MII 送信クロック。
M11	P2_RXD1	ポート 2 の MII と RMII 用の受信データ入力ビット 1。
M12	P2_RXD3	ポート 2 の MII 用の受信データ入力ビット 3。

アプリケーション情報

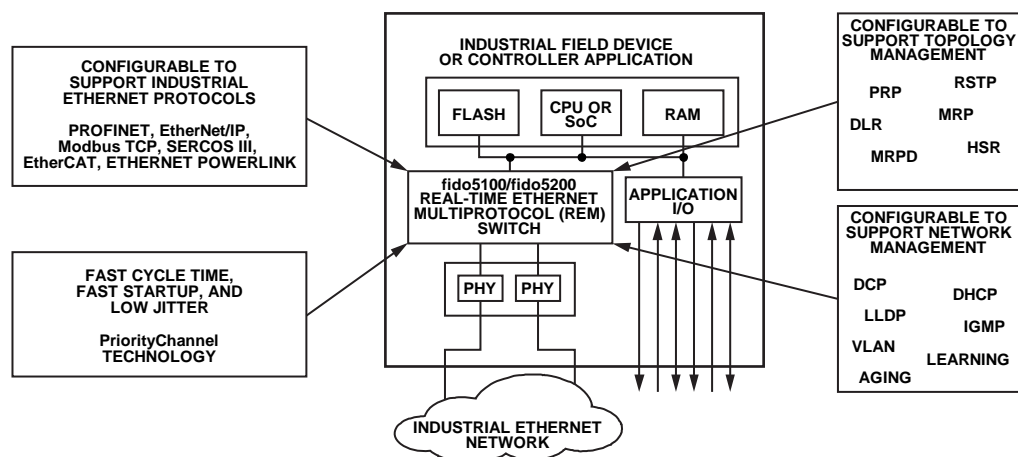


図 11. REM スイッチのアプリケーション

REM スイッチのハードウェア

基本的な REM スイッチのハードウェアは、fido5100 または fido5200 として認定されます。例えば、fido5100 は次のプロトコルをサポートしています。

- 高速スタートアップを備えた PROFINET の RT および IRT、クラス B およびクラス C (バージョン 2.3)
- DLR 構成の EtherNet/IP および DLR 構成でない EtherNet/IP (スーパーバイザおよびノード、アナウンス・ベースおよびビーコン・ベース)、QuickConnect、CIP Sync、および CIP Motion
- Modbus TCP
- SERCOS III
- POWERLINK

fido5200 は、次のプロトコルをサポートしています。

- EtherCAT
- fido5100 用に定義されたすべてのプロトコル

fido5100/fido5200 は、PI Net Load Class III に適合し、Media Redundancy for Planned Duplication (MRPD)、高可用シームレス冗長性 (HSR)、およびパラレル冗長化プロトコル (PRP) をサポートしています。これらのスイッチは、ディスクカバリー・コンフィギュレーション・プロトコル (DCP)、リンク層検出プロトコル (LLDP)、ダイナミック・ホスト・コンフィギュレーション・プロトコル (DHCP)、ラピッド・スパンニング・ツリー・プロトコル (RSTP)、バーチャル・ローカル・エリア・ネットワーク (VLAN)、およびインターネット・グループ管理プロトコル (IGMP) スヌーピングのサポートだけでなく、オーディナリー・クロック (ピア to ピアおよびエンド to エンドの両方のトランスペアレント・クロック)、生のフレーム、およびユーザ・データグラム・プロトコル (UDP) 用の IEEE 1588 バージョン 2 もサポートしています。

REM スイッチのドライバ

各プロトコル用の REM スイッチのドライバは、ポータブル C コードとして提供されています。*REM Switch Software Driver User Guide* では、各プロトコル用のドライバとホスト・プロセッサへの統合について説明しています。ユーザ・ガイドをダウンロードするには、www.analog.com/en/products/industrial-ethernet.html にアクセスしてください。

ボード・レイアウト

次のガイドラインは、REM スイッチを使用したボード・レイアウトのベスト・プラクティスを示します。

- 3 系統の電源の各電源プレーンには、独立したポリゴンを使用します。電源プレーン間は 0.2 mm 以上離します。
- クロック信号を他のパターンから分離し、また、クロック信号は可能な限り短くします。
- 放熱しやすくするために、REM スイッチの周囲に最小 3 mm の隙間を確保する必要があります。

設計上の考慮事項

電源

fido5100/fido5200 には、1.2 V および 3.3 V の電源が必要です。各電源レベルには、PCB 上に専用の電源プレーンが必要です。

fido5100/fido5200 は、I/O 用に 3.3 V の LVCMOS ロジック・レベルを使用します。この I/O は 3.3 V (±10%) の電源回路を必要とします。理想的には、この回路には低ノイズのスイッチング電源を使用します。fido5100/fido5200 は、チップのコア用に 1.2 V (±10%) 電源を使用します。コア電源には、PCB 上に専用の電源プレーンが必要です。この他のベスト・プラクティスとして、以下が挙げられます。

- すべての 1.2 V 電源ピンに対して、0.1 μF のバイパス・コンデンサ 1 個を使用します。
- 100 mA 以上の定格電流を供給する電源 IC を使用します。
- PCB の 3.3 V 専用層から REM スイッチの 3.3 V 電源入力ピンに 3.3 V 電源を供給します。
- すべての 3.3 V 電源ピンに対して、0.1 μF のバイパス・コンデンサ 1 個を使用します。
- 1.2 V アナログ電源の場合、120 Ω、500 mA のフェライト・ビーズ、および 10 μF、1 μF、0.1 μF のフィルタリング・コンデンサを使用して、信号を分離する必要があります。

リセット

通常、RESET 信号は REM スイッチと組み合わされたホスト・マイクロプロセッサによって駆動されます。RESET はアクティブ・ロー信号であるため、電源が有効になったとき、RESET をハイに引き上げます。

物理層 (PHY)

PHY の性能にはさまざまな条件があるため、REM スイッチは意図的に PHY を設けない設計になっています。EtherCAT および PROFINET の IRT は、標準的なイーサネットよりも遅延とジッタの条件がきわめて厳しくなっています。システムに必要なものとそれに適した PHY を判断するには、表 13 を参照してください。

クロッキング

MII インターフェースを使用するとき、ほとんどの PHY では水晶発振器または独立したクロック源を用いて、PHY にクロックを供給できます。EtherCAT 設計では、PHY 用のクロック源として REM スイッチからの CLKOUT 信号を使用することが条件（他の設計では推奨）となっています。この方法を用いると、ジッタを可能な限り小さくすることができます。

REM スイッチからの CLKOUT は 25 MHz のクロック信号で、REM スイッチの内部 PLL を使用して、REM スイッチに入力し

た 25 MHz クロックから生成されます。PHY は 25 MHz の CLKOUT 信号を使用して、REM スイッチに入力する MII の受信 (Rx) および送信 (Tx) クロック (P1_RXCLK、P1_TXCLK、P2_RXCLK、および P2_TXCLK の各ピン) を生成します。

RMII の場合、REM スイッチは、RMII インターフェース用に必要な 50 MHz のクロックを生成します。このクロックは REM スイッチの内部 PLL を使用して、REM スイッチに入力した 25 MHz クロックから生成されます。

すべてのクロック信号と同様、これらの信号を配線するときは、ノイズと負荷の影響を最小限に抑えるように注意してください。

管理データ入出力 (MDIO)

すべての PHY には設定が必要ですが、引き換えに、ある種のステータス情報が提供されます。PHY はそれぞれ異なりますが、ほとんどの PHY は管理データ入出力 (MDIO) インターフェースを使用して、この設定およびステータスを通信します。REM スイッチは、PHY との間で独立した通信を提供しません。REM スイッチと組み合わせるホスト・プロセッサが、この PHY 通信を可能にする必要があります。

PHY 設定値または MDIO インターフェースに関する質問については、アナログ・デバイセズのテクニカル・サポートに連絡してください。

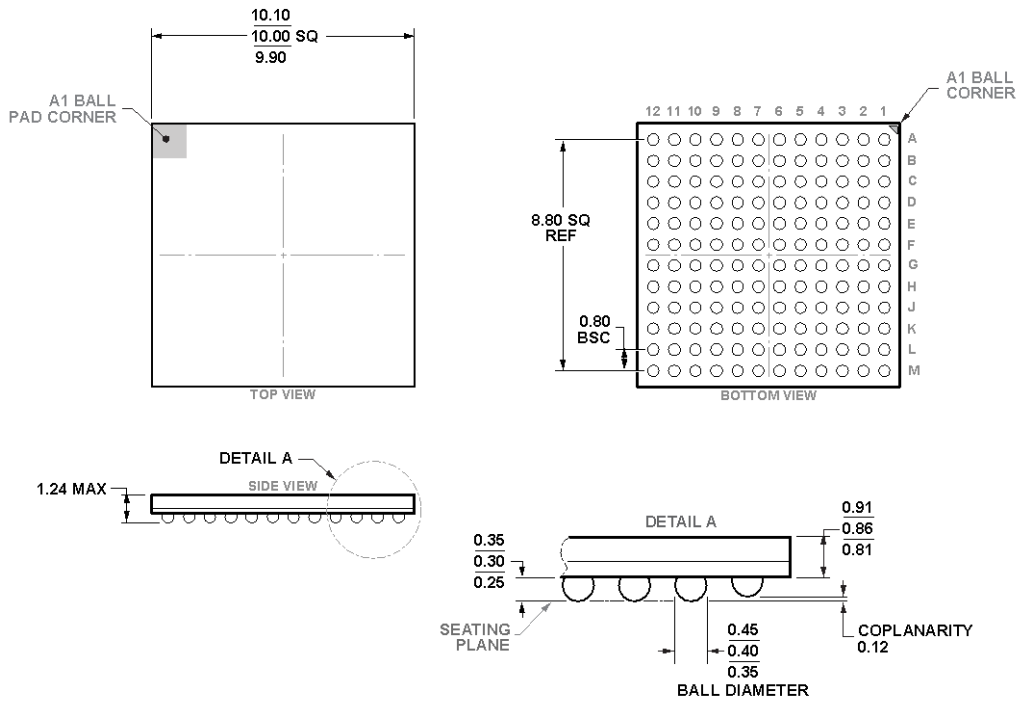
表 13. PHY 選択ガイド

PHY Requirement	Protocol			REM Switch	PHY Device		
	PROFINET IRT	EtherCAT	SERCOS III		Broadcom BCM5221	Microchip KSZ8061	Microchip KSZ8041
Link Output	Yes	Yes	Yes	Yes	Yes	Yes	Yes
100BaseTX	Yes	Yes	Yes	Yes	Yes	Yes	Yes
100BaseFX	No	No	No	No	Yes	No	Yes
Autonegotiation	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Autonegotiation Suppression	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Automatic MDI and MDIX Crossover	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Transmit Latency	NDS ¹	NDS ¹	NDS ¹	<100 ns	100 ns	72 ns	34 ns
Receive Latency	NDS ¹	NDS ¹	NDS ¹	<200 ns	165 ns	170 ns	140 ns
Fast Link Loss Detection	No	Yes	Yes	Yes	Yes	Yes	Yes
MII Interface	MII ²	MII ²	MII ²	Yes	Yes	Yes	Yes
3.3 V I/O	Not specified	Not specified	Not specified	Yes	Yes	Yes	Yes
Industrial Temperature	Not specified	Not specified	Not specified	Yes	Yes	Yes	Yes
Extended Cable Length	Not specified	Not specified	Not specified	No	Yes	No	No
Cable Diagnostics	Not specified	Not specified	Not specified	No	Yes	Yes	Yes

¹NDS は、直接規定されていないことを意味します。遅延時間は、個別のプロトコル仕様では直接規定されていません。高性能システムでは、可能な限り遅延時間の短い PHY を選択することを意味します。送信側の遅延が 100 ns 未満で、受信側の遅延が 200 ns 未満でなければならないため、合計の遅延は、300 ns 未満でなければなりません。

²高性能システムでは、MII インターフェースを使用することを意味します。

外形寸法



COMPLIANT WITH JEDEC STANDARDS MO-276-EEAB-1

図 12. 144 ボールのボール・グリッド・アレイのチップ・スケール・パッケージ [CSP_BGA] (BC-144-12)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
FIDO5100BBCZ	-40°C to +85°C	144-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-144-12
FIDO5200BBCZ	-40°C to +85°C	144-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-144-12
RAPID-NIEK-V0004		Evaluation Kit	

¹ Z = RoHS 準拠製品。