

# マイクロパワー、3軸、 $\pm 2g/\pm 4g/\pm 8g$ デジタル出力 MEMS 加速度センサー

## 特長

- ▶ 電源出力電圧範囲
  - ▶ 1.1V~3.6V、シングルセル・バッテリー動作が可能
  - ▶ 内部電源レギュレーションによる高 PSRR
- ▶ 超低消費電力：
  - ▶ 0.96 $\mu$ A (100Hz ODR (50Hz 帯域幅)、2.0V 電源使用時)
  - ▶ 消費電流 191nA (ウェイクアップ・モード時)
  - ▶ 消費電流 47nA (スタンバイ・モード時)
- ▶ 高感度：0.25mg/LSB
- ▶ システム・レベルの省電力を実現する組み込み機能
  - ▶ わずか 120nA の追加電流で動作する歩数カウンタ
  - ▶ わずか 35nA の追加電流で検出するシングル・タップおよびダブル・タップ
  - ▶ モーション起動のための閾値が調整可能なスリープ・モードとウェイクアップ・モード
  - ▶ 自律的割込み処理
  - ▶ 内蔵の 512 サンプル・ディープ FIFO がホスト・プロセッサの負荷を最小限に抑制
  - ▶ アウェイク状態出力によってモーション起動スイッチを作動可能
- ▶ 超低ノイズ・モード、2g レンジ、100Hz ODR で 130 $\mu$ g/ $\sqrt{\text{Hz}}$  のノイズ密度
- ▶ 外部トリガによる加速度サンプルの同期
- ▶ オンチップ温度センサー
- ▶ 2 極アンチエイリアス・フィルタ内蔵
- ▶ SPI (4 線式) および I<sup>2</sup>C デジタル・インターフェース
- ▶ 2.2mm × 2.3mm × 0.87mm の小型で薄型の 12 端子 LGA パッケージ

## アプリケーション

- ▶ 常時センシング
- ▶ 補聴器
- ▶ バイタル・サインの監視デバイス
- ▶ モーション・トリガのパワー・セーブ・スイッチ
- ▶ モーション・トリガの計量機器
- ▶ シングルセル動作のスマート・ウォッチ
- ▶ スマート・ホーム

## 機能ブロック図

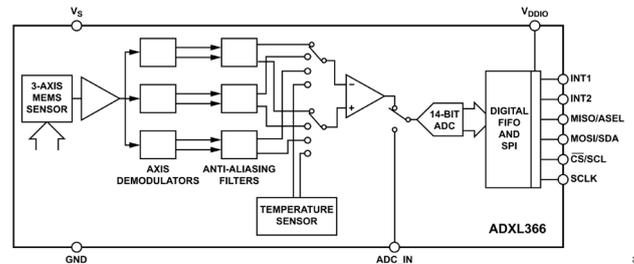


図 1. 機能ブロック図

## 概要

ADXL366 は超低消費電力の 3 軸マイクロマシン (MEMS) 加速度センサーで、その消費電流は、100Hz の出力データ・レート (ODR) 時にわずか 0.96 $\mu$ A、モーション・トリガのウェイクアップ・モード時には 191nA です。間欠動作により低消費電力を実現する加速度センサーとは異なり、ADXL366 は、アンダーサンプリングによって入力信号をエイリアスするのではなく、全てのデータ・レートにおいてセンサーの全帯域幅をサンプリングします。

ADXL366 では 14 ビットの出力分解能が可能です。低分解能で十分な場合は、データを 8 ビットでフォーマットすることにより、より効率的なシングルバイト転送を行うこともできます。更に、ADXL362 との設計互換性を確保するために、データを 12 ビットでフォーマットすることもできます。測定範囲は $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$ 、分解能は $\pm 2g$  のレンジで 0.25mg/LSB です。

ADXL366 は、超低消費電力であることに加えて、真のシステム・レベルの消費電力低減を可能にする多くの特長を備えています。例えば、設定可能な歩数カウンタ、マルチモード出力のディープ FIFO (First In, First Out)、内蔵のマイクロパワー温度センサー、割込み機能を使って追加のアナログ入力を同期変換する内蔵 A/D コンバータ (ADC)、わずか 35nA の追加電流で任意の出力データ・レートにおいて機能できるシングル・タップとダブル・タップの検出、誤トリガを防止するためのステート・マシンなどです。更に、ADXL366 は、サンプリング時間や外部クロックを外部制御する機能も備えています。

ADXL366 は、1.1V~3.6V の広い電源動作電圧範囲で動作し、必要に応じて別の電源電圧で動作するホストにインターフェースすることもできます。ADXL366 は、2.2mm × 2.3mm × 0.87mm のフットプリントの 12 端子 LGA パッケージで提供され、ADXL367 とピン互換です。

## 目次

特長	1	デバイス ID レジスタ	34
アプリケーション	1	リビジョン ID レジスタ	34
機能ブロック図	1	XID レジスタ	35
概要	1	X データ・ビット[13:6]レジスタ	35
仕様	4	Y データ・ビット[13:6]レジスタ	35
タイミング仕様	7	Z データ・ビット[13:6]レジスタ	36
絶対最大定格	12	STATUS レジスタ	36
熱抵抗	12	FIFO エントリ・ビット[7:0]レジスタ	37
静電放電 (ESD) 定格	12	FIFO エントリ・ビット[9:8]レジスタ	37
推奨する半田付けのプロファイル	12	X データ・ビット[13:6]レジスタ	37
ESD に関する注意	12	X データ・ビット[5:0]レジスタ	38
ピン配置およびピン機能の説明	13	Y データ・ビット[13:6]レジスタ	38
代表的な性能特性	14	Y データ・ビット[5:0]レジスタ	38
動作原理	18	Z データ・ビット[13:6]レジスタ	38
デバイスの機械的な動作	18	Z データ・ビット[5:0]レジスタ	39
動作モード	18	温度データ・ビット[13:6]レジスタ	39
選択可能な測定レンジ	19	温度データ・ビット[5:0]レジスタ	39
選択可能な出力データ・レート	19	ADC データ・ビット[13:6]レジスタ	39
電力とノイズのトレードオフ	19	ADC データ・ビット[5:0]レジスタ	40
温度センサー	19	I <sup>2</sup> C FIFO データ・レジスタ	40
外部 ADC	20	ソフト・リセット・レジスタ	40
省電力機能	21	閾値アクティビティ・ビット[12:6]レジスタ	40
全モードでの超低消費電力	21	閾値アクティビティ・ビット[5:0]レジスタ	41
歩数計	21	時限アクティビティ・レジスタ	41
外部 ADC 割込み	22	閾値インアクティビティ・ビット[12:6]レジスタ	41
モーション検出	22	閾値インアクティビティ・ビット[5:0]レジスタ	42
FIFO	25	時限インアクティビティ・ビット[15:8]レジスタ	42
通信	26	時限インアクティビティ・ビット[7:0]レジスタ	42
その他の機能	27	アクティビティ/インアクティビティ・コントロール・レジスタ	43
ブラウンアウトからの回復	27	FIFO コントロール・レジスタ	43
z 軸の非直線性補償	27	FIFO サンプル・レジスタ	45
自由落下検出	27	割込みピン 1 イネーブル (下位) レジスタ	45
タップ検出	27	割込みピン 2 イネーブル (下位) レジスタ	46
外部クロック	28	フィルタ・コントロール・レジスタ	46
外部トリガ	28	パワー・コントロール・レジスタ	47
セルフ・テスト	28	ユーザ・セルフ・テスト・レジスタ	47
ユーザ・レジスタ保護	28	タップ閾値レジスタ	48
シリアル通信	29	タップ時間レジスタ	48
SPI コマンド	29	タップ遅延レジスタ	48
複数バイト転送	29	タップ・ウィンドウ・レジスタ	49
無効なアドレスとアドレスのエイリアシング	29	x 軸ユーザ・オフセット・レジスタ	49
レイテンシの制約	29	y 軸ユーザ・オフセット・レジスタ	49
無効なコマンド	29	z 軸ユーザ・オフセット・レジスタ	49
SPI バスの共有	30	x 軸ユーザ感度レジスタ	50
I <sup>2</sup> C	30	y 軸ユーザ感度レジスタ	50
レジスタ・マップ	31	z 軸ユーザ感度レジスタ	50
レジスタの詳細	34	タイマー・コントロール・レジスタ	51
アナログ・デバイセズのデバイス ID レジスタ	34	割込みピン 1 イネーブル (上位) レジスタ	51
MEMS デバイス ID レジスタ	34	割込みピン 2 イネーブル (上位) レジスタ	52

ADCコントロール・レジスタ .....	53	歩数計感度ビット[7:0]レジスタ .....	59
温度設定レジスタ .....	54	アプリケーション情報 .....	60
TEMP_ADC_ACT_THRSH_HIGH レジスタ .....	54	アプリケーション例 .....	60
TEMP_ADC_ACT_THRSH_LOW レジスタ .....	54	電源要件 .....	63
TEMP_ADC_INACT_THRSH_HIGH レジスタ .....	55	FIFOモード .....	64
TEMP_ADC_INACT_THRSH_LOW レジスタ .....	55	FIFO設定 .....	64
温度アクティビティ・インアクティビティ・タイマー・ レジスタ .....	55	割込み .....	66
軸マスク・レジスタ .....	56	外部トリガの使用 .....	67
ステータス・コピー・レジスタ .....	56	外部クロックの使用 .....	68
ステータス2レジスタ .....	57	セルフ・テストの使用 .....	68
ステータス3レジスタ .....	57	2.0V以外の電圧での動作 .....	69
歩数計歩数カウント・ハイ・レジスタ .....	58	ODRに対する感度依存性 .....	69
歩数計歩数カウント・ロー・レジスタ .....	58	電力モードに対する感度依存性 .....	69
歩数計コントロール・レジスタ .....	58	取付けに関する機構上の留意点 .....	69
歩数計上限閾値レジスタ .....	58	レイアウトおよび設計の推奨事項 .....	70
歩数計下限閾値レジスタ .....	59	加速度検出軸 .....	70
歩数計感度ビット[14:8]レジスタ .....	59	外形寸法 .....	71
		オーダー・ガイド .....	71
		評価用ボード .....	71

## 改訂履歴

4/2025—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.0\text{V}$ 、 $V_{DDIO} = 2.0\text{V}$ 、100Hz ODR、 $\pm 2g$  レンジ、加速度 =  $0g$ 、その他のレジスタはデフォルト設定。

表 1. 仕様

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT	Each axis				
Measurement Range	User selectable		$\pm 2, \pm 4, \pm 8$		g
Nonlinearity	Percentage of full-scale range (FSR)				
X-Axis and Y-Axis	FSR = 2g		0.51		%
Z-Axis	FSR = 2g, nonlinearity compensation enabled		0.51		%
	FSR = 2g, nonlinearity compensation disabled		1.88		%
X-Axis and Y-Axis	FSR = 4g		0.77		%
Z-Axis	FSR = 4g, nonlinearity compensation enabled		0.53		%
	FSR = 4g, nonlinearity compensation disabled		3.82		%
X-Axis and Y-Axis	FSR = 8g		3.36		%
Z-Axis	FSR = 8g, nonlinearity compensation enabled		1.66		%
	FSR = 8g, nonlinearity compensation disabled		8.34		%
Sensor Resonant Frequency	X-axis and y-axis <sup>2</sup>		2130		Hz
	Z-axis <sup>3</sup>		3000		Hz
Cross Axis Sensitivity <sup>4</sup>	Values represented as: mean ( $\pm$ standard deviation)				
YX			+0.2 ( $\pm 0.6$ )		%
XY			-0.7 ( $\pm 0.6$ )		%
ZY			+0.1 ( $\pm 0.3$ )		%
YZ			-0.1 ( $\pm 0.3$ )		%
XZ			+0.2 ( $\pm 0.3$ )		%
ZX			-0.3 ( $\pm 0.3$ )		%
OUTPUT RESOLUTION	Each axis				
All g Ranges			14		Bits
SENSITIVITY	Each axis				
Scale Factor	2g range		0.25		mg/LSB
	4g range		0.5		mg/LSB
	8g range		1		mg/LSB
Sensitivity	2g range		4000		LSB/g
	4g range		2000		LSB/g
	8g range		1000		LSB/g
Sensitivity Trim Accuracy	All ranges		$\pm 5$		% of typical sensitivity
Sensitivity Change vs. Voltage Supply			0.45		%/V
Sensitivity Change Due to Temperature <sup>5</sup>			$\pm 0.07$		%/°C
0g OFFSET	Each axis				
0g Output	X-axis output ( $X_{OUT}$ ) and Y-axis output ( $Y_{OUT}$ )	-150	$\pm 25$	+150	mg
	Z-axis output ( $Z_{OUT}$ )	-250	$\pm 50$	+250	mg
0g Offset vs. Temperature <sup>6</sup>	2g range		$\pm 0.4$		mg/°C
	4g range		$\pm 0.6$		mg/°C
	8g range		$\pm 1.0$		mg/°C
0g Offset vs. Power Supply Voltage <sup>7</sup> section.					
X-Axis and Y-Axis			3		mg/V
Z-Axis			14		mg/V
0g Offset vs. Measurement Range					
$\pm 3\sigma$ of 0g Offset Change from 2g to 4g Range			$\pm 30$		mg
$\pm 3\sigma$ of 0g Offset Change from 2g to 8g Range			$\pm 80$		mg

## 仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
<b>NOISE PERFORMANCE</b>					
Noise Density					
Normal Operation (Ultra-Low Power)	2g range, 100Hz ODR		345		μg/√Hz
	8g range, 100Hz ODR		980		μg/√Hz
Low Noise Mode	2g range, 100Hz ODR		194		μg/√Hz
	2g range, 400 ODR		162		μg/√Hz
	8g range, 100Hz ODR		531		μg/√Hz
Ultra-Low Noise Mode	2g range, 100Hz ODR		130		μg/√Hz
	2g range, 400Hz ODR		132		μg/√Hz
	8g range, 100Hz ODR		343		μg/√Hz
<b>BANDWIDTH</b>					
Low Pass (Antialiasing) Filter, -3 dB Corner	2-pole filter		ODR/2		Hz
Output Data Rate (ODR)	User selectable in 8 steps	12.5		400	Hz
<b>SELF TEST</b>					
Output Change <sup>8</sup>	Measured on X <sub>OUT</sub> ; limits are applicable over the full temperature range	133	180	222	mg
<b>POWER SUPPLY</b>					
Operating Voltage Range (V <sub>S</sub> )		1.1	2.0	3.6	V
Input and Output Voltage Range (V <sub>DDIO</sub> )		1.1	2.0	3.6	V
Supply Reset Threshold (V <sub>RESET</sub> )				50	mV
Supply Current <sup>9</sup>					
Measurement Mode <sup>10</sup>	100Hz ODR (50Hz bandwidth)				
Normal Operation			0.96		μA
Low Noise Mode			1.89		μA
Ultra-Low Noise Mode			5.5		μA
Wake-Up Mode <sup>11</sup>			191		nA
Standby Mode			47		nA
Power Supply Rejection Ratio (PSRR)	External capacitors removed, ODR = 400Hz, V <sub>DDIO</sub> = 2V, V <sub>S</sub> = 2V + 0.25V × sin(2π × f × t), PSSR calculated from fast Fourier transform (FFT)				
Input Frequency					
100 Hz to 1 kHz			-40		dB
1 kHz to 250 kHz			-30 <sup>12</sup>		dB
Turn-On Time <sup>13</sup>	100Hz ODR (50Hz bandwidth)				
Power-Up to Standby			9		ms
Hold Time		300			ms
Rise Time	0 V to 90% of V <sub>S</sub>			4	ms
Measurement Mode Instruction to Settled Output	Output value reached at least 98% of the settled value		100		ms
<b>TEMPERATURE SENSOR</b>					
Bias Average	At 25°C		-160		LSB
Standard Deviation			80		LSB
Sensitivity Average			53		LSB/°C
Standard Deviation			1.2		LSB/°C
Resolution			14		Bits

## 仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
EXTERNAL ADC INPUT					
Input Range		0 (GND)		V <sub>REG_OUT</sub>	V
Bias <sup>14</sup>			-8030		LSB
Gain			15,301		LSB/V
Noise RMS	ODR = 100Hz		3		LSB
Signal-to-Noise Ration (SNR)			70		dB
ENVIRONMENTAL					
Operating Temperature Range		-40		+85	°C

<sup>1</sup> 最小仕様と最大仕様は全て確保されています。代表仕様は必ずしも該当しない場合があります。

<sup>2</sup> 特性評価に基づく代表値であり、製品テストは行っていません。

<sup>3</sup> 設計およびシミュレーションに基づいて定義された代表値です。製品テストは行っていません。

<sup>4</sup> 交差軸感度は任意の2軸のカップリングとして定義されています。特性評価に基づく代表値であり、製品テストは行っていません。

<sup>5</sup> 周囲温度 (0°C~25°C または 25°C~60°C) による変化。

<sup>6</sup> 周囲温度 (-40°C~+25°C または +25°C~+85°C) による変化。

<sup>7</sup> 2.0V 以外の電圧での動作のセクションを参照してください。

<sup>8</sup> セルフ・テストの変化は、セルフ・テストをアサートした場合の出力変化 (単位: g) として定義されています。電源および g のレンジが異なるとセルフ・テスト値も変化します。

<sup>9</sup> 温度センサー、FIFO、あるいは外部 ADC が有効化されていると、電源電流が増加する可能性があります。

<sup>10</sup> V<sub>S</sub> および V<sub>DDIO</sub> を 2.0V としてテスト。

<sup>11</sup> 1.5625SPS でサンプリングしている場合のウェイクアップ・モードの消費電流。このレートはレジスタ 0x39 の WAKEUP\_RATE ビット (ビット[7:6]) で設定できます。

<sup>12</sup> この値は、1.6kHz に存在する FFT の最大ピークを反映しています。

<sup>13</sup> 電源の最短立上がり時間要件については、電源要件のセクションを参照してください。

<sup>14</sup> ADC のデータ・フォーマットは符号付きで、入力信号は V<sub>REG\_OUT</sub>/2 を基準とするシングルエンドです。そのため、0LSB のコードは約 0.53V です。

仕様

タイミング仕様

表 2. シリアル・ペリフェラル・インターフェース (SPI) のデジタル入力および出力

Parameter	Test Conditions/Comments	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V <sub>IL</sub> )			0.3 × V <sub>DDIO</sub>	V
High Level Input Voltage (V <sub>IH</sub> )		0.7 × V <sub>DDIO</sub>		V
Low Level Input Current (I <sub>IL</sub> )	Input voltage (V <sub>IN</sub> ) = V <sub>DDIO</sub>		0.1	μA
High Level Input Current (I <sub>IH</sub> )	V <sub>IN</sub> = 0V	-0.1		μA
Digital Output				
Low Level Output Voltage (V <sub>OL</sub> )	I <sub>OL</sub> = 10mA		0.2 × V <sub>DDIO</sub>	V
High Level Output Voltage (V <sub>OH</sub> )	I <sub>OH</sub> = -4mA	0.8 × V <sub>DDIO</sub>		V
Low Level Output Current (I <sub>OL</sub> )	V <sub>OL</sub> = V <sub>OL, MAX</sub>	10 <sup>2</sup>		mA
High Level Output Current (I <sub>OH</sub> )	V <sub>OH</sub> = V <sub>OH, MIN</sub>		-4 <sup>3</sup>	mA

<sup>1</sup> 特性評価の結果に基づく制限値であり、製品テストは行っていません。

<sup>2</sup> V<sub>DDIO</sub> ≤ 1.4V の場合、最小の I<sub>OL</sub> は 2mA です。

<sup>3</sup> V<sub>DDIO</sub> ≤ 1.4V の場合、最小の I<sub>OH</sub> は -2mA です。

表 3. SPI のタイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2V、V<sub>DDIO</sub> = 2V、容量性負荷 (C<sub>LOAD</sub>) ≤ 240pF)

Parameter	Limit <sup>1</sup>		Unit	Description
	Min	Max		
f <sub>CLK</sub>	0.1	8 <sup>2</sup>	MHz	Clock frequency
t <sub>CSS</sub>	100		ns	$\overline{CS}$ setup time
t <sub>CSH</sub>	0.02	1000	μs	$\overline{CS}$ hold time
t <sub>CSD</sub>	20		ns	$\overline{CS}$ disable time
t <sub>SU</sub>	20		ns	Data setup time
t <sub>HD</sub>	35		ns	Data hold time
t <sub>HIGH</sub>	50		ns	Clock high time
t <sub>LOW</sub>	50		ns	Clock low time
t <sub>CLE</sub>	60		ns	Clock enable time
t <sub>V</sub>	0	60 <sup>3</sup>	ns	Output valid from clock low
t <sub>DIS</sub>	0	40	ns	Output disable time

<sup>1</sup> 特性評価の結果に基づく制限値であり、製品テストは行っていません。

<sup>2</sup> SPI の最大速度は、1.2V < V<sub>DDIO</sub> < 1.4V の場合は 5MHz、1.1V < V<sub>DDIO</sub> < 1.2V の場合は 2.5MHz になります。

<sup>3</sup> 1.2V < V<sub>DDIO</sub> < 1.4V の場合、t<sub>V</sub> の制限値は 100ns、1.1V < V<sub>DDIO</sub> < 1.2V の場合、t<sub>V</sub> の制限値は 200ns です。

表 4. I<sup>2</sup>C のタイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2.0V、V<sub>DDIO</sub> = 2.0V、C<sub>LOAD</sub> ≤ 120pF)

Parameter	Symbol	Test Conditions/ Comments	I <sup>2</sup> C_HS = 0 (Fast Mode Plus)			I <sup>2</sup> C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
DC INPUT LEVELS									
Input Voltage									
Low Level	V <sub>IL</sub>				0.3 × V <sub>DDIO</sub>			0.3 × V <sub>DDIO</sub>	V
High Level	V <sub>IH</sub>		0.7 × V <sub>DDIO</sub>			0.7 × V <sub>DDIO</sub>			V
Hysteresis of Schmitt Trigger Inputs	V <sub>HYS</sub>		0.05 × V <sub>DDIO</sub>			0.1 × V <sub>DDIO</sub>			μA
Input Current	I <sub>IL</sub>	0.1 × V <sub>DDIO</sub> < V <sub>IN</sub> < 0.9 × V <sub>DDIO</sub>	-10		+10				μA

仕様

表 4. I<sup>2</sup>C のタイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2.0V、V<sub>DDIO</sub> = 2.0V、C<sub>LOAD</sub> ≤ 120pF) (続き)

Parameter	Symbol	Test Conditions/ Comments	I2C_HS = 0 (Fast Mode Plus)			I2C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
<b>DC OUTPUT LEVELS</b>									
Output Voltage		I <sub>OL</sub> = 7mA							
Low Level	V <sub>OL1</sub>	V <sub>DDIO</sub> > 2V			0.4				V
	V <sub>OL2</sub>	V <sub>DDIO</sub> ≤ 2V			0.2 × V <sub>DDIO</sub>				V
Output Current									
Low Level	I <sub>OL</sub>	V <sub>OL</sub> = 0.4V	20						mA
		V <sub>OL</sub> = 0.6V	6						mA
<b>AC INPUT LEVELS</b>									
SCLK Frequency			0		1	0		3.4	MHz
SCL High Time	t <sub>HIGH</sub>		260			60			ns
SCL Low Time	t <sub>LOW</sub>		500			160			ns
Start Setup Time	t <sub>SUSTA</sub>		260			160			ns
Start Hold Time	t <sub>HDSTA</sub>		260			160			ns
SDA Setup Time	t <sub>SUDAT</sub>		50			40			ns
SDA Hold Time	t <sub>HDDAT</sub>		0			0			ns
Stop Setup Time	t <sub>SUSTO</sub>		260			160			ns
Bus Free Time	t <sub>BUF</sub>		500						ns
SCL Input Rise Time	t <sub>RCL</sub>				120			80	ns
SCL Input Fall Time	t <sub>FCL</sub>				120			80	ns
SDA Input Rise Time	t <sub>RDA</sub>				120			160	ns
SDA Input Fall Time	t <sub>FDA</sub>				120			160	ns
Width of Spikes to Suppress	t <sub>SP</sub>	Not shown in Figure 15			50			10	ns
<b>AC OUTPUT LEVELS</b>									
Propagation Delay		C <sub>LOAD</sub> = 500pF							
Data	t <sub>VDDAT</sub>		97		450	27		135	ns
Acknowledge	t <sub>VDAK</sub>				450				ns
Output Fall Time	t <sub>F</sub>	Not shown in Figure 15	20 × (V <sub>DDIO</sub> /5.5)		120				ns

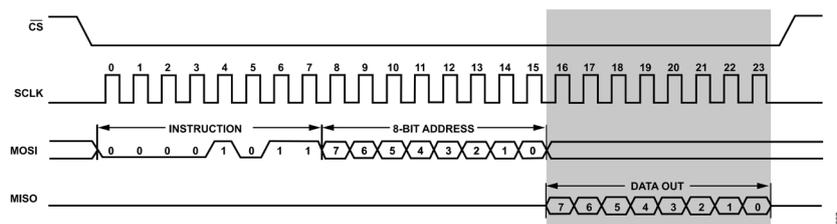


図 2. レジスタ読出し

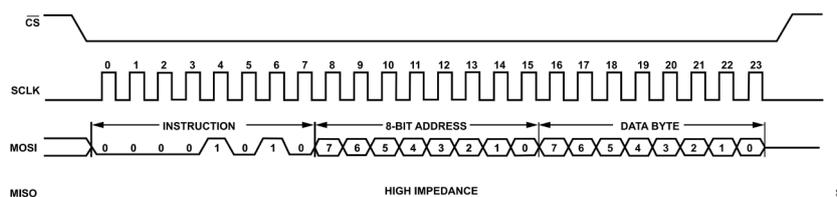


図 3. レジスタ書込み (受信命令のみ)

仕様

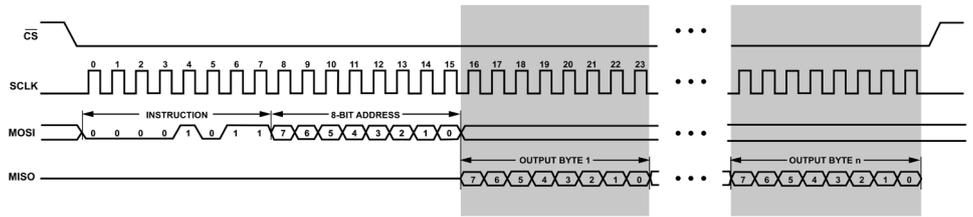


図 4. バースト読出し

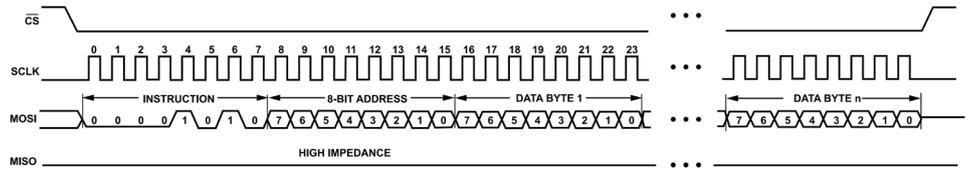


図 5. バースト書込み (受信命令のみ)

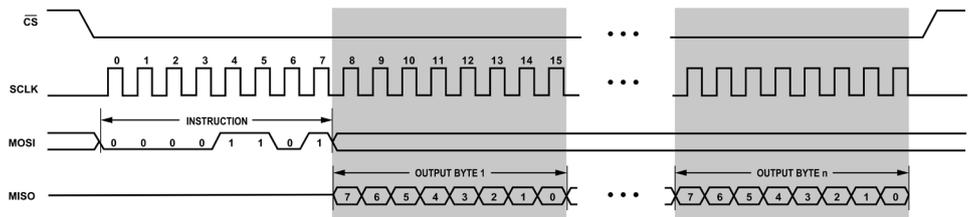


図 6. FIFO 読出し

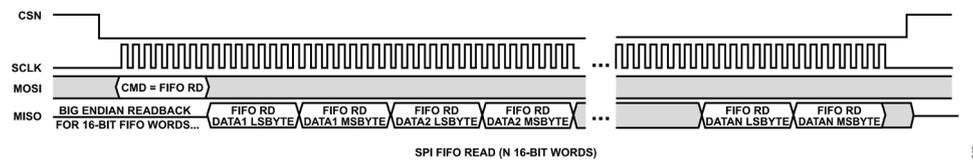


図 7. SPI FIFO 読出し (N 個の 16 ビット・ワード)

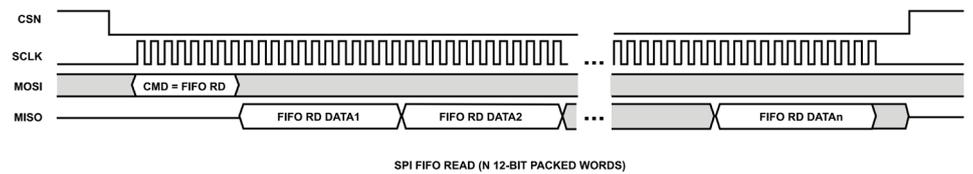


図 8. SPI FIFO 読出し (N 個の 12 ビット・パック・ワード)

仕様

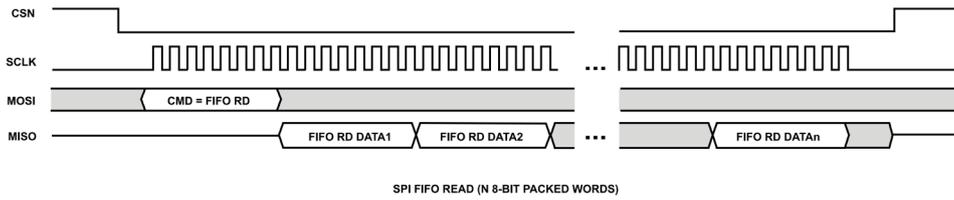


図 9. SPI FIFO 読出し (N 個の 8 ビット・パック・ワード)

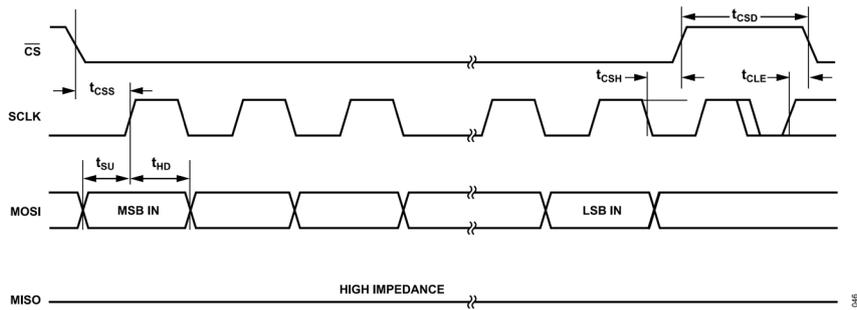


図 10. SPI 受信命令のタイミング図

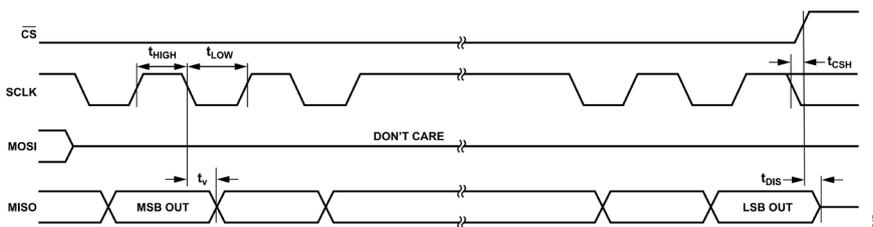


図 11. SPI 送信命令のタイミング図

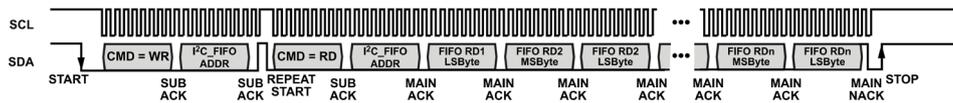


図 12. I<sup>2</sup>C FIFO 読出し (N 個の 16 ビット・ワード)、Sub は従属デバイスを表します

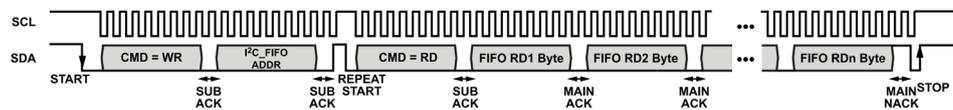


図 13. I<sup>2</sup>C FIFO 読出し (N 個の 8 ビット・ワード)、Sub は従属デバイスを表します

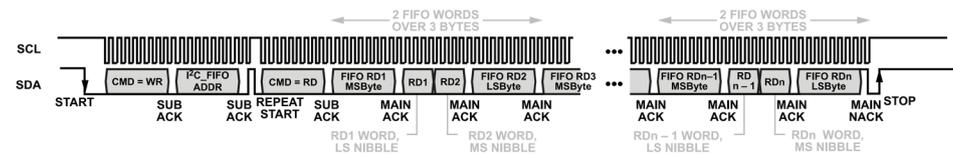


図 14. I<sup>2</sup>C FIFO 読出し (N 個の 12 ビット・ワード)、Sub は従属デバイスを表します

仕様

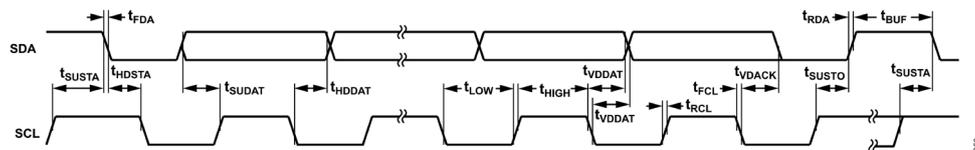


図 15. I<sup>2</sup>C インターフェースのタイミング図

絶対最大定格

表 5. 絶対最大定格

Parameter	Rating
Acceleration (Any Axis, Unpowered)	5000g, 0.1ms pulse width
Acceleration (Any Axis, Powered)	5000g, 0.1ms pulse width
V <sub>S</sub>	-0.3V to +4.0V
V <sub>DDIO</sub>	-0.3V to +4.0V
All Other Pins	-0.3V to V <sub>DDIO</sub>
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range (Storage)	-50°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

全体的な熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

特に指定のない限り、表 6 に仕様規定されている熱抵抗値は JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。

$\theta_{JA}$  は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境間の熱抵抗です。 $\theta_{JC}$  は、チャンネルとケースの間 (チャンネルとデバイス裏面の露出金属グラウンド・パドル/パッドの間) の熱抵抗です。 $\Psi_{JT}$  は、ジャンクションとパッケージ上面の間の熱特性評価値です。 $\Psi_{JB}$  は、ジャンクションと基板の間の熱特性評価値です。

表 6. 熱抵抗

Package Type	Device Weight			
	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JT}$	$\Psi_{JB}$
CC-12-4	177.8°C/W	116.7°C/W	11.1°C/W	127.8°C/W

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADXL366 の ESD 定格

表 7. ADXL366、12 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	1250	C3

推奨する半田付けのプロファイル

表 8 に、推奨する半田付けのプロファイルの詳細を示します。

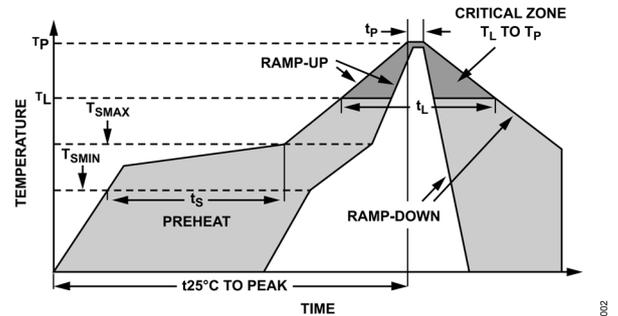


図 16. 推奨する半田付けのプロファイル

表 8. 推奨する半田付けのプロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (T <sub>L</sub> to T <sub>P</sub> )	3°C/sec max	3°C/sec max
Preheat		
Minimum Soldering Temperature (T <sub>SMIN</sub> )	100°C	150°C
Maximum Soldering Temperature (T <sub>SMAX</sub> )	150°C	200°C
Soldering Time (T <sub>SMIN</sub> to T <sub>SMAX</sub> )(t <sub>s</sub> )	60 sec to 120 sec	60 sec to 180 sec
T <sub>SMAX</sub> to T <sub>L</sub> Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Time Maintained Above Liquidous Temperature (T <sub>L</sub> )		
Liquidous Temperature (T <sub>L</sub> )	183°C	217°C
Liquidous Time (t <sub>L</sub> )	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T <sub>P</sub> )	240 + 0°C/-5°C	260 + 0°C/-5°C
Time Within 5°C of Actual Peak Temperature (t <sub>p</sub> )	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time at 25°C to Peak Temperature	6 minutes maximum	8 minutes maximum

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

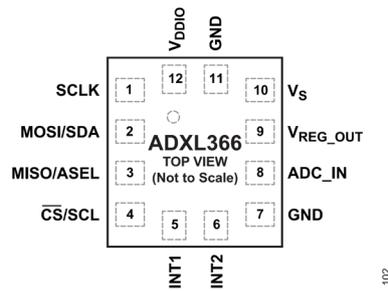


図 17. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	SCLK	SPI 通信クロック。I <sup>2</sup> C の場合、ロー・レベルに接続します。
2	MOSI/SDA	メイン・デバイス出力、従属デバイス入力 (MOSI) または I <sup>2</sup> C シリアル・データ (SDA)。
3	MISO/ASEL	メイン・デバイス入力、従属デバイス出力 (MISO) または I <sup>2</sup> C アドレス選択 (ASEL)。
4	CS/SCL	SPI チップ・セレクト、アクティブ・ロー (CS) または I <sup>2</sup> C クロック (SCL)。
5	INT1	割込み 1 出力。INT1 は外部クロッキング用の入力としても機能します。
6	INT2	割込み 2 出力。INT2 は同期サンプリング用の入力としても機能します。
7	GND	グラウンド。GND ピンはグラウンドに接続する必要があります。
8	ADC_IN	ADC 入力ピン。ADC_IN ピンは、無接続のままにするか、7 番ピン (GND) や 11 番ピン (GND) に接続できます。
9	V <sub>REG_OUT</sub> <sup>1</sup>	内部で安定化された電圧。
10	V <sub>S</sub>	電源電圧。
11	GND	グラウンド。GND ピンはグラウンドに接続する必要があります。
12	V <sub>DDIO</sub>	デジタル入出力の電源電圧。

<sup>1</sup> V<sub>REG\_OUT</sub> ピンは、内部電源デカップリング・ピンとして使用します。0.2μF の外付けコンデンサも必要です。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.0\text{V}$ 、 $V_{DDIO} = 2.0\text{V}$ 、 $100\text{Hz ODR}$ 、 $\pm 2g$  レンジ、加速度 =  $0g$ 、その他のレジスタはデフォルト設定。

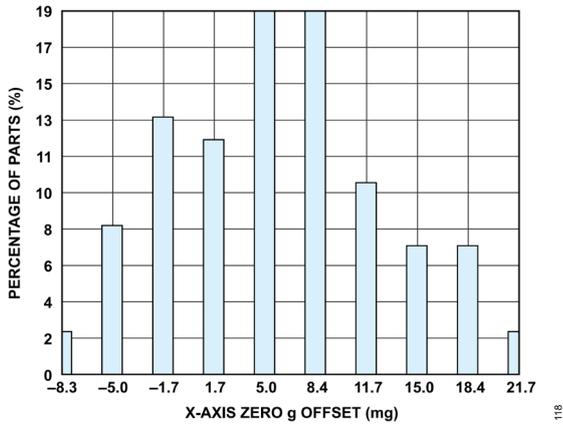


図 18. x 軸の 0g オフセット ( $25^\circ\text{C}$ 、 $V_S = 2V$ )

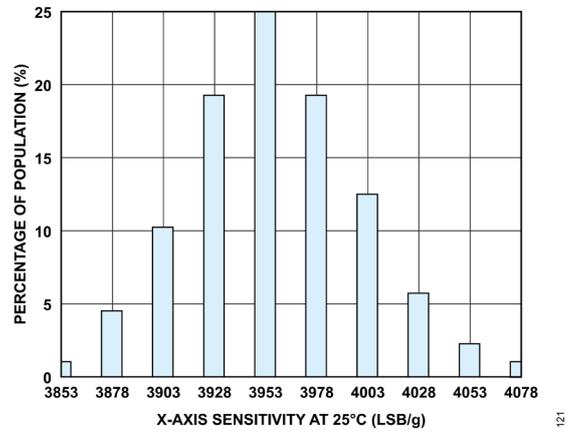


図 21. x 軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2V$ 、 $\pm 2g$  レンジ)

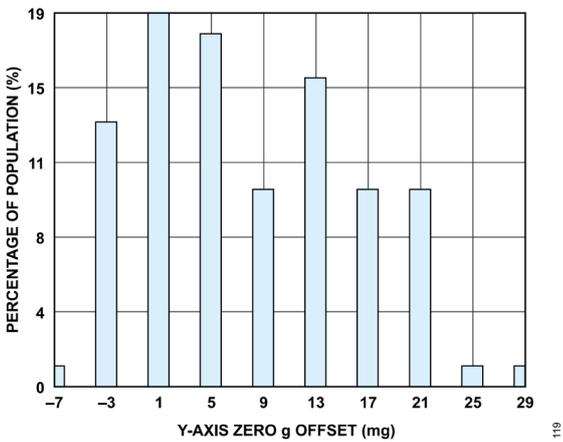


図 19. y 軸の 0g オフセット ( $25^\circ\text{C}$ 、 $V_S = 2V$ )

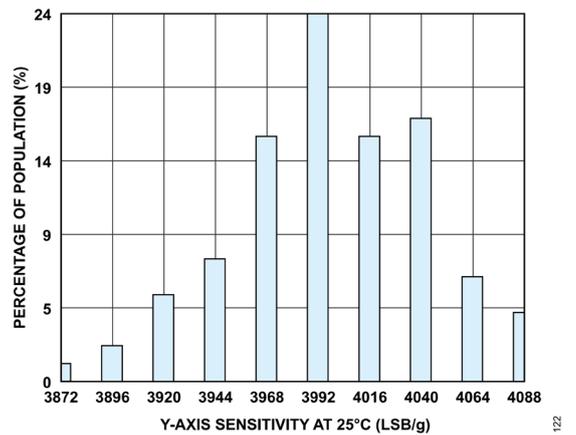


図 22. y 軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2V$ 、 $\pm 2g$  レンジ)

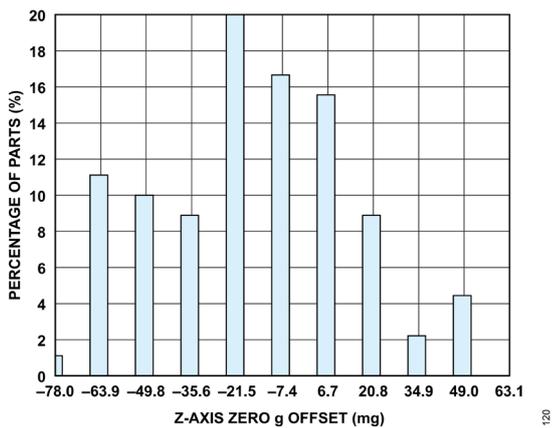


図 20. z 軸の 0g オフセット ( $25^\circ\text{C}$ 、 $V_S = 2V$ )

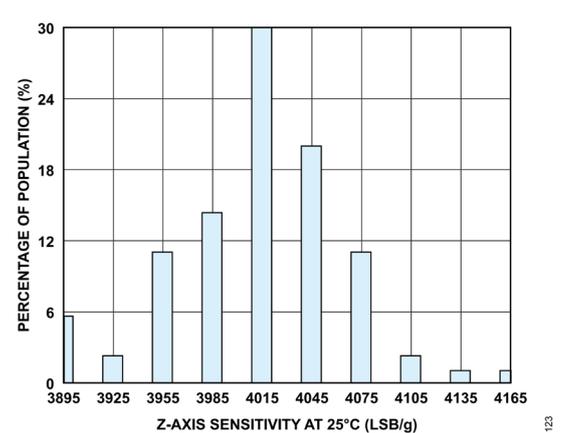


図 23. z 軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2V$ 、 $\pm 2g$  レンジ)

代表的な性能特性

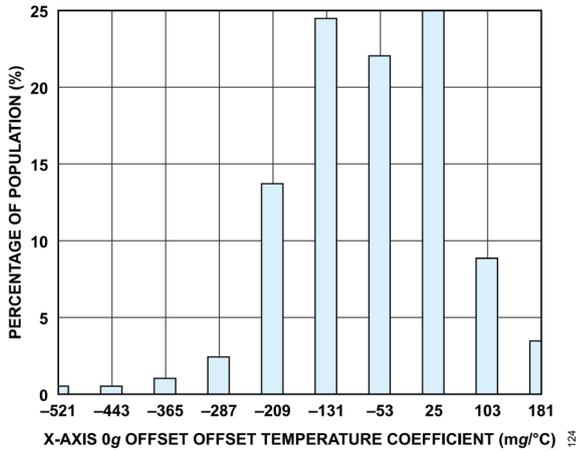


図 24. x 軸の 0g オフセットの温度係数 ( $V_s = 2V$ )

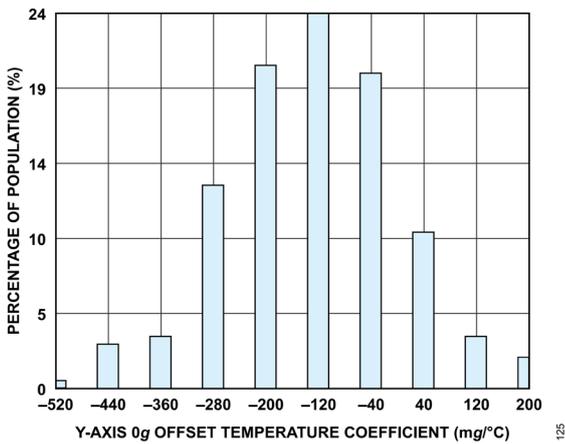


図 25. y 軸の 0g オフセットの温度係数 ( $V_s = 2V$ )

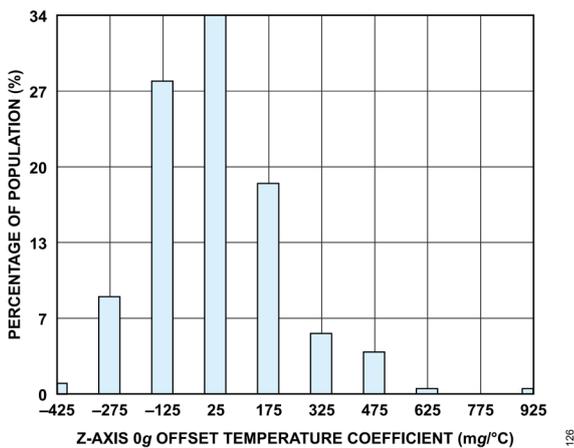


図 26. z 軸の 0g オフセットの温度係数 ( $V_s = 2V$ )

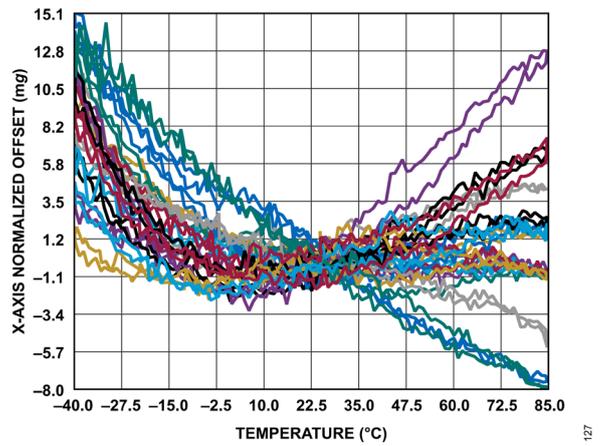


図 27. 正規化した x 軸オフセットと温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、 $ODR = 100Hz$ 、 $V_s = 2V$ )

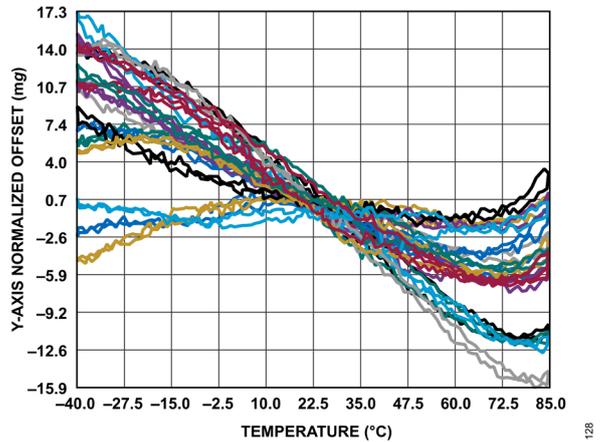


図 28. 正規化した y 軸オフセットと温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、 $ODR = 100Hz$ 、 $V_s = 2V$ )

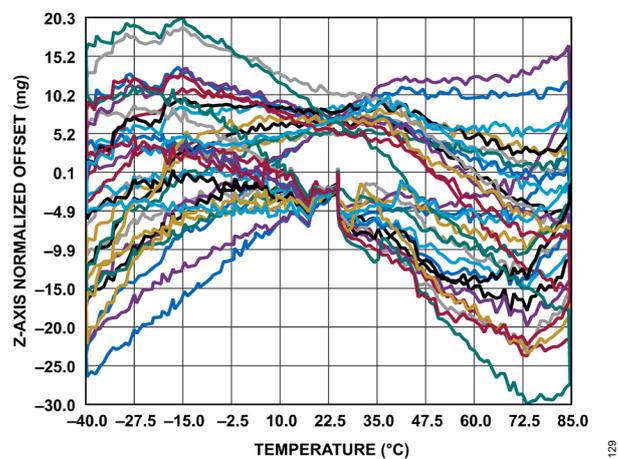


図 29. 正規化した z 軸オフセットと温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、 $ODR = 100Hz$ 、 $V_s = 2V$ )

代表的な性能特性

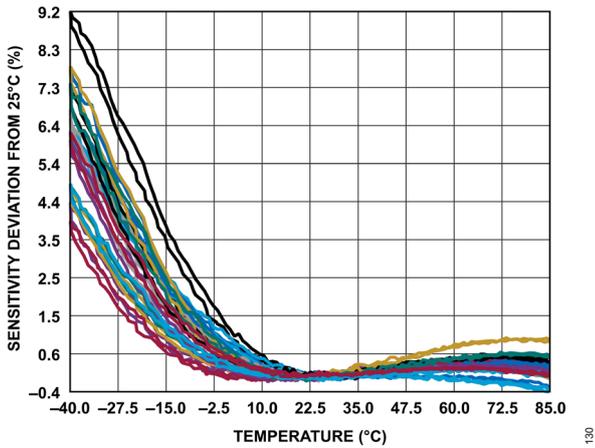


図 30. 25°C からの感度偏差と温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、ODR = 100Hz、 $V_s = 2V$ 、x 軸)

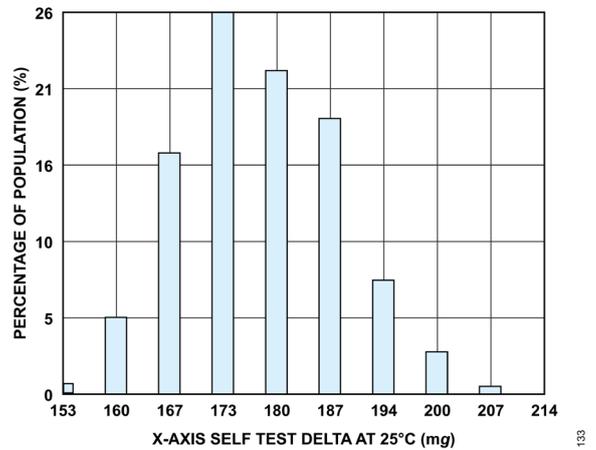


図 33. x 軸のセルフ・テストの偏差 (25°C、 $V_s = 2V$ )

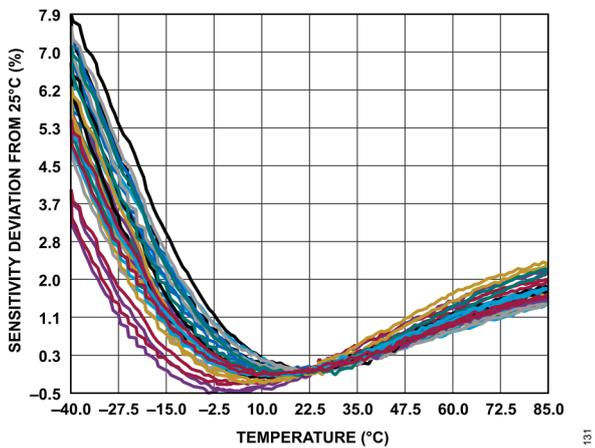


図 31. 25°C からの感度偏差と温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、ODR = 100Hz、 $V_s = 2V$ 、y 軸)

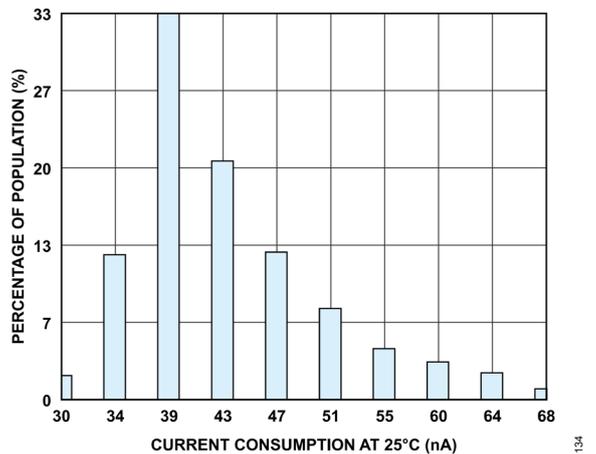


図 34. 消費電流 (25°C、スタンバイ・モード、ODR = 100Hz、 $V_s = 2V$ )

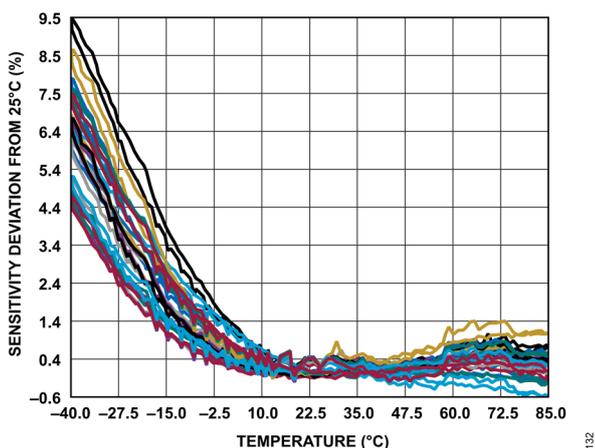


図 32. 25°C からの感度偏差と温度の関係 (16 個の ADXL366 デバイスを PCB に半田付け、ODR = 100Hz、 $V_s = 2V$ 、z 軸)

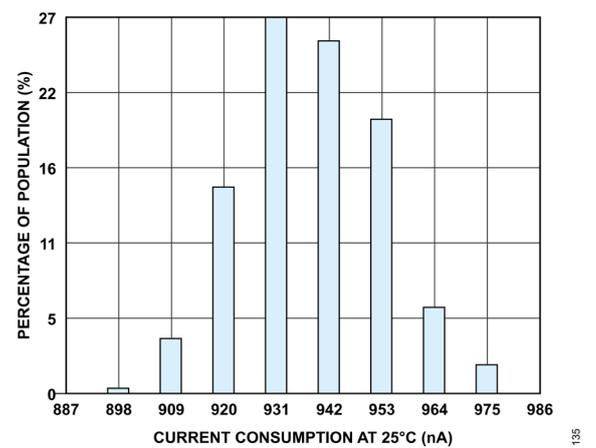


図 35. 消費電流 (25°C、ノーマル・モード、ODR = 100Hz、 $V_s = 2V$ )

代表的な性能特性

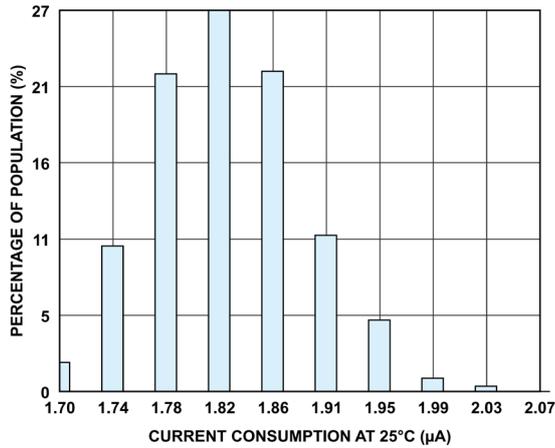


図 36. 消費電流  
(25°C、低ノイズ・モード、ODR = 100Hz、 $V_s = 2V$ )

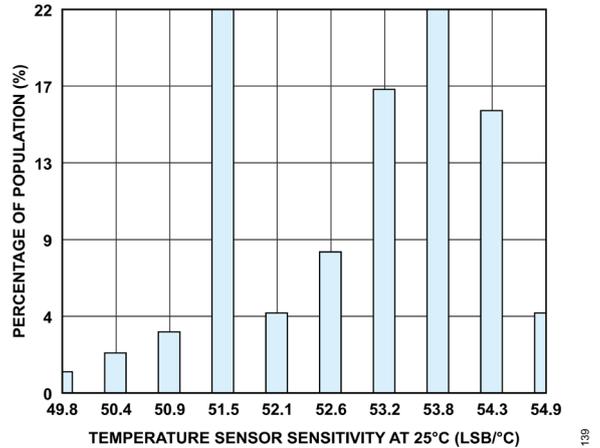


図 39. 温度センサーの感度 (25°C、 $V_s = 2V$ )

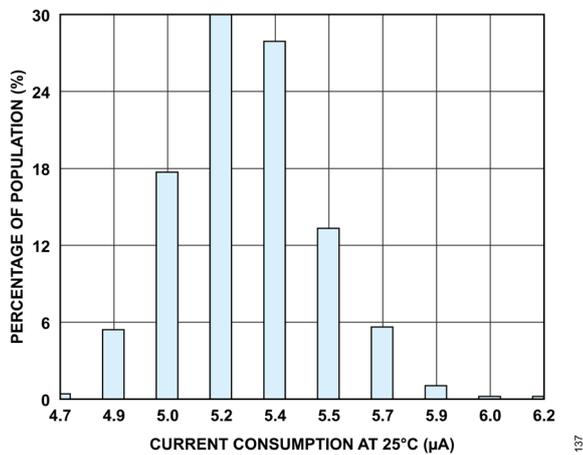


図 37. 消費電流 (25°C、超低ノイズ・モード、 $V_s = 2V$ )

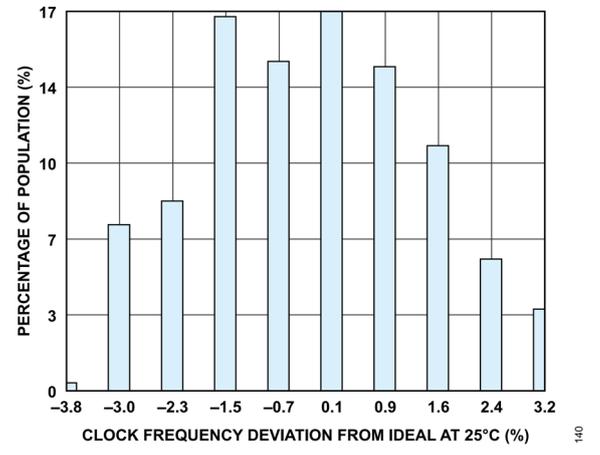


図 40. 理想値からのクロック周波数偏差 (25°C、 $V_s = 2V$ )

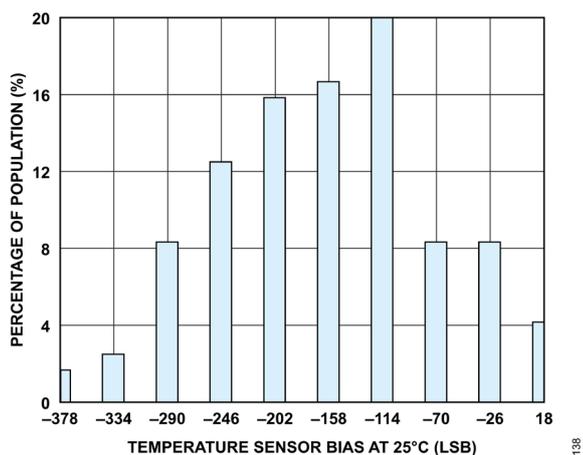


図 38. 温度センサーのバイアス (25°C、 $V_s = 2V$ )

## 動作原理

ADXL366 は、極めて低い消費電力レベルで動作する、全機能内蔵型の 3 軸加速度計測システムです。モーションや衝撃から生じる動的加速度と、傾斜などの静的加速度の両方を測定することができます。加速度はデジタルで伝達され、デバイスは SPI または I<sup>2</sup>C プロトコルのいずれかで通信を行います。内蔵のデジタル・ロジックは自律的動作を可能にし、また、システム・レベルの省電力を強化する機能を実現します。

## デバイスの機械的な動作

センサーの可動部品は、シリコン・ウェハの上面に構成されるポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがウェハ表面でこの構造部を支え、加速度に対する抵抗をもたらします。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。加速度は構造部を偏向させ、差動コンデンサを不平衡にするので、振幅が加速度に比例するセンサー出力を生じます。位相検波復調により、加速度の大きさと極性が決定されます。

## 動作モード

ADXL366 には以下の 3 つの動作モードがあります。

- ▶ 連続した広帯域幅センシングのための測定モード
- ▶ 限られた帯域幅でアクティビティ検出を行うウェイクアップ・モード
- ▶ 省電力のためのスタンバイ・モード

## 測定モード

測定モードは ADXL366 の通常動作モードです。このモードでは、加速度データは連続的に読み取られ、加速度センサーの消費電流は、最大 400Hz の出力データ・レートの範囲全体で 1.3 $\mu$ A 未満です (25°C でのノーマル・モードの場合)。ADXL366 をこのモードで動作させているときは、このデータシートに記載された全ての機能を使用できます。

ADXL366 は、ODR が 100Hz の場合の電源電流が 0.96 $\mu$ A であるため、真の低消費電力加速度センサーです。他の加速度センサーでは、間欠的に加速度センシングを行う特別な低消費電力モードを使用することで低消費電力を実現します。その結果生じるアンダーサンプリングが入力加速度のエイリアシングを引き起こす場合があります。測定モード中の ADXL366 では、いかなる出力データ・レートでも入力信号のアンダーサンプリングは生じません。

なお、測定モードに移行した後、加速度データを読み出す前に 100ms の待機時間を設け、測定モードに移行した後に出力が安定するのを待つ必要があります。

## ウェイクアップ・モード

ウェイクアップ・モードでは、入力のサンプリングを周期的に行い、測定と測定の間では加速度センサーの電子回路をオフにすることで、消費電流を低いレベルに抑えます。このモードは多くの場合、モーションの有無を識別するために用いられますが、ライブ・データ・ストリームとして用いることもできます。

ADXL366 では、約 12.5SPS～約 1.5SPS の範囲で 4 通りのウェイクアップ・レートを選択できます。ウェイクアップ・モードでは、加速度は一定の間隔で測定されます。サンプリングとサンプリングの間では、加速度センサーの電子回路は低消費電力状態になります (図 41 を参照)。

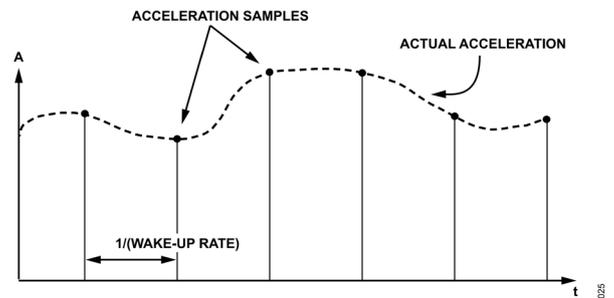


図 41. 加速度のサンプリング

ウェイクアップ・モードは、モーションにより起動するオン/オフ・スイッチを使用する場合に最適です。多くのシステムでは、システムをウェイクアップできる動きを検出するには、1 秒間で数回の測定で十分です。システムがウェイクアップした後は、より高いデータ・レートのモードに切り替えて、より高精度のモーション測定を行うことができます。なお、最初のウェイクアップに要する時間はその後のウェイクアップ時間より長くなる点に注意してください。

ウェイクアップ・モードでは、モーション検出時に、以下のいずれかの方法で加速度センサーが応答できます。

- ▶ アクティビティ割込みがトリガされない場合、ウェイクアップ・モードを維持したままデータ・サンプリングを継続する
- ▶ アクティビティ割込みがトリガされた場合は、フル帯域幅の測定モードに切り替わる
- ▶ マイクロコントローラに割込みを通知する
- ▶ 設定に応じて、後段回路をウェイクアップする

加速度センサーの応答はレジスタの設定を介して設定可能です。なお、最初のウェイクアップ・データ・ポイントの経過時間は最大 10ms で、その後のデータ・ポイントより遅くなる点に注意してください。ウェイクアップ・モードは、低ノイズ・モードおよび超低ノイズ・モードではサポートされていません。

## スタンバイ・モード

ADXL366 をスタンバイ・モードにすると、測定が中断され、消費電流は 47nA (代表値) まで低下します。保留中の割込みとデータは保持され、新しい割込みは生成されません。

ADXL366 は、全てのセンサー機能がオフになったスタンバイ・モードでパワーアップします。なお、POWER\_CTL レジスタより前のレジスタ (レジスタ 0x00～レジスタ 0x2D) の変更は、デバイスがスタンバイ・モードのときに行う必要があります。ADXL366 が測定モードにある間に設定変更が行われた場合、その変更は測定の一部に対してしか有効にならない場合があります。データ・キャプチャ設定の変更はスタンバイ・モードでのみ行うようにしてください。

## 動作原理

### 選択可能な測定レンジ

ADXL366 には、 $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$  という選択可能な測定範囲があります。加速度サンプルは、常に 14 ビット ADC によって変換されます。そのため、感度は  $g$  のレンジに比例します。レンジおよび対応する感度値を、表 1 に示します。入力がフルスケール・レンジを超えると、出力データは一時的に不正確になる可能性があります。加速度が絶対最大定格未満にある限り、センサーが損傷することはありません。表 5 に、加速度の絶対最大定格を示します。これは、デバイスに恒久的な損傷を与える可能性のある加速度レベルを示します。

### 選択可能な出力データ・レート

ADXL366 は、12.5Hz~400Hz の様々なデータ・レートで加速度データをレポートできます。ナイキスト・サンプリング基準を満たしエイリアシングが発生しないように、内部ローパス・フィルタのコーナーは、自動的に設定されます。

消費電流は、図 42 に示すように、出力データ・レートによって変動しますが、データ・レートと動作電圧の全範囲にわたって 1.3 $\mu$ A 未満を維持します。

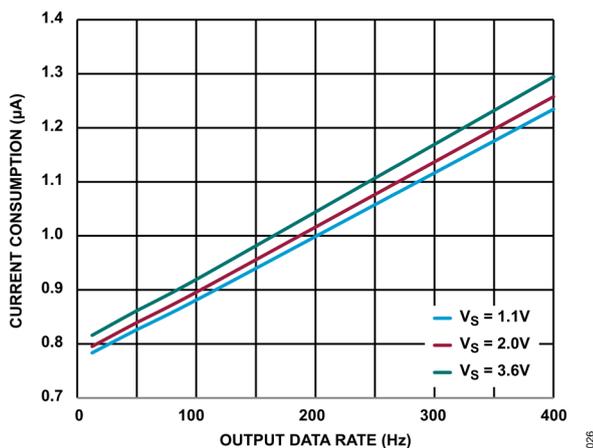


図 42. 各種電源電圧での通常動作モードの消費電流と出力データ・レートの関係

### アンチエイリアシング

ADXL366 の ADC は、ユーザが選択した出力データ・レートでサンプリングを行います。適切なアンチエイリアシング・フィルタを用いない場合、データ・レートの 2 分の 1 を超える入力信号は信号帯域内にエイリアシングされます。これを抑えるため、ADC の入力に 2 極ローパス・フィルタが備わっています。この 2 極フィルタは ODR/2 に設定され、ユーザが選択した出力データ・レートに対し最適な帯域幅とアンチエイリアシングを実現します。

### 電力とノイズのトレードオフ

ADXL366 には、消費電流が少すだけ増加することと引き換えにノイズを減少させる、2 つのオプションがあります。

100Hz の ODR (50Hz の帯域幅) で 11LSB RMS ( $\pm 2g$  モード) という通常動作時の ADXL366 のノイズ性能は、帯域幅と必要な分解能にもよりますが、これは、大部分のアプリケーションに

とって十分な値です。ノイズを更に抑える必要がある場合、ADXL366 は、消費電力が増える代わりにノイズを低減できる低ノイズ動作モードを備えています。

なお、通常動作から超低ノイズ・モードに切り替える場合、感度が 2% (代表値) 減少する点に注意してください。例えば、2g レンジで超低消費電力モードの場合、表 1 に示すように感度の代表値は 4000LSB/g ですが、2g レンジで超低ノイズ・モードの場合は、感度の代表値は 3920LSB/g に低下します。

表 10 に、代表的な 2.0V 電源での通常動作と低ノイズ・モードで得られる消費電流とノイズ密度を示します。

表 10. ノイズと消費電流：通常動作および低ノイズ・モード ( $V_S = 2.0V$ , ODR = 100Hz)

Mode	Noise ( $\mu g/\sqrt{Hz}$ ) Typical	Current Consumption ( $\mu A$ ) Typical
Normal Operation	345	0.96
Low Noise	194	1.89
Ultra-Low Noise	130	5.5

ODR が 400Hz での低ノイズ・モードおよび超低ノイズ・モードの場合、帯域幅は約 150Hz です。それ以外の全ての ODR では、帯域幅はおよそ ODR/2 です。

### 温度センサー

ADXL366 には 14 ビットの温度センサーが内蔵されており、システム設計者はこれを利用して内部システム温度をモニタしたり、キャリブレーションによってデバイスの温度安定性を改善したりできます。例えば、加速度出力は  $\pm 0.5mg/^\circ C$  (代表値) のレートで温度によって変化します。しかし、この出力と温度との関係は再現性があるため、設計者は温度センサーの出力を使用することで加速度の温度ドリフトをキャリブレーションすることができます。

加速度信号をキャリブレーションするために温度センサーを用いる場合は、加速度を温度センサー出力と対応付けるだけで十分です。この場合、温度の読み出し値を絶対温度に変換する必要はありません。そのため、初期バイアスのキャリブレーションは不要です。絶対的な温度精度を得るために、量産時にいくつかの既知の温度で初期バイアスを測定しキャリブレーションすることもできます。

設計者は、温度センサーの出力データを FIFO に保存するようデバイスを設定できます。温度サンプルは、出力レジスタから読み出したものも FIFO から読み出したものも、デバイスがオフになるまで、加速度 (および ADC) のサンプルと同時に更新されます。

動作原理

外部 ADC

加速度センサーと温度センサーの他、ADXL366 は全ての外部アナログ信号をデジタル化するために 14 ビットの ADC 入力を追加して内蔵しています。この追加 ADC 入力は、加速度データおよび温度データと同じ ODR でサンプリングされます。

ADC を用いることで、100Hz の ODR で動作する場合に合計消費電流が約 50nA 増加します。ADXL366 では、ADC が不要な場合にはこれをパワーダウンして消費電力を削減できます。

外部 ADC の仕様は、表 1 に示されています。

アナログ入力

ADXL366 の ADC は、0V (GND) ~V<sub>REG\_OUT</sub> の範囲のアナログ入力を変換でき、外部 ADC の入力範囲は、内部レギュレーション電圧により最大 1V に制限されています。

図 43 に、代表的な ADC 出力と入力電圧の関係を示します。なお、ADC のデータ・フォーマットは符号付きで、入力信号は V<sub>REG\_OUT</sub>/2 を基準とするシングルエンドです。そのため、0LSB のコードは約 0.53V です。

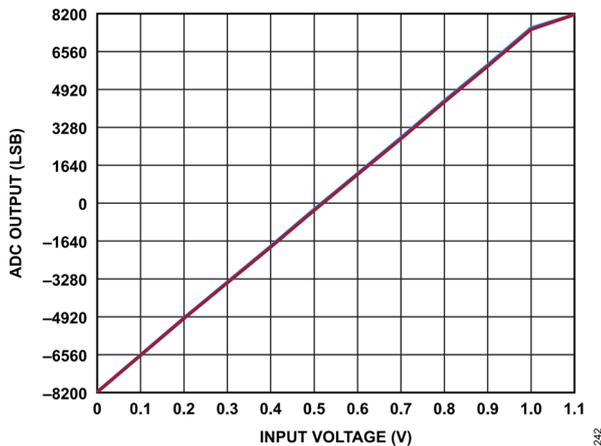


図 43. 外部 ADC の出力と電圧入力の関係

図 44 に、ADXL366 の入力構造の等価回路を示します。D1 および D2 の 2 つのダイオードにより、ADC\_IN の ESD 保護が行われます。

アキュイジション・フェーズ中、ADC\_IN のインピーダンスは、入力抵抗 (R<sub>IN</sub>) と入力容量 (C<sub>IN</sub>) の直列接続によってモデル化できます。R<sub>IN</sub> は通常 20kΩ で、いくつかの直列抵抗とスイッチのオン抵抗で構成される集中定数コンポーネントです。C<sub>IN</sub> は通常 650fF で、主に ADC のサンプリング・コンデンサです。

必要なアキュイジション時間 (t<sub>ACQ</sub>) を計算するには、次式を使用します。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R_{IN}) C_{IN}) \tag{1}$$

ここで、R<sub>SOURCE</sub> はソース・インピーダンスです。

14 ビット設定の場合、t<sub>ACQ</sub> は 15μs 未満とする必要があります。t<sub>ACQ</sub> により R<sub>SOURCE</sub> の上限が約 2MΩ に設定されます。R<sub>IN</sub> および C<sub>IN</sub> は、不要なエイリアシング効果を削減してノイズを抑える単極のローパス・フィルタを生成します。

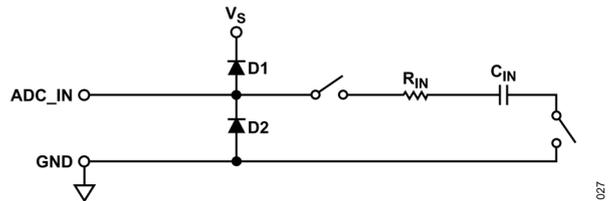


図 44. 等価アナログ入力回路

省電力機能

消費電力が最重視されるアプリケーション向けに設計された ADXL366 には、デバイス・レベルだけでなく、システム・レベルの低消費電力化も可能にする機能がいくつか内蔵されています。

全モードでの超低消費電力

デバイス・レベルでは、ADXL366 の最も顕著な省電力の特長は、あらゆる設定で超低消費電力であることです。ADXL366 の消費電力は、400Hz までの全てのデータ・レートおよび 3.6V までの全ての電源電圧にわたって、0.96μA (代表値) ~ 1.3μA (代表値) です (図 42 を参照)。消費電力が 0.2μA 未満であることが必要な簡単なモーション検出アプリケーションに対しては、191nA (代表値) という更に低消費電力のモーション・トリガのウェイクアップ・モードが用意されています。

このような電流レベルにおいて、この加速度センサーのフル動作での消費電力は、他の多くのシステム・コンポーネントのスタンバイ電流よりも小さくなります。したがって、連続的な加速度監視および長いバッテリー稼働時間を必要とするアプリケーションに最適です。加速度センサーは常にオンであるため、モーション起動スイッチとして機能することができます。加速度センサーは、起動のタイミングをシステムのそれ以外の部分に通知することにより、システム・レベルで電力を管理します。

動作電流の低さと同様、47nA (代表値) というスタンバイ電流の低さも ADXL366 の重要な特長であり、大部分の時間でスリープ状態に置かれ、外部トリガを介してウェイクアップされるアプリケーションでは、バッテリー寿命の大幅な延長をもたらします。

歩数計

ADXL366 には、歩数カウント機能が内蔵されていますが、これを有効化した場合でも、追加される消費電力はわずか 120nA (代表値) です。歩数カウンタ機能は、歩行により生成された加速度ベクトルのピーク検出解析に基づいて取得された、事前定義された時間枠にわたるステップ数を推定するものです。誤検出をなくすため、歩数カウンタは、8 歩以上の歩数が検出された場合のみその歩数が有効であると見なします。それによって、図 45 に示すように、ユーザがアクティブに歩いたり走ったりしている場合にのみ歩数カウントがインクリメントするよう、徹底できます。

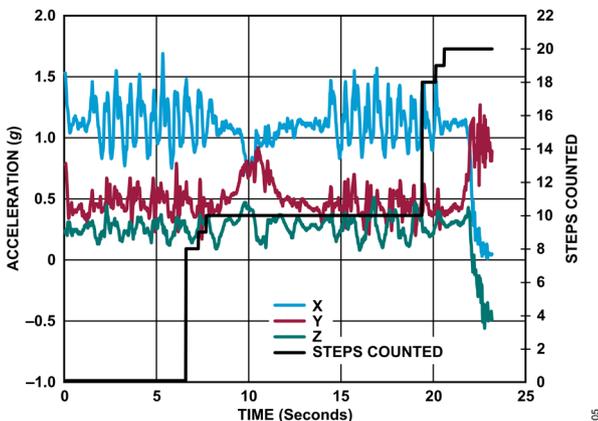


図 45. ある方向に 10 歩歩き、その後反転して更に 10 歩歩いた場合の加速度プロファイル。歩数カウント値は黒色で示しています。

図 46 に、歩数カウント機能によって加速度データを解釈し解析する方法を視覚的に示します。図 46 では、最初の 1 秒以内に、最初の 1 歩が行われ、次いでその人はその場で停止していると歩数計は把握しました。歩行とみられる数は最初の検出最小値の後に 1 に増加していますが、次の最大値が歩行と見なすアルゴリズム条件に合わないため、歩行とみられる数は 0 にリセットされています。この人は、約 1.4 秒の時点から再度歩き始めています。約 6.5 秒の時点で、歩行とみられる数は 8 に達し、この 8 歩とその後の歩行は全て有効な歩行と認識されて、歩数計の歩数出力レジスタに追加されます。

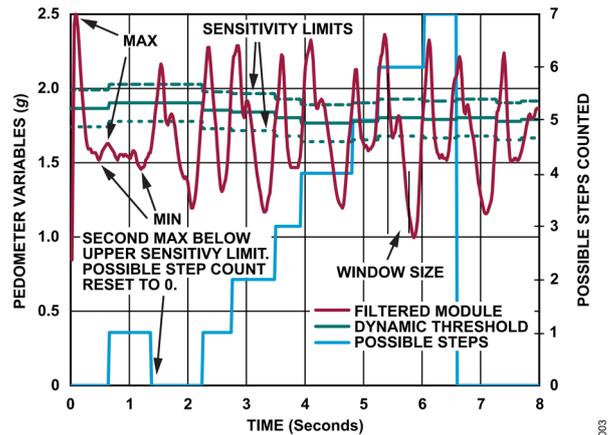


図 46. 歩数カウンタの加速度信号処理

歩数カウンタの動作を有効化するには、PEDOMETER\_CTL (レジスタ 0x49) の PEDOMETER\_EN ビットを 1 に設定します。現在カウントされている歩数を読み出すには、PEDOMETER\_STEP\_CNT\_H レジスタ (レジスタ 0x47) および PEDOMETER\_STEP\_CNT\_L レジスタ (レジスタ 0x48) を読み出します。

ユーザによる設定が可能なパラメータには以下の 2 つがあります。

- ▶ 歩数計の初期閾値。これは、歩数カウンタが有効化されている場合に適用される初期オフセットです。デフォルト値は 4000LSB です。この値は、ユーザが PEDOMETER\_TRHES\_H レジスタ (レジスタ 0x4A) および PEDOMETER\_TRHES\_L レジスタ (レジスタ 0x4B) に必要な値を書き込むことで変更できます。これらのレジスタのスケールング・ファクタは、4000LSB/g です。内部では、動作中に閾値が動的に更新されます。この更新は、最大ピークと最小ピークのペア内の差が歩数計の感度設定値を上回るたびに行われます。
- ▶ 歩数計の感度。これは、動的閾値振幅付近にゾーンを定義するもので、不要な動作が原因となることが多い信号を破棄するのに役立ちます。最大ピークと最小ピークのペアが歩行動作と見なせる可能性を持つためには、次の条件を満たす必要があります。
  - ▶ 最大ピーク > (動的閾値 + 歩数計感度/2)
  - ▶ 最小ピーク < (動的閾値 - 歩数計感度/2)

## 省電力機能

歩数計感度のデフォルト値は 400LSB です。この値は、ユーザが Pedometer\_Sens\_H レジスタ (レジスタ 0x4C) および Pedometer\_Sens\_L レジスタ (レジスタ 0x4D) に必要な値を書き込むことで変更できます。これらのレジスタのスケールリング・ファクタは、4000LSB/g です。

## 外部 ADC 割込み

ADXL366 は、外部アナログ入力をデジタル化するために 14 ビットの ADC を内蔵しています。外部システムのバッテリー電源のユーザ設定による閾値に基づいて割込みが生成され、ADC を使用して電源電圧をモニタできます。電源電圧が設定された閾値未満に低下すると割込みが生成され、エンド・ユーザにバッテリーの充電または交換を行うよう警告が発せられます。この機能を使うことで、ホスト・プロセッサは別の ADC を用いて電源を定期的にチェックする必要がなくなります。

## モーション検出

ADXL366 は、アクティビティ (閾値を上回る加速度が存在する状態) とインアクティビティ (閾値を上回る加速度が存在しない状態) を検出する内蔵ロジックを備えています。アクティビティ・イベントおよびインアクティビティ・イベントは、加速度センサーの動作モード管理やホスト・プロセッサへの割込みのトリガとして使用できます。

アクティビティ・イベントやインアクティビティ・イベントの検出はステータス・レジスタで示され、割込みを生成するように設定できます。また、デバイスのアクティビティ・ステータス、つまり動いているのか静止しているのかは、AWAKE ビット (STATUS\_COPY レジスタ (レジスタ 0x44) のビット 6) によって示されます (AWAKE ビットの使用のセクションを参照)。

アクティビティおよびインアクティビティの検出は、加速度センサーが測定モード時またはウェイクアップ・モード時に使用できます。

## アクティビティ検出

アクティビティ・イベントが検出されるのは、いずれかの軸の加速度が仕様規定された期間にわたって仕様規定された閾値を上回り続けた場合です。いずれかの軸で閾値を超えると (その軸が無効化されていない限り) アクティビティ・イベントが生じます。

## リファレンス・モードとアブソリュート・モード

アクティビティ検出の設定方法には、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・アクティビティ検出を使用した場合、加速度サンプルとユーザが設定した閾値とを比較して、モーションが存在するかどうかを判定します。例えば、0.5g の閾値が設定され、z 軸での加速度がユーザ定義によるアクティビティ時間よりも長い間 1g である場合、アクティビティ・ステータスがアサートされます。

多くのアプリケーションでは、アクティビティ検出が絶対的な閾値ではなく基準点または基準方位からのずれに基づいている方が有利です。これは、重力によって課せられる静的な 1g のアクティビティ検出に与える影響が排除されるため、特に有益です。加速度センサーが静止している場合、たとえモーションが加わっていても、その出力は 1g に到達することがあります。

この場合、アブソリュート・アクティビティでは、閾値が 1g 未満に設定されていると、すぐにアクティビティが検出されます。

アクティビティ・イネーブルとインアクティビティ・イネーブルの少なくともどちらかがリファレンス・モードに設定されている場合 (レジスタ 0x27 の INACT\_EN = 11 または ACT\_EN = 11)、ADXL366 はリファレンス・モードになります。リファレンス・モードでは、ユーザ設定された時間にわたって加速度サンプルが内部定義されたリファレンス値よりも少なくともユーザ定義の時間にわたり大きい場合、アクティビティが検出されます (式 2 を参照)。

$$ABS(Acceleration - Reference) > Threshold \quad (2)$$

したがって、加速度が最初の向きから十分にずれた場合にのみ、アクティビティが検出されます。アクティビティ検出が以下のいずれかのシナリオに該当する場合、アクティビティ検出のリファレンスが計算されます。

- ▶ アクティビティ機能が起動され、測定モードが機能しているとき
- ▶ リンク・モードが有効な場合：インアクティビティが検出され、アクティビティ検出が始まったとき
- ▶ リンク・モードが有効でない場合：アクティビティが検出され、アクティビティ検出が繰り返されるとき

リファレンス・モードに設定されている場合、非常にわずかなモーション・イベントさえ検出する、高感度なアクティビティ検出が行われます。

リファレンス・モードの設定を使用する場合でも、デバイスは測定モードに最初に入ったときには絶対的な閾値を使用する点に注意することが重要です。これは、1g 未満のインアクティビティ閾値が必要な場合に重要になります。この場合、デバイスは、1g より大きな閾値で測定モードに入る必要があります。その後、インアクティビティ閾値を (測定モード状態を維持したまま) 必要なレベルに低下させることができます。これにより、デバイスは z 軸の 1g オフセット周辺に閾値を設定できるようになります。

リファレンス・モードの場合、アクティビティのリファレンス値は、ACT\_INACT\_CTL レジスタ (レジスタ 0x27) の REF\_READBACK ビット (ビット[7:6]) を適切に設定することによって、読み出せます。

1. ACT\_INACT\_CTL レジスタの REF\_READBACK ビットに b'01 を書き込みます。
2. その次の ODR 読出しで、XDATA\_H レジスタ (レジスタ 0x0E) ~ ZDATA\_L レジスタ (レジスタ 0x13) のアクティビティ・リファレンス値を読み出します。

## 誤検出を低減

理想的には、アクティビティ検出の目的は、ノイズや意図的でない小さな移動を無視して、意図的なモーションのときにのみシステムをウェイクアップさせることです。ADXL366 のアクティビティ検出アルゴリズムは、わずかなモーション・イベントを識別するだけでなく、不要なトリガを確実に除去できるように設計されています。

ADXL366 のアクティビティ検出機能には、不要なモーションを除去し、持続的なモーションだけをアクティビティと認識するために、タイマーが組み込まれています。このタイマーの時間は、加速度閾値と同様に、1 サンプル (つまり、タイマーなし) から最大 20 秒のモーションまで、ユーザが調整できます。

## 省電力機能

なお、アクティビティ・タイマーは測定モードおよびウェイクアップ・モードで使用できます。ウェイクアップ・モードでは、1 サンプルのアクティビティ検出が使用されます。

### インアクティビティ検出

インアクティビティ・イベントが検出されるのは、加速度が全ての軸で、仕様規定された時間にわたり仕様規定された閾値を下回り続けた場合です。インアクティビティ・イベントが生じるには、3 軸全てが（有効の場合）インアクティビティ閾値を下回っている必要があります。インアクティビティ検出の設定にも、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・インアクティビティ検出を使用した場合、加速度サンプルとユーザが設定した閾値とをユーザが設定した時間にわたって比較し、モーションが存在するかどうかを判定します。インアクティビティが検出されるのは、連続した十分な数のサンプルの全てが閾値を下回っている場合です。インアクティビティのアブソリュート・モードは、自由落下検出の実行に使用できます。

リファレンス・インアクティビティは、リファレンス・アクティビティと同様、重力による静的加速度の影響を除去するのに特に便利です。アブソリュート・インアクティビティでは、インアクティビティ閾値が 1g 未満に設定された場合、静止したままのデバイスはインアクティビティを検出できないことがあります。リファレンス・インアクティビティを用いれば、同じ構成の同じデバイスでもインアクティビティを検出できます。

リファレンス・インアクティビティ検出を使用する場合、インアクティビティが検出されるのは、加速度サンプルが、ユーザ定義された時間にわたって、内部定義されたリファレンス値を基準としてユーザ定義された閾値の範囲内に収まる場合です（式 3 を参照）。

$$ABS(Acceleration - Reference) < Threshold \quad (3)$$

インアクティビティ検出のリファレンスは、次のどちらかのイベントが発生した場合に計算されます。

- ▶ インアクティビティ機能がオンになり、デバイスが測定モードに入る。
- ▶ インアクティビティ・イベントが検出される。

リファレンス・モードの場合、インアクティビティのリファレンス値は、ACT\_INACT\_CTL レジスタ（レジスタ 0x27）の REF\_READBACK ビット（ビット[7:6]）を適切に設定することによって、読み出せます。

1. ACT\_INACT\_CTL レジスタの REF\_READBACK ビットに b'10 を書き込みます。
2. その次の ODR 読出しで、XDATA\_H レジスタ（レジスタ 0x0E）～ZDATA\_L レジスタ（レジスタ 0x13）のインアクティビティ・リファレンス値を読み出します。

インアクティビティ・タイマーがどのような長さの時間に設定されている場合でも、その時間にわたって静止していれば、加速度センサーはインアクティビティのみを検出する、というのがインアクティビティ検出の条件です。インアクティビティ・タイマーは、2.5ms（400Hz ODR における 1 個のサンプル）のインアクティビティからほぼ 90 分（12.5Hz ODR における 65,535 個のサンプル）のインアクティビティまで自由に設定できます。リファレンスはタイマーが終了するまで更新されません。動的な環境では、タイマーが終了するまでリファレンスが更新されないと、インアクティビティを検出しようとしても加速度は

閾値制限外になっている、という状態にデバイスが陥ってしまう可能性があります。これは、デフォルト・モード、リンク・モード、ループ・モードの全ての動作モードに当てはまります。

次の設定は、リファレンス・インアクティビティをデフォルト・モードで有効化するための一例となるものです。

- ▶ 2g、ODR = 100Hz
- ▶ リファレンス・インアクティビティ閾値 = 250mg
- ▶ インアクティビティ・タイマー = 100 サンプル

例えば、デバイスは、インアクティビティ・リファレンスを 1 秒ごとに更新します。ODR が 100Hz、タイマーが 100 サンプルであるためです（図 47 を参照）。

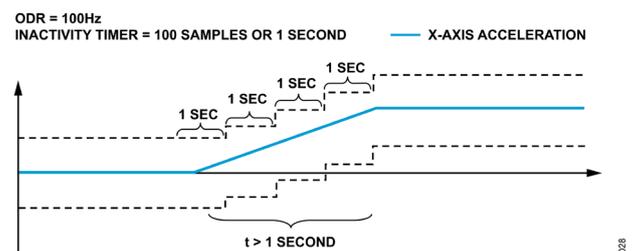


図 47. リファレンス・インアクティビティ閾値、加速度は緩やかに変化

図 48 では、加速度はタイマー時間が経過する前にインアクティビティ閾値を超えています。そのため、インアクティビティは検出されません。しかし、この場合、今度はリファレンス閾値が更新されないことを意味します。加速度が閾値を超えた状態を維持している場合、デバイスはインアクティビティを検出しようとするループにとどまってしまうますが、加速度は制限値外の値です。デバイスが動いていない場合でも、インアクティビティは検出されません。

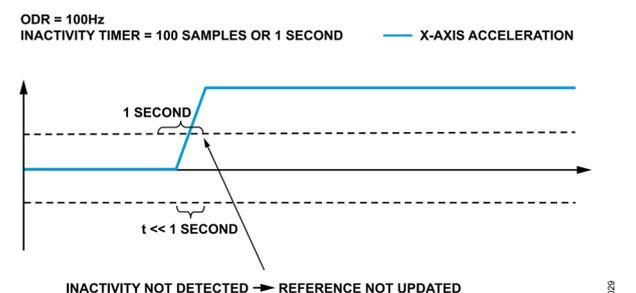


図 48. リファレンス・インアクティビティ閾値、加速度は急速に変化

なお、リンク・モードおよびループ・モードの場合、インアクティビティ・イベントの検出は、アクティビティに順番にリンクします。つまり、インアクティビティ閾値は、デフォルト・モードの場合のように継続的には更新できません（図 47 を参照）。

省電力機能

アクティビティ/インアクティビティ検出のリンク

アクティビティ検出機能およびインアクティビティ検出機能を同時に使用し、ホスト・プロセッサにより手動で処理を行うことができます。あるいは、これ以外の、**デフォルト・モード**のセクション、**リンク・モード**のセクション、**ループ・モード**のセクション、**自動スリープ**のセクションに示す方法で相互作用するよう設定することもできます。

デフォルト・モード

アクティビティ機能とインアクティビティ機能については、デフォルトでは自動的に有効にされないため、ユーザがこれらの機能を有効にする必要があります。ユーザがアクティビティ機能とインアクティビティ機能を有効にすると、アクティビティ検出とインアクティビティ検出の両方が有効化され、全ての割込みをホスト・プロセッサによって処理することが必要になります。つまり、プロセッサが各割込みを読み取らなければ、割込みをクリアして再び使用することはできません。

デフォルト・モードの動作を図 49 でフローチャートにして示します。

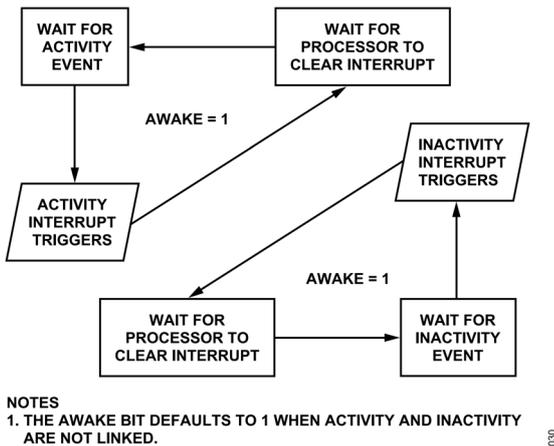


図 49. デフォルト・モードのアクティビティ動作とインアクティビティ動作のフローチャート

リンク・モード

リンク・モードでは、アクティビティ検出とインアクティビティ検出が互いにリンクされ、同時に有効にできる機能が 1 つだけになります。アクティビティが検出されると、デバイスが動いている（あるいはアウェイク状態になっている）ものと見なされて、アクティビティ監視はすぐに停止されます。インアクティビティは次のイベントとして想定されます。したがって、インアクティビティ検出のみが動作します。

同様に、インアクティビティが検出されると、デバイスは静止している（あるいは、スリープ状態になっている）ものと見なされます。したがって、アクティビティが次のイベントとして想定され、アクティビティ検出のみが動作します。

リンク・モードでは、パワーアップ後最初にイネーブルされるのは、アクティビティ割込みです。各割込みは、ホスト・プロセッサが処理しなければ次の割込みはイネーブルされません。

AWAKE ビットは以下のように定義されます。

- ▶ パワーアップ時、AWAKE = 1。
- ▶ インアクティビティが検出されインアクティビティ割込みがクリアされた場合、AWAKE = 0。

- ▶ アクティビティが検出されアクティビティ割込みがクリアされた場合、AWAKE = 1。

リンク・モードでは、ホスト・プロセッサがステータス・レジスタを読み出し、リファレンス・モードのアクティビティ閾値とインアクティビティ閾値を更新する必要がある点に注意することが重要です。これを行わない場合、各閾値は加速度が変化しても更新されません。

図 50 に、リンク・モードの動作をフローチャートで示します。

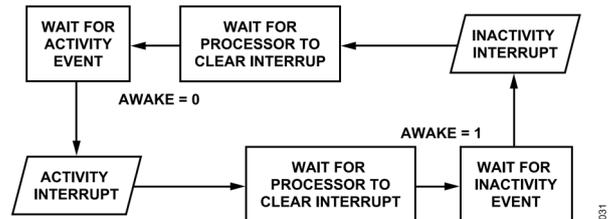


図 50. リンク・モードのアクティビティ動作とインアクティビティ動作を示すフローチャート

ループ・モード

ループ・モードでは、モーション検出は**リンク・モード**のセクションで説明したように動作しますが、割込みはホスト・プロセッサによる処理を必要としません。この設定は、一般的に用いられるモーション検出の実装を簡素化し、バス通信に使用される電力を低減して省電力効果を高めます。

リンク・モードと同様、ループ・モードでもパワーアップ後最初に有効化されるのはアクティビティ割込みです。図 51 に、ループ・モードの動作をフローチャートで示します。

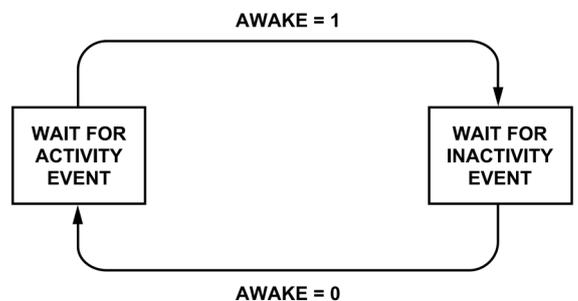


図 51. ループ・モードのアクティビティ動作とインアクティビティ動作を示すフローチャート

ループ・モードの起動ルーチン

ループ・モードを使用する場合、デバイスが最初に測定モードに入ると AWAKE ビットが必ずアサートされる点に注意することが重要です。デバイスは、その時点でアクティビティ・イベントが生じるまで待機しています。そのため、この AWAKE ビットはアクティビティが検出されかつインアクティビティ・イベントが検出されるまでアサートされたままになります。これを回避するには、デバイスは、ADXL366 のノイズ・レベルより小さなアクティビティ閾値であり、かつ、1g より大きなインアクティビティ閾値で測定モードに入る必要があります。こうすることで、デバイスは、測定モードになった直後に AWAKE ビットをデアサートできます。その後、(測定モードのまま)アクティビティ閾値を必要なレベルまで上げることができます。以下の手順は、ループ・モード初期化ルーチンの例を詳細に示すものです。

## 省電力機能

- 以下を実行して、アクティビティ閾値を加速度センサーのノイズ・レベル未満、例えば 1LSB に設定します。
  - THRESH\_ACT\_H レジスタ (レジスタ 0x20) に 0x00 を書き込みます。
  - THRESH\_ACT\_L レジスタ (レジスタ 0x21) に 0x04 を書き込みます。
- 以下を実行して、アクティビティ・タイマーをゼロに設定します。
  - TIMER\_ACT レジスタ (レジスタ 0x22) に 0x00 を書き込みます。
- 以下を実行して、インアクティビティ閾値を 1g より大きい値、例えば FSR に設定します。
  - THRESH\_INACT\_H レジスタ (レジスタ 0x23) に 0x7F を書き込みます。
  - THRESH\_INACT\_L レジスタ (レジスタ 0x24) に 0xFC を書き込みます。
- 以下を実行して、インアクティビティ・タイマーをゼロに設定します。
  - TIMER\_INACT\_H レジスタ (レジスタ 0x25) に 0x00 を書き込みます。
  - TIMER\_INACT\_L レジスタ (レジスタ 0x26) に 0x00 を書き込みます。
- ACT\_INACT\_CTL レジスタ (レジスタ 0x27) に 0x3F を書き込むことによって、アクティビティおよびインアクティビティをリファレンス・モードおよびループ・モードで有効化します。
- その他のユーザ設定を更新できるようにします。
- POWER\_CTL レジスタ (レジスタ 0x2D) に 0x07 を書き込むことによって、測定モードおよび自動スリープ・モードに入ります。
- AWAKE ビットがローになるまで待機します。これは、約 100ms + 1/ODR 以内に生じます。この時間は、スタンバイ・モードから測定モードに切り替わる際の最初のデータ・サンプルに要する時間で、表 1 に仕様規定されています。
- アクティビティおよびインアクティビティの閾値とタイマー (レジスタ 0x20~レジスタ 0x26) を必要な値に再設定します。

## 自動スリープ

リンク・モードまたはループ・モードで自動スリープを有効にすると、デバイスは、インアクティビティが検出され割込みが処理されると自律的にウェイクアップ・モードに入り (ウェイクアップ・モードのセクションを参照)、アクティビティが検出され割込みが処理されると再び測定モードに入ります。

リンク・モードまたはループ・モードが有効化されると、自動スリープ設定がアクティブになります。デフォルト・モードでは、自動スリープ設定は無視されます。自動スリープ・モードは低ノイズ・モードではサポートされていません。

## AWAKE ビットの使用

AWAKE ビットは、ADXL366 がアウェイク状態であるかスリープ状態であるかを示すステータス・ビットです。デバイスは、アクティビティ条件になった場合にアウェイク状態となり、インアクティビティ条件になった場合にスリープ状態となります。

アウェイク信号は INT1 ピンまたは INT2 ピンにマッピングできます。したがって、マッピングされたピンは、加速度センサーのアウェイク状態に基づいて下流回路への電力を接続/切断するステータス出力として使用できます。この設定をループ・モードと組み合わせ使用すれば、図 59 に示すように、単純なモーション起動スイッチを実現できます。

このモーション・スイッチ設定は、アプリケーションの残りの部分のスタンバイ消費電流をゼロにすることによって、システム・レベルの消費電力を大幅に削減できます。

## FIFO

ADXL366 には、512 サンプルのディープ FIFO バッファが備わっています。FIFO は、システム・レベルの省電力とデータ記録/イベント・コンテキストという 2 つの面で重要な役割を果たします。

## システム・レベルの省電力

FIFO を適切に使用すれば、加速度センサーがデータを収集している間、ホスト・プロセッサのスリープ時間を延ばすことによって、システム・レベルの省電力が可能になります。あるいは、FIFO をデータ収集に使用してホストの負担を軽減し、その分を他のタスク処理に振り向けることができます。

## データ記録およびイベント・コンテキスト

FIFO をトリガ・モードで使用して、アクティビティ検出イベントにつながる全てのデータを記録することで、イベントのコンテキストを提供できます。例えば、衝突イベントを特定するシステムの場合、加速度センサーは、システム全体をオフに保持しながら、加速度データをその FIFO に保存し、アクティビティ・イベントを探すことができます。衝突イベントが発生すると、そのイベントより前に収集されたデータは、FIFO 内でフリーズ状態になります。これにより、加速度センサーは、システムの他の部分をウェイクアップさせ、このデータをホスト・プロセッサに転送することによって、衝突イベントのコンテキストを提供することができます。

一般に、使用できるコンテキストが多いほど、システムはよりインテリジェントな決断をくだすことができるため、ディープ FIFO は特に便利です。ADXL366 の FIFO は 13 秒を超えるデータまで保存できるため、アクティビティ・トリガの前にイベントの明確なイメージが得られます。

全ての FIFO 動作モード、FIFO の構造、FIFO からデータを取り出すための命令については、FIFO モードのセクションを参照してください。なお、FIFO からデータを取り出す場合、データの喪失やミスアライメントを防止するために、対象とする全ての軸のデータはバースト (複数バイト) 読み出し動作で読み出す必要があります。

FIFO はウェイクアップ・モードおよび自動スリープ・モードではサポートされません。

## 省電力機能

### 通信

#### SPI 命令

ADXL366 のデジタル・インターフェースは、システム・レベルの省電力を念頭に置いて実装されています。以下の機能は省電力効果を高めます。

- ▶ バースト読み出し／書き込みは、デバイスの設定とデータの取出しに必要な SPI 通信のサイクル数を減らします。
- ▶ アクティビティ検出とインアクティビティ検出の並行動作は、プロセッサから最小限の入力を必要とするモーション起動動作を可能にします。ループ・モードでは、プロセッサの介入のない割込みクリアを可能にすることによって、通信電力を更に低減します。
- ▶ FIFO は、連続したサンプルを無限長の複数バイト読み出しによって連続的に読み出せるように実装されています。そのため、1 つの FIFO 読み出し命令で FIFO の全内容をクリアできます。他の多くの加速度センサーでは、読み出し命令ごとに 1 個のサンプルしか取り出せません。

#### I<sup>2</sup>C インターフェース

ADXL366 は、汎用入出力 (GPIO) リソースに制限があるプラットフォームのために I<sup>2</sup>C インターフェースも備えています。ADXL366 は、UM10204 I<sup>2</sup>C バス仕様およびユーザー・マニュアルの Rev. 03 (19 June 2007, NXP Semiconductors から入手可能) に適合しています。

### バス・キープ

ADXL366 は、SCLK ピン、INT1 ピン、INT2 ピンにバス・キープを内蔵しており、これらをデジタル入力に設定することができます。バス・キープは、駆動されていないスリーステート・バス・ラインがフローティング状態になることを防止し、バス上のゲート入力での貫通電流を防ぎます。

### MSB レジスタ

加速度と温度の測定値は、14 ビット値に変換され、測定ごとに 2 個のレジスタを使用して、SPI または I<sup>2</sup>C インターフェースを介して送信されます。3 軸加速度データの完全なサンプル・セットを読み出すには、6 個のレジスタを読み出す必要があります。

多くのアプリケーションでは、14 ビット・データまでの精度は必要ではなく、むしろシステム全体の省電力が重視されます。XDATA、YDATA、ZDATA (それぞれ、レジスタ 0x08、レジスタ 0x09、レジスタ 0x0A) の各 MSB レジスタは、このトレードオフを可能にします。これらのレジスタには、x、y、z 軸加速度データの 8 個の MSB が含まれます。これらのレジスタを効果的に読み出すことで、8 ビットの加速度値が得られます。とりわけ重要なのは、わずか 3 個の (連続した) レジスタを読み出すだけで完全なデータ・セットを取り出せ、SPI バスまたは I<sup>2</sup>C バスがアクティブで電流を消費する時間を大幅に低減できるということです。

14 ビット、12 ビット、8 ビットのデータは同時に使用できるため、任意の時点でのアプリケーションの要件に応じて、1 つのアプリケーションで全てのデータ・フォーマットを使用できます。例えば、プロセッサは、高い分解能が要求される場合に 14 ビット・データを読み出し、アプリケーション要件が変化した場合に 8 ビット・データに切り替えることが (単に読み出すレジスタ・セットを変更するだけで) できます。

その他の機能

ブラウンアウトからの回復

ブラウンアウト状態になった場合、ADXL366 は、単純なソフトウェア・リセット・コマンドで回復できます。つまり、SPIモードやI<sup>2</sup>Cモードで完全なハードウェア・リセットを実行する必要はありません。ソフトウェア・リセットを実行するには、**ソフト・リセット・レジスタ**のセクションで説明するように、SOFT\_RESET レジスタ（レジスタ 0x1F）に 0x52 を書き込みます。

z 軸の非直線性補償

ADXL366 の面外（z 軸出力）応答は、その反発性による 2 次の非直線性によって支配されます。そして、その非直線性は、通常、x 軸および y 軸の非直線性よりも大幅に大きくなっています。

ADXL366 は、有効化された場合に、z 軸の加速度信号経路に 2 次の補正を適用するデジタル機能の特長としており、これによって非直線性を約 8 倍改善できます。この補償関数は次のとおりです。

$$A_{z, LIN} = A_{z, BC} - k \times A_{z, BC}^2 \tag{4}$$

ここで、

$A_{z, LIN}$  は、z 軸の直線化された加速度、

$A_{z, BC}$  は、補償前の z 軸の加速度、

k は、補償係数です。

z 軸の非直線性補償機能を有効化するには、レジスタ TEMP\_CTL（レジスタ 0x3D）の NL\_COMP\_EN ビット（ビット 7）をハイに設定します。

なお、非直線性補償機能は、x 軸、y 軸、温度の各データには適用されません。図 52 に、2g レンジの場合の直線性改善例を示します。

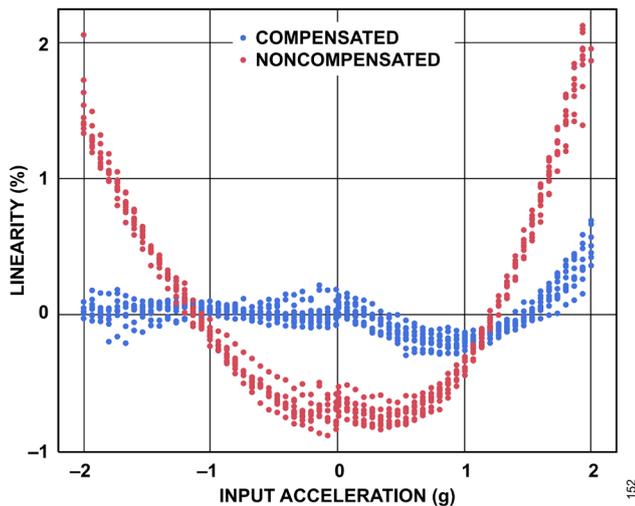


図 52. z 軸の非直線性に補償を行った場合と行わない場合の比較 (2g レンジ、サンプル・サイズ = 10)

自由落下検出

多くのデジタル出力加速度センサーには、自由落下検出機能が内蔵されています。ADXL366 では、この機能は、インアクティビティ割込みを使用して実行できます。詳細については、自由

落下検出の実行のセクションを参照してください。ここには、閾値やタイミング値に関する提案が含まれています。

タップ検出

タップ割込み機能は、シングル・タップ・イベントまたはダブル・タップ・イベントを検出でき、これを有効化しても消費電流の増加はわずか 35nA です。以下のパラメータは、有効なシングル・タップ・イベントとダブル・タップ・イベントを表した図 53 に示されています。

- ▶ タップ検出閾値は THRESH\_TAP レジスタ（レジスタ 0x2F）によって定義されます。
- ▶ 最大タップ継続時間は、TAP\_DUR レジスタ（レジスタ 0x30）によって定義されます。
- ▶ タップ遅延時間は TAP\_LATENT レジスタ（レジスタ 0x31）によって定義されます。これは、最初のタップの終了から、2 回目のタップを検出できる時間枠（ウィンドウ）が開始されるまでの待機時間を表します。検出のための時間枠は TAP\_WINDOW レジスタ（レジスタ 0x32）の値によって決定されます。
- ▶ 遅延時間（TAP\_LATENT レジスタで設定）経過後の時間間隔は、ウィンドウ・レジスタで定義します。2 回目のタップは遅延時間経過後に開始されなければなりません、TAP\_WINDOW レジスタによって定義された時間の終了前に完了する必要はありません。

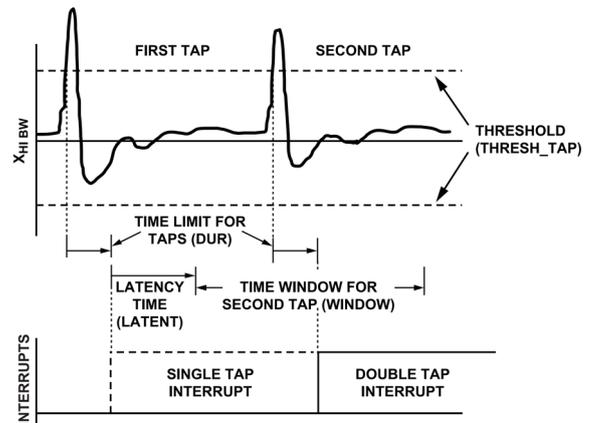


図 53. タップ割込み機能と有効なシングル・タップおよびダブル・タップ

シングル・タップ機能のみが用いられている場合は、TAP\_DUR レジスタに保存された時間値を超えない限り、加速度が閾値を下回るとシングル・タップ割込みがトリガされます。シングル・タップおよびダブル・タップの両方の機能が用いられている場合、ダブル・タップ・イベントが有効と判定されても無効と判定されても、シングル・タップ割込みがトリガされます。そして、次のタップ・イベント（ダブル・タップ）を検出できるようにするには、このシングル・タップ・イベントを（STATUS2 レジスタを読み出すことによって）クリアしなくてはなりません。

1g 未満のタップ閾値（THRESH\_TAP レジスタ）を用いる場合、デバイスを傾けた場合もタップ・イベントとなる可能性がある点に注意してください。

## その他の機能

### 外部クロック

ADXL366 に内蔵されている 102.4kHz (代表値) のクロックは、デフォルトでは、内部動作の時間ベースとして機能します。

ODR および帯域幅は、クロックに比例して変化します。ADXL366 は、100Hz、50Hz、25Hz など、2 倍刻みで離散的な数の ODR オプションを備えています。外部クロックを適切なクロック周波数で使用すれば、用意されているもの以外のデータ・レートを実現できます。式 5 に示すように、出力データ・レートはクロック周波数に比例して変化します。

$$ODR_{ACTUAL} = ODR_{SELECTED} \times \frac{f}{102.4kHz} \quad (5)$$

例えば、80Hz の ODR を実現するには、100Hz の ODR 設定を選択し、公称の 80%、つまり 81.92kHz のクロック周波数を使用します。

ADXL366 は、公称の 102.4kHz から 51.2kHz までの外部クロック周波数で動作できるため、ユーザは必要な出力データ・レートを実現できます。

代わりに、外部クロックを使用してクロック周波数の精度を向上することもできます。許容誤差をより小さくするため、より正確なクロックを外部から供給できます。

消費電力は、クロック周波数に比例します。クロック・レートが高いほど消費電力は増加します。図 54 に、消費電力とクロック・レートとの関係を示します。

なお、外部クロックを設定できるのはスタンバイ・モードのみであり、実行は測定モード・コマンドが発行される前に行う必要があります。

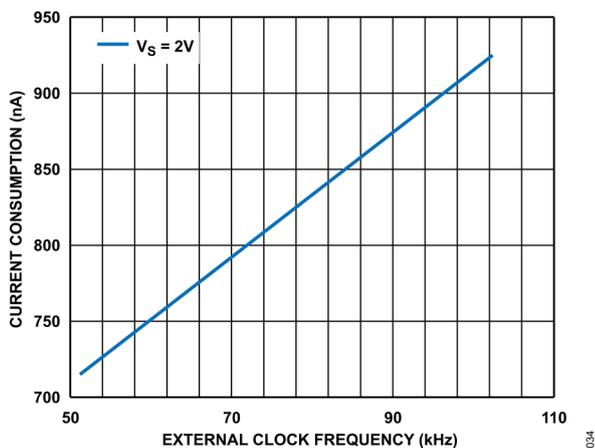


図 54. 消費電流と外部クロック・レートの関係

### 外部トリガ

ADXL366 は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。なお、ADXL366 では、ウェイクアップ・モード時の同期データ・サンプリング (外部トリガ) はサポートしていません。

詳細については、[外部トリガの使用](#)のセクションを参照してください。

### セルフ・テスト

ADXL366 には、機械的システムと電子システムの両方を同時に、かつ効果的にテストするためのセルフ・テスト機能が組み込まれています。セルフ・テスト機能が起動すると、機械式センサーに静電気力が加わります。この静電気力は加速度が加わった場合と同じように機械的検出素子を動かしますが、これはデバイスに加わる加速度に追加される形で作用して、x 軸チャンネルの出力のみを変化させます。セルフ・テスト時は、y 軸チャンネルと z 軸チャンネルの読出し値は無効となります。

### ユーザ・レジスタ保護

ADXL366 には、シングル・イベント・アップセット (SEU) 用のユーザ・レジスタ保護機能が組み込まれています。SEU は、イオンや電磁放射がマイクロエレクトロニクス・デバイスの敏感なノードに当たることによって引き起こされる状態変化です。この状態変化は、ロジック素子の重要ノード (例えばメモリ・ビット) 内か、その近くで発生した電離によって生成される自由電荷が原因で起こります。SEU 自体がトランジスタや回路の機能に恒久的な損傷を与えることはないと考えられていますが、誤ったレジスタ値が生成されるおそれがあります。SEU から保護されている ADXL366 のレジスタは、レジスタ 0x00~レジスタ 0x43 で、242 ビットのチェックを用います。

SEU 保護は、1 ビットと 2 ビットの両方の誤差を検出する、99 ビットの誤差訂正 (ハミングタイプ) コードを介して行われます。チェック・ビットは、保護されたレジスタへの書込みが行われると、いつでも再計算されます。保存されたチェック・ビットが現在のチェック・ビット計算値と合わない場合は、常にステータス・レジスタ (レジスタ 0x0B およびレジスタ 0x44) の ERR\_USER\_REGS ステータス・ビット (ビット 7) がセットされます。

ステータス・レジスタの ERR\_USER\_REGS ビットはデバイス設定に先立ってパワーアップ時にセットされます。このビットはそのデバイスへの最初のレジスタ書込み時にクリアされます。

## シリアル通信

ADXL366は、4線式SPIまたはI<sup>2</sup>Cインターフェースを介して通信し、従属デバイスとして動作します。ADXL366への書込み時にADXL366からメイン・デバイスに送信されるデータは無視します。

図2～図7に示すように、ADXL366が読出しデータを送信している場合を除いて、MISOピンは高インピーダンス状態になります（バス・キープによって保持）。これは、バス電力を節約するために行われます。

ADXL366のSPI通信ケーブルは、図55の接続図に示すように配線します。推奨されるSPIクロック速度は、12pFの最大負荷で1MHz～8MHzです。

ADXL366は、クロック極性(CPOL) = 0とクロック位相(CPHA) = 0のSPIモードを使用します。

デバイスを正しく動作させるために、表2および表3のロジック閾値とタイミング・パラメータには必ず従ってください。

タイミング・パラメータの図については、図10および図11を参照してください。

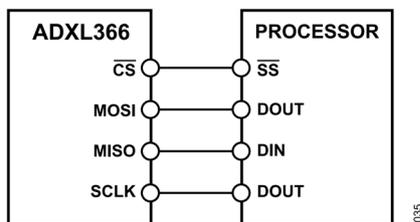


図 55. 4線式SPIの接続図

## SPI コマンド

SPIポートは、最初のバイトがコマンドである複数バイト構造を使用します。ADXL366のコマンド・セットは次のとおりです。

- ▶ 0x0A：レジスタ書込み
- ▶ 0x0B：レジスタ読出し
- ▶ 0x0D：FIFO読出し

### レジスタ読出し／書込みコマンド

レジスタ読出しおよびレジスタ書込みのコマンドのコマンド構造は次のとおりです：<CS ダウン> <コマンド・バイト (0x0Aまたは0x0B)> <アドレス・バイト> <データ・バイト> <複数バイト用の追加データ・バイト>… <CS アップ>

レジスタ読出し／書込みコマンドは、複数バイトの（バースト）読出し／書込みアクセスに対応します。複数バイトの読出し／書込みコマンドの波形図を、それぞれ図2および図3に示します。

### FIFO 読出しコマンド

FIFO バッファからの読出しはアドレスを持たないコマンド構造です：<CS ダウン> <コマンド・バイト (0x0D)> <データ・バイト> <データ・バイト>… <CS アップ>

サンプル・セット全てを（複数バイト・トランザクションを用いて）読み出すことを推奨します。複数バイト・トランザクションを用いた全サンプル・セットの読出しを行わない場合は、FIFOは破棄され、そのチャンネルIDは同期からはずれる可能性があります。データは、最上位バイトが最初に出力され、その後最下位バイトが続きます。

## 複数バイト転送

複数バイト転送（別名：バースト転送）は、全てのSPIコマンド（レジスタ読出し、レジスタ書込み、FIFO読出しコマンド）に対してサポートされています。x軸、y軸、z軸の加速度（および該当する場合は温度）のデータがフルセットで同時に読み出されるように、複数バイト転送を使用してデータを読み出すことを推奨します。

FIFOは、FIFO読出し時にシリアル・ポート・クロックで動作し、データのポップ速度がFIFOへの書込み速度を上回るだけの速さをSPIクロックが持っている限り、SPIクロック・レートでバースト状態を維持できます（ODRに依存）。

## レジスタ読出し／書込みのオートインクリメント

レジスタ読出し／書込みコマンドは、コマンドで指定されたアドレスから開始され、転送されるバイトごとにオートインクリメントされます。レジスタ0x00～レジスタ0x45はユーザによる読書きが可能です。複数バイトのレジスタ読出しがレジスタ0x45より先にわたる場合、レジスタ0x45までのデータのみが有効です。これより先のレジスタを読み出そうとしてもデータは無効です。

## 無効なアドレスとアドレスのエイリアシング

ADXL366は7ビットのアドレス・バスを備えており、可能な256通りのレジスタ・アドレス空間の中で、128のレジスタのみマッピングします。レジスタ0x00～レジスタ0x45は、表11に示すようにユーザがアクセスできます。レジスタ0x4E～レジスタ0x7Fは工場用に予約されています。レジスタ0x7Fより先のレジスタを読み出そうとしてもデータは無効です。

## レイテンシの制約

任意のデータ・レジスタ（レジスタ0x08～レジスタ0x0Aまたはレジスタ0x0E～レジスタ0x17）の読出しによって、データ・レディ割込みがクリアされます。レジスタの読出しからデータ・レディ割込みのクリアまでに、120μsもの遅延が生じることがあります。この遅延はウェイクアップ・モードでは420μsに増加することがあります。同じ遅延が、STATUS、STATUS\_COPY、STATUS\_2の各レジスタでのその他の割込みをクリアする場合にも当てはまります。

その他のレジスタ読出し、レジスタ書込み、FIFO読出しには、レイテンシの制約はありません。

## 無効なコマンド

ADXL366では有効なSPIコマンドは、0x0A、0x0B、0x0Dの3つのみです。その他のコマンドは全て無効で、使用しないようにする必要があります。有効なコマンドを受信しなかった場合、MISO出力は高インピーダンス状態のままであり、バス・キープはMISOラインをその最後の値に保持します。

シリアル通信

SPI バスの共有

別のセンサーと同じ SPI バスで ADXL366 を使用する場合、超低ノイズ性能を維持するために追加の保護が必要になることがあります。これは、他のデバイスが 15MHz 以上の SPI クロックを使用する場合に特に重要です。ADXL366 デバイスには、SCLK ラインにゲート付きバッファを使用してください。ゲート付き SCLK により、チップ・セレクト ( $\overline{CS}$ ) ラインがローの場合にのみクロック信号が通過できます。このタイプの保護機能を備えた回路の例を図 56 に示します。

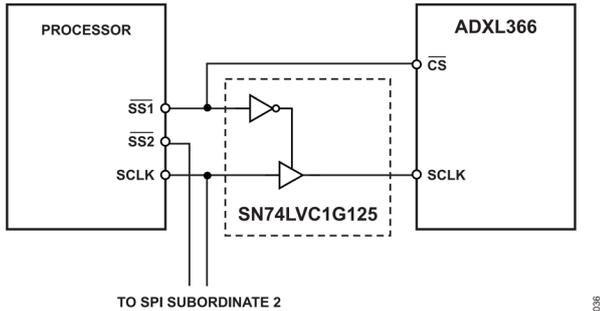


図 56. SCLK 保護例

I<sup>2</sup>C

SCLK をグラウンドにロー接続すると、ADXL366 は I<sup>2</sup>C モードになり、図 57 に示すように 2 線式接続を行う必要があります。ADXL366 は、UM10204 I<sup>2</sup>C バス仕様およびユーザー・マニュアルの Rev. 03 (19 June 2007、NXP Semiconductors から入手可能) に適合しています。ADXL366 はハイ・スピード・モードへの動的な切替えをサポートしない点を除き、この規格に適合しています。表 4 に詳細を示すバス・パラメータの条件が満たされていれば、標準 (100kHz) およびファスト (400kHz) データ転送モードを使用できます。

ASEL ピンがハイの場合、図 57 に示すように、デバイスの 7 ビット I<sup>2</sup>C アドレスは 0x53 で、その後 R/ $\overline{W}$  ビットが続きます。これは、書き込み時には 0xA6、読み出し時には 0xA7 になります。

ASEL ピンを接地することによって、I<sup>2</sup>C アドレスを 0x1D (その後 R/ $\overline{W}$  ビットが続く) とすることもできます。この場合、書き込み時には 0x3A、読み出し時には 0x3B になります。

また、図 58 に示すように、シングルバイトまたは複数バイトの読み出し/書き込みがサポートされています。図 12 に、詳細な FIFO 読み出しプロトコル情報を示します。

使用していないピンには内部プルアップ抵抗やプルダウン抵抗はありません。したがって、ASEL ピンをフロート状態や無接続のままにした場合、このピンには既知の状態やデフォルト状態がありません。ASEL ピンは、I<sup>2</sup>C インターフェースを使用し V<sub>DDIO</sub> またはグラウンドに接続する必要があります。

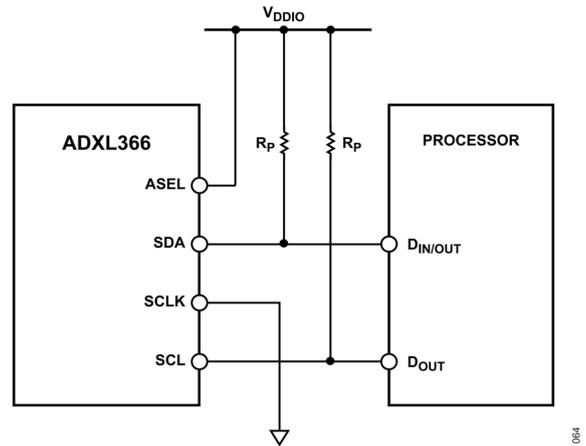


図 57. I<sup>2</sup>C の接続図 (アドレス 0x53)

同じ I<sup>2</sup>C バスに他のデバイスが接続されている場合、他のデバイスの公称動作電圧レベルは V<sub>DDIO</sub> + 0.3V を超えることができません。適正な I<sup>2</sup>C の動作には、外部プルアップ抵抗 (R<sub>P</sub>) が必要です。正しい動作を確保するためにプルアップ抵抗値を選択する場合は、UM10204 I<sup>2</sup>C バス仕様およびユーザー・マニュアルの Rev. 03 (19 June 2007) を参照してください。

SINGLE-BYTE WRITE										
MAIN	START	SUBORDINATE ADDRESS + WRITE	REGISTER ADDRESS	DATA	STOP					
MULTIPLE-BYTE WRITE										
MAIN	START	SUBORDINATE ADDRESS + WRITE	REGISTER ADDRESS	DATA	DATA	STOP				
SINGLE-BYTE READ										
MAIN	START	SUBORDINATE ADDRESS + WRITE	REGISTER ADDRESS	START	SUBORDINATE ADDRESS + READ	DATA	NACK	STOP		
MULTIPLE-BYTE READ										
MAIN	START	SUBORDINATE ADDRESS + WRITE	REGISTER ADDRESS	START	SUBORDINATE ADDRESS + READ	DATA	ACK	DATA	NACK	STOP

NOTES

1. THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.
2. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 58. I<sup>2</sup>C のデバイス・アドレス指定 (データ・レジスタからの読み出し)

## レジスタ・マップ

表 11. レジスタ・マップ

Reg Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x00	DEVID_AD	[7:0]	DEVID_AD									0xAD	R	
0x01	DEVID_MST	[7:0]	DEVID_MST									0x1D	R	
0x02	PART_ID	[7:0]	PART_ID									0xF7	R	
0x03	REV_ID	[7:0]	REV_ID									0x05	R	
0x04	RESERVED	[7:0]	RESERVED									0x00	R	
0x05	SERIAL_NUMBER_2	[7:0]	RESERVED								SERIAL_NUMBER[16]	0x00	R	
0x06	SERIAL_NUMBER_1	[7:0]	SERIAL_NUMBER[15:8]									0x00	R	
0x07	SERIAL_NUMBER_0	[7:0]	SERIAL_NUMBER[7:0]									0x00	R	
0x08	XDATA	[7:0]	XDATA_H									0x00	R	
0x09	YDATA	[7:0]	YDATA_H									0x00	R	
0x0A	ZDATA	[7:0]	ZDATA_H									0x00	R	
0x0B	STATUS	[7:0]	ERR_US ER_RE GS	AWAKE	INACT	ACT	FIFO_OVER_ RUN	FIFO_WATER _MARK	FIFO_REA DY	DATA_RE ADY	0x40	R		
0x0C	FIFO_ENTRIES_L	[7:0]	FIFO_ENTRIES[7:0]									0x00	R	
0x0D	FIFO_ENTRIES_H	[7:0]	RESERVED								FIFO_ENTRIES[9:8]	0x00	R	
0x0E	XDATA_H	[7:0]	XDATA[13:6]									0x00	R	
0x0F	XDATA_L	[7:0]	XDATA[5:0]								RESERVED	0x00	R	
0x10	YDATA_H	[7:0]	YDATA[13:6]									0x00	R	
0x11	YDATA_L	[7:0]	YDATA[5:0]								RESERVED	0x00	R	
0x12	ZDATA_H	[7:0]	ZDATA[13:6]									0x00	R	
0x13	ZDATA_L	[7:0]	ZDATA[5:0]								RESERVED	0x00	R	
0x14	TEMP_H	[7:0]	TEMP_DATA[13:6]									0x00	R	
0x15	TEMP_L	[7:0]	TEMP_DATA[5:0]								RESERVED	0x00	R	
0x16	EX_ADC_H	[7:0]	EX_ADC_DATA[13:6]									0x00	R	
0x17	EX_ADC_L	[7:0]	EX_ADC_DATA[5:0]								RESERVED	0x00	R	
0x18	I2C_FIFO_DATA	[7:0]	I2C_FIFO_DATA									0x00	R	
0x1F	SOFT_RESET	[7:0]	RESERVED								SOFT_RE SET	RESERVE D	0x00	W
0x20	THRESH_ACT_H	[7:0]	RESER VED	THRESH_ACT[12:6]									0x00	R/W
0x21	THRESH_ACT_L	[7:0]	THRESH_ACT[5:0]								RESERVED	0x00	R/W	
0x22	TIME_ACT	[7:0]	TIME_ACT									0x00	R/W	
0x23	THRESH_INACT_H	[7:0]	RESER VED	THRESH_INACT[12:6]									0x00	R/W
0x24	THRESH_INACT_L	[7:0]	THRESH_INACT[5:0]								RESERVED	0x00	R/W	
0x25	TIME_INACT_H	[7:0]	TIME_INACT[15:8]									0x00	R/W	
0x26	TIME_INACT_L	[7:0]	TIME_INACT[7:0]									0x00	R/W	
0x27	ACT_INACT_CTL	[7:0]	REF_READBACK		LINKLOOP		INACT_EN		ACT_EN		0x00	R/W		
0x28	FIFO_CONTROL	[7:0]	RESER VED	CHANNEL_SELECT				FIFO_SAMP LES[8]	FIFO_MODE		0x00	R/W		

## レジスタ・マップ

表 11. レジスタ・マップ (続き)

Reg Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x29	FIFO_SAMPLES	[7:0]	FIFO_SAMPLES[7:0]									0x80	R/W
0x2A	INTMAP1_LOWER	[7:0]	INT_LOW_INT1	AWAKE_INT1	INACT_INT1	ACT_INT1	FIFO_OVERRUN_INT1	FIFO_WATERMARK_INT1	FIFO_RDY_INT1	DATA_RDY_INT1	0x00	R/W	
0x2B	INTMAP2_LOWER	[7:0]	INT_LOW_INT2	AWAKE_INT2	INACT_INT2	ACT_INT2	FIFO_OVERRUN_INT2	FIFO_WATERMARK_INT2	FIFO_RDY_INT2	DATA_RDY_INT2	0x00	R/W	
0x2C	FILTER_CTL	[7:0]	RANGE		I2C_HS	RESERVED	EXT_SAMPLE	ODR			0x23	R/W	
0x2D	POWER_CTL	[7:0]	RESERVED	EXT_CLK	NOISE		WAKEUP	AUTOSLEEP	MEASURE		0x00	R/W	
0x2E	SELF_TEST	[7:0]	RESERVED						ST_FORCE	ST	0x00	R/W	
0x2F	TAP_THRESH	[7:0]	TAP_THRESH									0x00	R/W
0x30	TAP_DUR	[7:0]	TAP_DUR									0x00	R/W
0x31	TAP_LATENT	[7:0]	TAP_LATENT									0x00	R/W
0x32	TAP_WINDOW	[7:0]	TAP_WINDOW									0x00	R/W
0x33	X_OFFSET	[7:0]	RESERVED			X_USER_OFFSET					0x00	R/W	
0x34	Y_OFFSET	[7:0]	RESERVED			Y_USER_OFFSET					0x00	R/W	
0x35	Z_OFFSET	[7:0]	RESERVED			Z_USER_OFFSET					0x00	R/W	
0x36	X_SENS	[7:0]	RESERVED			X_USER_SENS					0x00	R/W	
0x37	Y_SENS	[7:0]	RESERVED			Y_USER_SENS					0x00	R/W	
0x38	Z_SENS	[7:0]	RESERVED			Z_USER_SENS					0x00	R/W	
0x39	TIMER_CTL	[7:0]	WAKEUP_RATE		RESERVED	TIMER_KEEP_ALIVE					0x00	R/W	
0x3A	INTMAP1_UPPER	[7:0]	ERR_FUSE_INT1	ERR_USER_REGS_INT1	RESERVED	KPALV_TIMER_INT1	TEMP_ADC_HI_INT1	TEMP_ADC_LOW_INT1	TAP_TWO_INT1	TAP_ONE_INT1	0x00	R/W	
0x3B	INTMAP2_UPPER	[7:0]	ERR_FUSE_INT2	ERR_USER_REGS_INT2	RESERVED	KPALV_TIMER_INT2	TEMP_ADC_HI_INT2	TEMP_ADC_LOW_INT2	TAP_TWO_INT2	TAP_ONE_INT2	0x00	R/W	
0x3C	ADC_CTL	[7:0]	FIFO_8_12BIT		RESERVED		ADC_INACT_EN	RESERVED	ADC_ACT_EN	ADC_EN	0xC0	R/W	
0x3D	TEMP_CTL	[7:0]	NL_COMP_EN	RESERVED			TEMP_INACT_EN	RESERVED	TEMP_ACT_EN	TEMP_EN	0x00	R/W	
0x3E	TEMP_ADC_OVER_THRSH_H	[7:0]	RESERVED	TEMP_ADC_THRESH_HIGH[12:6]								0x00	R/W
0x3F	TEMP_ADC_OVER_THRSH_L	[7:0]	TEMP_ADC_THRESH_HIGH[5:0]						RESERVED			0x00	R/W
0x40	TEMP_ADC_UNDER_THRSH_H	[7:0]	RESERVED	TEMP_ADC_THRESH_LOW[12:6]								0x00	R/W
0x41	TEMP_ADC_UNDER_THRSH_L	[7:0]	TEMP_ADC_THRESH_LOW[5:0]						RESERVED			0x00	R/W
0x42	TEMP_ADC_TIMER	[7:0]	TIMER_TEMP_ADC_INACT				TIMER_TEMP_ADC_ACT				0x00	R/W	
0x43	AXIS_MASK	[7:0]	RESERVED		TAP_AXIS		RESERVED	ACT_INACT_Z	ACT_INACT_Y	ACT_INACT_X	0x00	R/W	
0x44	STATUS_COPY	[7:0]	ERR_USER_REGS	AWAKE	INACT	ACT	FIFO_OVERRUN	FIFO_WATERMARK	FIFO_READY	DATA_READY	0x40	R	
0x45	STATUS_2	[7:0]	ERR_FUSE_REGS	FUSE_REFRESH	RESERVED	TIMER	TEMP_ADC_HI	TEMP_ADC_LOW	TAP_TWO	TAP_ONE	0x00	R	

## レジスタ・マップ

表 11. レジスタ・マップ (続き)

Reg Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x46	STATUS_3	[7:0]	RESERVED								PEDOMETER_OVERFLOW	0x00	R
0x47	PEDOMETER_STEP_CNT_H	[7:0]	PEDOMETER_STEP_CNT[15:8]									0x00	R
0x48	PEDOMETER_STEP_CNT_L	[7:0]	PEDOMETER_STEP_CNT[7:0]									0x00	R
0x49	PEDOMETER_CTL	[7:0]	RESERVED					PEDOMETER_RESET_STEP	PEDOMETER_RESET_OF	PEDOMETER_EN	0x00	R/W	
0x4A	PEDOMETER_THRES_H	[7:0]	RESERVED	PEDOMETER_THRESHOLD[14:8]								0x0F	R/W
0x4B	PEDOMETER_THRES_L	[7:0]	PEDOMETER_THRESHOLD[7:0]									0xA0	R/W
0x4C	PEDOMETER_SENS_H	[7:0]	RESERVED	PEDOMETER_SENSITIVITY[14:8]								0x01	R/W
0x4D	PEDOMETER_SENS_L	[7:0]	PEDOMETER_SENSITIVITY[7:0]									0x90	R/W

## レジスタの詳細

このセクションでは、ADXL366 のレジスタの機能について説明します。ADXL366 は、表 11 のリセット列に表示されているデフォルトのレジスタ値で起動します。

POWER\_CTL レジスタより前のレジスタ（レジスタ 0x00～レジスタ 0x2C）の変更は、デバイスがスタンバイ状態のときに行う必要があります。ADXL366 が測定モードにある間に設定変更が行われた場合、その変更は測定の一部に対してしか有効にならない場合があります。

以降のレジスタ・セクションでは、「アドレス」という用語は「レジスタ」と同義です。

### アナログ・デバイセズのデバイス ID レジスタ

アドレス：0x00、リセット：0xAD、レジスタ名：DEVID\_AD

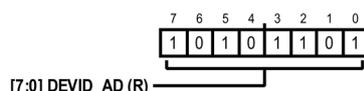


表 12. DEVID\_AD のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_AD		このレジスタには、アナログ・デバイセズのデバイス ID が格納されます。	0xAD	R

### MEMS デバイス ID レジスタ

アドレス：0x01、リセット：0x1D、レジスタ名：DEVID\_MST

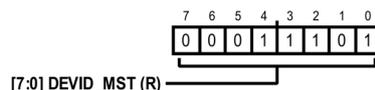


表 13. DEVID\_MST のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_MST		このレジスタには、アナログ・デバイセズの MEMS デバイス ID が格納されます。	0x1D	R

### デバイス ID レジスタ

アドレス：0x02、リセット：0xF7、レジスタ名：PART\_ID

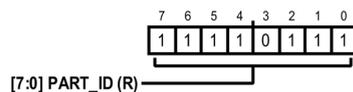


表 14. PART\_ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PART_ID		このレジスタには、デバイス ID が格納されます。	0xF7	R

### リビジョン ID レジスタ

アドレス：0x03、リセット：0x03、レジスタ名：REV\_ID

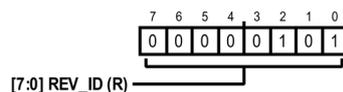


表 15. REV\_ID ビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REV_ID		このレジスタには、製品のリビジョン ID が格納されます。	0x05	R

## レジスタの詳細

## XID レジスタ

アドレス : 0x05、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_2

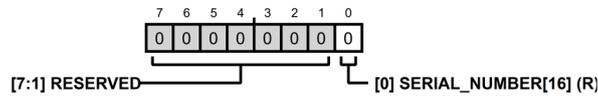


表 16. SERIAL\_NUMBER\_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予約済み。	0x0	R
[0]	SERIAL_NUMBER[16]		このレジスタには、製品シリアル番号のビット 16 が格納されます。	0x0	R

アドレス : 0x06、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_1



表 17. SERIAL\_NUMBER\_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SERIAL_NUMBER [15:8]		このレジスタには、製品シリアル番号のビット[15:8]が格納されます。	0x0	R

アドレス : 0x07、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_0

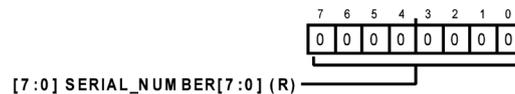


表 18. SERIAL\_NUMBER\_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SERIAL_NUMBER[7:0]		このレジスタには、製品シリアル番号のビット[7:0]が格納されます。	0x0	R

## X データ・ビット[13:6]レジスタ

アドレス : 0x08、リセット : 0x00、レジスタ名 : XDATA

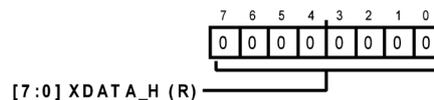
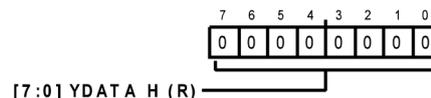


表 19. XDATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA_H		このレジスタには、x 軸の加速度データの 8 個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され 8 ビットのデータで十分なアプリケーションで使用されます。1 軸あたり 2 バイトのデータではなく 1 バイト分だけを読み出すことでエネルギーを節約できます。	0x0	R

## Y データ・ビット[13:6]レジスタ

アドレス : 0x09、リセット : 0x00、レジスタ名 : YDATA



レジスタの詳細

表 20. YDATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA_H		このレジスタには、y 軸の加速度データの 8 個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され 8 ビットのデータで十分なアプリケーションで使用されます。1 軸あたり 2 バイトのデータではなく 1 バイト分だけを読み出すことでエネルギーを節約できます。	0x0	R

Z データ・ビット[13:6]レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：ZDATA

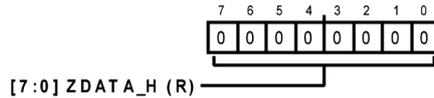


表 21. ZDATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA_H		このレジスタには、z 軸の加速度データの 8 個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され 8 ビットのデータで十分なアプリケーションで使用されます。1 軸あたり 2 バイトのデータではなく 1 バイト分だけを読み出すことでエネルギーを節約できます。	0x0	R

STATUS レジスタ

アドレス：0x0B、リセット：0x40、レジスタ名：STATUS

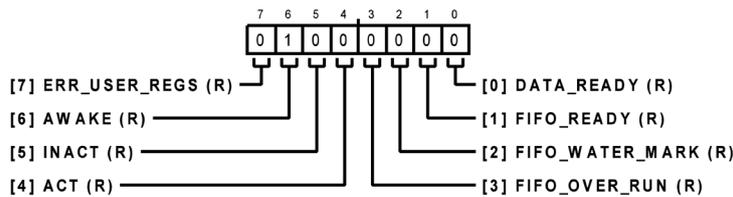


表 22. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_USER_REGS	SEU エラー検出。このビットが 1 の場合、2 つの条件のいずれかを示します。つまり、SEU イベント（電源グリッチの α 粒子など）がユーザ・レジスタ設定を乱したか、または ADXL366 が未設定であることを示します。このビットは起動時とソフト・リセット時にハイになり、何らかのレジスタ書き込みコマンドが実行されると直ちにリセットされます。	0x0	R
6	AWAKE	アクティビティ/インアクティビティ機能に基づいて、加速度センサーがアクティブ状態（AWAKE = 1）であるかインアクティブ状態（AWAKE = 0）であるかを示します。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード（ACT_INACT_CTL レジスタの LINKLOOP ビット）にする必要があります。それ以外の場合、このビットはデフォルトで 1 になり、無視する必要があります。 0：デバイスはインアクティブ 1：デバイスはアクティブ（リセット状態）	0x1	R
5	INACT	インアクティビティ。このビットが 1 の場合、インアクティビティ検出機能がインアクティビティ状態または自由落下状態を検出したことを示します。	0x0	R
4	ACT	アクティビティ。このビットが 1 の場合、アクティビティ検出機能が閾値を超える状態を検出したことを示します。	0x0	R
3	FIFO_OVER_RUN	FIFO オーバーラン。このビットが 1 の場合、FIFO がオーバーランまたはオーバーフローしたことを示します。FIFO 読出しが発生して新しいデータのためにある程度の空間ができるまで、新たなデータを FIFO に書き込むことはできません。FIFO_OVER_RUN は、FIFO_MODE がオールデスト・セーブ・モードの場合にのみ使用できます。	0x0	R
2	FIFO_WATER_MARK	FIFO ウォーターマーク。このビットが 1 の場合、FIFO が、FIFO_SAMPLES レジスタに設定された目的のサンプル数以上のサンプルを格納していることを示します。FIFO_WATER_MARK がアサートされるのは、（この値より大きい）次のサンプルが FIFO に書き込まれた場合です。	0x0	R
1	FIFO_READY	FIFO レディ。このビットが 1 の場合、FIFO 出力バッファ内に使用可能なサンプルが 1 つ以上あることを示します。	0x0	R

レジスタの詳細

表 22. STATUS のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
0	DATA_READY	データ・レディ。このビットが1の場合、新しい有効なサンプルを読み出せることを示します。このビットは、データ読出しが行われるとクリアされます。DATA_READYは、新しい有効なデータが使用可能になるとセットされ、新しいデータがなくなるとクリアされます。いずれかのデータ・レジスタ (アドレス 0x08~アドレス 0x0A およびアドレス 0x0E~アドレス 0x17) の読出し中には、DATA_READY ビットはセットされません。レジスタ読出しより前に DATA_READY = 0 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_READY は、読出しが完了するまで 0 のままで、完了したときにのみ 1 に設定されます。レジスタ読出しより前に DATA_READY = 1 である場合、これはレジスタ読出しの開始時にクリアされます。レジスタ読出しより前に DATA_READY = 1 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_READY は、レジスタ読出しの開始時に 0 にクリアされ、読出し中には 0 のままです。読出しが完了すると、DATA_READY は 1 に設定されます。	0x0	R

FIFO エントリ・ビット[7:0]レジスタ

アドレス : 0x0C、リセット : 0x00、レジスタ名 : FIFO\_ENTRIES\_L

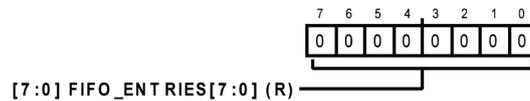


表 23. FIFO\_ENTRIES\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_ENTRIES[7:0]		これらのレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0~512 (0x00~0x200) です。FIFO_ENTRIES_L は、最下位バイトを格納します。FIFO_ENTRIES_H は、2 つの最上位ビットを格納します。FIFO_ENTRIES_H のビット[15:10]は不使用です (X = ドント・ケアとして表されます)。	0x0	R

FIFO エントリ・ビット[9:8]レジスタ

アドレス : 0x0D、リセット : 0x00、レジスタ名 : FIFO\_ENTRIES\_H

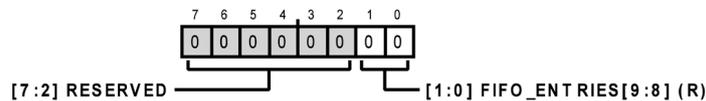


表 24. FIFO\_ENTRIES\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予約済み。	0x0	R
[1:0]	FIFO_ENTRIES[9:8]		これらのレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0~512 (0x00~0x200) です。FIFO_ENTRIES_L は、最下位バイトを格納します。FIFO_ENTRIES_H は、2 つの最上位ビットを格納します。FIFO_ENTRIES_H のビット[15:10]は不使用です (X = ドント・ケアとして表されます)。	0x0	R

X データ・ビット[13:6]レジスタ

アドレス : 0x0E、リセット : 0x00、レジスタ名 : XDATA\_H

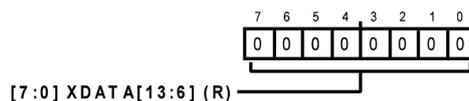


表 25. XDATA\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA[13:6]		符号拡張された (X) x 軸加速度データを 2 個のレジスタに格納します。XDATA_H には 14 ビット値のうちの上位 (MSB) 8 ビットが格納され、XDATA_L には下位 (LSB) 6 ビットが格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ 0x0F を読み出す必要があることに注意してください。8 ビットのデータが必要な場合は、レジスタ 0x08 を読み出します。	0x0	R

レジスタの詳細

X データ・ビット[5:0]レジスタ

アドレス：0x0F、リセット：0x00、レジスタ名：XDATA\_L

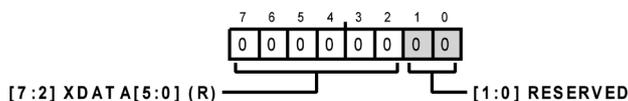


表 26. XDATA\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	XDATA[5:0]		符号拡張された (X) x 軸加速度データを 2 個のレジスタに格納します。XDATA_H には 14 ビット値のうちの 8 個の MSB が格納され、XDATA_L には 6 個の LSB が格納されます。	0x0	R
[1:0]	RESERVED		予約済み。	0x0	R

Y データ・ビット[13:6]レジスタ

アドレス：0x10、リセット：0x00、レジスタ名：YDATA\_H

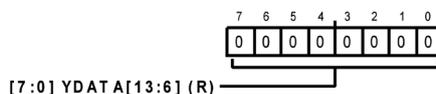


表 27. YDATA\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA[13:6]		符号拡張された (Y) y 軸加速度データを 2 個のレジスタに格納します。YDATA_H には 14 ビット値のうちの 8 個の MSB が格納され、YDATA_L には 6 個の LSB が格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ 0x11 を読み出す必要があることに注意してください。8 ビットのデータが必要な場合は、レジスタ 0x09 を読み出します。	0x0	R

Y データ・ビット[5:0]レジスタ

アドレス：0x11、リセット：0x00、レジスタ名：YDATA\_L

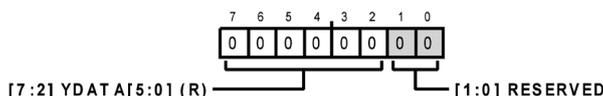


表 28. YDATA\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	YDATA[5:0]		符号拡張された (Y) y 軸加速度データを 2 個のレジスタに格納します。YDATA_H には 14 ビット値のうちの 8 個の MSB が格納され、YDATA_L には 6 個の LSB が格納されます。	0x0	R
[1:0]	RESERVED		予約済み。	0x0	R

Z データ・ビット[13:6]レジスタ

アドレス：0x12、リセット：0x00、レジスタ名：ZDATA\_H

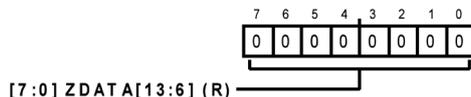


表 29. ZDATA\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA[13:6]		符号拡張された (Z) z 軸加速度データを 2 個のレジスタに格納します。ZDATA_H には 14 ビット値のうちの 8 個の MSB が格納され、ZDATA_L には 6 個の LSB が格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ 0x13 を読み出す必要があることに注意してください。8 ビットのデータが必要な場合は、レジスタ 0x0A を読み出します。	0x0	R

## レジスタの詳細

## Z データ・ビット[5:0]レジスタ

アドレス : 0x13、リセット : 0x00、レジスタ名 : ZDATA\_L

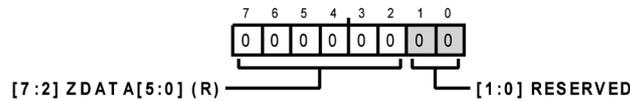


表 30. ZDATA\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	ZDATA[5:0]		符号拡張された (Z) z 軸加速度データを 2 個のレジスタに格納します。ZDATA_H には 14 ビット値のうち 8 個の MSB が格納され、ZDATA_L には 6 個の LSB が格納されます。	0x0	R
[1:0]	RESERVED		予約済み。	0x0	R

## 温度データ・ビット[13:6]レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : TEMP\_H

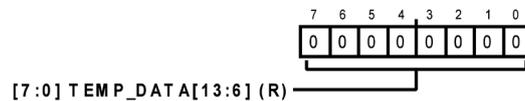


表 31. TEMP\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TEMP_DATA[13:6]		符号拡張された (T) 温度データを 2 個のレジスタに格納します。TEMP_H には 14 ビット値のうち 8 個の MSB が格納され、TEMP_L には 6 個の LSB が格納されます。	0x0	R

## 温度データ・ビット[5:0]レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : TEMP\_L

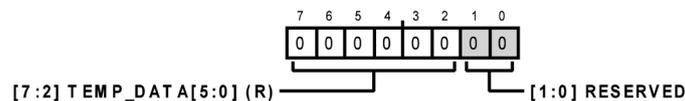


表 32. TEMP\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	TEMP_DATA[5:0]		符号拡張された (T) 温度データを 2 個のレジスタに格納します。TEMP_H には 14 ビット値のうち 8 個の MSB が格納され、TEMP_L には 6 個の LSB が格納されます。	0x0	R
[1:0]	RESERVED		予約済み。	0x0	R

## ADC データ・ビット[13:6]レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : EX\_ADC\_H



表 33. EX\_ADC\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	EX_ADC_DATA[13:6]		符号拡張された (ADC) 外部接続入力 ADC のデータを 2 個のレジスタに格納します。EX_ADC_H には 14 ビット値のうち 8 個の MSB が格納され、EX_ADC_L には 6 個の LSB が格納されます。	0x0	R

レジスタの詳細

ADC データ・ビット[5:0]レジスタ

アドレス：0x17、リセット：0x00、レジスタ名：EX\_ADC\_L

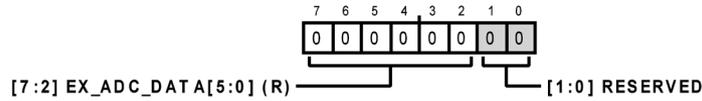


表 34. EX\_ADC\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	EX_ADC_DATA[5:0]		符号拡張された (ADC) 外部接続入力 ADC のデータを 2 個のレジスタに格納します。EX_ADC_H には 14 ビット値のうち 8 個の MSB が格納され、EX_ADC_L には 6 個の LSB が格納されます。	0x0	R
[1:0]	RESERVED		予約済み。	0x0	R

I<sup>2</sup>C FIFO データ・レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：I2C\_FIFO\_DATA

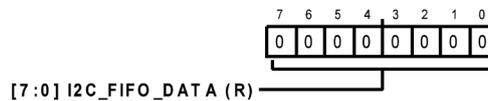


表 35. I2C\_FIFO\_DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	I2C_FIFO_DATA		I <sup>2</sup> C FIFO データ読み出しアドレス。このアドレスを読み出すと、軸データの実効ワードが FIFO からポップされます。後続の 2 回の読み出しまたは複数バイトの読み出しで、このデータのインターフェースへのトランザクションが完了します。このフィールドの連続した読み出しまたは持続的な複数バイトの読み出しでは、FIFO からのポップが行われ続けます。このアドレスへの複数バイトの読み出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントによってこのアドレスが読み出された場合、FIFO はポップされません。代わりに、このアドレスはスキップされます。	0x0	R

ソフト・リセット・レジスタ

アドレス：0x1F、リセット：0x00、レジスタ名：SOFT\_RESET

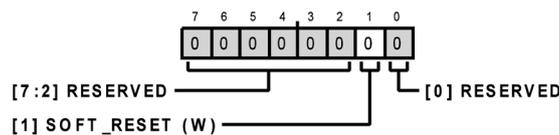


表 36. SOFT\_RESET のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予約済み。	0x0	R
1	SOFT_RESET		このレジスタにコード 0x52 (アスキーまたはユニコードで文字「R」を表す) を書き込むと、直ちに ADXL366 がリセットされます。全てのレジスタ設定がクリアされ、センサーはスタンバイ状態になります。内部駆動されていない場合、割り込みピンは、高出カインピーダンス・モードに設定され、バス・キーパによって有効な状態に保持されます。ブラウンアウト時に偶然にスキャン・モードになり、電源を入れ直しても回復しない場合は、ソフトウェア・リセットを実行してスキャン・モードを終了することを推奨します。なお、これは書き込み専用レジスタです。読み出した場合、そのデータは常に 0x00 です。ソフトウェア・リセット後は 20ms のレイテンシが必要です。	0x0	W
0	RESERVED		予約済み。	0x0	R

閾値アクティビティ・ビット[12:6]レジスタ

アドレス：0x20、リセット：0x00、レジスタ名：THRESH\_ACT\_H

レジスタの詳細

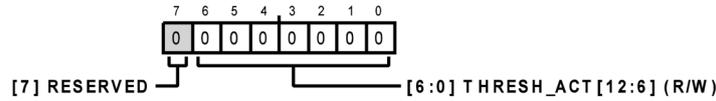


表 37. THRESH\_ACT\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予約済み。	0x0	R
[6:0]	THRESH_ACT[12:6]		アクティビティを検出するため、ADXL366 は、14 ビット（符号付き）の加速度データの絶対値を 13 ビット（符号なし）の THRESH_ACT 値と比較します。アクティビティ検出の詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_ACT という用語は、6 個の LSB を保持する THRESH_ACT_L レジスタ（THRESH_ACT[5:0]）と 7 個の MSB を保持する THRESH_ACT_H レジスタ（THRESH_ACT[12:6]）から構成される、13 ビットの符号なし値を表します。THRESH_ACT はコードで設定されます。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W

閾値アクティビティ・ビット[5:0]レジスタ

アドレス：0x21、リセット：0x00、レジスタ名：THRESH\_ACT\_L

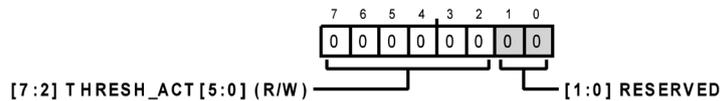


表 38. THRESH\_ACT\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	THRESH_ACT[5:0]		アクティビティを検出するため、ADXL366 は、14 ビット（符号付き）の加速度データの絶対値を 13 ビット（符号なし）の THRESH_ACT 値と比較します。アクティビティ検出の詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_ACT という用語は、6 個の LSB を保持する THRESH_ACT_L レジスタ（THRESH_ACT[5:0]）と 7 個の MSB を保持する THRESH_ACT_H レジスタ（THRESH_ACT[12:6]）から構成される、13 ビットの符号なし値を表します。THRESH_ACT はコードで設定されます。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予約済み。	0x0	R

時限アクティビティ・レジスタ

アドレス：0x22、リセット：0x00、レジスタ名：TIME\_ACT

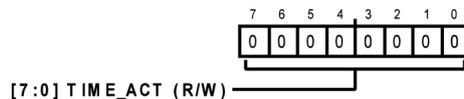
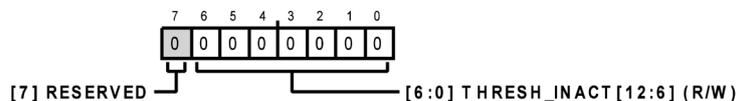


表 39. TIME\_ACT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_ACT		アクティビティ・タイマーは、誤検出によるモーション・トリガを最小限に抑える信頼性の高いアクティビティ検出を実現します。このタイマー使用時は、持続的なモーションだけがアクティビティ検出をトリガできます。詳細については、 <a href="#">誤検出を低減</a> のセクションを参照してください。このレジスタの値は、アクティビティ・イベントを検出するために少なくとも 1 軸でアクティビティ閾値（THRESH_ACT によって設定）を上回る必要のある連続したサンプル数です。	0x0	R/W

閾値インアクティビティ・ビット[12:6]レジスタ

アドレス：0x23、リセット：0x00、レジスタ名：THRESH\_INACT\_H



レジスタの詳細

表 40. THRESH\_INACT\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予約済み。	0x0	R
[6:0]	THRESH_INACT[12:6]		インアクティビティを検出するため、14 ビットの加速度データの絶対値と 13 ビットの (符号なし) THRESH_INACT 値が比較されます (インアクティビティ = 加速度 < 加速度)。詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_INACT という用語は、6 個の LSB を保持する THRESH_INACT_L レジスタ (THRESH_INACT[5:0]) と 7 個の MSB を保持する THRESH_INACT_H レジスタ (THRESH_INACT[12:6]) から構成される、13 ビットの符号なし値を表します。	0x0	R/W

閾値インアクティビティ・ビット[5:0]レジスタ

アドレス : 0x24、リセット : 0x00、レジスタ名 : THRESH\_INACT\_L

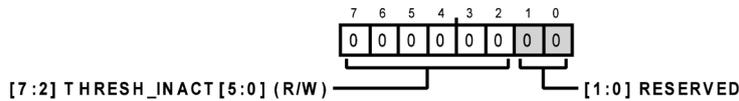


表 41. THRESH\_INACT\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	THRESH_INACT[5:0]		インアクティビティを検出するため、14 ビットの加速度データの絶対値と 13 ビットの (符号なし) THRESH_INACT 値が比較されます (インアクティビティ = 加速度 < 加速度)。詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_INACT という用語は、6 個の LSB を保持する THRESH_INACT_L レジスタ (THRESH_INACT[5:0]) と 7 個の MSB を保持する THRESH_INACT_H レジスタ (THRESH_INACT[12:6]) から構成される、13 ビットの符号なし値を表します。	0x0	R/W
[1:0]	RESERVED		予約済み。	0x0	R

時限インアクティビティ・ビット[15:8]レジスタ

アドレス : 0x25、リセット : 0x00、レジスタ名 : TIME\_INACT\_H



表 42. TIME\_INACT\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_INACT[15:8]		これらのレジスタの 16 ビット値は、インアクティビティ・イベントを検出するために全ての軸でインアクティビティ閾値 (THRESH_INACT によって設定) を下回る必要のある連続したサンプル数です。	0x0	R/W

時限インアクティビティ・ビット[7:0]レジスタ

アドレス : 0x26、リセット : 0x00、レジスタ名 : TIME\_INACT\_L

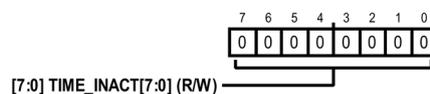


表 43. TIME\_INACT\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_INACT[7:0]		これらのレジスタの 16 ビット値は、インアクティビティ・イベントを検出するために全ての軸でインアクティビティ閾値 (THRESH_INACT によって設定) を下回る必要のある連続したサンプル数です。	0x0	R/W

レジスタの詳細

アクティビティ/インアクティビティ・コントロール・レジスタ

アドレス : 0x27、リセット : 0x00、レジスタ名 : ACT\_INACT\_CTL

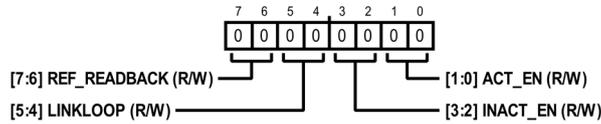
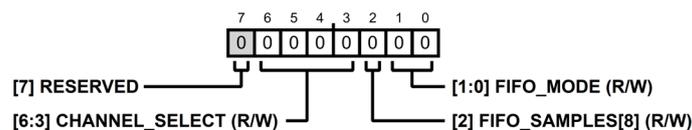


表 44. ACT\_INACT\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REF_READBACK	アクティビティおよびインアクティビティのリファレンス・リードバック設定。 00 : ノーマル。XDATA、YDATA、ZDATA の各レジスタには XL データが格納されます。 01 : ACT_DATA。XDATA、YDATA、ZDATA の各レジスタにはそれぞれのアクティビティ・リファレンス値が格納されます。 10 : INACT_DATA。XDATA、YDATA、ZDATA の各レジスタにはそれぞれのインアクティビティ・リファレンス値が格納されます。 11 : 予約済み。	0x0	R/W
[5:4]	LINKLOOP	リンク検出モードとループ検出モードの有効化と設定、およびホスト・マイクロコントローラの割込み処理 00 : デフォルト・モード。アクティビティ/インアクティビティ検出はいずれも有効であり、ホスト・プロセッサが STATUS レジスタを読み出すことによって、その割込み（マッピングされている場合）をアクノリッジする必要があります。自動スリープはこのモードでは無効になる点に注意してください。このモードは、自由落下検出アプリケーションに使用します。温度または ADC に関するアクティビティはこのモードでのみサポートされます。 01 : リンク・モード。アクティビティ/インアクティビティ検出は、同時に 1 つだけが有効になるように、順番にリンクされます。ホスト・プロセッサが STATUS レジスタを読み出すことによって、その割込み（マッピングされている場合）をアクノリッジする必要があります。この設定は、X チャンネル、Y チャンネル、Z チャンネルの設定にのみ影響し、温度や ADC には影響しません。 10 : デフォルト・モード。アクティビティ/インアクティビティ検出はいずれも有効であり、ホスト・プロセッサが STATUS レジスタを読み出すことによって、その割込み（マッピングされている場合）をアクノリッジする必要があります。自動スリープはこのモードでは無効になる点に注意してください。このモードは、自由落下検出アプリケーションに使用します。温度または ADC に関するアクティビティはこのモードでのみサポートされます。 11 : ループ・モード。アクティビティ/インアクティビティ検出は、同時に 1 つだけが有効になるように、順番にリンクされます。その割込みは内部的にアクノリッジされます（ホスト・プロセッサによる処理は不要です）。リンク・モードやループ・モードを使用するには、ACT_EN（ビット[1:0]）と INACT_EN（ビット[3:2]）の両方を 1 に設定する必要があります。それ以外の場合はデフォルト・モードが使われます。詳細については、 <a href="#">アクティビティ/インアクティビティ検出のリンクのセクション</a> を参照してください。この設定は、X チャンネル、Y チャンネル、Z チャンネルの設定にのみ影響し、温度や ADC には影響しません。	0x0	R/W
[3:2]	INACT_EN	リファレンスまたはアブソリュート（デフォルト）インアクティビティ・モード・イネーブル。 00 : インアクティビティ検出を有効化しない。 01 : インアクティビティを有効化。 10 : インアクティビティ検出を有効化しない。 11 : リファレンス・インアクティビティを有効化。	0x0	R/W
[1:0]	ACT_EN	アクティビティ・イネーブル。 00 : アクティビティ検出を有効化しない。 01 : アクティビティを有効化。 10 : アクティビティ検出を有効化しない。 11 : リファレンス・アクティビティを有効化。	0x0	R/W

FIFO コントロール・レジスタ

アドレス : 0x28、リセット : 0x00、レジスタ名 : FIFO\_CONTROL



## レジスタの詳細

表 45. FIFO\_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
[6:3]	CHANNEL_SELECT	<p>選択可能な軸の変換を有効化。</p> <p>0000 : 全 3 軸 (x、y、z) を変換 (デフォルト・モード)。</p> <p>0001 : x 軸のデータのみを変換。</p> <p>0010 : y 軸のデータのみを変換。</p> <p>0011 : z 軸のデータのみを変換。</p> <p>0100 : x 軸、y 軸、z 軸の各データおよび温度を変換。温度測定を可能にするには TEMP_EN ビット (レジスタ 0x3D のビット 0) をセットする必要があります。</p> <p>0101 : x 軸のデータおよび温度を変換。温度測定を可能にするには TEMP_EN ビットをセットする必要があります。</p> <p>0110 : y 軸のデータおよび温度を変換。温度測定を可能にするには TEMP_EN ビットをセットする必要があります。</p> <p>0111 : z 軸のデータおよび温度を変換。温度測定を可能にするには TEMP_EN ビットをセットする必要があります。</p> <p>1000 : x 軸、y 軸、z 軸の各データおよび外部 ADC を変換。外部 ADC 測定を可能にするには ADC_EN ビット (レジスタ 0x3C のビット 0) をセットする必要があります。</p> <p>1001 : x 軸のデータおよび外部 ADC を変換。外部 ADC 測定を可能にするには ADC_EN ビットをセットする必要があります。</p> <p>1010 : y 軸のデータおよび外部 ADC を変換。外部 ADC 測定を可能にするには ADC_EN ビットをセットする必要があります。</p> <p>1011 : z 軸のデータおよび外部 ADC を変換。外部 ADC 測定を可能にするには ADC_EN ビットをセットする必要があります。</p> <p>1100 : この設定値は使用しないでください。</p> <p>1101 : この設定値は使用しないでください。</p> <p>1110 : この設定値は使用しないでください。</p> <p>1111 : この設定値は使用しないでください。</p>	0x0	R/W
2	FIFO_SAMPLES[8]	このレジスタの値は、FIFO に格納するサンプルの数を指定します。x 軸、y 軸、z 軸が FIFO に格納されるよう設定され、FIFO サンプルに対し値 2 が書き込まれた場合、6 個のサンプルが FIFO に書き込まれます。FIFO サンプルの全範囲は 0~511 です。FIFO ウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は 0x80 です。	0x0	R/W
[1:0]	FIFO_MODE	<p>FIFO モードの設定。これらの設定を変更できるのは、スタンバイ・モード時のみです。あるモードから別のモードに変更するには、部分的なリセットやサンプリングが生じないよう、モードとモードの間で FIFO_MODE = 00 (FIFO を無効化) に移行することを強く推奨します。</p> <p>00 : FIFO を無効化。</p> <p>01 : オールデスト・セーブ・モードでは、FIFO は、満杯になるまでデータを蓄積してから停止します。追加のデータが収集されるのは、FIFO バッファからサンプルを読み出してスペースが利用可能になったときだけです (この動作モードは「最初の N」と呼ばれる場合があります)。</p> <p>10 : ストリーム・モードでは、FIFO には常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます (このモードは「最後の N」と呼ばれる場合があります)。ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データが FIFO に収集されている間、プロセッサは他のタスクを処理します。FIFO が特定のサンプル数 (FIFO_CONTROL レジスタの FIFO_SAMPLES[8] ビット (ビット 2) と FIFO_SAMPLES レジスタによって指定) まで満たされると、FIFO ウォーターマーク割込みがトリガされます (この割込みが有効化されている場合)。この時点で、ホスト・プロセッサは FIFO 全体の内容を読み出し、FIFO が再び満たされるようになったら他のタスクに戻ることができます。</p> <p>11 : トリガ・モードでは、FIFO は、アクティビティ・イベントの周辺のサンプルを保存します。この動作は、オシロスコープでのワнтаイム実行トリガに似ています。アクティビティ・イベントより前に保存されるサンプルの数は、FIFO_CONTROL レジスタの FIFO_SAMPLES[8] ビットと FIFO_SAMPLES レジスタで指定されます。アクティビティ・イベントによって FIFO のフィリング開始がトリガされ、目的のサンプル数が保存され、FIFO_WATERMARK_INTx がアクティブ化 (割込みピンにマップされている場合) されると、別の割込みをアクティブ化する前に FIFO 読み出しを行う必要があります。</p>	0x0	R/W

## レジスタの詳細

## FIFO サンプル・レジスタ

アドレス : 0x29、リセット : 0x80、レジスタ名 : FIFO\_SAMPLES



表 46. FIFO\_SAMPLES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_SAMPLES[7:0]		このレジスタの値は、FIFOに格納するサンプルの数を指定します。x軸、y軸、z軸がFIFOに格納するよう設定され、FIFOサンプルに対し値2が書き込まれた場合、6個のサンプルがFIFOに書き込まれます。FIFOサンプルの全範囲は0~511です。FIFOウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は0x80です。	0x80	R/W

## 割込みピン1イネーブル（下位）レジスタ

アドレス : 0x2A、リセット : 0x00、レジスタ名 : INTMAP1\_LOWER

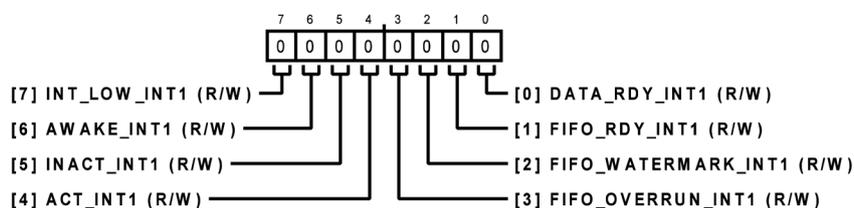


表 47. INTMAP1\_LOWER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INT_LOW_INT1	ピンがアクティブ・ハイ・モード（ビット7がロー・レベル）で動作するか、アクティブ・ロー・モード（ビット7がハイ・レベル）で動作するかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
6	AWAKE_INT1	1にセットするとアウェイク・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
5	INACT_INT1	1にセットするとインアクティビティ・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
4	ACT_INT1	INT1ピンへのアクティビティ検出割込みをイネーブル。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
3	FIFO_OVERRUN_INT1	1にセットするとFIFOオーバーラン・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
2	FIFO_WATERMARK_INT1	1にセットするとFIFOウォーターマーク・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	FIFO_RDY_INT1	1にセットするとFIFOレディ・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	DATA_RDY_INT1	1にセットするとDATA_READYビット（レジスタ0x0Bおよびレジスタ0x44）がINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

## レジスタの詳細

## 割込みピン 2 イネーブル (下位) レジスタ

アドレス : 0x2B、リセット : 0x00、レジスタ名 : INTMAP2\_LOWER

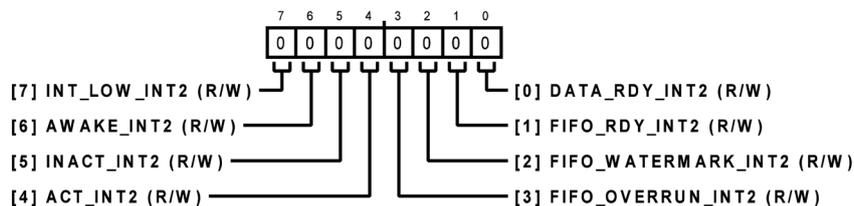


表 48. INTMAP2\_LOWER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INT_LOW_INT2	ピンがアクティブ・ハイ・モード (ビット 7 がロー・レベル) で動作するか、アクティブ・ロー・モード (ビット 7 がハイ・レベル) で動作するかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
6	AWAKE_INT2	1にセットするとアウェイク・モードが INT2 ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
5	INACT_INT2	1にセットするとインアクティビティ・ステータスが INT2 ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
4	ACT_INT2	INT2 ピンへのアクティビティ検出割込みをイネーブル。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
3	FIFO_OVERRUN_INT2	1にセットすると FIFO オーバーラン・ステータスが INT2 ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
2	FIFO_WATERMARK_INT2	1 = FIFO ウォーターマーク・ステータスを INT2 ピンにマップ。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	FIFO_RDY_INT2	1にセットすると FIFO レディ・ステータスが INT2 ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	DATA_RDY_INT2	1にセットすると DATA_READY ビット (レジスタ 0x0B およびレジスタ 0x44) が INT2 ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

## フィルタ・コントロール・レジスタ

アドレス : 0x2C、リセット : 0x23、レジスタ名 : FILTER\_CTL

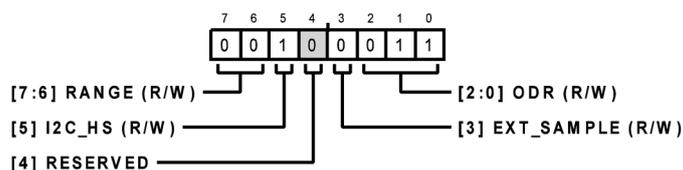


表 49. FILTER\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RANGE	00 : $\pm 2g$ (リセットのデフォルト)。 01 : $\pm 4g$ 。 10 : $\pm 8g$ 。 11 : 予約済み。	0x0	R/W

レジスタの詳細

表 49. FILTER\_CTL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
5	I2C_HS	ハイ・スピード I <sup>2</sup> C モード。デフォルトはオンで、このビットを 1 から 0 に変更することだけが推奨されます (スタンバイ・モード時)。ハイ・スピード・モードに戻すには、ソフト・リセットまたは POR を用いる必要があります。ADXL366 はどの I <sup>2</sup> C 仕様にも準拠していません (標準モードからハイ・スピード・モードへ切り替える 00001XXX コマンドは認識されません)。	0x1	R/W
4	RESERVED	予約済み。	0x0	R
3	EXT_SAMPLE	外部サンプリング・トリガ。1 = INT2 ピンは、外部変換のタイミング制御に使用されます。詳細については、 <a href="#">外部トリガの使用</a> のセクションを参照してください。	0x0	R/W
[2:0]	ODR	出力データを設定し、内部フィルタを ODR/2 に設定。 000 : ODR = 12.5Hz。 001 : ODR = 25Hz。 010 : ODR = 50Hz。 011 : ODR = 100Hz。 100 : ODR = 200Hz。 101 : ODR = 400Hz。	0x3	R/W

パワー・コントロール・レジスタ

アドレス : 0x2D、リセット : 0x00、レジスタ名 : POWER\_CTL

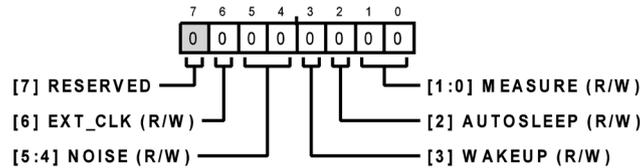


表 50. POWER\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
6	EXT_CLK	外部クロック。詳細については、 <a href="#">外部クロックの使用</a> のセクションを参照してください。	0x0	R/W
[5:4]	NOISE	ノイズ・モードの設定 00 : 通常動作の低消費電力動作モード (リセットのデフォルト)。 01 : 予約済み。 10 : 超低ノイズ (詳細については <a href="#">電力とノイズのトレードオフ</a> のセクションを参照してください)。 11 : 低ノイズ・モード (詳細については <a href="#">電力とノイズのトレードオフ</a> のセクションを参照してください)。	0x0	R/W
3	WAKEUP	ウェイクアップ・モード。ウェイクアップ・モードの詳細については、 <a href="#">動作モード</a> のセクションを参照してください。	0x0	R/W
2	AUTOSLEEP	自動スリープ。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード (ACT_INACT_CTL レジスタの LINKLOOP ビット) にする必要があります。それ以外の場合、このビットは無視されます。詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。	0x0	R/W
[1:0]	MEASURE	デバイスをスタンバイ・モードまたは測定動作モードに設定します。 00 : スタンバイ・モード。 01 : 予約済み。 10 : 測定モード。 11 : 予約済み。	0x0	R/W

ユーザ・セルフ・テスト・レジスタ

アドレス : 0x2E、リセット : 0x00、レジスタ名 : SELF\_TEST

## レジスタの詳細

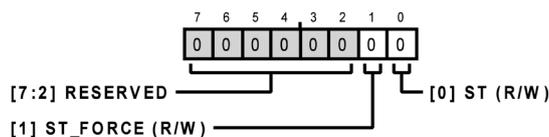


表 51. SELF\_TEST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	ST_FORCE	強制セルフ・テスト。	0x0	R/W
0	ST	セルフ・テスト。	0x0	R/W

## タップ閾値レジスタ

アドレス : 0x2F、リセット : 0x00、レジスタ名 : TAP\_THRESH

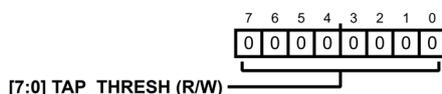


表 52. TAP\_THRESH のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_THRESH		TAP_THRESH レジスタは 8 ビットで、タップ割込みの閾値を格納します。データ・フォーマットは「符号なし」です。そのため、通常のタップ検出用に TAP_THRESH の値を使ってタップ・イベントの大きさが比較されます。タップ閾値のスケール・ファクタは 31.25mg/LSB (つまり 0xFF = 8g) です。4g レンジの場合はビット 7 が無視され、2g レンジの場合はビット [7:6] が無視される点に注意してください。例えば、4g レンジでタップ閾値が 5g (TAP_THRESH = 0xA0) に設定されている場合、センサーはビット 7 の値を無視し、値を TAP_THRESH = 0x20 と解釈します。これは 1g に相当します。値をゼロにすると、シングル・タップおよびダブル・タップの検出は共に無効化されます。	0x0	R/W

## タップ時間レジスタ

アドレス : 0x30、リセット : 0x00、レジスタ名 : TAP\_DUR

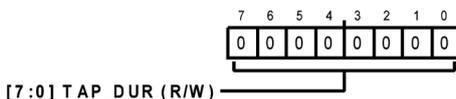


表 53. TAP\_DUR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_DUR		TAP_DUR レジスタは 8 ビットで、イベントがタップ・イベントとして認定されるために TAP_THRESH 閾値を超えていなければならない時間の最大値を表す、符号なしの時間値を格納します。スケール・ファクタは 625μs/LSB です。	0x0	R/W

## タップ遅延レジスタ

アドレス : 0x31、リセット : 0x00、レジスタ名 : TAP\_LATENT

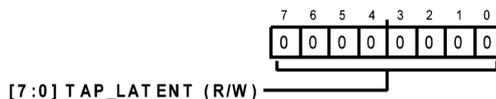


表 54. TAP\_LATENT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_LATENT		TAP_LATENT レジスタは 8 ビットで、タップ・イベントが検出されてから、2 回目のタップ・イベント検出のための時間ウィンドウ (ウィンドウ・レジスタで定義) を開始するまでの待ち時間を表す、符号なしの時間値を格納します。スケール・ファクタは 1.25ms/LSB です。値をゼロにすると、ダブル・タップ機能はディスエーブルされます。	0x0	R/W

## レジスタの詳細

## タップ・ウィンドウ・レジスタ

アドレス：0x32、リセット：0x00、レジスタ名：TAP\_WINDOW

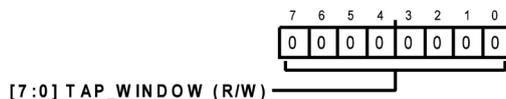


表 55. TAP\_WINDOW のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_WINDOW		TAP_WINDOW レジスタは8ビットで、符号なしの時間値を格納します。この時間値は、遅延時間（遅延レジスタで定義）経過後の時間量を表すもので、2回目のタップ（ダブル・タップ）が有効なダブル・タップと見なされるためには、これがこの時間内に発生することが必要です。スケーリング・ファクタは1.25ms/LSBです。	0x0	R/W

## x 軸ユーザ・オフセット・レジスタ

アドレス：0x33、リセット：0x00、レジスタ名：X\_OFFSET

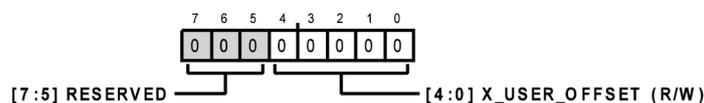


表 56. X\_OFFSET のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予約済み。	0x0	R
[4:0]	X_USER_OFFSET		x 軸のユーザ・オフセット・キャリブレーション。15mg/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2の補数フォーマットで、ビット4は符号ビットです。これらのビットは、デバイスのオフセットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整に使用できる余地が少なくなります。	0x0	R/W

## y 軸ユーザ・オフセット・レジスタ

アドレス：0x34、リセット：0x00、レジスタ名：Y\_OFFSET

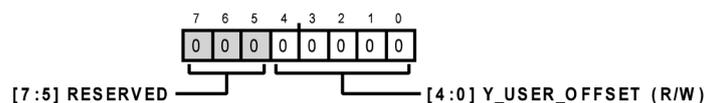


表 57. Y\_OFFSET のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予約済み。	0x0	R
[4:0]	Y_USER_OFFSET		y 軸のユーザ・オフセット・キャリブレーション。15mg/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2の補数フォーマットで、ビット4は符号ビットです。これらのビットは、デバイスのオフセットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整に使用できる余地が少なくなります。	0x0	R/W

## z 軸ユーザ・オフセット・レジスタ

アドレス：0x35、リセット：0x00、レジスタ名：Z\_OFFSET

レジスタの詳細

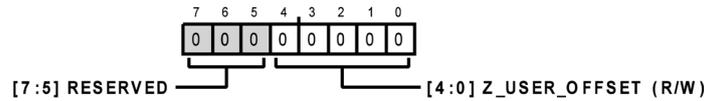


表 58. Z\_USER\_OFFSET のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予約済み。	0x0	R
[4:0]	Z_USER_OFFSET		z 軸のユーザ・オフセット・キャリブレーション。15mg/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2 の補数フォーマットで、ビット 4 は符号ビットです。これらのビットは、デバイスのオフセットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

x 軸ユーザ感度レジスタ

アドレス : 0x36、リセット : 0x00、レジスタ名 : X\_SENS

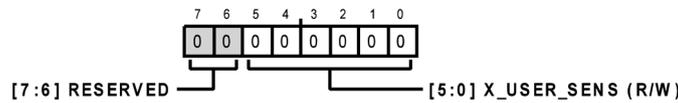


表 59. X\_USER\_SENS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予約済み。	0x0	R
[5:0]	X_USER_SENS		x 軸のユーザ・ゲイン・キャリブレーション。1.56%/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2 の補数フォーマットで、ビット 5 は符号ビットです。これらのビットは、デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

y 軸ユーザ感度レジスタ

アドレス : 0x37、リセット : 0x00、レジスタ名 : Y\_SENS

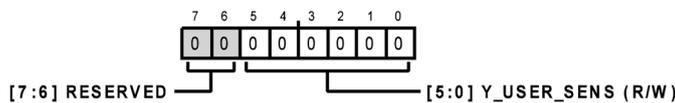


表 60. Y\_USER\_SENS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予約済み。	0x0	R
[5:0]	Y_USER_SENS		y 軸のユーザ・ゲイン・キャリブレーション。1.56%/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2 の補数フォーマットで、ビット 5 は符号ビットです。これらのビットは、デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

z 軸ユーザ感度レジスタ

アドレス : 0x38、リセット : 0x00、レジスタ名 : Z\_SENS

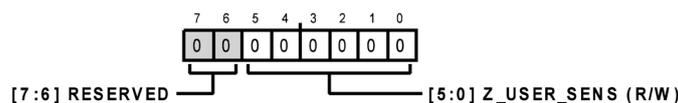


表 61. Z\_USER\_SENS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予約済み。	0x0	R

レジスタの詳細

表 61. Z\_SENS のビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[5:0]	Z_USER_SENS		Z 軸のユーザ・ゲイン・キャリブレーション。1.56%/LSB のスケーリング・ファクタを使用。このキャリブレーションは、2 の補数フォーマットで、ビット 5 は符号ビットです。これらのビットは、デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

タイマー・コントロール・レジスタ

アドレス : 0x39、リセット : 0x00、レジスタ名 : TIMER\_CTL

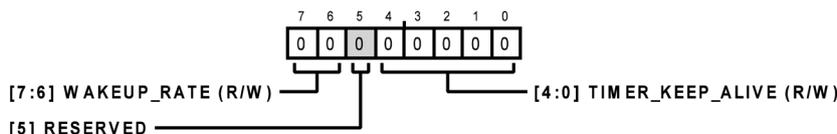


表 62. TIMER\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	WAKEUP_RATE	ADXL366 のウェイクアップ・タイマーの設定時間を示します。 00 : 毎秒 12 サンプルで、サンプル間が 80ms (リセットのデフォルト)。 01 : 毎秒 6 サンプルで、サンプル間が 160ms。 10 : 毎秒 3 サンプルで、サンプル間が 320ms。 11 : 毎秒 1.5 サンプルで、サンプル間が 640ms。	0x0	R/W
5	RESERVED	予約済み。	0x0	R/W
[4:0]	TIMER_KEEP_ALIVE	タイマー設定時間が経過すると、STATUS_2 レジスタのビット 4 がセットされ、STATUS_2 を読み出すとこのビットはクリアされます。このステータスは、どちらかの割込みピンにマップすることもできます。 00000 : タイマーはオフ。 00001 : タイマー時間は 160ms 後に終了。 00010 : タイマー時間は 320ms 後に終了。 00011 : タイマー時間は 640ms 後に終了。 00100 : タイマー時間は 1.28 秒後に終了。 00101 : タイマー時間は 2.56 秒後に終了。 00110 : タイマー時間は 5.12 秒後に終了。 00111 : タイマー時間は 10.24 秒後に終了。 01000 : タイマー時間は 20.48 秒後に終了。 01001 : タイマー時間は 40.96 秒後に終了。 01010 : タイマー時間は 81.92 秒後に終了。 01011 : タイマー時間は 163.9 秒後に終了。 01100 : タイマー時間は 5.45 分後に終了。 01101 : タイマー時間は 11 分後に終了。 01110 : タイマー時間は 21.8 分後に終了。 01111 : タイマー時間は 43.7 分後に終了。 10000 : タイマー時間は 1.45 時間後に終了。 10001 : タイマー時間は 3 時間後に終了。 10010 : タイマー時間は 5.83 時間後に終了。 10011 : タイマー時間は 11.65 時間後に終了。 10100 : タイマー時間は 23.2 時間後に終了。	0x0	R/W

割込みピン 1 イネーブル (上位) レジスタ

アドレス : 0x3A、リセット : 0x00、レジスタ名 : INTMAP1\_UPPER

割込みを INT1 ピンにマップします。

レジスタの詳細

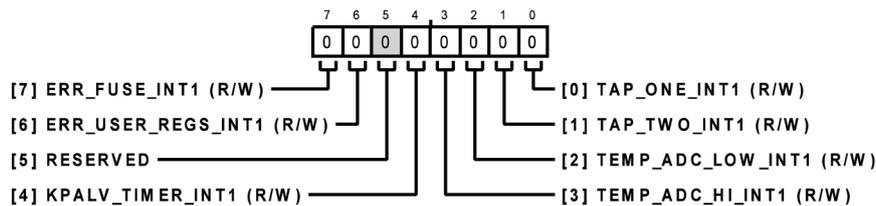


表 63. INTMAP1\_UPPER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_FUSE_INT1	ヒューズ・エラーをINT1ピンにマップするかどうかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
6	ERR_USER_REGS_INT1	ユーザ・レジスタ・エラーをINT1ピンにマップするかどうかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
5	RESERVED	予約済み。	0x0	R
4	KPALV_TIMER_INT1	1に設定すると、キープ・アライブ・タイマーをINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
3	TEMP_ADC_HI_INT1	1に設定すると、温度アクティビティ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
2	TEMP_ADC_LOW_INT1	1に設定すると、温度インアクティビティをINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	TAP_TWO_INT1	1に設定すると、ダブル・タップ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	TAP_ONE_INT1	1に設定すると、タップ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

割込みピン2イネーブル（上位）レジスタ

アドレス：0x3B、リセット：0x00、レジスタ名：INTMAP2\_UPPER

割込みをINT2ピンにマップします。

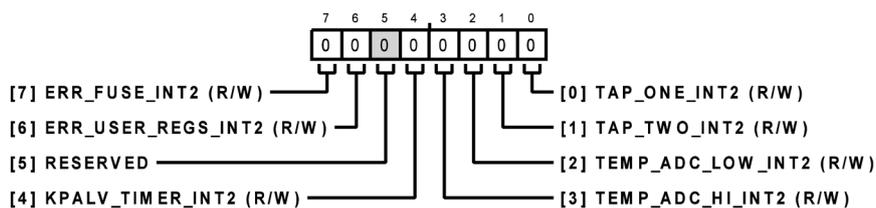


表 64. INTMAP2\_UPPER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_FUSE_INT2	ヒューズ・エラーをINT2ピンにマップするかどうかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

レジスタの詳細

表 64. INTMAP2\_UPPER のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
6	ERR_USER_REGS_INT2	ユーザ・レジスタ・エラーを INT2 ピンにマップするかどうかを設定します。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W
5	RESERVED	予約済み。	0x0	R
4	KPALV_TIMER_INT2	1に設定すると、キープ・アライブ・タイマーをINT2ピンにマップします。0に設定すると、この割り込みをINT2ピンにマップしません。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W
3	TEMP_ADC_HI_INT2	1に設定すると、温度アクティビティ検出をINT2ピンにマップします。0に設定すると、この割り込みをINT2ピンにマップしません。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W
2	TEMP_ADC_LOW_INT2	1に設定すると、温度インアクティビティをINT2ピンにマップします。0に設定すると、この割り込みをINT2ピンにマップしません。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W
1	TAP_TWO_INT2	1に設定すると、ダブル・タップ検出をINT2ピンにマップします。0に設定すると、この割り込みをINT2ピンにマップしません。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W
0	TAP_ONE_INT2	1に設定すると、タップ検出をINT2ピンにマップします。0に設定すると、この割り込みをINT2ピンにマップしません。 1: 割り込みをイネーブル。 0: 割り込みをディスエーブル。	0x0	R/W

ADC コントロール・レジスタ

アドレス : 0x3C、リセット : 0xC0、レジスタ名 : ADC\_CTL

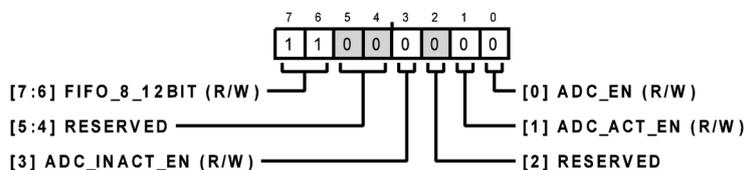


表 65. ADC\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	FIFO_8_12BIT	この 2 ビット・フィールドは、FIFO からのデータ読み出し方法を定めます。データは FIFO にフル 14 ビット・モードで書き込まれ、読み出しモードはこれらのビットで定められます。 00 : FIFO データ (ADXL362 の標準)。 01 : 8 ビットの FIFO データ (チャンネル ID なし、送出データの上位 8 ビット)。 10 : 12 ビットの FIFO データ (チャンネル ID なし、送出データの上位 12 ビット)。 11 : FIFO データ (デフォルト) (14 ビット + チャンネル ID)。	0x3	R/W
[5:4]	RESERVED	予約済み。	0x0	R
3	ADC_INACT_EN	インアクティビティ検出は外部 ADC チャンネルで可能。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
1	ADC_ACT_EN	アクティビティ検出は外部 ADC チャンネルで可能。	0x0	R/W

レジスタの詳細

表 65. ADC\_CTL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
0	ADC_EN	外部 ADC を有効化。TEMP_EN ビット (レジスタ 0x3D のビット 0) が 1 の場合、ADC は有効化されず、このビットは無効です。	0x0	R/W

温度設定レジスタ

アドレス : 0x3D、リセット : 0x00、レジスタ名 : TEMP\_CTL

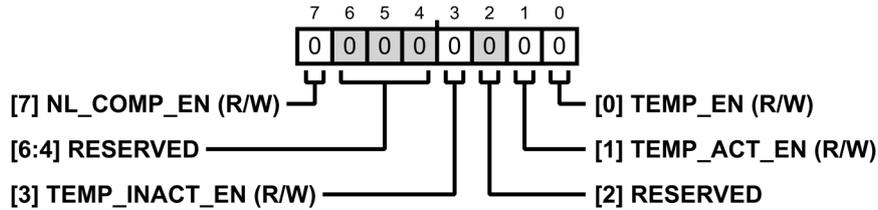


表 66. TEMP\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NL_COMP_EN	NL_COMP_EN ビットを 1 に設定すると、z 軸の非直線性補償が可能になります。0 を設定すると、この機能は無効になります。	0x0	R/W
[6:4]	RESERVED	予約済み。	0x0	R
3	TEMP_INACT_EN	TEMP_INACT_EN ビットを 1 に設定すると、温度チャンネルでのインアクティビティ検出が可能になります。0 を設定すると、この機能は無効になります。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
1	TEMP_ACT_EN	TEMP_ACT_EN ビットを 1 に設定すると、温度チャンネルでのアクティビティ検出が可能になります。0 を設定すると、この機能は無効になります。	0x0	R/W
0	TEMP_EN	TEMP_EN ビットを 1 に設定すると、加速度変換と共にその ODR 設定で温度変換が可能になります。0 を設定すると、この機能は無効になります。	0x0	R/W

TEMP\_ADC\_ACT\_THRSH\_HIGH レジスタ

アドレス : 0x3E、リセット : 0x00、レジスタ名 : TEMP\_ADC\_OVER\_THRSH\_H

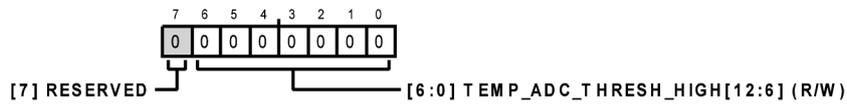
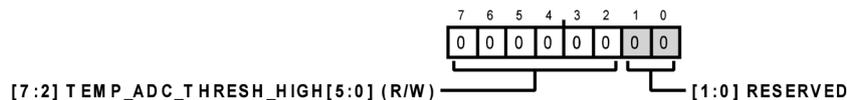


表 67. TEMP\_ADC\_OVER\_THRSH\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予約済み。	0x0	R
[6:0]	TEMP_ADC_THRSH_HIGH[12:6]		アクティビティを外部 ADC または温度チャンネルで検出するため、ADXL366 は、14 ビット (符号付き) データの絶対値を 13 ビット (符号なし) TEMP_ADC_THRSH_HIGH 値と比較します。TEMP_ADC_THRSH_HIGH はコードで設定されます (1LSB=1 コード)。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W

TEMP\_ADC\_ACT\_THRSH\_LOW レジスタ

アドレス : 0x3F、リセット : 0x00、レジスタ名 : TEMP\_ADC\_OVER\_THRSH\_L



レジスタの詳細

表 68. TEMP\_ADC\_OVER\_THRSH\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	TEMP_ADC_THRESH_HIGH[5:0]		アクティビティを外部 ADC または温度チャンネルで検出するため、ADXL366 は、14 ビット（符号付き）データの絶対値を 13 ビット（符号なし）TEMP_ADC_THRESH_HIGH 値と比較します。TEMP_ADC_THRESH_HIGH はコードで設定されます（1LSB = 1 コード）。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予約済み。	0x0	R

TEMP\_ADC\_INACT\_THRSH\_HIGH レジスタ

アドレス：0x40、リセット：0x00、レジスタ名：TEMP\_ADC\_UNDER\_THRSH\_H

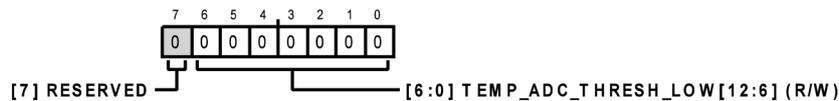


表 69. TEMP\_ADC\_UNDER\_THRSH\_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予約済み。	0x0	R
[6:0]	TEMP_ADC_THRESH_LOW[12:6]		インアクティビティを外部 ADC または温度チャンネルで検出するため、ADXL366 は、14 ビット（符号付き）データの絶対値を 13 ビット（符号なし）TEMP_ADC_THRESH_HIGH 値と比較します。TEMP_ADC_THRESH_LOW はコードで設定されます（1LSB = 1 コード）。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W

TEMP\_ADC\_INACT\_THRSH\_LOW レジスタ

アドレス：0x41、リセット：0x00、レジスタ名：TEMP\_ADC\_UNDER\_THRSH\_L

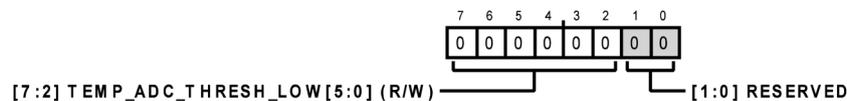


表 70. TEMP\_ADC\_UNDER\_THRSH\_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	TEMP_ADC_THRESH_LOW[5:0]		インアクティビティを外部 ADC または温度チャンネルで検出するため、ADXL366 は、14 ビット（符号付き）データの絶対値を 13 ビット（符号なし）TEMP_ADC_THRESH_HIGH 値と比較します。TEMP_ADC_THRESH_LOW はコードで設定されます（1LSB = 1 コード）。g の値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予約済み。	0x0	R

温度アクティビティ・インアクティビティ・タイマー・レジスタ

アドレス：0x42、リセット：0x00、レジスタ名：TEMP\_ADC\_TIMER

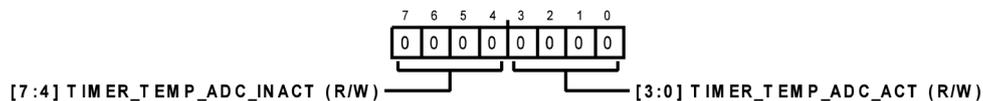


表 71. TEMP\_ADC\_TIMER のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	TIMER_TEMP_ADC_INACT		このビット・フィールドの値は、インアクティビティ・イベントを検出するためにアクティビティ閾値（TEMP_ADC_THRESH_LOW によって設定）未満の値でなくてはならない連続したサンプル数です。	0x0	R/W

レジスタの詳細

表 71. TEMP\_ADC\_TIMER のビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[3:0]	TIMER_TEMP_ADC_ACT		このビット・フィールドの値は、アクティビティ・イベントを検出するためには、どれだけの数のサンプルが連続してアクティビティ閾値 (TEMP_ADC_THRESH_HI で設定) を上回る値を持つ必要があるかを設定します。	0x0	R/W

軸マスク・レジスタ

アドレス : 0x43、リセット : 0x00、レジスタ名 : AXIS\_MASK

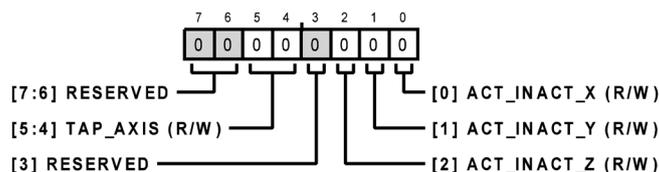


表 72. AXIS\_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:4]	TAP_AXIS	タップ検出のために参照する必要のある軸を選択します。 00 : x 軸 01 : y 軸 10 : z 軸	0x0	R/W
3	RESERVED	予約済み。	0x0	R
2	ACT_INACT_Z	1 に設定すると、デフォルトでチェックする z 軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W
1	ACT_INACT_Y	1 に設定すると、デフォルトでチェックする y 軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W
0	ACT_INACT_X	1 に設定すると、デフォルトでチェックする x 軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W

ステータス・コピー・レジスタ

アドレス : 0x44、リセット : 0x40、レジスタ名 : STATUS\_COPY

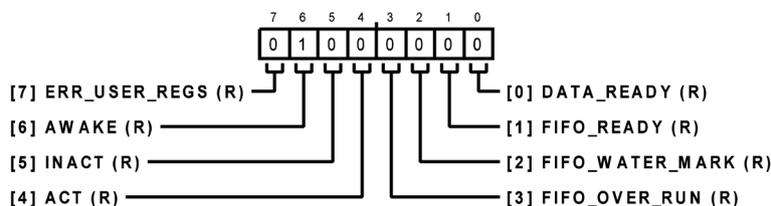


表 73. STATUS\_COPY のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_USER_REGS	SEU エラー検出。このビットが 1 の場合、2 つの条件のいずれかを示します。つまり、SEU イベント (電源グリッチの α 粒子など) がユーザ・レジスタ設定を乱したか、または ADXL366 が未設定であることを示します。このビットは起動時とソフト・リセット時にハイになり、何らかのレジスタ書き込みコマンドが実行されると直ちにリセットされます。	0x0	R
6	AWAKE	アクティビティ/インアクティビティ機能に基づいて、加速度センサーがアクティブ状態 (AWAKE = 1) であるかインアクティブ状態 (AWAKE = 0) であるかを示します。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード (ACT_INACT_CTL レジスタの LINKLOOP ビット) にする必要があります。それ以外の場合、このビットはデフォルトで 1 になり、無視する必要があります。 0 : デバイスはインアクティブ 1 : デバイスはアクティブ (リセット状態)	0x1	R
5	INACT	インアクティビティ。このビットが 1 の場合、インアクティビティ検出機能がインアクティビティ状態または自由落下状態を検出したことを示します。	0x0	R
4	ACT	アクティビティ。このビットが 1 の場合、アクティビティ検出機能が閾値を超える状態を検出したことを示します。	0x0	R

レジスタの詳細

表 73. STATUS\_COPY のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	FIFO_OVER_RUN	FIFO オーバーラン。このビットが1の場合、FIFO がオーバーランまたはオーバーフローしたことを示します。FIFO 読出しが発生して新しいデータのためにある程度の空間ができるまで、新たなデータを FIFO に書き込むことはできません。FIFO_OVER_RUN は、FIFO_MODE がオールデスト・セーブ・モードの場合にのみ使用できます。	0x0	R
2	FIFO_WATER_MARK	FIFO ウォーターマーク。このビットが1の場合、FIFO が、FIFO_SAMPLES レジスタに設定された目的のサンプル数以上のサンプルを格納していることを示します。FIFO_WATER_MARK がアサートされるのは、(この値より大きい) 次のサンプルが FIFO に書き込まれた場合です。	0x0	R
1	FIFO_READY	FIFO レディ。このビットが1の場合、FIFO 出力バッファ内に使用可能なサンプルが1つ以上あることを示します。	0x0	R
0	DATA_READY	データ・レディ。このビットが1の場合、新しい有効なサンプルを読み出せることを示します。このビットは、DATA の読出しが行われるとクリアされます。DATA_READY は、新しい有効データが使用できるようになるとセットされます。使用できる新しいデータがない場合はクリアされます。いずれかのデータ・レジスタ (アドレス 0x08~アドレス 0x0A およびアドレス 0x0E~アドレス 0x17) の読出し中には、DATA_READY ビットはセットされません。レジスタ読出しより前に DATA_READY = 0 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_READY は、読出しが完了するまで0のままです、完了したときのみ1に設定されます。レジスタ読出しより前に DATA_READY = 1 である場合、これはレジスタ読出しの開始時にクリアされます。レジスタ読出しより前に DATA_READY = 1 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_READY は、レジスタ読出しの開始時に0にクリアされ、読出し中には0のままです。読出しが完了すると、DATA_READY は1に設定されます。	0x0	R

ステータス 2 レジスタ

アドレス : 0x45、リセット : 0x00、レジスタ名 : STATUS\_2

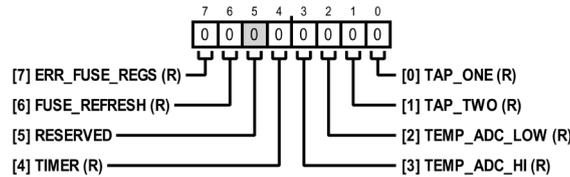
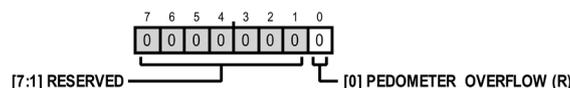


表 74. STATUS\_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ERR_FUSE_REGS		ヒューズ・エラー検出。このビットが1の場合、複数のヒューズが断線し、補正エンジンではそれを修復できないことを示します。	0x0	R
6	FUSE_REFRESH		このビットが1の場合、不揮発性メモリ (NVM) を再ロードする必要があることを示します。ソフトウェア・リセットまたはハードウェア・リセットを推奨します。このビットは、STATUS_2 レジスタを読み出すとクリアされます。	0x0	R
5	RESERVED		予約済み。	0x0	R
4	TIMER		このビットが1の場合、キープ・アライブ・タイマーの設定時間が経過したことを示します。STATUS_2 レジスタを読み出すと、タイマー割込みがクリアされ、タイマーがリセットされます。	0x0	R
3	TEMP_ADC_HI		温度チャンネルまたは外部 ADC チャンネルのいずれかでの閾値超過を検出します。TEMP_EN が1の場合、このビットは温度の閾値超過が検出されたことを示します。	0x0	R
2	TEMP_ADC_LOW		温度センサーまたは外部 ADC のいずれかで閾値未満の状況が検出されたことを示します。TEMP_EN が1の場合、このビットは温度が閾値未満となっていることを示します。	0x0	R
1	TAP_TWO		TAP_TWO ビットは、THRESH_TAP レジスタの値より大きい加速度イベントが2回発生し、その持続時間が TAP_DUR レジスタで指定された値より短い場合にセットされます。2回目のタップは TAP_LATENCY レジスタによって指定された時間の後に開始され、なおかつ TAP_WINDOW レジスタで指定された時間以内であるものとします。	0x0	R
0	TAP_ONE		TAP_ONE ビットは、THRESH_TAP レジスタの値より大きい加速度イベントが1回発生し、その持続時間が TAP_DUR レジスタで指定された値より短い場合にセットされます。	0x0	R

ステータス 3 レジスタ

アドレス : 0x46、リセット : 0x00、レジスタ名 : STATUS\_3



## レジスタの詳細

表 75. USER\_RO2\_STATUS3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x00	R
[0]	PEDOMETER_OVERFLOW	歩数計オーバーフロー。このビットが1の場合、歩数計カウンタをオーバーフローしたサンプルが少なくとも1つあることを示します。	0x00	R

## 歩数計歩数カウント・ハイ・レジスタ

アドレス：0x47、リセット：0x00、レジスタ名：PEDOMETER\_STEP\_CNT\_H



表 76. PEDOMETER\_STEP\_CNT\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PEDOMETER_STEP_CNT[15:8]	歩数計の歩数カウント。	0x0	R

## 歩数計歩数カウント・ロー・レジスタ

アドレス：0x48、リセット：0x00、レジスタ名：PEDOMETER\_STEP\_CNT\_L



表 77. PEDOMETER\_STEP\_CNT\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PEDOMETER_STEP_CNT[7:0]	歩数計の歩数カウント。	0x0	R

## 歩数計コントロール・レジスタ

アドレス：0x49、リセット：0x00、レジスタ名：PEDOMETER\_CTL

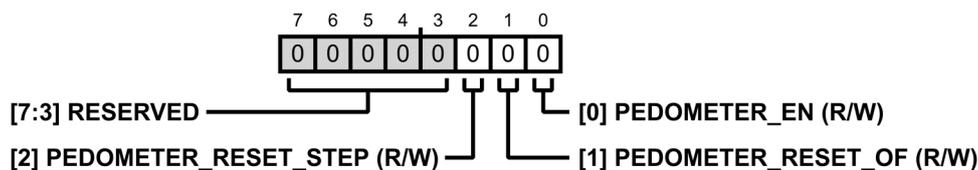


表 78. PEDOMETER\_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x00	R
2	PEDOMETER_RESET_STEP	歩数計が歩数をリセット。	0x00	R/W
1	PEDOMETER_RESET_OF	歩数計がオーバーフローをリセット。	0x00	R/W
0	PEDOMETER_EN	歩数計が有効化。	0x00	R/W

## 歩数計上限閾値レジスタ

アドレス：0x4A、リセット：0x0F、レジスタ名：PEDOMETER\_THRES\_H

## レジスタの詳細

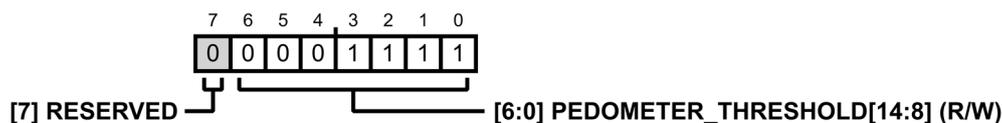


表 79. PEDOMETER\_THRES\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	PEDOMETER_THRESHOLD[14:8]	歩数計の閾値レベル。g の値は、選択された測定レンジ設定に依存します。	0xF	R/W

## 歩数計下限閾値レジスタ

アドレス : 0x4B、リセット : 0xA0、レジスタ名 : PEDOMETER\_THRES\_L



表 80. PEDOMETER\_THRES\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PEDOMETER_THRESHOLD[7:0]	歩数計の閾値レベル。g の値は、選択された測定レンジ設定に依存します。	0xA0	R/W

## 歩数計感度ビット[14:8]レジスタ

アドレス : 0x4C、リセット : 0x01、レジスタ名 : PEDOMETER\_SENS\_HI

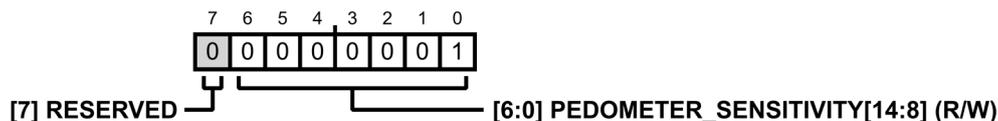


表 81. PEDOMETER\_SENS\_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	PEDOMETER_SENSITIVITY[14:8]	歩数計の感度レベル。g の値は、選択された測定レンジ設定に依存します。	0x1	R/W

## 歩数計感度ビット[7:0]レジスタ

アドレス : 0x4D、リセット : 0x90、レジスタ名 : PEDOMETER\_SENS\_L



表 82. PEDOMETER\_SENS\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PEDOMETER_SENSITIVITY[7:0]	歩数計の感度レベル。g の値は、選択された測定レンジ設定に依存します。	0x90	R/W

アプリケーション情報

アプリケーション例

デバイスの設定のセクション、モーション・スイッチのセクション、外部タイミング・トリガの使い方のセクション、自由落下検出の実行のセクションで、ADXL366 の便利な機能に重点を置き、いくつかのアプリケーション回路を示します。

デバイスの設定

ここでは、デバイスを設定してデータを収集する手順の概要を説明します。一般に、この手順はレジスタ・マップのシーケンスに従い、レジスタ 0x20 (THRESH\_ACT\_H) から始まります。以下は、一般的な設定シーケンスです。

1. レジスタ 0x20～レジスタ 0x26 に書き込みを行い、アクティビティおよびインアクティビティの閾値とタイマーを設定します。誤検出モーション・トリガを最小限に抑えるため、TIME\_ACT レジスタに 1 より大きな値を設定します。
2. レジスタ 0x27 に書き込みを行い、アクティビティ機能とインアクティビティ機能を設定します。
3. レジスタ 0x28 とレジスタ 0x29 に書き込みを行い、FIFO を設定します。
4. レジスタ 0x2A とレジスタ 0x2B に書き込みを行い、割込みをマップします。
5. レジスタ 0x2C に書き込みを行い、一般的なデバイス設定を行います。
6. レジスタ 0x2D の MEASURE ビット・フィールドに 10 を書き込んで、測定モードに入ります。

各レジスタの設定は、アプリケーション条件によって異なります。詳細については、[レジスタの詳細](#)のセクションを参照してください。

モーション・スイッチ

ADXL366 の超低消費電力は、自動スリープ機能と組み合わせることで、モーション・スイッチとして用いるのに最適なデバイスになっており、ホスト・プロセッサは、モーションを検出しない場合にシステム電力をインテリジェントに管理できます。[図 59](#) の例では、モーションが存在する場合に、ADXL366 の AWAKE 信号 (INT1 ピンにマッピング) によりホスト・プロセッサがウェイクアップし、ADP195 ハイサイド・パワー・スイッチを駆動することによって、後段回路への供給電力を制御します。

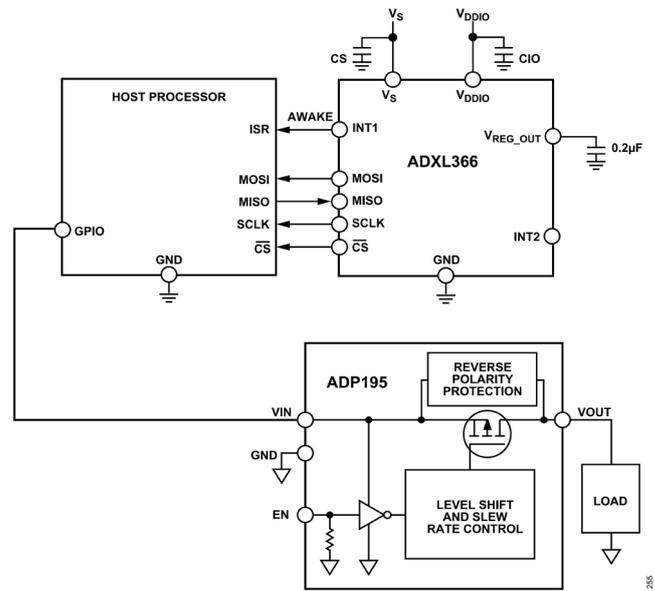


図 59. 後段回路への電力を制御するアウェイク信号

[図 60](#) の流れ図は、モーション・スイッチのロジック実装例を示すものです。

この流れ図では、±2g の測定レンジおよびループ・モードでの動作を仮定し、AWAKE ビットをリファレンス・モードの INT1 アクティビティおよびインアクティビティにマッピングしています ([図 59](#) 参照)。次のシーケンスは、ADXL366 をモーション・スイッチとして設定するためのルーチン例ですが、閾値設定は特定のアプリケーション例によって異なる点に注意してください。

1. ループ・モードの起動ルーチンのセクションで説明されているループ起動ルーチンに従います。
2. この時点では、ホスト・プロセッサはスリープ状態であり、加速度センサーは、モーション・イベントが発生するのを待機しています。
3. モーション・イベントがアクティビティ閾値を超えると、ADXL366 の AWAKE ビットがロジック 1 にトグルされます。つまり、INT1 がハイになり、ホスト・プロセッサをウェイクアップします。
4. ホスト・プロセッサは、以下のルーチンを直ちに実行し、アクティビティおよびインアクティビティのリファレンスを強制的に更新します。
  - a. 以下のように、アクティビティ閾値を加速度センサーのノイズ・レベル未満、例えば 1LSB に設定します。
    1. THRESH\_ACT\_H レジスタ (レジスタ 0x20) に 0x00 を書き込みます。
    2. THRESH\_ACT\_L レジスタ (レジスタ 0x21) に 0x04 を書き込みます。
  - b. TIMER\_ACT レジスタ (レジスタ 0x22) に 0x00 を書き込むことによって、アクティビティ・タイマーをゼロに設定します。
  - c. 以下のように、インアクティビティ閾値を 1g より大きい値、例えば FSR に設定します。
    1. THRESH\_INACT\_H レジスタ (レジスタ 0x23) に 0x7F を書き込みます。

## アプリケーション情報

2. THRESH\_INACT\_L レジスタ (レジスタ 0x24) に 0xFC を書き込みます。
- d. 以下のように、インアクティビティ・タイマーをゼロに設定します。
  1. TIMER\_INACT\_H レジスタ (レジスタ 0x25) に 0x00 を書き込みます。
  2. TIMER\_INACT\_L レジスタ (レジスタ 0x26) に 0x00 を書き込みます。
- e. インアクティビティ・イベントおよびアクティビティ・イベントが検出されるまで待機します。これにより、アクティビティおよびインアクティビティのリファレンスが確実に更新されます。アクティビティおよびインアクティビティのタイマーが 0 に設定されているため、この更新には 1/ODR 秒を要します。また、それまでに設定した閾値が常に割込みをトリガします。この検出を実行する別の方法は以下のとおりです。
  1. AWAKE == 1 の間 (何もしない)。
  2. AWAKE == 0 の間 (何もしない)。
- f. アクティビティおよびインアクティビティの閾値およびタイマー (レジスタ 0x20 ~ レジスタ 0x26) を必要な値に再設定します。このステップは AWAKE がハイの状態で行う必要がある点に注意してください。
5. ADXL366 がインアクティビティを検出するまで、ユーザのコードが実行されます。ホスト・プロセッサはスリープ状態に戻ります。

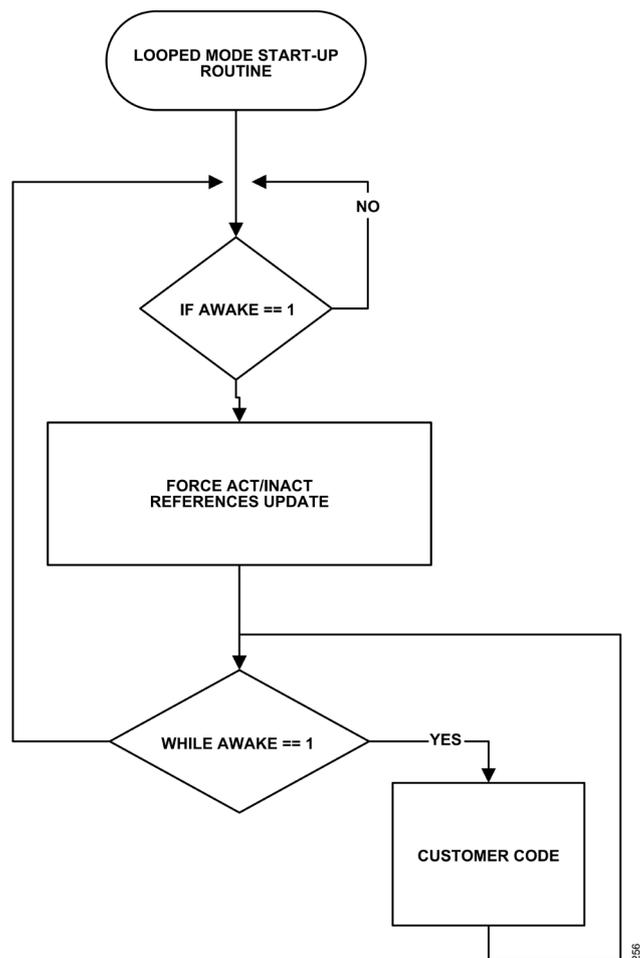


図 60. モーション・スイッチの流れ図の例

アプリケーション情報

外部タイミング・トリガの使い方

INT1 ピンを外部クロックの入力として使用するアプリケーション図を図 61 に示します。このモードでは、出力データ・レートや帯域幅など、全ての加速度センサーのタイミングは外部クロックによって決定されます。

この機能を有効にするには、設定中（スタンバイ・モード時）に POWER\_CTL レジスタの EXT\_CLK ビット（ビット 6）をセットします。例えば、外部クロックの使用を有効にし、加速度センサーを測定モードにするには、POWER\_CTL レジスタに 0x42 を書き込みます。

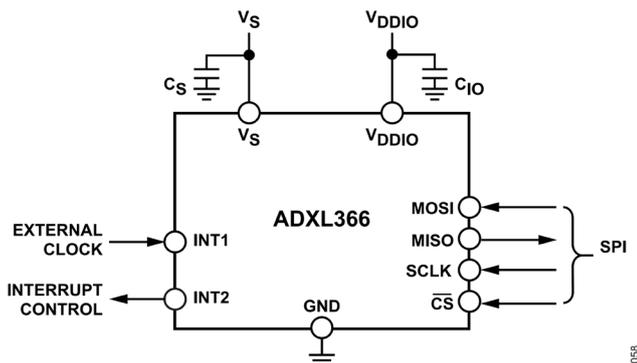


図 61. 外部クロック用の入力としての INT1 ピン

図 62 は、INT2 ピンを同期サンプリングのトリガとして使用するためのアプリケーション図です。超低消費電力モードでは、加速度サンプルは、このトリガが起動されるたびに生成されます。この機能を有効にするには、目的の起動ルーチンの最後近くで、FILTER\_CTL レジスタの EXT\_SAMPLE ビット（ビット 3）をセットします。例えば、トリガを有効にし、加速度センサーを ±4g の測定レンジと 100Hz の ODR 用に設定するには、FILTER\_CTL レジスタに 0x6B を書き込みます。詳細については、外部トリガの使用のセクションを参照してください。

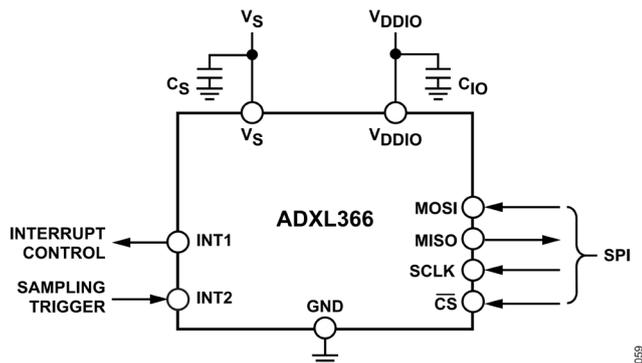


図 62. INT2 ピンによる同期サンプリングのトリガ

自由落下検出の実行

多くのデジタル出力加速度センサーには、自由落下検出機能が内蔵されています。ADXL366 では、インアクティビティ割込みを使用してこの機能を実行します。

物体が真の自由落下状態のとき、全ての軸で加速度は 0g です。したがって、自由落下検出を行うには、全ての軸で加速度が一定の時間にわたって特定の（0g に近い）閾値を下回るかどうかを確認します。インアクティビティ検出機能は、アプソリュート・モードで使用する場合、加速度が 3 つの軸全てで 0g に低下するかどうかをモニタします。

インアクティビティを使用して自由落下検出を実行するには、THRESH\_INACT ビット（レジスタ 0x23 およびレジスタ 0x24）の値に必要な自由落下閾値に設定します。推奨値は 300mg ~ 600mg の範囲の値です。これらの値に対するレジスタ設定は、デバイスの g レンジ設定に基づいて、式 6 に示すように変化します。

$$THRESH\_INACT = \text{Threshold Value (g)} \times \text{Scale Factor (LSB per g)} \tag{6}$$

自由落下状態を生成するために全ての軸の加速度が自由落下閾値を下回る必要のある最小時間を設定するには、TIME\_INACT ビット（レジスタ 0x25 およびレジスタ 0x26）に値を設定します。推奨値は 100ms ~ 350ms の範囲の値です。自由落下検出のレジスタ設定値は出力データ・レートに基づいて変化します。式 7 で、ユーザが選択しなければならない TIME\_INACT ビット設定が求められます。式 7 において、時間は、自由落下を検出するために全ての加速度軸がインアクティビティ閾値を下回っていない時間と表します。

$$TIME\_INACT = \text{Time (sec)} \times \text{Data Rate (Hz)} \tag{7}$$

自由落下状態が検出されると、インアクティビティ・ステータスが 1 に設定されます。そして、この機能が割込みピンにマッピングされている場合、そのピンにインアクティビティ割込みがトリガされます。

自由落下起動ルーチン

次の起動ルーチンにより、ADXL366 を代表的な自由落下アプリケーション向けに設定します。このルーチンは、±8g の測定レンジと 100Hz の出力データ・レートを想定しています。閾値とタイミング値は、アプリケーションの要求に合わせて変更できます。起動には次の手順を使用します。

1. レジスタ 0x24 に 0x18 を書き込み、レジスタ 0x23 に 0x09 を書き込んで、自由落下閾値を 600mg に設定します。
2. レジスタ 0x26 に 0x03 を書き込んで、自由落下時間を 30ms に設定します。
3. レジスタ 0x27 に 0x04 を書き込んで、絶対インアクティビティ検出を有効にします。
4. レジスタ 0x2A またはレジスタ 0x2B に 0x20 を書き込んで、それぞれ、INT1 ピンまたは INT2 ピンにインアクティビティ割込みをマッピングします。
5. レジスタ 0x2C に 0x83 を書き込んで、加速度センサーを ±8g のレンジ、100Hz の ODR に設定します。
6. レジスタ 0x2D に 0x02 を書き込んで、測定モードに入ります。なお、加速度データが有効になるまで 100ms の待機時間が必要です。

アプリケーション情報

電源要件

ADXL366は、1.1V~3.6Vの電源レールを用いて動作します。表1に示す動作電圧 ( $V_s$ ) の範囲は、電源の誤差と最大 $\pm 10\%$ のトランジェントを考慮して 1.1V~3.6V になっています。実行時は大幅に少ない電源電流となりますが、起動時やソフトウェア・リセット時の電源電流は 250 $\mu$ A を超える必要があります。それによって、内部ヒューズが確実に正しくロードされます。ADXL366 で電源再投入を行う場合は、電源再投入ごとにデバイスをグラウンド・レベル ( $V_s = 0V$ ) まで完全に放電することを強く推奨します。放電できない場合は以下の仕様に注意する必要があります。

- ▶ 電源リセット閾値 ( $V_{RESET}$ )
- ▶ ホールド時間
- ▶ 立上がり時間

電源リセット閾値

ADXL366の起動時または電源再投入時には、 $V_s$  を  $V_{RESET}$  未満の以前の値から増加させる必要があります。また、デバイスの動作中に ADXL366 の電源をオフにした場合や電源電圧が 1.1V 未満に低下した場合は、常に  $V_s$  を  $V_{RESET}$  未満の値まで放電する必要があります。

ホールド時間

正常なパワーオン・リセットを確実にを行うには、デバイスに再度電源を供給する前に、300ms 以上にわたって  $V_s$  を  $V_{RESET}$  未満に保つ必要があります (図 63 参照)。

立上がり時間

電源電圧の立上がり時間は、0V から  $V_s$  の 90% に達するまでの時間と定義されており、これは使用される  $V_s$  にかかわらず当てはまります (電源要件のセクションを参照)。

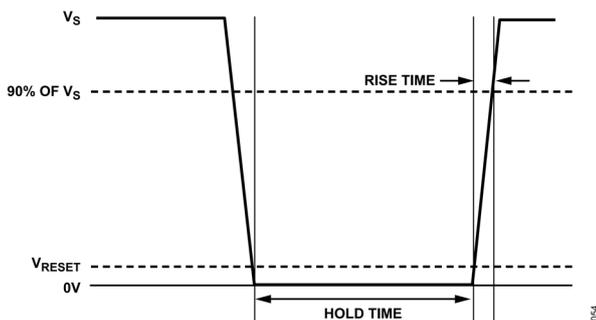


図 63. 電源リセット要件および起動要件

電源の放電を可能にするために、マイクロコントローラの GPIO からデバイスに電源を供給する、シャットダウン放電スイッチを電源に接続する、またはシャットダウン放電機能を持つ電圧レギュレータを使用する、のいずれかを実行することが推奨されます。

パワーオン・リセット後、測定モードに入ってから出力が安定するまでに、100ms の時間が必要です。

電源のデカップリング

ADXL366 に使用する推奨バイパス・コンデンサを図 64 に示します。

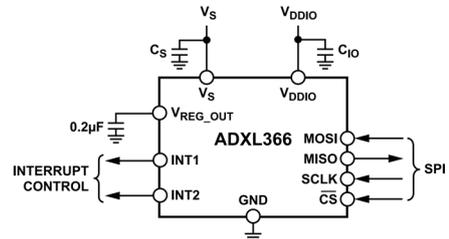


図 64. 推奨バイパス・コンデンサ

$V_s$  ピンの 0.1 $\mu$ F のセラミック・コンデンサ ( $C_s$ ) および  $V_{DDIO}$  ピンの 0.1 $\mu$ F のセラミック・コンデンサ ( $C_{10}$ ) は、ADXL366 にできるだけ近づけて配置します。電源ピンでは、加速度センサーと電源ノイズが適切に分離されるようにすることを推奨します。また、 $V_s$  でのデジタル・クロック・ノイズを最小限に抑えるため、 $V_s$  と  $V_{DDIO}$  を別電源にすることを推奨します。これが不可能な場合は、電源にフィルタを追加しなければならないことがあります。別電源を用いる場合、リセット回路の内部電源に電流サージ (最大 1mA) が生じる可能性を抑えるために、 $V_{DDIO}$  と  $V_s$  には同時に給電します。

追加のデカップリングが必要な場合、100 $\Omega$  以下の抵抗またはフェライト・ビーズを  $V_s$  と直列に挿入します。更に、 $V_s$  に 0.1 $\mu$ F のセラミック・コンデンサと並列に 1 $\mu$ F のタンタル・コンデンサを設置してバイパス容量を増やすことで、ノイズを改善することもできます。なお、抵抗値とコンデンサ値を増加すると RC 時定数が増加する点に注意してください。これは、デバイスのリセット時間に影響を与え、ユーザはより長いリセット時間を確保する必要があります。ターンオン時間も長くなる可能性があります。

グラウンドから伝わるノイズには、 $V_s$  からのノイズと同じような影響があるので、ADXL366 のグラウンドから電源グラウンドへの接続は必ず低インピーダンスとなるようにしてください。

単一電源条件で更にデカップリングが必要な場合、図 65 に示すようなデカップリング回路を検討できます。 $V_s$  と  $V_{DDIO}$  間の抵抗は 10 $\Omega$  以下であることが必要です。

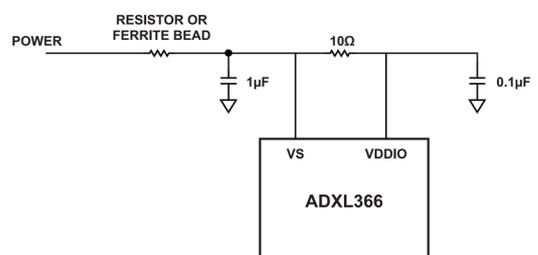


図 65. 単一電源の場合の推奨デカップリング回路図

## アプリケーション情報

## FIFO モード

FIFO は、512 サンプルのメモリ・バッファであり、省電力、ホスト・プロセッサの負荷軽減、データの自律的な記録のために使用できます。慣性データが確実に同じサンプルからのものとなるようにするには、データの全セット（例えば x チャンネル、y チャンネル、z チャンネル、温度）を連続的に読み出す必要がある点に注意してください。チャンネルを連続的に読み出さなかった場合、データを喪失する可能性があります。

FIFO は、[FIFO 無効化](#)のセクション、[オールデスト・セーブ・モード](#)のセクション、[ストリーム・モード](#)のセクション、[トリガ・モード](#)のセクションで説明する 4 つのモードのいずれかで動作します。

## FIFO 無効化

FIFO が無効にされると、データは FIFO に保存されず、既に保存されていたデータはクリアされます。

FIFO を無効にするには、FIFO\_CONTROL レジスタ（アドレス：0x28）の FIFO\_MODE ビットにバイナリ値 0b00 を設定します。

## オールデスト・セーブ・モード

オールデスト・セーブ・モードでは、FIFO は、満杯になるまでデータを蓄積してから、停止します。追加のデータが収集されるのは、FIFO バッファからサンプルを読み出してスペースが利用可能になった場合のみです（この動作モードは「最初の N」と呼ばれる場合があります）。

FIFO をオールデスト・セーブ・モードにするには、FIFO\_CONTROL レジスタ（アドレス：0x28）の FIFO\_MODE ビットにバイナリ値 0b01 を設定します。

## ストリーム・モード

ストリーム・モードでは、FIFO には常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます（このモードは「最後の N」と呼ばれる場合があります）。

ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データが FIFO に収集されている間、プロセッサは他のタスクを処理することができます。FIFO が特定のサンプル数（FIFO\_CONTROL レジスタの FIFO\_SAMPLES[8] ビットと FIFO\_SAMPLES レジスタによって指定）まで満たされると、FIFO ウォーターマーク割込みがトリガされます（この割込みが有効化されている場合）。この時点で、ホスト・プロセッサは FIFO 全体の内容を読み出し、FIFO が再び満たされるようになったら他のタスクに戻ることができます。

FIFO をストリーム・モードにするには、FIFO\_CONTROL レジスタ（アドレス：0x28）の FIFO\_MODE ビットにバイナリ値 0b10 を設定します。

## トリガ・モード

トリガ・モードでは、FIFO は、アクティビティ検出イベントの周辺のサンプルを保存します。この動作は、オシロスコープでのワンタイム実行トリガに似ています。アクティビティ・イベントより前に保存されるサンプルの数は、FIFO\_CONTROL レジ

スタ（アドレス 0x28）の FIFO\_SAMPLES[8] ビットと FIFO\_SAMPLES レジスタ（レジスタ 0x29）で指定されます。

FIFO をトリガ・モードにするには、FIFO\_CONTROL レジスタ（アドレス：0x28）の FIFO\_MODE ビットにバイナリ値 0b11 を設定します。

## FIFO 設定

FIFO モードは、レジスタ 0x28 とレジスタ 0x29 によって設定されます。FIFO のデータ構造はレジスタ 0x3C を介して設定できます。設定の詳細については、[レジスタの詳細](#)のセクションを参照してください。

## FIFO 割込み

FIFO は、割込みを生成することによって、サンプルがいつ使用可能になるか、指定した数のサンプルがいつ収集されたか、FIFO がいつオーバーフローしてサンプルが失われたかを示すことができます。詳細については、[FIFO 割込みの使い方](#)のセクションを参照してください。

## FIFO からのデータ取出し

FIFO データは、[シリアル通信](#)のセクションで説明した FIFO 読出しコマンドを発行することによって読み出されます。表 83 および表 84 に示すように、ADXL366 の FIFO は、データ・タイプ情報が使用できる 14 ビットまたは 12 ビットをサポートします。

表 83. 14 ビット・データ

Bits	Bit Name	Settings
D[15:14]	Data Type	00: x-axis 01: y-axis 10: z-axis 11: temperature/external ADC
D13	MSB	
D[12:1]	Data	
D0	LSB	

表 84. 12 ビット・データ

Bits	Bit Name	Settings
D[15:8]	Data[7:LSB]	
D[7:6]	Channel ID	00: x-axis 01: y-axis 10: z-axis 11: temperature/external ADC
D[5:4]	Sign extension	
D[3:0]	Data[MSB:8]	

また、ADXL366 は、データのスループットを向上させシステム電力を節約するために、データ・バック・モードもサポートしています。8 ビットのデータワードはリードバック用に提供されます。8 ビット・モードでは、サンプルの上位 8 ビットのみが送出され、チャンネル ID は付加されません。そのため、格納されたサンプルあたりわずか 8 ビットという最も効率的なデータ転送が（フル・データ分解能と引き換えに）可能となります。

## アプリケーション情報

12 ビットのデータワードはリードバック用に提供されます。12 ビット・モードでは、サンプルの上位 12 ビットのみが送出され、チャンネル ID は付加されません。そのため、3 バイトで 2 ワード (24 ビット) という、比較的効率の良いデータ転送が可能になります。格納されたサンプルのうち 12 ビットのみが送信されるため、これに関連して依然として分解能が犠牲になります。バック・モードのデータ・フォーマットを表 85 および表 86 に示します。

表 85. 8 ビットのバック・フォーマット

Byte	Byte Name	Number of Bits
Byte 1	Sample 1	8
Byte 0	Sample 0	8

表 86. 12 ビットのバックド・フォーマット

Byte	Byte Name
Byte 2	Sample 1, [11:4]
Byte 1, [7:4]	Sample 1, [3:0]
Byte 1, [3:0]	Sample 0, [11:8]
Byte 0	Sample 0, [7:0]

表 87. FIFO のデータ構造

CHANNEL_SELECT Value	Sample Set Size (Channels)	Sample Set Stored in FIFO (Axis Acceleration Channels)
0000 (Default)	3	X, y, and z
0001	1	Only x-axis data is converted
0010	1	Only y-axis data is converted
0011	1	Only z-axis data is converted
0100 <sup>1</sup>	4	X, y, z, and temperature
0101 <sup>1</sup>	2	X, temperature
0110 <sup>1</sup>	2	Y, temperature
0111 <sup>1</sup>	2	Z, temperature
1000 <sup>1</sup>	4	X, y, z, and external ADC
1001 <sup>1</sup>	2	X, external ADC
1010 <sup>1</sup>	2	Y, external ADC
1011 <sup>1</sup>	2	Z, external ADC
11xx	x	Not used

<sup>1</sup> データを FIFO に格納できるようにするためには、別々のコントロール・レジスタのビット・フィールド（それぞれ、ADC\_CTL レジスタの ADC\_EN ビット、および TEMP\_CTL レジスタの TEMP\_EN ビット）を用いて、対応する機能を有効化する必要があります。

FIFO は最大で 513 の入力データを格納できます。512 サンプルのメモリ・バッファと 1 つのデータ保持レジスタがあり、これらは反復するデータ・セットに分割されています。1 つのデータ・セットには選択した測定ごとに 1 つのデータ・サンプルが格納されます。測定には以下の項目が含まれます。

- ▶ 加速度：いずれかの 1 軸あるいは全 3 軸が FIFO に格納できます。この選択は、FIFO\_CONTROL レジスタで行います。
- ▶ 温度：温度は FIFO\_CONTROL レジスタの指定に従って、FIFO に格納することもしないこともできます。
- ▶ ADC：ADC は FIFO\_CONTROL レジスタの指定に従って、FIFO に格納することもしないこともできます。

513 個の FIFO サンプルは、以下に示すように複数の方法で割り当てることができます。

- ▶ 513 サンプル・セットの 1 軸データ
- ▶ 256 サンプル・セットの同時 2 チャンネルデータ
- ▶ 171 サンプル・セットの同時 3 チャンネルデータ
- ▶ 128 サンプル・セットの同時 4 チャンネルデータ
- ▶ FIFO の変換チャンネルは、スタンバイ・モードで設定する必要があります。

アプリケーション情報

割込み

ADXL366 の組み込み機能のいくつかは、割込みをトリガして特定のステータス条件をホスト・プロセッサに通知することができます。割込みピンのセクション、割込みピンの代替機能のセクション、アクティビティ/インアクティビティ割込みのセクション、外部 ADC 割込みのセクション、データ・レディ割込みのセクションで、これらの割込みの機能について説明します。

割込みピン

割込みは、INTMAP1\_LOWER レジスタ、INTMAP1\_UPPER レジスタ、INTMAP2\_LOWER レジスタ、INTMAP2\_UPPER レジスタの該当ビットをセットすることによって、それぞれ、2 本の指定された出力ピン (INT1 と INT2) のいずれか (あるいは両方) にマッピングすることができます。全ての機能は同時に使用できます。複数の割込みが 1 本のピンにマッピングされた場合、ピンのステータスは割込みの論理和の組み合わせによって決まります。

割込みピンに機能がマッピングされていない場合、そのピンは自動的に高インピーダンス (high-Z) 状態に設定されます。ピンは、リセット時にも高インピーダンス状態となります。

特定のステータス条件が検出されると、その条件がマッピングされているピンがアクティブになります。ピンの設定は、デフォルトでアクティブ・ハイであるため、アクティブになると、ピンはハイ・レベルになります。しかし、該当する INTMAP1\_LOWER レジスタおよび INTMAP2\_LOWER レジスタの INT\_LOW\_INx ビットをセットすることによって、この設定はアクティブ・ローに切り替えられます。

INTx ピンをホスト・プロセッサの割込み入力に接続すると、割込みは割込みルーチンによって処理できます。同じピンに複数の機能を割り当てることができるため、STATUS レジスタを使用して、割込みのトリガとなった条件を判定することができます。

割込みをクリアするためのレイテンシは通常 120µs です。割込みをクリアするには、次のいずれかの方法を使用します。

- ▶ STATUS レジスタまたは STATUS\_COPY レジスタを読み出すと、アクティビティ/インアクティビティ割込みがクリアされます。
- ▶ STATUS\_2 レジスタを読み出すと、シングル・タップ割込みおよびダブル・タップ割込みがクリアされます。
- ▶ データ・レジスタ (アドレス 0x08~アドレス 0x0A またはアドレス 0x0E~アドレス 0x13) を読み出すと、データ・レディ割込みがクリアされます。
- ▶ FIFO バッファから十分なデータを読み出して、割込み条件がもはや満足されないようになると、FIFO レディ、FIFO ウォーターマーク、FIFO オーバーランの各割込みがクリアされます。

どちらの割込みピンも、駆動されると出力インピーダンスが 50Ω (V<sub>DDIO</sub> = 2V での代表値) のプッシュプル低インピーダンス・ピンになり、表 88 に示すデジタル出力仕様に従います。どちらのピンにも、内部駆動されていない場合はバス・キーバがあります。

設定中に割込みが誤ってトリガされるのを防ぐため、閾値、タイミング、その他の値の設定中には、割込みを無効にしてください。

表 88. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V <sub>OL</sub> )	I <sub>OL</sub> = 500µA		0.1 × V <sub>DDIO</sub>	V
High Level Output Voltage (V <sub>OH</sub> )	I <sub>OH</sub> = -300µA	0.9 × V <sub>DDIO</sub>		V
Low Level Output Current (I <sub>OL</sub> )	V <sub>OL</sub> = V <sub>OL, MAX</sub>	500		µA
High Level Output Current (I <sub>OH</sub> )	V <sub>OH</sub> = V <sub>OH, MIN</sub>		-300	µA

<sup>1</sup> 設計に基づくリミット値であり、製品テストは行っていません。

## アプリケーション情報

### 割込みピンの代替機能

INT1 ピンと INT2 ピンは、割込みの通知用ではなく、入力ピンとして使用するよう設定することもできます。POWER\_CTL レジスタ (アドレス: 0x2D) の EXT\_CLK ビット (ビット 6) がセットされると、INT1 が外部クロック入力として使用されます。FILTER\_CTL レジスタ (アドレス: 0x2C) の EXT\_SAMPLE ビット (ビット 3) がセットされると、INT2 が同期サンプリング用のトリガ入力として使用されます。これらの代替機能の一方または両方は同時に使用できます。しかし、割込みピンの代替機能が使用された場合、割込みの通知というその主要機能を目的として同時に使用することはできません。

外部クロッキングとデータ同期については、[アプリケーション情報のセクション](#)を参照してください。

### アクティビティ/インアクティビティ割込み

STATUS レジスタの ACT ビット (ビット 4) と INACT ビット (ビット 5) は、それぞれ、アクティビティとインアクティビティが検出されたときにセットされます。検出の手順と基準については、[モーション検出](#)のセクションに説明があります。

### 外部 ADC 割込み

ADXL366 は、外部アナログ入力をデジタル化するために 14 ビットの ADC を内蔵しています。割込みは、外部 ADC のユーザ設定閾値に基づいて生成できます。バッテリー駆動デバイスでは、外部 ADC を使用して電源電圧をモニタできます。電源電圧が設定された閾値未満になると割込みが生成され、エンド・ユーザにバッテリーの充電/交換を行うよう警告が発せられます。この機能を使うことで、ホスト・プロセッサは別の ADC を用いて電源を定期的にチェックする必要がなくなります。

### データ・レディ割込み

DATA\_READY ビット (レジスタ 0x0B のビット 0) は、新しい有効なデータが使用可能になるとセットされ、使用できる新しいデータがなくなるとクリアされます。

いずれかのデータ・レジスタ (アドレス 0x08~アドレス 0x0A およびアドレス 0x0E~アドレス 0x15) の読出し中には、DATA\_READY ビットはセットされません。レジスタ読出しより前に DATA\_READY = 0 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA\_READY は、読出しが完了するまで 0 のままで、完了したときにのみ 1 に設定されません。

レジスタ読出しより前に DATA\_READY = 1 である場合、これはレジスタ読出しの開始時にクリアされます。

レジスタ読出しより前に DATA\_READY = 1 であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA\_READY は、レジスタ読出しの開始時に 0 にクリアされ、読出し中には 0 のままです。読出しが完了すると、DATA\_READY は 1 に設定されます。

### FIFO 割込みの使い方

#### FIFO ウォーターマーク

FIFO に保存されたサンプルの数が、FIFO\_CONTROL レジスタの FIFO\_SAMPLES ビット (アドレス 0x28 のビット 2) と FIFO\_SAMPLES レジスタ (アドレス 0x29) で指定された値以上になると、FIFO\_WATERMARK ビット (レジスタ 0x0B のビット 2) がセットされます。FIFO から十分なサンプルが読み出され、残りのサンプル数が FIFO\_SAMPLES ビット・フィールドでユーザが指定した値を下回ると、FIFO\_WATERMARK ビットは自動的にクリアされます。

FIFO サンプルの数が 0 に設定された場合、FIFO ウォーターマーク割込みが設定されます。この割込みが予期せずトリガされるのを避けるため、FIFO\_SAMPLES レジスタのデフォルト値は 0x80 です。

#### FIFO レディ

FIFO 出力バッファ内に有効なサンプルが 1 個以上あると、FIFO\_READY ビット (レジスタ 0x44 のビット 1) がセットされます。FIFO 内に有効なデータがない場合、このビットはクリアされます。

#### オーバーラン

FIFO がオーバーランまたはオーバーフローして、新しいデータが未読データに取って代わったとき、FIFO\_OVERRUN ビット (レジスタ 0x44 のビット 3) がセットされます。これは、FIFO が満杯の状態からまだ空になっていないこと、または遅い SPI トランザクションによってクロック誤差が生じたことを示している可能性があります。FIFO がオールデスト・セーブ・モードに設定された場合、オーバーラン・イベントは、新しいサンプルに使用できるスペースが不足していることを示します。

FIFO の内容が読み出されると、FIFO\_OVERRUN ビットは自動的にクリアされます。同様に、FIFO が無効にされると、FIFO\_OVERRUN ビットはクリアされます。

### 外部トリガの使用

ADXL366 は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。FILTER\_CTL レジスタ (アドレス 0x2C) の EXT\_SAMPLE ビット (ビット 3) によって、この機能が有効にされます。EXT\_SAMPLE ビットが 1 に設定されると、INT2 ピンは、同期トリガ入力として使用されるよう、自動的に再設定されます。なお、外部トリガは測定モードでのみ使用できます。

外部トリガが有効な場合、システム設計者はサンプリング周波数がシステム条件を満たすことを確認する必要があります。サンプリング周波数が低すぎると、エイリアシングが生じます。ノイズはオーバーサンプリングによって低減できます。しかし、サンプリング周波数が高すぎると、加速度センサーが加速度データを処理して有効なデジタル出力データに変換するための時間が不足することがあります。

## アプリケーション情報

ナイキスト基準が満たされている場合は、信号の完全性が維持されます。ADXL366にはアンチエイリアス・フィルタが内蔵されており、システム設計者が信号の完全性を確保するために活用できます。エイリアシングを防ぐため、フィルタ帯域幅は、サンプリング・レートの $\frac{1}{2}$ 以下の周波数に設定します。例えば、100Hzでサンプリングする場合は、フィルタ極は50Hz以下に設定します。フィルタ極は、FILTER\_CTL レジスタ（アドレス 0x2Cのビット[2:0]）の ODR ビットによって設定されます。フィルタ帯域幅は、ODR の $\frac{1}{2}$ に設定され、ODR ビットによって設定されます。たとえ ODR が無視されても（データ・レートが外部トリガによって設定されるため）、フィルタは依然として指定された帯域幅で適用されます。

内部のタイミング要件のため、INT2 ピンに加えられるトリガ信号は、以下の基準を満たす必要があります。

- ▶ トリガ信号はアクティブ・ハイです。
- ▶ トリガ信号のパルス幅は 80 $\mu$ s 以上である必要があります。
- ▶ トリガは、再アサートの前に、120 $\mu$ s 以上にわたってデアサートされる必要があります。
- ▶ サポートされる最大サンプリング周波数は、625Hz（代表値）です。
- ▶ 最小サンプリング周波数は、システム要件によってのみ設定されます。サンプルを最小レートでポーリングする必要はありません。しかし、アンチエイリアス・フィルタによって設定された帯域幅よりも低いレートでサンプルがポーリングされた場合、エイリアシングが発生することがあります。

なお、表 89 に示すように、低ノイズ・モードおよび超低ノイズ・モードでは、外部トリガ周波数は内部でデシメーションされ、また、特に超低ノイズ・モードではこのデシメーション・レートは ODR 設定に依存します。

表 89. 外部トリガのオーバーサンプリング・レートとノイズ・モードの関係

Noise Mode	ODR Setting		
	$\leq 100$ Hz	200 Hz	400 Hz
Ultra-Low Power	1	1	1
Low Noise	4	4	4
Ultra-Low Noise	16	8	4

## 外部クロックの使用

ADXL366には内蔵クロックがあり、クロック駆動される内部動作にデフォルトで使用されます。必要であれば、外部クロックを供給して使用できます。

外部クロックを使用するには、POWER\_CTL レジスタ（アドレス 0x2D）の EXT\_CLK ビット（ビット 6）をセットする必要があります。このビットをセットすると、INT1 ピンがクロックを供給できる入力ピンに再設定されます。外部クロックは 51.2kHz～102.4kHz で動作する必要があります。詳細は外部クロックのセクションを参照してください。

## セルフ・テストの使用

ADXL366には、セルフ・テストの信号レベルを正しく記録するための 2 段階プロセスがあります。セルフ・テストのセクションで説明したセルフ・テスト機能は、SELF\_TEST レジスタ（アドレス 0x2E）の ST ビットおよび ST\_FORCE ビットによって有効にされます。セルフ・テスト機能を使用するには、以下の手順を推奨します。

1. 測定モードに入り、出力がセトリングするまで 100ms の間待機します。
2. SELF\_TEST レジスタ（アドレス 0x2E）の ST ビットをセットすることによって、セルフ・テスト・モードを有効にします。
3. 出力がその新しい値にセトリングするまで、4/ODR だけ待機します。
4. x 軸の加速度データを読み出します。
5. SELF\_TEST レジスタ（アドレス 0x2E）の ST\_FORCE ビットをセットすることによって、セルフ・テスト・フォースを印加します。
6. 出力がその新しい値にセトリングするまで、4/ODR だけ待機します。
7. x 軸の加速度データを読み出します。
8. 手順 3 からの値と比較し、感度を乗算することによって、その差を LSB から mg に変換します。観察された差が表 1 に示すセルフ・テストの出力変化仕様に収まる場合、デバイスはセルフ・テストに合格し、使用可能と見なされます。
9. SELF\_TEST レジスタ（アドレス 0x2E）の ST ビットおよび ST\_FORCE ビットをクリアしてセルフ・テストを無効にします。

表 1 に示したセルフ・テストの出力変化仕様は、 $V_s = 2.0V$  で仕様のセクションに示したテスト条件に対してのみ適用されるものです。内蔵の 1V レギュレータがあるため、セルフ・テストの応答（単位：g）は電源電圧には比例しません。デバイスの電源電圧が低いと、x 軸のセルフ・テスト・フォースは約 0.17g であり、より堅牢な ST 読出しは、x 軸の出力の読出し値を平均化してノイズを低減することで実現できます。4～16 個のサンプルを平均してセルフ・テスト・フォースをオンにした場合とオフにした場合の加速度を取得し、ノイズの影響を軽減することを推奨します。LSB 単位でのセルフ・テストの読出し値は測定レンジ（ $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$ ）によって異なりますが、動作モード（通常動作モードまたは低ノイズ・モード）や帯域幅設定（ODR）によって大きく異なることはありません。

なお、セルフ・テストは $\pm 2g$ のレンジが最も正確であるため、これを使用することを推奨します。 $\pm 2g$ レンジ以外のものは信号レベルが低いため、不正確となる可能性があります。

アプリケーション情報

2.0V 以外の電圧での動作

ADXL366 は  $V_s = 2.0V$  の電源電圧でテストされ、仕様規定されていますが、上限 3.6V から下限 1.1V までの  $V_s$  の範囲で給電できます。電源電圧が変化すると、電源電流 (図 42 参照)、ノイズ (表 10 および表 2 参照)、オフセット、感度、セルフ・テスト出力変化など、一部の性能パラメータは変化します。

図 66 に、様々な電源電圧による 0g オフセットへの潜在的な影響を示します。図 66 のデータは、2.0V で 0mg のオフセットを示すように校正しています。

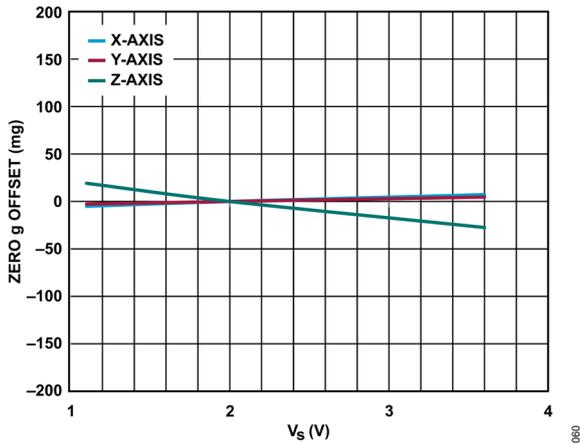


図 66. 0g オフセットと  $V_s$  の関係

ODR に対する感度依存性

出力感度は、ODR の設定値に応じてわずかに変化します。図 67 に、2g レンジでの各軸の ODR に対する代表的な感度変化を示します。

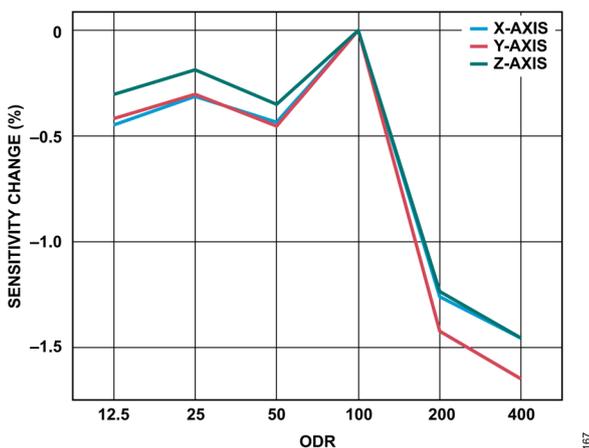


図 67. 100Hz の ODR に正規化した感度変化と ODR の関係 (2g レンジ)

電力モードに対する感度依存性

出力感度は、電力モードの設定に応じてわずかに変化します。例えば、通常動作モードから超低ノイズ・モードに切り替えると、図 68 に示すように、約 2% の感度低下が生じます。

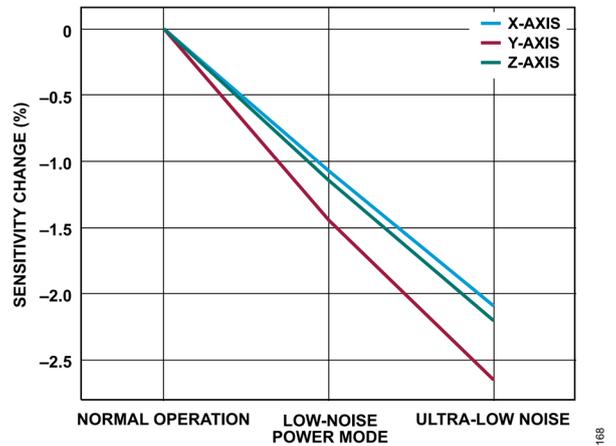


図 68. 感度と電力モードの関係 (通常動作モードに正規化)

取付けに関する機構上の留意点

ADXL366 は、PCB をケースに固定する支持点近くで PCB に取り付けてください。ADXL366 を図 69 に示すように固定が不十分な PCB 上の位置に取り付けると、PCB の振動が減衰されず、測定誤差が明らかに大きくなる可能性があります。加速度センサーを PCB の支持点の近くに配置すれば、加速度センサー位置での PCB の振動が加速度センサーのメカニカル・センサーの共振周波数より高くなるので、加速度センサーによって検知される可能性は事実上なくなります。センサーの近くに複数の支持点を設けたり、PCB を厚くしたりすることも、システム共振のセンサー性能に対する影響の低減に効果的です。

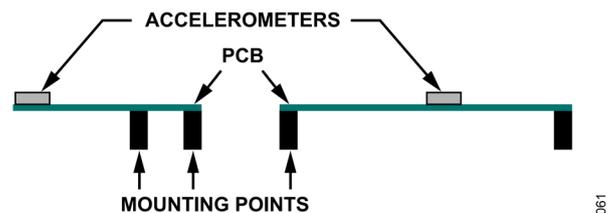


図 69. 加速度センサーの不適切な配置

アプリケーション情報

レイアウトおよび設計の推奨事項

図 70 に PCB の推奨ランド・パターンを示します。

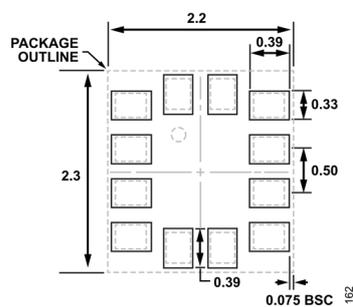


図 70. PCB の推奨ランド・パターン

加速度検出軸

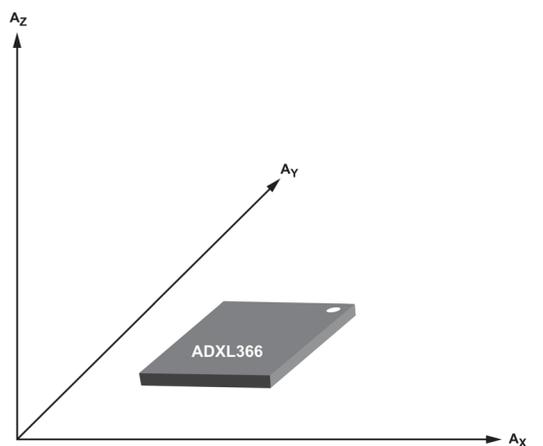


図 71. 加速度検出軸  
(検出軸に沿って加速されると、対応する軸の出力が増加)

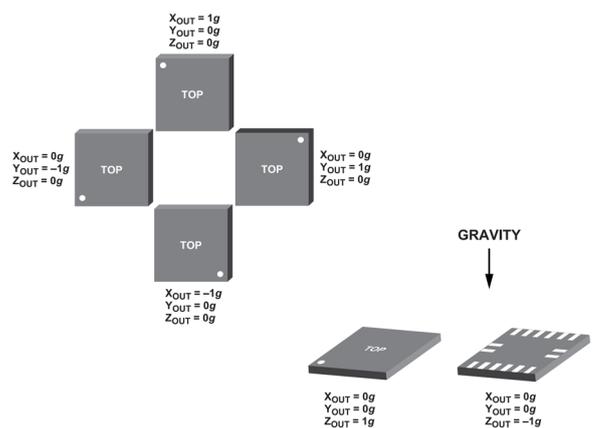


図 72. 重力方向と出力応答の関係

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-12-4	LGA	12-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADXL366BCCZ-RL	-40°C to +85°C	12-Terminal Land Grid Array	Reel, 5000	CC-12-4
ADXL366BCCZ-RL7	-40°C to +85°C	12-Terminal Land Grid Array	Reel, 1500	CC-12-4

<sup>1</sup> Z = RoHS 適合製品。

## 評価用ボード

Evaluation Board <sup>1</sup>	Description
EVAL-ADXL366Z	Breakout Board

<sup>1</sup> Z = RoHS 適合製品。