



# デッド・タイムを調整可能な 絶縁型ハーフ・ブリッジ・ ゲート・ドライバ、4A 出力

データシート

ADuM4221

## 特長

- 4A のピーク電流 ( $< 2\Omega R_{DS(on)}$ )
- ロジック入力電圧: 2.5V~6.5V
- 出力電源電圧: 4.5V~35V
- UVLO の  $V_{DD1}$  立上がり閾値: 2.5V (最大値)
- $V_{DDA}$  および  $V_{DDB}$  立上がり閾値における複数の UVLO オプション
  - グレード A: 4.5V (最大値)
  - グレード B: 7.5V (最大値)
  - グレード C: 11.6V (最大値)
- 高精度タイミング特性
  - 伝搬遅延: 44ns (最大値)
- 調整可能なデッド・タイム
- CMOS 入力ロジック・レベル
- 高いコモンモード過渡耐圧: 150kV/ $\mu$ s
- 高いジャンクション温度動作: 125°C
- デフォルトでロー・レベル出力
- 安全性と規制に関する認定 (申請中)
  - UL 1577 による UL 認定
  - 5700V rms で 1 分間
  - CSA Component Acceptance Notice 5A (申請中)
  - VDE 適合性認定 (申請中)
  - DIN V VDE V 0884-11
  - $V_{IORM} = 849V$  peak

沿面距離を増やした 16 ピン、ワイド・ボディ SOIC\_IC

## アプリケーション

- スイッチング電源
- 絶縁型 IGBT/MOSFET ゲート・ドライバ
- 産業用インバータ
- 窒化ガリウム (GaN) / 炭化ケイ素 (SiC) 互換

## 機能ブロック図

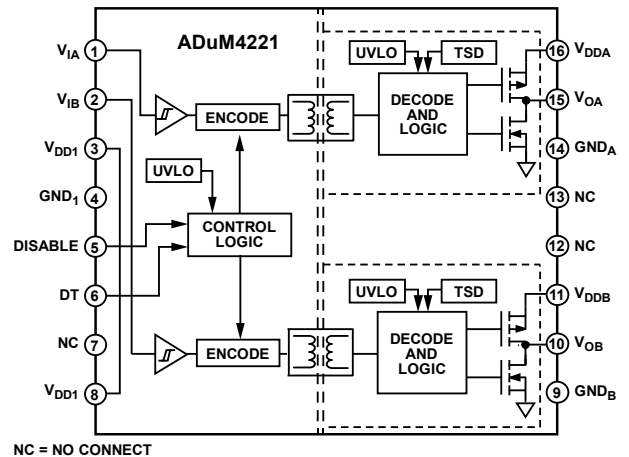


図 1.

## 概要

ADuM4221 は、アナログ・デバイセズの *iCoupler*® 技術を利用して個別に絶縁されたハイサイド出力とローサイド出力を実現する、4A の絶縁型ハーフ・ブリッジ・ゲート・ドライバです。5700Vrms の絶縁性能を備えており、沿面距離を増やしたワイド・ボディの 16 ピン SOIC\_IC パッケージで提供されます。この絶縁型デバイスは、高速 CMOS 技術とモノリシック・トランス技術を組み合わせることにより、パルス・トランスとゲート・ドライバを組み合わせただの製品などに比べて優れた性能特性を実現します。

ADuM4221 は 2.5V~6.5V のロジック入力電圧範囲で動作し、より低電圧のシステムとの互換性も備えています。高電圧レベル変換方式を採用するゲート・ドライバと比較して、このデバイスには、入力と出力が電気的に絶縁されるという利点があります。

ADuM4221 は、オーバーラップの保護機能を備えていると共にデッド・タイムの調整が可能です。デッド・タイム・ピン (DT) と  $GND_1$  ピンの間に抵抗を 1 つ接続することにより、2 次側のハイサイド出力とローサイド出力間のデッド・タイムを設定します。

ADuM4221 の内部温度がサーマル・シャットダウン (TSD) 温度を超えると、内蔵 TSD が出力をローにします。これにより、絶縁型ゲート・バイポーラ・トランジスタ (IGBT) / 金属酸化膜半導体電界効果トランジスタ (MOSFET) 構成のスイッチング特性を、正と負の幅広いスイッチング電圧範囲にわたり高い信頼性で制御できます。

<sup>1</sup> 米国特許 5,952,849; 6,873,065; 7,075,239 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長 .....	1	代表的な性能特性 .....	9
アプリケーション .....	1	動作原理 .....	13
機能ブロック図 .....	1	アプリケーション情報 .....	14
概要 .....	1	PCB レイアウト .....	14
改訂履歴 .....	2	伝搬遅延に関するパラメータ .....	14
仕様 .....	3	定格ピーク電流 .....	14
電気的特性 .....	3	保護機能 .....	14
パッケージ特性 .....	4	出力負荷特性 .....	14
適用規格 .....	5	調整可能なデッド・タイム制御 .....	15
絶縁および安全性関連の仕様 .....	5	ブートストラップを使用した ハーフ・ブリッジ動作 .....	16
DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性 .....	6	消費電力 .....	17
推奨動作条件 .....	6	DC 精度と磁界耐性 .....	17
絶対最大定格 .....	7	絶縁寿命 .....	18
熱抵抗 .....	7	外形寸法 .....	19
ESD に関する注意 .....	7	オーダー・ガイド .....	19
ピン配置およびピン機能の説明 .....	8		

## 改訂履歴

7/2020—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定のない限り、ローサイド電圧はGND<sub>I</sub>基準、ハイサイド電圧はGND<sub>A</sub>、GND<sub>B</sub>基準、 $2.5V \leq V_{DD1} \leq 6.5V$ 、 $4.5V \leq V_{DDA}$ 、 $V_{DDB} \leq 35V$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。特に指定のない限り、すべての最小および最大仕様値は推奨動作範囲全体に適用されます。すべての代表仕様は、 $T_J = 25^\circ C$ 、 $V_{DD1} = 5.0V$ 、 $V_{DDA} = V_{DDB} = 15V$ 。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件
DC SPECIFICATIONS						
Logic Input Voltage	$V_{DD1}$	2.5		6.5	V	
Output Supply Voltage	$V_{DDA}$ , $V_{DDB}$	4.5		35	V	
Input Supply Current, Quiescent	$I_{DD1(Q)}$					
Input A High or Input B High			7.2	10	mA	
Both Inputs Low			1.4	2.4	mA	
Output Supply Current, Per Channel, Quiescent	$I_{DD2(Q)}$					
Output Channel						
High			1.4	2.6	mA	
Low			1.6	2.1	mA	
Input Currents	$I_{IA}$ , $I_{IB}$	-1	+0.01	+1	$\mu A$	
Input Voltage						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{DD1}$			V	$2.5V \leq V_{DD1} \leq 5V$
		3.5			V	$V_{DD1} > 5V$
Logic Low	$V_{IL}$			$0.3 \times V_{DD1}$	V	$2.5V \leq V_{DD1} \leq 5V$
				1.5	V	$V_{DD1} > 5V$
Undervoltage Lockout (UVLO)						
$V_{DD1}$ Positive Going Threshold	$V_{VDD1UV+}$		2.45	2.5	V	
$V_{DD1}$ Negative Going Threshold	$V_{VDD1UV-}$	2.3	2.35		V	
$V_{DD1}$ Hysteresis	$V_{VDD1UVH}$		0.1		V	
$V_{DDA}$ and $V_{DDB}$ Positive Going Threshold	$V_{VDDAUV+}$ , $V_{VDDBUV+}$		4.4	4.5	V	グレード A
			7.3	7.5	V	グレード B
			11.3	11.6	V	グレード C
$V_{DDA}$ and $V_{DDB}$ Negative Going Threshold	$V_{VDDAUV-}$ , $V_{VDDBUV-}$	4.1	4.2		V	グレード A
		6.9	7.1		V	グレード B
		10.8	11.1		V	グレード C
$V_{DDA}$ and $V_{DDB}$ Hysteresis	$V_{VDDAUVH}$ , $V_{VDDBUVH}$		0.2		V	グレード A
			0.2		V	グレード B
			0.2		V	グレード C
TSD						
Positive Edge	$T_{TSD\_POS}$		155		$^\circ C$	
Hysteresis	$T_{TSD\_HYST}$		30		$^\circ C$	
Drive Strength						
Pull-Down Negative Metal Oxide Semiconductor (NMOS) On Resistance	$R_{DSON\_N}$		0.6	1.6	$\Omega$	250mA、 $V_{DDx} = 15V$ でテスト
			0.6	1.6	$\Omega$	1A、 $V_{DDx} = 15V$ でテスト
Pull-Up Positive Metal Oxide Semiconductor (PMOS) On Resistance	$R_{DSON\_P}$		0.8	1.8	$\Omega$	250mA、 $V_{DDx} = 15V$ でテスト
			0.8	1.8	$\Omega$	1A、 $V_{DDx} = 15V$ でテスト
Peak Current	$I_{PEAK}$		4		A	$V_{DDA}$ 、 $V_{DDB} = 15V$ 、 $2\Omega$ のゲート抵抗

パラメータ	記号	Min	Typ	Max	単位	テスト条件
SWITCHING SPECIFICATIONS						
Pulse Width		50			ns	負荷容量 ( $C_L$ ) = 2.2nF、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、外部ゲート抵抗 ( $R_G$ ) = 5.1 $\Omega$
Propagation Delay <sup>1</sup>						$C_L = 2.2nF$ 、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、 $R_G = 5.1\Omega$
Rising Edge	$t_{DLH}$	19	25	33	ns	
Falling Edge	$t_{DHL}$	21	30	44	ns	
Time to Disable	$t_{DIS}$	21	25	44	ns	
Time to Enable	$t_{EN}$	19	25	33	ns	
Delay Skew <sup>2</sup>	$t_{PSK}$			22	ns	$C_L = 2.2nF$ 、 $R_G = 5.1\Omega$
Pulse Width Distortion	$t_{PWD}$		5	16	ns	$C_L = 2.2nF$ 、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、 $R_G = 5.1\Omega$
Channel to Channel Matching <sup>3</sup>	$t_{PSKCD}$		1.5	10	ns	$C_L = 2.2nF$ 、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、 <a href="#">図 19</a> 参照
Output Rise and Fall Time (10% to 90%)	$t_R/t_F$	14	25	34	ns	$C_L = 2.2nF$ 、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、 $R_G = 5.1\Omega$ 、 <a href="#">図 26</a> 参照
Adjustable Dead Time	DT					$C_L = 2.2nF$ 、 $V_{DD1} = 5V$ 、 $V_{DDA} = V_{DDB} = 15V$ 、 $R_G = 5.1\Omega$
		1809	2320	2831	ns	デッド・タイム抵抗 ( $R_{DT}$ ) = 500k $\Omega$
		742	938	1135	ns	$R_{DT} = 200k\Omega$
		48	62	76	ns	$R_{DT} = 10k\Omega$

<sup>1</sup> 伝搬遅延  $t_{DLH}$  は、入力の立上がりロジック・ハイ閾値  $V_{IH}$  から  $V_{OX}$  信号の出力立上がり 10% レベル値までの時間を測定した値です。伝搬遅延  $t_{DHL}$  は、入力の立下がりロジック・ロー閾値  $V_{IL}$  から  $V_{OX}$  信号の出力立下がり 90% 閾値までを測定した値です。伝搬遅延パラメータの波形については、[図 26](#) を参照してください。

<sup>2</sup>  $t_{PSK}$  は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷において、複数のユニットで測定した  $t_{DLH}$  と  $t_{DHL}$  の差の最大値です。伝搬遅延パラメータの波形については、[図 26](#) を参照してください。

<sup>3</sup> チャンネル間マッチングの値は、単一デバイスにおける 2 つのチャンネル間の伝搬遅延差の絶対値です。

## パッケージ特性

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
Resistance (Input to Output) <sup>1</sup>	$R_{I/O}$		10 <sup>13</sup>		$\Omega$	
Capacitance (Input to Output) <sup>1</sup>	$C_{I/O}$		2.2		pF	$f = 1MHz$
Input Capacitance <sup>2</sup>	$C_I$		4.0		pF	
IC Junction to Ambient Thermal Resistance	$\theta_{JA}$		45		$^{\circ}C/W$	熱電対はパッケージ下面の中央に設置

<sup>1</sup> このデバイスを 2 端子デバイスとみなします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンドの間の値です。

## 適用規格

ADuM4221 は、表 3 に記載された機関の認定を申請中です。

表 3.

UL (申請中)	CSA (申請中)	VDE (申請中)	CQC (申請中)
1577 Component Recognition Program による認定 <sup>1</sup> 単一保護、絶縁電圧 5700V rms  ファイル E214100	CSA Component Acceptance Notice 5A による認定 IEC 62368、第 3 版  830V rms (1173V peak) の基本絶縁  415V rms (586V peak) の強化絶縁  IEC 60601-1 Edition 3.1 強化絶縁 (2MOPP)、250V rms (353V peak) CSA 61010-1-12 および IEC 61010-1、 第 3 版 基本絶縁、主電源 300V rms、2 次電 圧 800V (1089V peak) 強化絶縁、主電源 300V rms、2 次電 圧 400V (565V peak) ファイル 205078	DIN VDE V 0884-11 (VDE V 0884- 11) : 2017-01 に基づく認定 <sup>2</sup> 基本絶縁、900V peak、 $V_{IOSM} =$ 9850V peak 強化絶縁、849V peak、 $V_{IOSM} =$ 8000V peak  ファイル 2471900-4880-0003	CQC11-471543-2012 によ る認定 GB4943.1-2011  800V rms (1131V peak) の基本絶縁 400V rms (565V peak) の強化絶縁  ファイル (申請中)

<sup>1</sup> UL 1577 に従い、各 ADuM4221 に 6840V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

<sup>2</sup> DIN VDE V 0884-11 に従い、各 ADuM4221 に 1592V peak 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (部分放電検出限界 = 5pC)。デバイス表面のアスタリスク (\*) マークは、DIN VDE V 0884-11 認定製品であることを示します。

## 絶縁および安全性関連の仕様

表 4.

パラメータ	記号	値	単位	テスト条件/コメント
Rated Dielectric Insulation Voltage		5700	V rms	1 分間持続
Minimum External Air Gap (Clearance)	L (I01)	8.3	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L (I02)	8.3	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Clearance in the Plane of the Printed Circuit Board, PCB (PCB Clearance)	L (PCB)	8.3	mm	入力端子から出力端子までを測定、PCB 実装面における空気中での最短の見通し距離
Minimum Internal Gap (Internal Clearance)		25.5	μm	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	DIN IEC 112/VDE 0303 Part 1
Material Group		I		材料グループ (DIN VDE 0110、1/89、表 1)

## DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって徹底されます。

表 5. VDE 特性

説明	テスト条件/コメント	記号	特性	単位
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 600 V rms Climatic Classification Pollution Degree per DIN VDE 0110, Table 1 Maximum Repetitive Peak Isolation Voltage Input to Output Test Voltage, Method B1			I to IV I to IV I to IV 40/105/21 2	
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.875 = V_{pd(m)}$ 、100%出荷テスト、 $t_{mi} = t_m = 1$ 秒、部分放電 < 5pC	$V_{IORM}$ $V_{pd(m)}$	849 1592	V peak V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.5 = V_{pd(m)}$ 、 $t_{mi} = 60$ 秒、 $t_m = 10$ 秒、 部分放電 < 5pC	$V_{pd(m)}$	1274	V peak
Maximum Rated Transient Isolation Voltage Surge Isolation Voltage Basic	$V_{IORM} \times 1.2 = V_{pd(m)}$ 、 $t_{mi} = 60$ 秒、 $t_m = 10$ 秒、 部分放電 < 5pC	$V_{IOTM}$ $V_{IOSM}$	1019 8000	V peak V peak
Reinforced	V peak = 12.8kV、1.2μs の立上がり時間、 50μs の 50%立下がり時間		9850	V peak
Safety Limiting Values Maximum Junction Temperature Total Power Dissipation at 25°C Insulation Resistance at T <sub>s</sub>	V peak = 12.8kV、1.2μs の立上がり時間、 50μs の 50%立下がり時間 故障発生時に許容される最大値 (図 2 参照) $V_{IO} = 500V$	$T_s$ $P_s$ $R_s$	150 2.77 >10 <sup>9</sup>	°C W Ω

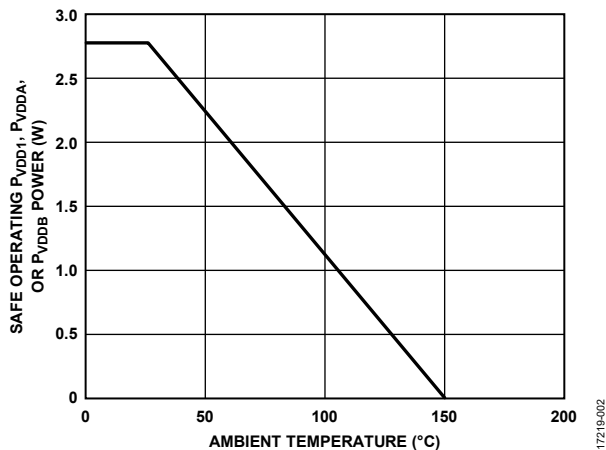


図 2. 熱ディレーティング曲線、安全限界値とケース温度の依存関係 (DIN V VDE V 0884-11)

## 推奨動作条件

表 6.

Parameter	Value
T <sub>j</sub>	-40°C to +125°C
Supply Voltages	
V <sub>DD1</sub> <sup>1</sup>	2.5 V to 6.5 V
V <sub>DDA</sub> and V <sub>DDB</sub> <sup>2</sup>	4.5 V to 35 V
Common-Mode Transient Immunity	
Static <sup>3</sup>	-150 kV/μs to +150 kV/μs
Dynamic <sup>4</sup>	-150 kV/μs to +150 kV/μs
Dead Time Resistor Range	10 kΩ to 500 kΩ

<sup>1</sup> GND<sub>1</sub>を基準。

<sup>2</sup> GND<sub>A</sub>、GND<sub>B</sub>を基準。

<sup>3</sup> 静的コモンモード過渡耐性は、入力をハイまたはローに保持した状態で、出力ハイのときに  $0.8 \times (V_{DDA}$  および  $V_{DDB})$  より高い出力電圧に、出力ローのときに  $0.8V$  の出力電圧に維持される、GND<sub>1</sub> と GND<sub>A</sub> および GND<sub>B</sub> の間の最大 dv/dt として定義されます。トランジエントが推奨レベルを超える状態で動作させると、瞬間的にデータが乱れることがあります。

<sup>4</sup> 動的コモンモード過渡耐性は、スイッチング・エッジが過渡テスト・パルスに揃ったときの、GND<sub>1</sub> と GND<sub>A</sub> および GND<sub>B</sub> の間の最大 dv/dt として定義されます。トランジエントが推奨レベルを超える状態で動作させると、瞬間的にデータが乱れることがあります。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
Voltage Ranges	
Supply	
$V_{DD1}$	-0.2 V to +7 V
$V_{DDA}$ and $V_{DDB}$	-0.3 V to +40 V
Input <sup>1</sup> ( $V_{IA}$ , $V_{IB}$ , and DISABLE)	-0.3 V to +7 V
Output <sup>2</sup>	
$V_{OA}$	-0.3 V to $V_{DDA} + 0.3$ V
$V_{OB}$	-0.3 V to $V_{DDB} + 0.3$ V
$V_{OA}$ Transient for 200 ns	-2 V to $V_{DDA} + 0.3$ V
$V_{OB}$ Transient for 200 ns	-2 V to $V_{DDB} + 0.3$ V
Temperature Range	
Storage ( $T_{ST}$ )	-55°C to +150°C
$T_J$	-40°C to +125°C
Common-Mode Transients <sup>3</sup> ( $CM_H$ , $CM_L$ )	-200 kV/ $\mu\text{s}$ to +200 kV/ $\mu\text{s}$

<sup>1</sup> 定格値は、 $V_{DD1} > 2.5\text{V}$ であることを前提としています。 $V_{DD1}$ に電源が供給されていないときの $V_{IA}$ および $V_{IB}$ の最大定格は6.5Vです。

<sup>2</sup>  $GND_2$ を基準として最大40V。

<sup>3</sup> 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、PCBの設計と動作環境に直接関連します。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は接合部-周囲の熱抵抗値、 $\Psi_{JT}$ は接合部-上面の特性評価パラメータです。

表 8. 熱抵抗

Package Type <sup>1</sup>	$\theta_{JA}$	$\Psi_{JT}$	Unit
RI-16-2	45	16.67	°C/W

<sup>1</sup> 4層PCB。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

表 9. 最大連続動作電圧<sup>1</sup>

パラメータ	定格	単位	制約事項
AC Voltage			
Bipolar Waveform			
Basic Insulation	900	V peak	VDE-0884-11に基づく20年間の最短絶縁寿命
Reinforced Insulation	849	V peak	VDE-0884-11に基づく20年間の最短絶縁寿命
DC Voltage			
Basic Insulation	1660	V peak	寿命は、IEC 60664-1、Pollution Degree 2、Material Group Iに基づく最大動作電圧でのパッケージ沿面距離によって制限されます。
Reinforced Insulation	830	V peak	寿命は、IEC 60664-1、Pollution Degree 2、Material Group Iに基づく最大動作電圧でのパッケージ沿面距離によって制限されます。

<sup>1</sup> 絶縁バリアに加わる連続電圧の大きさを指します。詳細については、[絶縁寿命](#)のセクションを参照してください。

## ピン配置およびピン機能の説明

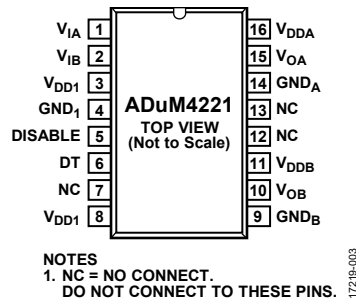


図 3. ピン配置

表 10. ピン機能の説明

ピン番号 <sup>1</sup>	記号	説明
1	V <sub>IA</sub>	ロジック入力 A。
2	V <sub>IB</sub>	ロジック入力 B。
3, 8	V <sub>DD1</sub>	入力電源電圧。
4	GND <sub>1</sub>	入力ロジック信号のグラウンド・リファレンス。
5	DISABLE	入力ディスエーブル。DISABLE ピンは、アイソレータ入力とリフレッシュ回路をディスエーブルします。
6	DT	デッド・タイム制御入力。DT ピンとグラウンドの間に抵抗を接続して、出力遷移間のデッド・タイムを設定します。
7, 12, 13	NC	接続なし。これらのピンには接続しないでください。
9	GND <sub>B</sub>	出力 B のグラウンド・リファレンス。
10	V <sub>OB</sub>	出力 B。
11	V <sub>DDB</sub>	出力 B の電源電圧。
14	GND <sub>A</sub>	出力 A のグラウンド・リファレンス。
15	V <sub>OA</sub>	出力 A。
16	V <sub>DDA</sub>	出力 A の電源電圧。

<sup>1</sup> ピン 3 とピン 8 は内部で接続されています。V<sub>DD1</sub> ピンは、両方とも V<sub>DD1</sub> の入力電源に接続することを推奨します。

表 11. 真理値表（正理論、デッド・タイム使用）

DISABLE <sup>1</sup>	V <sub>IA</sub> 入力 <sup>1</sup>	V <sub>IB</sub> 入力 <sup>1</sup>	V <sub>DD1</sub> の状態	V <sub>DDA</sub> と V <sub>DDB</sub> の状態	V <sub>OA</sub> 出力	V <sub>OB</sub> 出力	メモ
Low	Low	Low	Powered	Powered	Low	Low	出力遷移はデッド・タイム終了後に開始します
Low	Low	High	Powered	Powered	Low	High	出力遷移はデッド・タイム終了後に開始します
Low	High	Low	Powered	Powered	High	Low	出力遷移はデッド・タイム終了後に開始します
Low	High	High	Powered	Powered	Low	Low	出力遷移はデッド・タイム終了後に開始します
High	X	X	Powered	Powered	Low	Low	デバイスはディスエーブルされます
X	X	X	Unpowered	Powered	Low	Low	出力は V <sub>DD1</sub> 電源復帰後に入力状態に戻ります
X	X	X	Powered	Unpowered	Low	Low	出力はローに維持されます

<sup>1</sup> X はドントケア。



代表的な性能特性

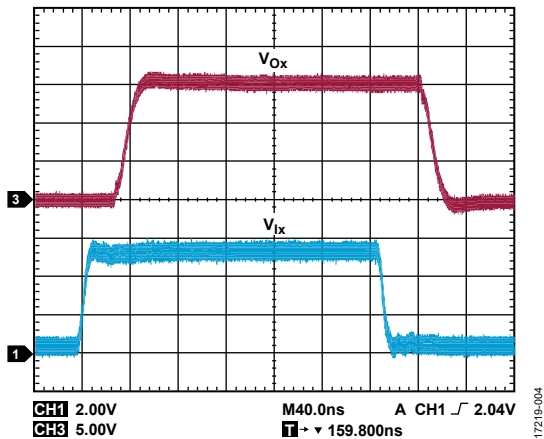


図 4. 負荷 2nF、直列ゲート抵抗 3.9kΩ、出力電源電圧 = 15V での出力波形

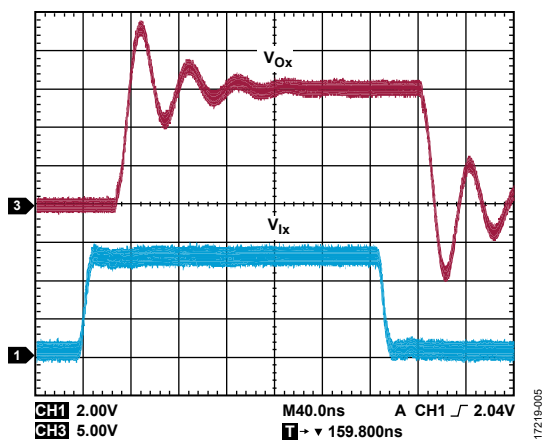


図 5. 負荷 2nF、直列ゲート抵抗 0Ω での出力電源電圧 = 15V の出力波形

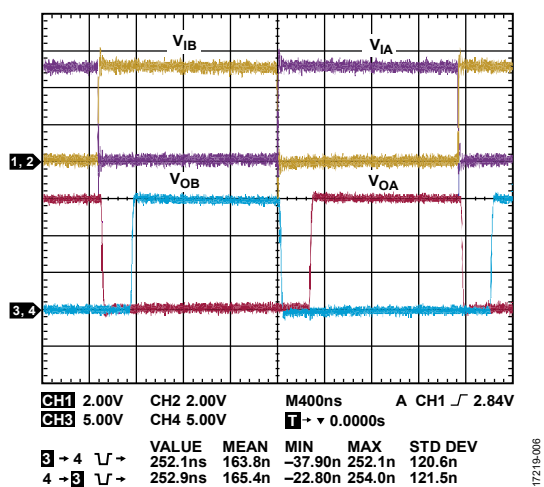


図 6. 50kΩ のデッド・タイム抵抗を使用した入出力間のデッド・タイム動作

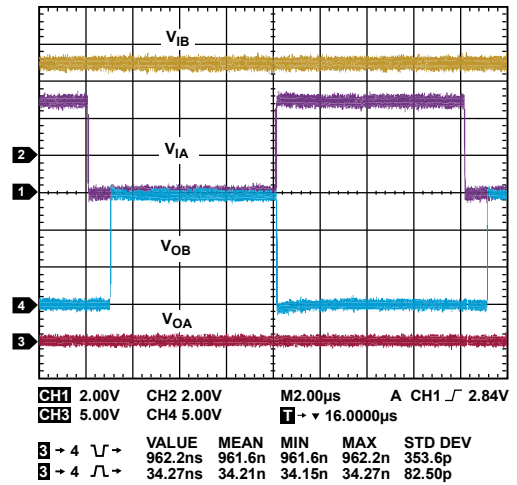


図 7. 200kΩ のデッド・タイム抵抗を使用し、入力の 1 つをハイにしたときの入出力間のデッド・タイム動作

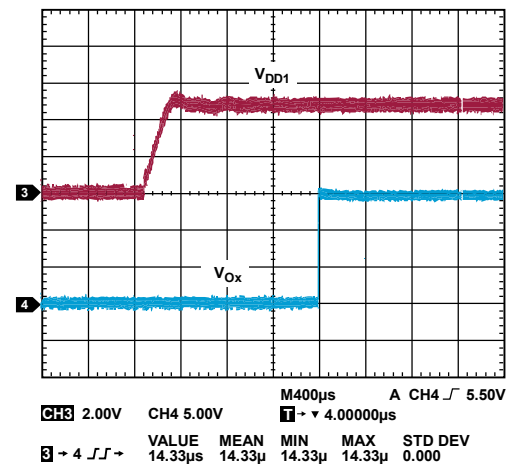


図 8.  $V_{DD1}$  の遅延の代表的な出力波形、 $V_{Ix} = V_{DD1}$

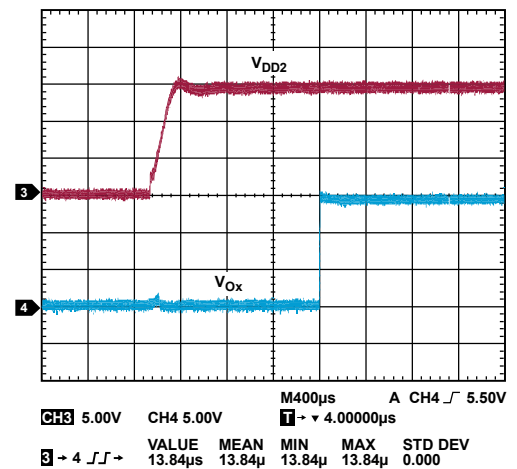


図 9.  $V_{DD2}$  の遅延の代表的な出力波形、 $V_{Ix} = V_{DD1}$  ( $V_{DD2}$  は  $V_{DDA}$  または  $V_{DDB}$  基準)

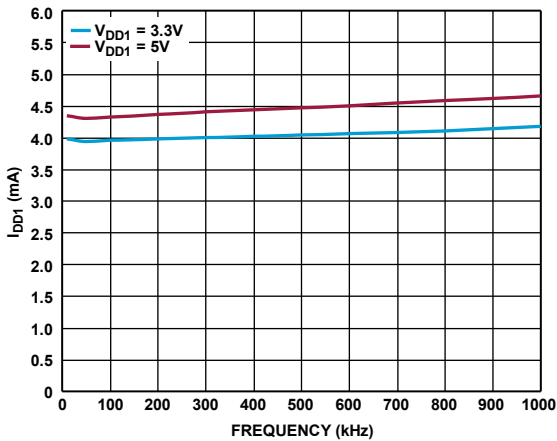


図 10.  $V_{DD1} = 3.3V$  と  $V_{DD1} = 5V$  での  $V_{DD1}$  電流 ( $I_{DD1}$ ) の周波数特性、50%のデューティ・サイクル

17Z19-010

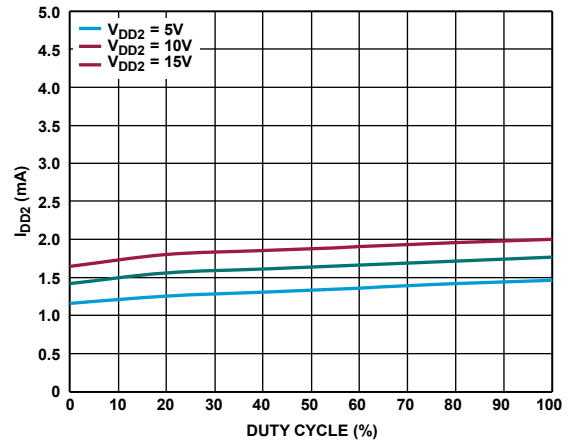


図 13.  $V_{DD2} = 5V$ 、 $V_{DD2} = 10V$ 、 $V_{DD2} = 15V$  での  $I_{DD2}$  とデューティ・サイクルの関係、 $V_{DD1} = 5V$  ( $V_{DD2}$  は  $V_{DDA}$  または  $V_{DDB}$  基準)

17Z19-013

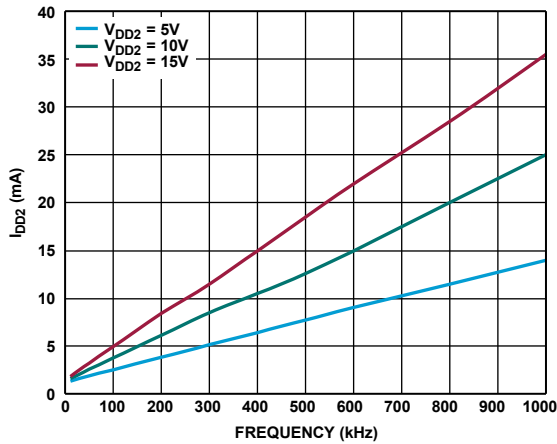


図 11.  $V_{DD2} = 5V$ 、 $V_{DD2} = 10V$ 、 $V_{DD2} = 15V$  での  $V_{DD2}$  電流 ( $I_{DD2}$ ) の周波数特性、50%のデューティ・サイクル、2nF 負荷 ( $V_{DD2}$  は  $V_{DDA}$  または  $V_{DDB}$  基準)

17Z19-011

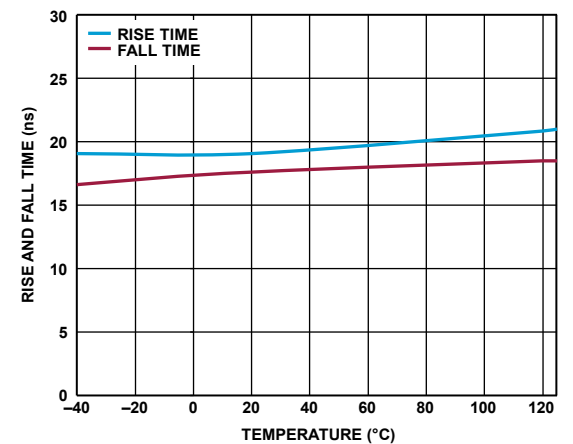


図 14. 立上がり時間と立下がり時間の温度特性、直列ゲート抵抗 3.9Ω、負荷 2nF、出力電源電圧 15V

17Z19-014

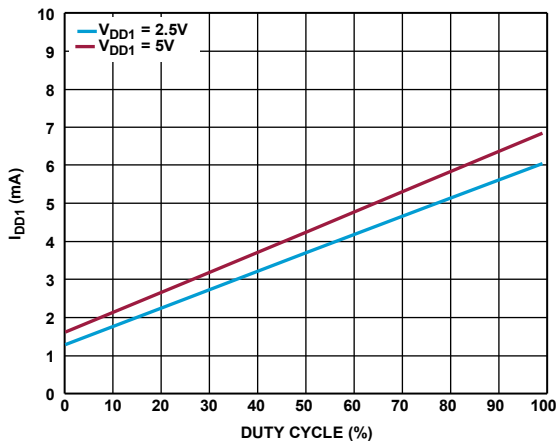


図 12.  $V_{DD1} = 2.5V$  と  $V_{DD1} = 5V$  での  $I_{DD1}$  とデューティ・サイクルの関係、 $V_{DD2} = 15V$  ( $V_{DD2}$  は  $V_{DDA}$  または  $V_{DDB}$  基準)

17Z19-012

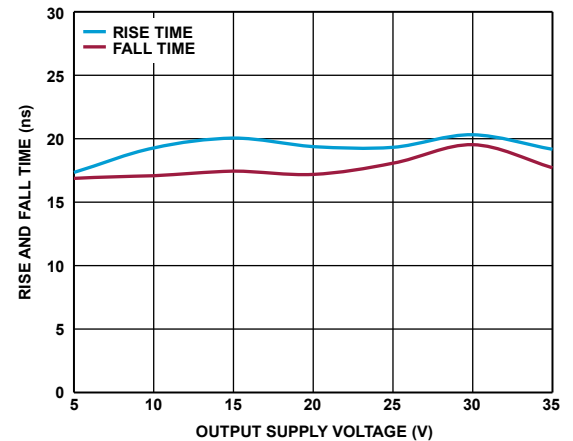


図 15. 立上がり時間および立下がり時間と出力電源電圧の関係、直列ゲート抵抗 3.9Ω、負荷 2nF

17Z19-015

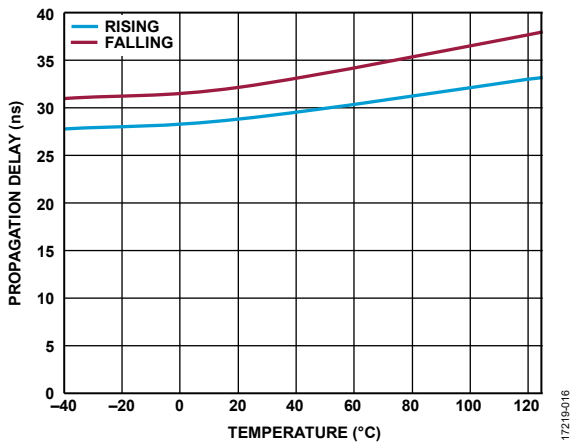


図 16. 伝搬遅延の温度特性

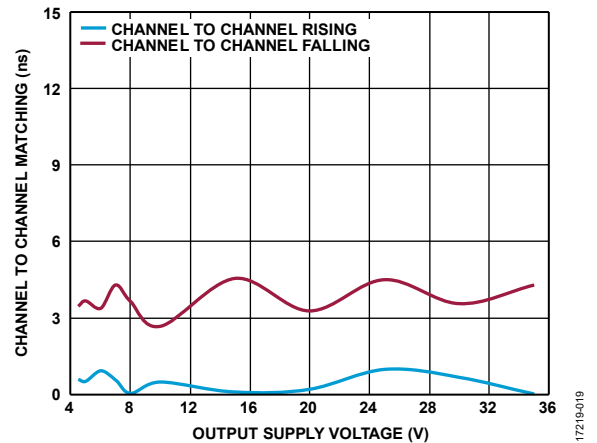


図 19. チャンネル間マッチングと出力電源電圧の関係、立上がり時間と立下がり時間

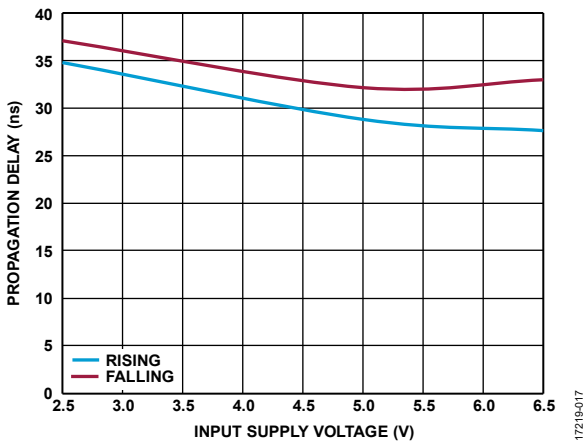


図 17. 伝搬遅延と入力電源電圧の関係、立上がり時間と立下がり時間、 $V_{DD2} = 15V$  ( $V_{DD2}$ は  $V_{DDA}$  または  $V_{DDB}$  基準)

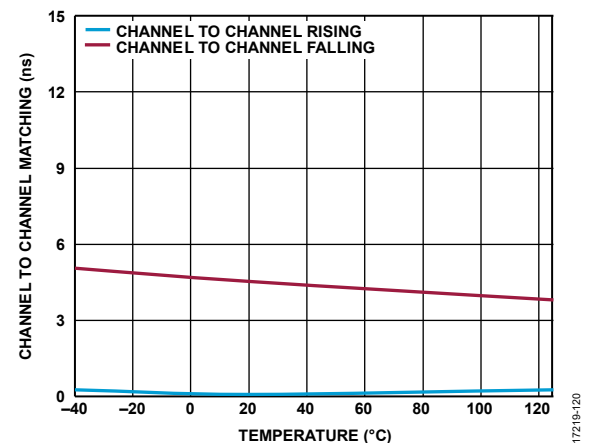


図 20. チャンネル間マッチングの温度特性、立上がり時間と立下がり時間、 $V_{DD2} = 15V$  ( $V_{DD2}$ は  $V_{DDA}$  または  $V_{DDB}$  基準)

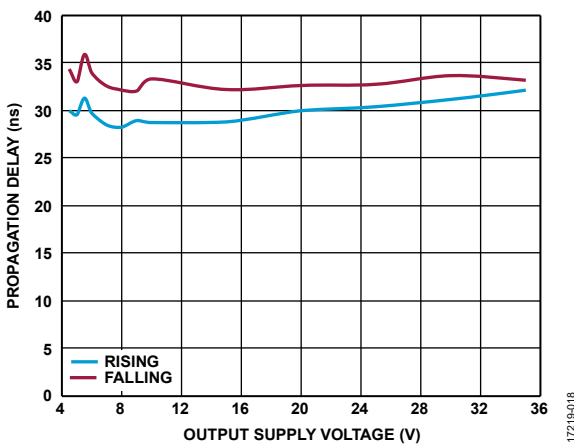


図 18. 伝搬遅延と出力電源電圧の関係、立上がり時間と立下がり時間、 $V_{DD1} = 5V$

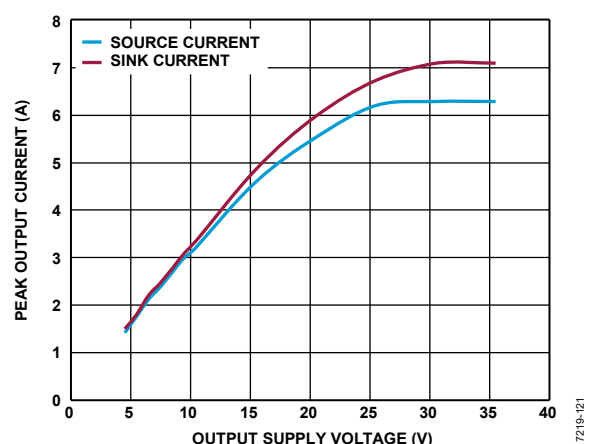


図 21. ピーク出力電流と出力電源電圧の関係、直列ゲイン抵抗  $2.2\Omega$

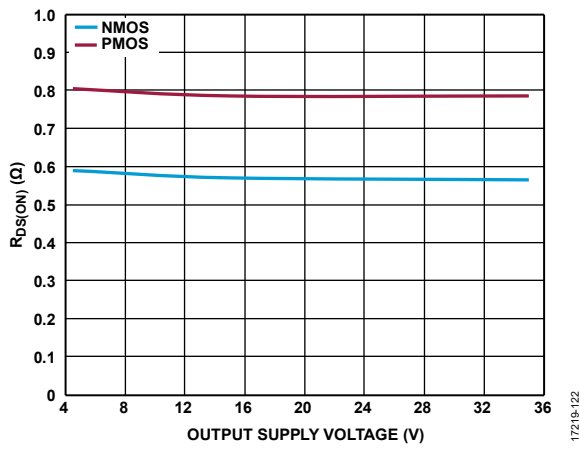


図 22. 出力抵抗 ( $R_{DS(ON)}$ ) と出力電源電圧の関係、NMOS および PMOS、 $V_{DD1} = 5V$

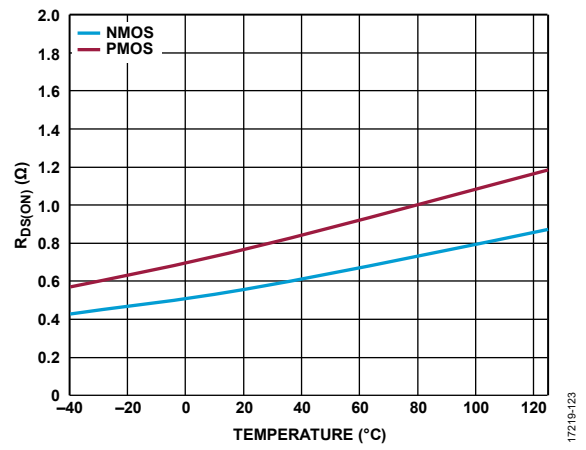


図 23.  $R_{DS(ON)}$  の温度特性、NMOS および PMOS

## 動作原理

ゲート・ドライバは、スイッチング・デバイスのゲートの立上がり時間を短縮したい場合に必要とされます。ほとんどのエンハンスメント型パワー・デバイスのゲート信号は、ソース・ノードまたはエミッタ・ノードを基準とします。ゲート・ドライバは、このソース・ノードまたはエミッタ・ノードに追従する必要があるため、ハーフ・ブリッジのようにソース・ノードまたはエミッタ・ノードがスイングする構成では、制御信号とゲート・ドライバ出力の間を絶縁する必要があります。ゲートのスイッチング時間は、ゲート・ドライバの駆動強度に依存します。CMOS 出力段の手前にあるバッファ段は、全体の遅延時間を減らし、ドライバの最終的な駆動強度を高めます。

ADuM4221 は、ポリイミド絶縁層で分離された *iCoupler* チップ・スケール・トランスのコイルを使って絶縁バリア越しにデータを伝送する高周波搬送波により、ゲート・ドライバの制御

側と出力側との間の絶縁を実現します。ADuM4221 が使用するエンコーディング方式は、正論理のオン/オフ・キーイング (OOK) です。この方式では、*iCoupler* チップ・スケール・トランスのコイルを介する搬送波周波数の存在によってハイ信号が伝送されます。正論理エンコーディングでは、ゲート・ドライバの入力側に電源が供給されていないとき、出力に必ずロー信号が現れます。ロー状態は、シュート・スルー状態が生じる可能性のある状況で駆動するエンハンスメント・モードのパワー・デバイスにおいて、最も一般的な安全状態です。このアーキテクチャは、高いコモンモード過渡耐圧や、電気ノイズ/磁気干渉に対して高い耐性を発揮するように設計されています。放射エミッションは、スペクトラム拡散 OOK 搬送波や、その他の手法 (差動コイル・レイアウトなど) により、最小限に抑えられます。ADuM4221 で使用するエンコーディング方式を図 24 に示します。

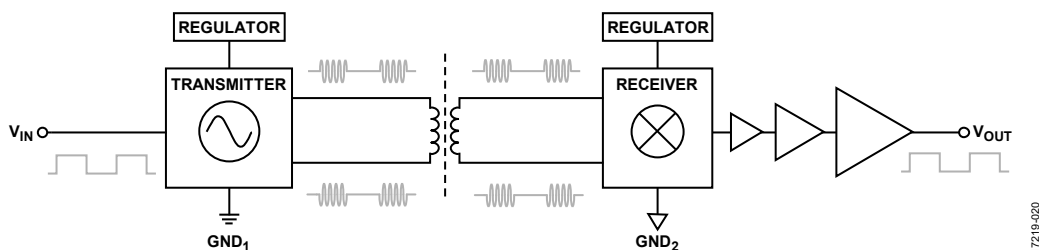


図 24. OOK エンコーディングの動作ブロック図 ( $V_{IN}$  は入力電圧、 $V_{OUT}$  は出力電圧)

17219-020

## アプリケーション情報

## PCB レイアウト

ADuM4221 は、ロジック・インターフェース用の外部インターフェース回路が不要です。図 25 に示すように、入出力の電源ピンには電源バイパス・コンデンサが必要です。0.01 $\mu$ F~0.1 $\mu$ F の小型セラミック・コンデンサを使用することで、高周波を適切にバイパスできます。また、出力電源ピン  $V_{DDA}$  および  $V_{DDB}$  には 10 $\mu$ F コンデンサを追加し、ADuM4221 出力でゲート容量を駆動するのに必要な電荷を供給することを推奨します。出力電源ピンでは、バイパスでのインダクタンスを低減するために、バイパス・コンデンサでビアを使用したり、複数のビアを使用したりしないでください。小型コンデンサ両端と入出力電源ピンの間のパターン長はできるだけ短くしてください。

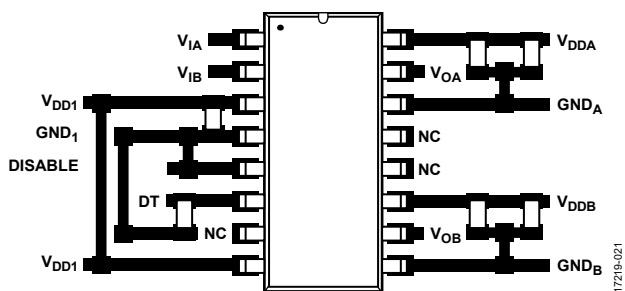


図 25. 推奨 PCB レイアウト

## 伝搬遅延に関するパラメータ

伝搬遅延パラメータは、ロジック信号がデバイスを通るのに要する時間を表します。ロジック・ロー出力への伝搬遅延は、ロジック・ハイ出力への伝搬遅延と異なる場合があります。ADuM4221 の立上がりエッジの伝搬遅延 ( $t_{DLH}$ ) は、立上がり入力ハイ・ロジック閾値 ( $V_{IH}$ ) から、出力立上がり ( $t_r$ ) の 10% 閾値までの時間として仕様規定されています (図 26 参照)。同様に、立下がりエッジの伝搬遅延 ( $t_{DHL}$ ) は、入力立下がりロー・ロジック閾値 ( $V_{IL}$ ) から出力立下がり ( $t_f$ ) の 90% 閾値までの時間です。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません。これはゲート・ドライバの業界標準です。

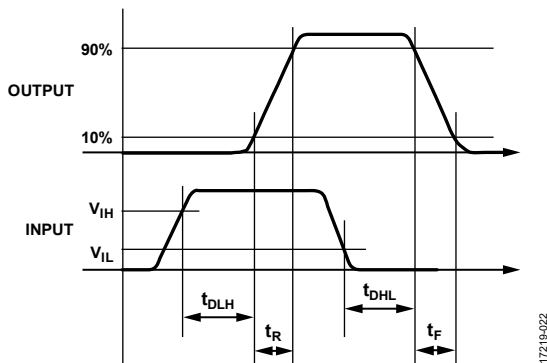


図 26. 伝搬遅延パラメータ

チャンネル間マッチングは、単一デバイスにおける複数のチャンネル間の伝搬遅延差の最大値です。

伝搬遅延スキューは、同じ条件下で動作する複数のデバイス間での伝搬遅延差の最大値です。

## 定格ピーク電流

ADuM4221 は 2 つの出力チャンネルを備えており、各チャンネルは外部直列ゲート抵抗を介してパワー・デバイスのゲートに接続されます。このゲート・ドライバ IC に内蔵された出力ドライバの MOSFET は、( $V_{OA}$  と  $V_{OB}$  のそれぞれに対して) 6A 以上の電流をソースまたはシンクすることができます。実際のアプリケーションでは、駆動強度を制御し、ゲート駆動時に消費する電力をゲート・ドライバ IC の外に分散させるため、標準的な外部直列ゲート抵抗を使用します。ゲート・ドライバの出力電流は、代表的な性能特性のセクションの図 21 に示します。

## 保護機能

## TSD

ADuM4221 の内部温度が 155°C (代表値) を超えると、デバイスは TSD 状態になります。TSD 状態の間、ゲート・ドライバはディスエーブルされます。TSD 状態になると、内部温度が 125°C (代表値) 未満になるまでデバイスは TSD を終了しません。125°C 未満になると、デバイスはシャットダウンを終了します。

## UVLO

ADuM4221 は、デバイスの 1 次側と 2 次側の両方に UVLO 保護機能を備えています。1 次側または 2 次側の電圧が立下がりエッジ UVLO より低くなると、デバイスはロー信号を出力します。ADuM4221 に供給される電源の電圧が立上がりエッジ UVLO 閾値を超えた後、デバイスは入力された信号を出力します。小さい電源リップルに対応するために、UVLO にはヒステリシスが組み込まれています。1 次側の UVLO 閾値は、全モデルで共通です。

## 出力負荷特性

出力信号は、出力負荷の特性に依存します。代表的な出力負荷は、N チャンネル MOSFET です。ゲート電圧 ( $V_{GATE}$ ) の N チャンネル MOSFET 負荷に対するドライバの出力応答は、図 27 に示すように、スイッチの出力抵抗 ( $R_{SW}$ )、PCB パターンによるインダクタンス ( $L_{TRACE}$ )、直列ゲート抵抗 ( $R_{GATE}$ )、ゲートとソース間の容量 ( $C_{GS}$ ) を使ってモデル化できます。

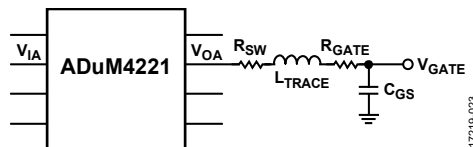


図 27. N チャンネル MOSFET のゲートの RLC (抵抗、インダクタ、コンデンサ) モデル

$R_{SW}$ は、内部ドライバ出力のスイッチ抵抗で、約 $2\Omega$ です。 $R_{GATE}$ は、MOSFET 固有のゲート抵抗と、その他の外部直列抵抗です。4Aのゲート・ドライバを必要とするMOSFETには、代表値で約 $1\Omega$ の固有ゲート抵抗と、 $2nF \sim 10nF$ の $C_{GS}$ があります。 $L_{TRACE}$ はPCBパターンのインダクタンスで、設計が最適化され、ADuM4221の出力からMOSFETのゲートまでが短く幅の広いパターンで接続されているレイアウトの場合、通常 $5nH$ 以下になります。以下の式はRLC回路のQ値を定義する式で、ステップ変化に対する出力応答を表しています。十分に減衰された出力の場合、Qは1未満です。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

出力のリングングは、直列ゲート抵抗を追加して応答を減衰させると減少します。図4に示す波形は、 $2nF$ の負荷と $3.9\Omega$ の外部直列ゲート抵抗によって正しく減衰された例を示しています。図5に示す波形は、 $2nF$ の負荷を使用し外部直列ゲート抵抗を $0\Omega$ にした場合の減衰不足の例です。

## 調整可能なデッド・タイム制御

ADuM4221はオーバーラップの保護機能を内蔵しており、入力の両方がハイになってもゲート・ドライバ出力( $V_{OA}$ および $V_{OB}$ )の両方が同時にハイになることはありません。また、ADuM4221はデッド・タイム制御ピン(DT)を備えており、DTピンとグラウンドの間に抵抗を1つ接続することにより、出力のハイサイドとローサイドの遷移間の遅延を調整することがで

きます(図30参照)。 $R_{DT}$ とデッド・タイムの関係を図28に示します。

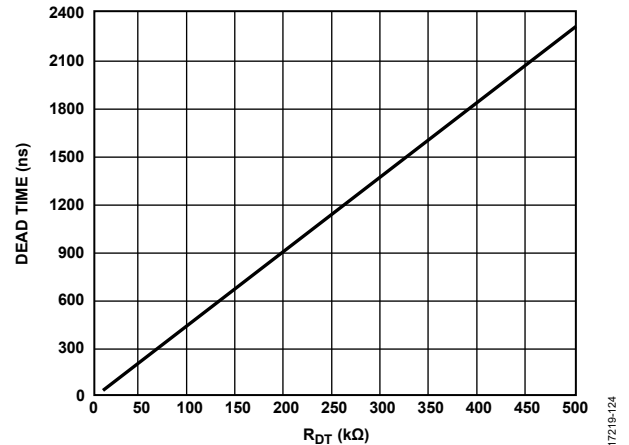


図 28. デッド・タイムとデッド・タイム抵抗の関係

次式を使用して、必要なデッド・タイムを計算します。

$$DT \text{ (ns)} \approx 5 \times R_{DT} \text{ (k}\Omega\text{)}$$

$V_{OX}$ ピンは、 $R_{DT}$ 抵抗で設定されたデッド・タイム値に従って $V_{IX}$ ピンに反応します。DTピンは、 $V_{OA}$ と $V_{OB}$ の間でエッジの遷移を制御します。デッド・タイムは、ゲート・ドライバ信号の立上がりエッジの遷移にのみ作用します。図29にデッド・タイム動作を示します。

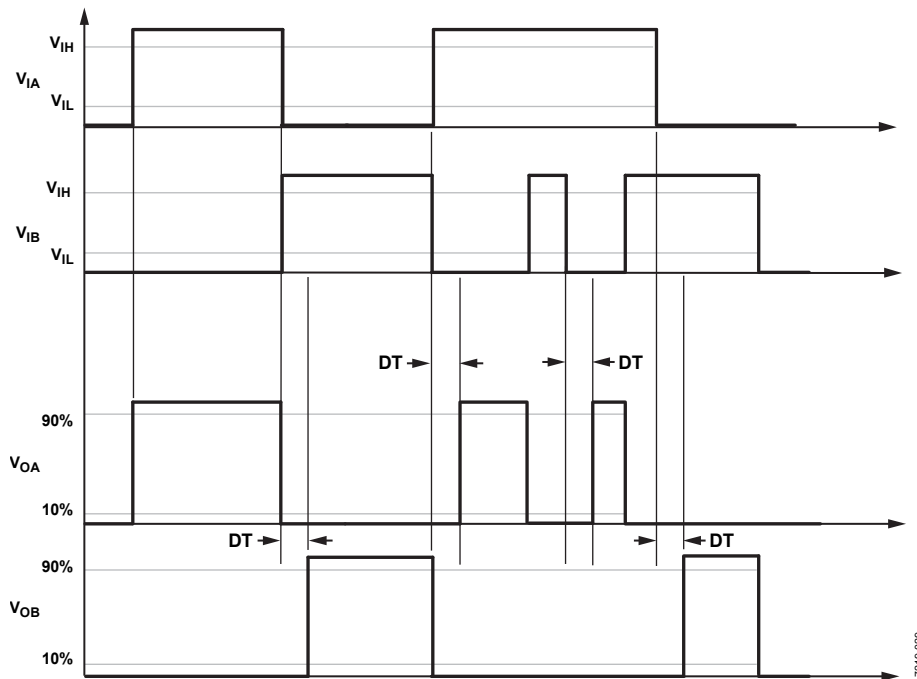


図 29. 様々な入力遷移に対するデッド・タイム動作

## ブートストラップを使用した ハーフ・ブリッジ動作

ADuM4221は、ハーフ・ブリッジ構成の場合のように、2つのゲート信号を個別のグラウンドを基準として出力する動作に適しています。絶縁型の補助電源は高価なことが多いため、電源の数を減らせると有益です。

電源の数を減らす1つの方法は、ADuM4221のハイサイド電源にブートストラップ構成を使用することです。この回路構成では、デカップリング・コンデンサ ( $C_A$ ) がハイサイド電源の蓄

電素子として機能し、ローサイド・スイッチを閉じて  $GND_A$  が  $GND_B$  に接続されている間に充電されます (図 30 参照)。  $C_A$  の充電時に  $V_{DDA}$  電圧の  $dv/dt$  を制御することで、出力にグリッチが発生する可能性を減らすことができます。  $V_{DDA}$  電圧の  $dv/dt$  を制御するには、  $C_A$  の充電パスに直列抵抗 ( $R_{BOOT}$ ) を接続します。

図 30 において、  $D_{BOOT}$  はブートストラップ・ダイオード、  $C_{DD1}$  は入力側のデカップリング・コンデンサ、  $C_B$  はドライバのローサイド電源のデカップリング・コンデンサです。

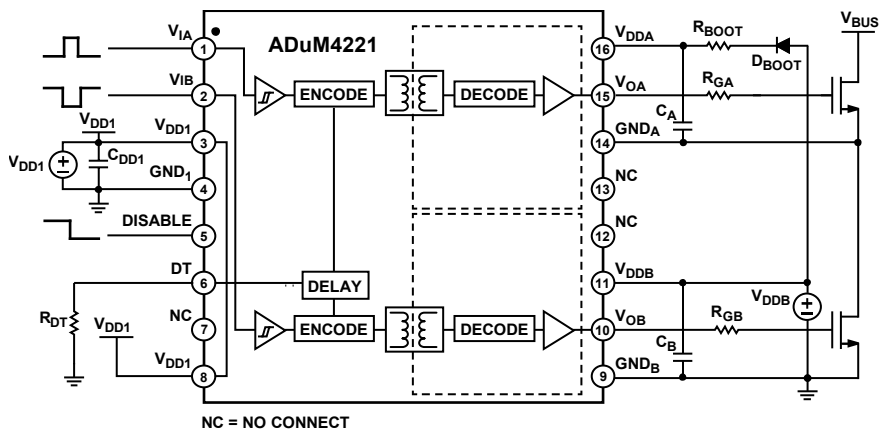


図 30. ブートストラップを使用したハーフ・ブリッジ動作回路



## 消費電力

MOSFET または IGBT のゲートを駆動しているとき、ドライバは必ず電力を消費します。この電力は無視できるレベルではないため、留意しないと TSD 状態になります。IGBT のゲートは、容量性負荷とみなすことでおおよそシミュレートできます。ミラー容量と他の非直線性により、一般的には、必要な MOSFET または IGBT の規定入力容量  $C_{ISS}$  に 3~5 を乗じて、駆動される負荷を安全側に見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力を見積もるには、次式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - GND_2)^2 \times f_{SW}$$

ここで、

$$C_{EST} = C_{ISS} \times 5、$$

$f_{SW}$  は IGBT のスイッチング周波数です。

あるいは、ゲート電荷を使用すると以下のようになります。

$$P_{DISS} = Q_G \times (V_{DD2} - GND_2) \times f_{SW}$$

ここで、 $Q_G$  は駆動されるデバイスの合計ゲート電荷です。この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗  $R_{GON}$  および  $R_{GOFF}$  で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4221 内の損失を計算できます。

$$P_{DISS\_ADuM4221} = P_{DISS} \times 0.5 \left( \frac{R_{DSON\_P}}{R_{GON} + R_{DSON\_P}} + 0.5 \frac{R_{DSON\_N}}{R_{GOFF} + R_{DSON\_N}} \right)$$

チップ内部の消費電力を求め、これに  $\theta_{JA}$  を乗じることで周囲温度に対する ADuM4221 の温度上昇が得られます。更に、チャンネルが 2 つあるので、この値に 2 を乗じます。

$$T_{ADuM4221} = \theta_{JA} \times 2 \times P_{DISS\_ADuM4221} + T_A$$

デバイスを仕様値内に維持するには、 $T_{ADuM4221}$  が  $125^\circ\text{C}$  を超えないようにする必要があります。 $T_{ADuM4221}$  が TSD の上昇時間閾値を超えるとデバイスは TSD に入り、TSD の下降時間閾値を下回るまで出力はローに維持されます。

## DC 精度と磁界耐性

ADuM4221 は、外部磁界に対する耐性を備えています。トランスの受信側コイルに発生する誘導電圧が、誤ってデコーダをセットまたはリセットする値まで大きくなると、ADuM4221 の磁界耐性が限界に達します。デコーダが誤ってセットまたはリセットされる状態が発生する条件は、以下の図に示す解析結果によって求めることができます (図 31 と図 32 を参照)。

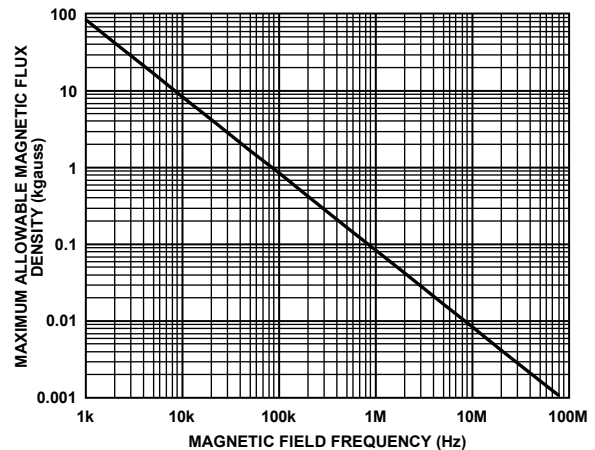


図 31. 最大許容外部磁束密度

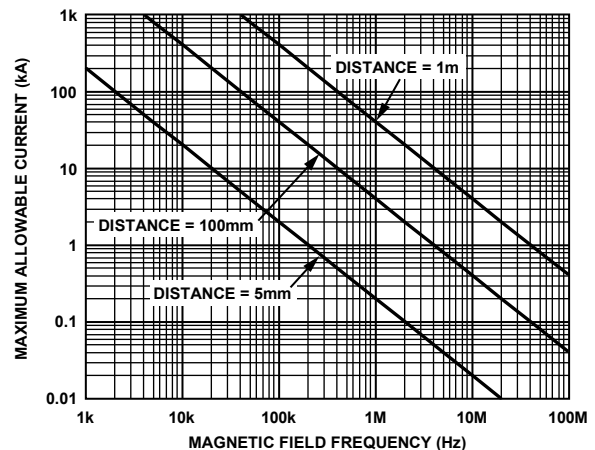


図 32. ADuM4221 の間隔と最大許容電流の関係

## 絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイスでは、規制当局が行うテストの他に、広範囲な評価を実施して ADuM4221 の絶縁構造の寿命を決定しています。

アナログ・デバイスでは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。加速係数は、複数の動作条件に対して決定しています。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 20 年の動作寿命に対するピーク電圧と、CSA および VDE 認定の最大動作電圧をまとめて表 9 に示します。多くのケースで、認定された動作電圧は 20 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM4221 の絶縁寿命は、絶縁バリアに加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。これらの様々な絶縁電圧波形を図 33、図 34、図 35 に示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最も厳しい条件ですが、アナログ・デバイスの推奨する最大動作電圧に対する運転寿命は 20 年です。ユニポーラ AC または DC 電圧の場合、絶縁に加わるストレスは大幅に小さくなります。ユニポーラ AC または DC 電圧環境では、20 年の耐用年数を実現しながら、より高い動作電圧での動作が可能です。図 34 または図 35 に適合

しない絶縁電圧波形はすべてバイポーラ AC 波形として扱い、そのピーク電圧は表 9 に示す 20 年寿命電圧値に制限する必要があります。

図 34 に示す電圧は、説明のためにだけ正弦波としていることに注意してください。すなわち、ある規定値と 0V との間で変化する任意の電圧波形とすることができます。規定値は正または負とすることができますが、電圧が 0V を通過することはできません。

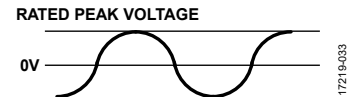


図 33. バイポーラ AC 波形

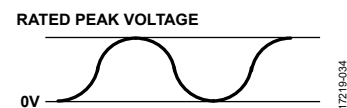


図 34. ユニポーラ AC 波形

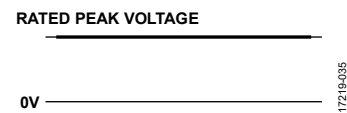


図 35. DC 波形

外形寸法

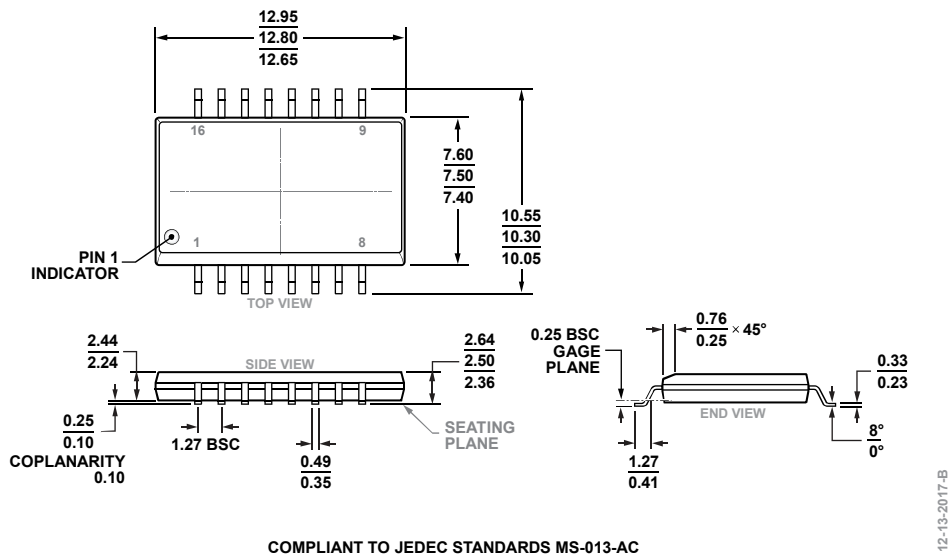


図 36. 沿面距離を増やした 16 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC\_IC] (RI-16-2)  
寸法 : mm

オーダー・ガイド

Model <sup>1</sup>	Inputs	Minimum Output Voltage (V)	Adjustable Dead Time	Temperature Range	Package Description	Package Option	Ordering Quantity
ADuM4221ARIZ	V <sub>IA</sub> , V <sub>IB</sub>	4.5	Yes	-40°C to +125°C	16-Lead SOIC_IC	RI-16-2	1
ADuM4221ARIZ-RL	V <sub>IA</sub> , V <sub>IB</sub>	4.5	Yes	-40°C to +125°C	16-Lead SOIC_IC, 13" Tape and Reel	RI-16-2	1,000
ADuM4221BRIZ	V <sub>IA</sub> , V <sub>IB</sub>	7.5	Yes	-40°C to +125°C	16-Lead SOIC_IC	RI-16-2	1
ADuM4221BRIZ-RL	V <sub>IA</sub> , V <sub>IB</sub>	7.5	Yes	-40°C to +125°C	16-Lead SOIC_IC, 13" Tape and Reel	RI-16-2	1,000
ADuM4221CRIZ	V <sub>IA</sub> , V <sub>IB</sub>	11.6	Yes	-40°C to +125°C	16-Lead SOIC_IC	RI-16-2	1
ADuM4221CRIZ-RL	V <sub>IA</sub> , V <sub>IB</sub>	11.6	Yes	-40°C to +125°C	16-Lead SOIC_IC, 13" Tape and Reel	RI-16-2	1,000
EVAL-ADuM4221EBZ					Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品