



# Blackfin+コア組み込みプロセッサ

## データシート

## ADSP-BF700/701/702/703/704/705/706/707

### 特長

最大 400MHz の性能を持つ Blackfin+コア  
 サイクルあたり 2 つの 16 ビット MAC または 1 つの  
 32 ビット MAC をサポート  
 16 ビット複素 MAC およびその他多数の命令セットの増強  
 従来の Blackfin 製品と互換性のある命令セット  
 低コストのパッケージング  
 88 ピン LFCSP\_VQ (QFN) パッケージ  
 (12mm × 12mm)、RoHS 準拠  
 184 ボール CSP\_BGA パッケージ  
 (12mm × 12mm × 0.8mm ピッチ)、RoHS 準拠  
 $T_{JUNCTION}$  が 25°C の場合、400MHz でコアドメインの消費電力が  
 100mW 未満の低システム消費電力 (< 0.25mW/MHz)  
 オートモーティブ・アプリケーション向けの AEC-Q100 に適合

### メモリ

マルチパリティ・ビット保護機能を備えた 136kB L1 SRAM  
 (64kB の命令、64kB のデータ、8kB のスクラッチパッド)  
 ECC 保護機能を備えた大容量オンチップ L2 SRAM  
 256kB、512kB、1MB のバリエーション  
 オンチップ L2 ROM (512kB)  
 DDR2 または LPDDR の DRAM デバイスとの 16 ビット・イン  
 ターフェースを実現する (最大 200MHz)、低システム電力  
 向けに最適化された L3 インターフェース (CSP\_BGA のみ)  
 セキュリティおよびワンタイム・プログラマブル・メモリ  
 暗号化ハードウェア・アクセラレータ  
 IP 保護のための高速セキュア・ブート  
 高速のランタイム・セキュリティを実現する memDMA 暗号  
 化/複合

### 周辺機能

プロセッサのブロック図については図 1、プロセッサの比較に  
 ついては表 1 を参照してください。

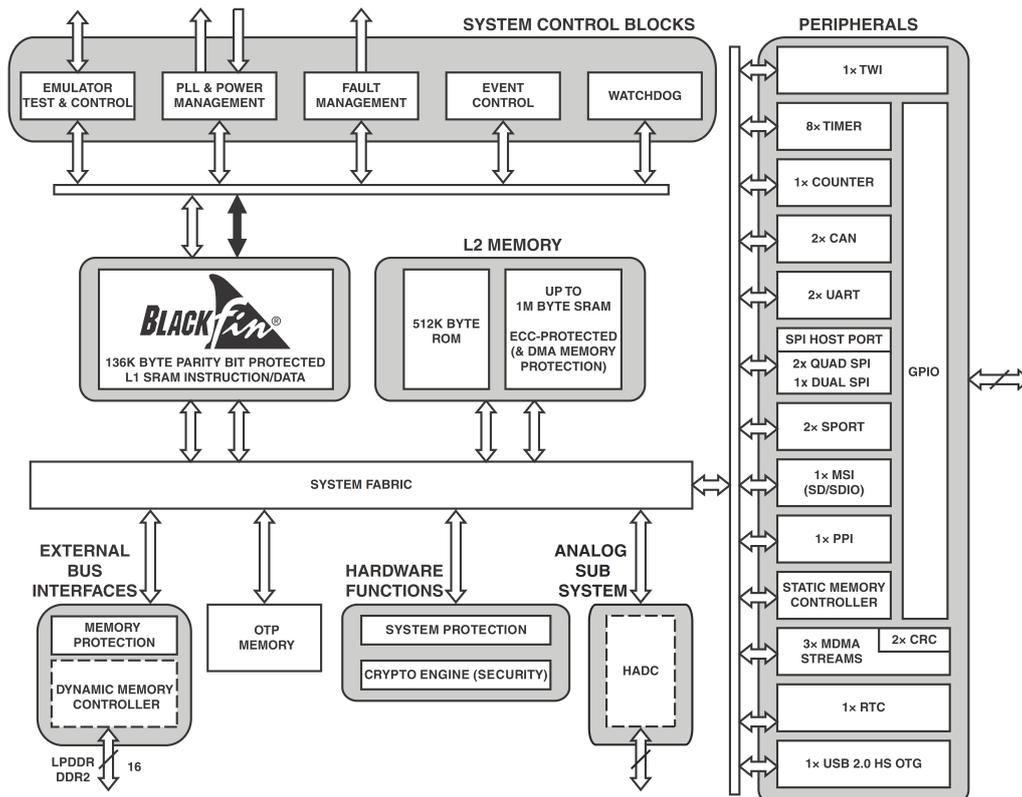


図 1. プロセッサのブロック図

Blackfin、Blackfin+、および Blackfin のロゴはアナログ・デバイセズの登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

©2020-2021 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	12 mm × 12mm 88 ピン LFCSP (QFN) の信号の説明.....	30
周辺機能.....	1	12mm × 12mm 88 ピン LFCSP (QFN) 用 GPIO のマルチプレックス.....	35
メモリ.....	1	ADSP-BF70x の設計者向けクイック・リファレンス.....	37
目次.....	2	仕様.....	49
改訂履歴.....	2	動作条件.....	49
概要.....	3	電気的特性.....	52
BLACKFIN+プロセッサ・コア.....	4	HADC.....	57
命令セットの説明.....	5	絶対最大定格.....	57
プロセッサ・インフラストラクチャ.....	5	ESD に関する注意.....	57
メモリ・アーキテクチャ.....	7	タイミング仕様.....	58
セキュリティ機能.....	8	出力駆動電流.....	100
セキュリティ機能の免責事項.....	8	テスト条件.....	102
プロセッサの安全性機能.....	9	環境条件.....	104
その他のプロセッサ・ペリフェラル.....	10	ADSP-BF70x 184 ボール CSP_BGA のボール割当て (ボール番号順).....	105
電源管理およびクロック管理.....	12	ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) のピン割当て (ピン番号順).....	108
システム・デバッグ.....	15	外形寸法.....	111
開発ツール.....	15	表面実装設計.....	112
その他の情報.....	16	オートモーティブ製品.....	113
関連シグナル・チェーン.....	16	オーダー・ガイド.....	114
ADSP-BF70x の信号の詳細な説明.....	17		
184 ボール CSP_BGA の信号の説明.....	21		
184 ボール CSP_BGA 用 GPIO のマルチプレックス.....	28		

## 改訂履歴

## 2/2019—Rev. C to Rev. D

Deleted Package Information (Figure 7 and Table 27) in Specifications.....	49
Changes to TWI0VSEL Settings and VDD_EXT/VBUSTWI.....	50
Changes to Test Conditions.....	102
Changes to Output Enable Time Measurement.....	102
Changes to Output Disable Time Measurement.....	102
Changes to Output Enable/Disable.....	102
Changes to Automotive Products.....	113

## 概要

ADSP-BF70x プロセッサは、Blackfin®製品ファミリの1つです。Blackfin プロセッサは、16 ビットの最新信号処理エンジンであるデュアル MAC、簡潔な直交 RISC タイプのマイクロプロセッサ命令セットの各種利点、および単一命令複数データ (SIMD) マルチメディア機能を、1 つの命令セット・アーキテクチャに組み込んでいます。Blackfin+コアの新しい機能強化により、32 ビット MAC および 16 ビット複素 MAC のサポート、キャッシュの増強、分岐予測、およびその他の命令セットの改善といった特長が追加されました。しかも、これまでの Blackfin 製品との命令セット互換性はすべて維持しています。

プロセッサは最大 400MHz の性能を実現すると共に、静的な消費電力を低く抑えています。低消費電力および低電圧の設計手法で作製されているため、世界最高クラスのパワー・マネージメントおよび性能が可能です。

業界をリードするシステム・ペリフェラルの豊富なセットとメモリを集積化したこの Blackfin プロセッサは (表 1 参照)、RISC タイプのプログラマビリティ、マルチメディア・サポート、および最先端の信号処理を 1 つの統合パッケージ内に収めることが必要となる次世代アプリケーションに対し、最適なプラットフォームです。こうしたアプリケーションは、車載システムから、組み込み工業製品、計測器、ビデオ/画像解析、生体測定、電力/モータ制御などのアプリケーションに至るまで、幅広いマーケットにわたります。

表 1. プロセッサの比較

Processor Feature	ADSP-BF700	ADSP-BF701	ADSP-BF702	ADSP-BF703	ADSP-BF704	ADSP-BF705	ADSP-BF706	ADSP-BF707
Maximum Speed Grade (MHz) <sup>1</sup>	200		400					
Maximum SYSCLK (MHz)	100		200					
Package Options	88-Lead LFCSP	184-Ball CSP_BGA	88-Lead LFCSP	184-Ball CSP_BGA	88-Lead LFCSP	184-Ball CSP_BGA	88-Lead LFCSP	184-Ball CSP_BGA
GPIOs	43	47	43	47	43	47	43	47
Memory (bytes)	L1 Instruction SRAM		48K					
	L1 Instruction SRAM/Cache		16K					
	L1 Data SRAM		32K					
	L1 Data SRAM/Cache		32K					
	L1 Scratchpad (L1 Data C)		8K					
	L2 SRAM		128K	256K	512K	1024K		
	L2 ROM		512K					
DDR2/LPDDR (16-bit)		No	Yes	No	Yes	No	Yes	Yes
I <sup>2</sup> C	1							
Up/Down/Rotary Counter	1							
GP Timer	8							
Watchdog Timer	1							
GP Counter	1							
SPORTs	2							
Quad SPI	2							
Dual SPI	1							
SPI Host Port	1							
USB 2.0 HS OTG	1							
Parallel Peripheral Interface	1							
CAN	2							
UART	2							
Real-Time Clock	1							
Static Memory Controller (SMC)	Yes							
Security Crypto Engine	Yes							
SD/SDIO (MSI)	4-bit	8-bit	4-bit	8-bit	4-bit	8-bit	4-bit	8-bit
4-Channel 12-Bit ADC	No	Yes	No	Yes	No	Yes	No	Yes

<sup>1</sup> その他の速度グレードもご利用いただけます。

**BLACKFIN+プロセッサ・コア**

図1に示すように、プロセッサは Blackfin+プロセッサ・コアを内蔵しています。このコアは、図2に示すように、2個の16ビット乗算器、1個の32ビット乗算器、2個の40ビット・アキュムレータ（共用して1個の72ビット・アキュムレータとすることも可能）、2個の40ビットALU、1個の72ビットALU、4個のビデオALU、および1個の40ビット・シフタで構成されています。この演算ユニットは、レジスタ・ファイルからの8ビット、16ビット、または32ビットのデータを処理します。

演算レジスタ・ファイルには8個の32ビット・レジスタがあります。演算動作を16ビットのオペランド・データについて行う場合は、レジスタ・ファイルは16個の独立した16ビット・レジスタとして動作します。演算動作のすべてのオペランドは、マルチポート化されたレジスタ・ファイルと命令定数フィールドから生じます。

コアは、16ビット積和演算により2つの16ビット、あるいは、32ビットの積和演算により1つの32ビットを、サイクルごとに処理します。符号付きおよび符号なしフォーマット、数値の丸め処理、飽和処理、複素乗算をサポートします。

ALUは、16ビットまたは32ビットのデータに対し、一般的な算術演算および論理演算を実行します。更に、多様な信号処理タスクを高速に処理できる、多くの特別な命令が含まれます。これらには、フィールド抽出およびボビュレーション・カウント、除算の各種プリミティブ型、飽和および丸め、符号/指数検出などのビット演算が含まれます。ビデオ命令のセットには、バイト・アライメントおよびパッキング動作、クリップ時の16ビットおよび8ビット追加、8ビットの平均化動作、8ビットの減算/絶対値/加算（SAA）動作などが含まれます。また、比較/選択命令およびベクトル検索命令も可能です。

特定の命令に対しては、2つの16ビットALU動作をレジスタ・ペア（演算レジスタの上位16ビットと下位16ビット）に対し同時に実行できます。別のALUを併用するとクワッド16ビット動作が可能です。

40ビット・シフタは、シフトおよび回転を実行でき、これを用いることで、正規化、フィールド抽出、フィールド・デポジットの各命令に対応できます。

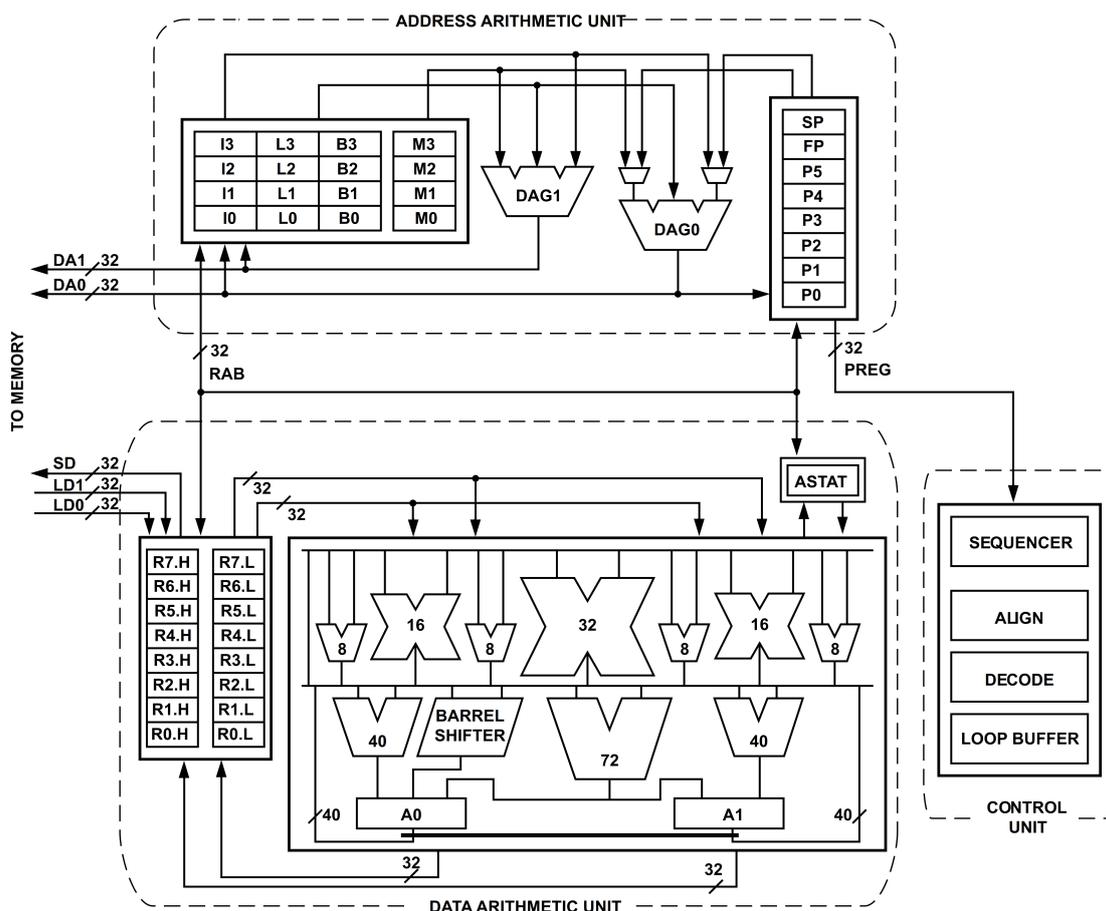


図2. Blackfin+プロセッサ・コア

プログラム・シーケンサは、命令のアライメントやデコードなど、命令実行のフローを制御します。フロー制御をプログラムするために、シーケンサはPCの相対的および間接的な条件ジャンプ（動的な分岐予測を使用）やサブルーチン呼び出しに対応します。ハードウェアはオーバーヘッドのないルーピングをサポートします。アーキテクチャには完全なインターロック機能があり、プログラマはデータ依存性のある命令を実行する場合にパイプラインを管理する必要がありません。

アドレス演算ユニットは2つのアドレスを提供するため、メモリからの2つ同時のフェッチに対応できます。ユニットには、4セットの32ビット・インデックス・レジスタ、変更レジスタ、長さレジスタ、ベース・レジスタからなるマルチポート化されたレジスタ・ファイル（サーキュラ・バッファ用）と、8個の追加32ビット・ポインタ・レジスタ（Cスタイルのインデックス化されたスタック操作）があります。

**Blackfin** プロセッサは、階層メモリ構造を組み合わせた修正ハード・アーキテクチャに対応しています。レベル1（L1）メモリは、通常、ほぼあるいはまったく遅延のないフル・プロセッサ・スピードで動作するメモリです。L1 レベルでは命令メモリは命令のみを保持します。データ・メモリはデータを保持し、専用のスクラッチパッド・データ・メモリはスタック情報とローカル変数情報を保持します。

更に、複数のL1メモリ・ブロックが用意されており、SRAMとキャッシュの組み合わせを設定できます。メモリ管理システム（MMU）は、コアで動作している可能性のある個々のタスクのメモリを保護し、システム・レジスタに意図しないアクセスが行われるのを防止できます。

このアーキテクチャには、ユーザ・モード、スーパーバイザ・モード、エミュレーション・モードの3つのモードがあります。ユーザ・モードでは特定のシステム・リソースへのアクセスが制限されているため、保護されたソフトウェア環境を提供できます。これに対し、スーパーバイザ・モードではシステム・リソースおよびコア・リソースへのアクセスに制限はありません。

## 命令セットの説明

**Blackfin** プロセッサの命令セットは、16ビットのオペコードが極めて頻繁に用いられる命令を表し、優れたコンパイル・コード密度となるよう最適化されています。複雑なDSP命令は、すべてを網羅した多機能命令を表す32ビット・オペコードにエンコードされます。**Blackfin** プロセッサは、32ビット命令が2つの16ビット命令と並行して発行される複数命令発行に対する処理能力をある程度備えているため、プログラマは1つの命令サイクルで多くのコア・リソースを使用できます。

**Blackfin** プロセッサ・ファミリで用いられるアセンブリ言語の命令セットは、コード化を容易にし、また可読性を向上するために設計された代数構文を採用しています。命令は、最終的なメモリ・サイズが非常に小さくなるようコンパイルされた、柔軟で高密度にコード化された命令セットを提供するよう特別に調整されています。また、命令セットは、すべてを網羅した多機能命令も提供しているため、プログラマは1つの命令で多くのプロセッサ・コア・リソースを使用できます。マイクロコントローラで多く見られる多数の機能と結び付いたこの命令セットは、CやC++ソース・コードをコンパイルする場合に非常に効率的です。更に、このアーキテクチャは、ユーザ・モード（アルゴリズム/アプリケーション・コード）とスーパーバイザ・モード（OSカーネル、デバイス・ドライバ、デバッグ、ISR）のどちらの動作モードにも対応するため、コア・プロセッサ・リソースへの複数レベルのアクセスが可能で

アセンブリ言語は、プロセッサのユニークなアーキテクチャを活用し、以下の利点をもたらします。

- 継ぎ目なく統合されたDSP/MCU機能は、8ビット動作と16ビット動作のいずれに対しても最適化されています。
- 複数発行ロード/ストアで修正されたハード・アーキテクチャは、2つの16ビットMACまたは4つの8ビットALUに加え、2つのロード/ストアと2つのサイクルごとのポインタ更新に対応します。
- すべてのレジスタ、I/O、メモリは統一された4GBバイトのメモリ容量に割り当てられるため、プログラミング・モデルを簡略化できます。
- プロセッサに対するすべての非同期および同期イベントの制御は、コア・イベント・コントローラ（CEC）とシステム・イベント・コントローラ（SEC）の2つのサブシステムによって処理されます。
- 任意のビットおよびビットフィールドの操作、挿入、抽出などのマイクロコントローラの機能、8ビット、16ビット、32ビットのデータ・タイプに対する整数操作、個別のユーザ・スタック・ポインタおよびスーパーバイザ・スタック・ポインタ。
- 16ビット命令と32ビット命令の混合を含むコード密度増強（モード・スイッチングなし、コード分離なし）。頻繁に用いられる命令は16ビットにコード化されます。

## プロセッサ・インフラストラクチャ

以下のセクションでは、ADSP-BF70x プロセッサの主要なインフラストラクチャ要素について説明します。

### DMA コントローラ

このプロセッサはダイレクト・メモリ・アクセス（DMA）を使用して、メモリ空間内、またはメモリ空間とペリフェラルの間でデータを転送します。このプロセッサはデータ転送動作を指定し通常処理へ戻ることができ、その間、全機能内蔵型DMAコントローラがプロセッサの動作とは無関係にデータ転送を実行します。

DMA転送はメモリとペリフェラル間、または1つのメモリと別のメモリ間で行うことができます。DMAのメモリ間の流れは、それぞれ、2つのチャンネルを使用します。1つのチャンネルはソース・チャンネル、もう1つのチャンネルは宛先のチャンネルです。

すべてのDMAは、データをすべてのオンチップ・メモリおよびオフチップ・メモリとの間でやり取りできます。プログラムは、ディスクリプタベースまたはレジスタベースの2通りのDMA転送を使用できます。レジスタベースのDMAでは、プロセッサが直接DMAコントロール・レジスタをプログラムしてDMA転送を開始できます。終了すると、コントロール・レジスタは自動的に元のセットアップ値を用いて更新され、続けて転送を行うことができます。ディスクリプタベースのDMA転送では、DMAシーケンスを起動するために、メモリ内に保存されたパラメータ・セットが必要です。ディスクリプタベースのDMA転送では、複数のDMAシーケンスをチェーン接続でき、1つのDMAチャンネルをプログラムして、現在のシーケンスの終了後に新たなDMA転送を自動的にセットアップし開始するようにできます。

DMAコントローラは次のDMA動作をサポートしています。

- 終了すると停止する単一リニア・バッファ。
- ストライド長が負、正、またはゼロのリニア・バッファ。
- 各バッファが一杯になると割込みを発生するサーキュラ自動更新バッファ。

- フラクショナル・バッファ（1/2、1/4 など）で割込みを発生する同様のバッファ。
- 1D DMA - それぞれがリンク・ポインタとアドレスを持つ 2 ワード・ディスクリプタの結合リングによって定義された、同一のピンポン・バッファのセットを使用します。
- 1D DMA - リンク・ポインタ、アドレス、長さ、構成からなる 4 ワードのディスクリプタの結合リストを使用します。
- 2D DMA - ベース DMA のアドレスのみを指定する 1 ワード・ディスクリプタ・セットのアレイを使用します。
- 2D DMA - すべてを指定する複数ワード・ディスクリプタ・セットの結合リストを使用します。

## イベント処理

プロセッサはネスティングと優先順位付けの両方に対応するイベント処理が可能です。ネスティングでは、同時にアクティブ化される複数イベント・サービス・ルーチンが可能です。優先順位付けを行うと、高優先順位のイベントが低優先順位のイベントより先に処理されます。プロセッサは以下の 5 種類のイベントに対応できます。

- エミュレーション - エミュレーション・イベントにより、プロセッサはエミュレーション・モードになり、JTAG インターフェースを通じてコマンド送信とプロセッサの制御が可能になります。
- リセット - このイベントによりプロセッサはリセットされます。
- マスク不能割込み (NMI) - NMI イベントは、ソフトウェア・ウォッチドッグ・タイマー、プロセッサへの  $\overline{\text{NMI}}$  入力信号、あるいはソフトウェアにより生成できます。NMI イベントは、多くの場合、パワーダウン・インジケータとして用いられ、システムを順次シャットダウンします。
- 例外 - プログラム・フローに同期して発生するイベントです（言い換えると、例外は命令が終了可能となる前に発生します）。データ・アライメント違反や未定義命令などの条件が例外の原因となります。
- 割込み - プログラム・フローに非同期的に生じるイベントです。割込みの原因となるのは、入力信号、タイマー、その他のペリフェラル、および明示的なソフトウェア命令です。

## システム・イベント・コントローラ (SEC)

SEC は、イネーブル化、優先順位付け、各システム割込み源またはフォルト源からのイベントのルーティングを管理します。更に、最高優先順位のアクティブなシステム割込みの通知や特定を行い、また、システムのフォルト源を内蔵フォルト管理ユニットに伝達します。SEC はコアの汎用割込み IVG11 をトリガします。自己ネスティングを許可するよう IVG11 を設定することを推奨します。4 つの低優先順位割込み (IVG15~12) はソフトウェア割込みに使用できます。

## トリガ・ルーティング・ユニット (TRU)

TRU は、コアの介入を要することなく、システムレベルのシーケンス制御を可能にします。TRU はトリガ・マスタ（トリガのジェネレータ）をトリガ・スレーブ（トリガの受け手）に割り当てます。スレーブのエンドポイントは、様々な方法でトリガに応答するよう設定できます。TRU でイネーブルされる一般的なアプリケーションには以下のようなものがあります。

- ある DMA チャンネルからのシーケンスが終了した後に別の DMA シーケンスを開始する自動トリガ
- ソフトウェア・トリガ
- 同時に行われるアクティビティの同期

## 汎用 I/O (GPIO)

各汎用ポート・ピンは、ポート・コントロール、ステータス、割込みの各レジスタを操作することで個別に制御できます。

- GPIO 方向コントロール・レジスタ - 個々の GPIO ピンの方向を入力または出力に指定します。
- GPIO コントロールおよびステータス・レジスタ - 1 を書き込んでメカニズムを変更すると、他の GPIO ピンのレベルに影響を及ぼすことなく、各 GPIO ピンの任意の組み合わせを 1 つの命令に変更できます。
- GPIO 割込みマスク・レジスタ - 各 GPIO ピンをプロセッサへの割込みとして機能させることができます。入力として定義された GPIO ピンはハードウェア割込みを生成するよう設定でき、出力として定義されたピンはソフトウェア割込みでトリガできます。
- GPIO 割込み感度レジスタ - 個々のピンがレベル応答型かエッジ応答型かを指定し、エッジ応答型の場合は、信号の立上がりエッジのみが重要か、立上がりおよび立下がりの両エッジが重要かを指定します。

## ピンによる割込み

プロセッサの各ポート・ピンは、極性をプログラム可能なエッジ応答またはレベル応答の方法で割込みをリクエストできます。割込み機能は GPIO 動作とは切り離されています。この目的のために、3 つのシステムレベルの割込みチャンネル (PINT0~3) が予約済みとなっています。これらの割込みチャンネルはそれぞれ最大 32 個の割込みピンを管理できます。ピンを割込みに割り当てることは、ピンごとに行われるわけではありません。むしろ、8 本のピン（ハーフ・ポート）からなるグループを、割込みチャンネルに柔軟に割り当てることができます。

各ピン割込みチャンネルには、特別なセットの 32 ビット・メモリマップド・レジスタがあり、ハーフ・ポート割当てと割込みの管理を行うことができます。これには、リクエストのマスク、特定、クリアが含まれます。また、これらのレジスタは、割込みがマスクされているかどうかには関係なく、各ピン状態にアクセスして割込みラッチを使用することができます。ほとんどのコントロール・レジスタは複数の MMR アドレス入力が可能です。個別に 1 を書き込んでセット、あるいは 1 を書き込んでクリアができます。

## ピンのマルチプレックス

プロセッサは、様々なペリフェラルを使用して GPIO ピンをマルチプレックスする、柔軟なマルチプレックス方法を備えています。最大 4 個のペリフェラルと GPIO 機能が各 GPIO ピンで共有されます。すべての GPIO ピンにはバイパス経路機能があります。つまり、GPIO ピンの出力イネーブルおよび入力イネーブルがどちらもアクティブな場合、パッド・ドライバの前のデータ信号は同じ GPIO ピンの受信経路にループ・バックされます。

## メモリ・アーキテクチャ

プロセッサはメモリを、32 ビットのアドレスを使用する、1 つに統合された 4G バイトのアドレス空間とみなします。内部メモリ、外部メモリ、I/O コントロール・レジスタを含むすべてのリソースは、この共通アドレス空間の別々のセクションを占めています。このアドレス空間のメモリ部分は階層構造で配列されています。ある程度非常に高速で低遅延のコア・アクセス可能なキャッシュまたは SRAM としてのメモリと、より大規模で低コスト/性能のインターフェース・アクセス可能なメモリ・システムの間で、良好なコスト/性能バランスを実現できます。[図 3](#)を参照してください。

### 内部（コアアクセス可能）メモリ

L1 のメモリ・システムは、Blackfin+プロセッサ・コアが使用できる最高性能のメモリです。

コアには専用の L1 メモリがあります。修正ハーバード・アーキテクチャが 2 つの 32 ビット・データへの同時アクセスとフル・プロセッサ速度での命令フェッチをサポートし、プロセッサの性能を高帯域幅全体で発揮します。コアでは、64K バイトのデータ・メモリ・ブロックが 64K バイトの命令ストレージ用メモリ・ブロックと対をなしています。各データ・ブロックは DMA とのデータ交換を効率的に行うことができるようマルチバンクとなっており、SRMA として構成できます。あるいは、各ブロックの 16K バイトを L1 キャッシュ・モードに設定することもできます。4 通りのセットアソシアティブ命令キャッシュと 2 通りのセットアソシアティブ・データ・キャッシュが、特に外部メモリにアクセスする場合のメモリ・アクセス性能を大きく向上しています。

L1 メモリ領域には、ローカル変数やソフトウェア・スタックの保存に最適な、8K バイトの SRAM ブロックもあります。すべての L1 メモリは、メモリの動作が SRAM モードかキャッシュ・モードかによらず、マルチパリティ・ビット方式で保護されています。

L1 領域以外では、L2 および L3 のメモリがフォン・ノイマン型の回路構成を用いて配列されています。L2 メモリ領域は命令メモリとデータ・メモリが統合されており、システム設計に必要なコードとデータを任意に混合した形で保持できます。L2 メモリ領域には、専用の 64 ビットインターフェースを介して Blackfin+ コアからアクセスできます。このメモリ領域は SYSCLK 周波数で動作します。

プロセッサには、ECC 保護が施され 8 つのバンクに構成された、最大 1M バイトの L2 SRAM があります。各バンクは、任意のシステム・マスタに対して専用化することができます。また L2 領域には 512K バイトのシングルバンク ROM もあります。この ROM は、ブート・コード、セキュリティ・コード、汎用 ROM 空間で構成されています。

### OTP メモリ

プロセッサは、メモリ・マップでアクセス可能な 1kB のワンタイム・プログラマブル (OTP) メモリを備えています。このメモリには固有のチップ識別子が保存されており、セキュア・ブートおよびセキュア動作をサポートするために使用できます。

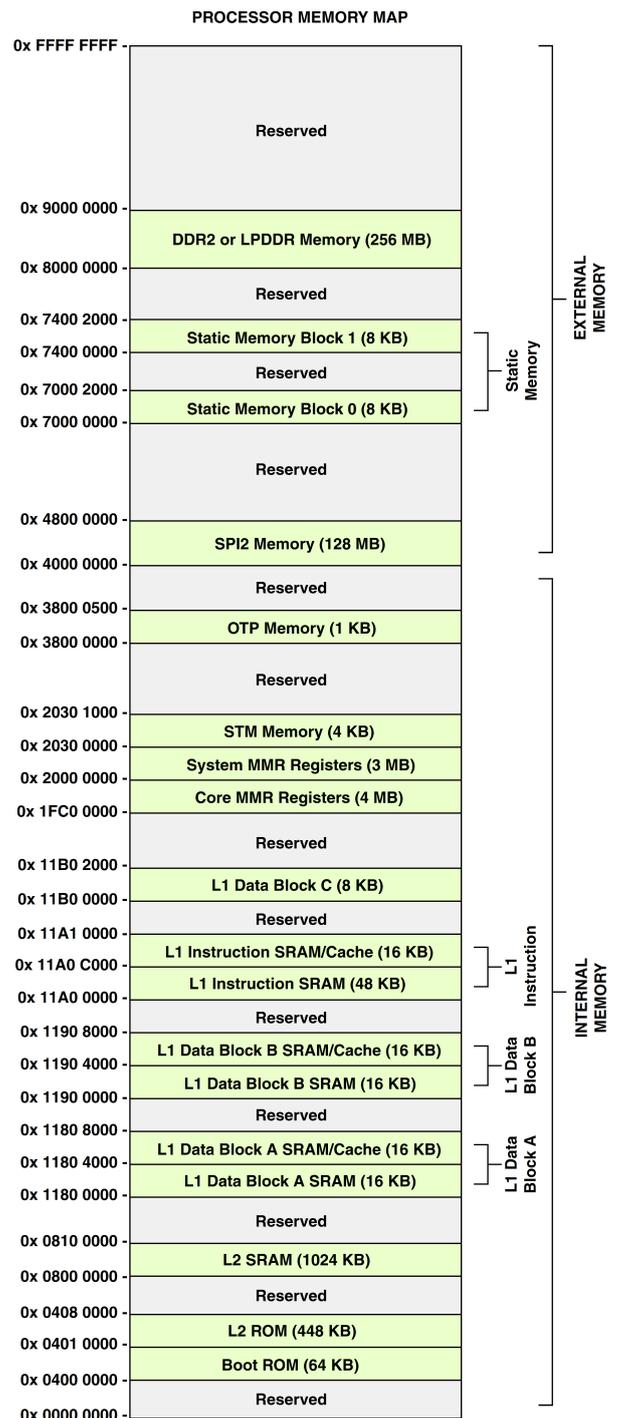


図 3. ADSP-BF706/ADSP-BF707 の内部/外部メモリ・マップ

## スタティック・メモリ・コントローラ (SMC)

SMC は、非常に柔軟なタイミング・パラメータを使用して、最大 2 個の外部メモリ・ブロックまたはメモリマップド・デバイスを制御するようプログラムできます。使用するデバイスのサイズによらず、各ブロックは 8K バイトのセグメントを専有します。

## ダイナミック・メモリ・コントローラ (DMC)

DMC には、JESD79-2E 準拠のダブルデータレート (DDR2) SDRAM および JESD209A 準拠の低消費電力 DDR (LPDDR) SDRAM に対応するコントローラがあります。DMC PHY は、読み出し時に使用する可能性のあるすべてのデータ・ピンとデータ・ストロブ・ピンに対しダイ上での終端が可能です。

## I/O メモリ空間

プロセッサは I/O 空間を個別には定義しません。すべてのリソースは、32 ビットのフラットなアドレス空間を通じてマップされます。オンチップ I/O デバイスにはそれぞれコントロール・レジスタがあり、これらのレジスタは、4G バイトのアドレス空間の領域内にあるアドレスのメモリマップド・レジスタ (MMR) にマップされます。これらはより小さな 2 つのブロックに分割されます。1 方のブロックは、すべてのコア機能に対応するコントロール MMR を含み、もう 1 方のブロックは、コア外のオンチップ・ペリフェラルのセットアップと制御に必要なレジスタを含みます。MMR はスーパーバイザ・モードでのみアクセス可能で、オンチップ・ペリフェラル用に予約された空間です。

## ブート

プロセッサには、リセット後に内部および外部メモリを自動で読み込むためのいくつかの機構があります。ブート・モードは、この目的専用の SYS\_BMODE 入力ピンによって定義されます。ブート・モードには 2 つのカテゴリがあります。マスタ・ブート・モードでは、プロセッサはシリアル・メモリから能動的にデータを読み込みます。スレーブ・ブート・モードでは、プロセッサは外部ホスト・デバイスからデータを受信します。

これらのブート・モードを表 2 に示します。これらのモードはリセット設定レジスタの SYS\_BMODE ビットで指定され、パワーオン・リセット時およびソフトウェア起動リセット時にサンプリングされます。

表 2. ブート・モード

SYS_BMODE Setting	Boot Mode
00	No Boot/Idle
01	SPI2 Master
10	SPI2 Slave
11	UART0 Slave

## セキュリティ機能

ADSP-BF70x プロセッサは、標準ベースのハードウェア加速による暗号化、復号、認証、真の乱数発生に対応します。

以下のハードウェア加速暗号化アルゴリズムがサポートされません。

- 128、192、256 ビット・キーの ECB、CBC、ICM、CTR の各モードにおける AES
- 56 ビット・キーの ECB および CBC モードにおける DES
- 3x 56 ビット・キーの ECB および CBC モードにおける 3DES

以下のハードウェア加速ハッシュ関数がサポートされます。

- SHA-1
- ダイジェスト長が 224 ビットおよび 256 ビットの SHA-2
- SHA-1 および SHA-2 の HMAC 変換

公開鍵アクセラレータが使用できるため、演算集約的な公開鍵暗号化動作の負荷を軽減できます。

ハードウェアベースの非決定論的乱数発生器および疑似乱数発生器を使用できます。TRNG は HW ポストプロセスも可能であるため、FIPS 140-2 の NIST 条件に適合します。これに対し、PRNG は ANSI X9.31 に準拠します。

セキュア・ブートは、224 ビットの楕円曲線デジタル署名でも使用できるため、ブート・ストリームの完全性と真正性を確保できます。オプションとして、AES128 暗号化を使用することで機密性も確保されます。

### 注意事項



この製品には、組み込み不揮発性メモリの内容を保護し、不正なコードの実行を防ぐセキュリティ機能が含まれています。発注者または後続の受領者がこのデバイスのセキュリティを有効にすると、アナログ・デバイスが返却デバイスの故障分析を実行するための機能が制限されます。デバイスの故障分析に対する制限については、アナログ・デバイスまでお問い合わせください。

信頼できるユーザのみがデバッグ・ツールでシステムにアクセスできる、セキュアなデバッグ機能も採用されています。

## セキュリティ機能の免責事項

アナログ・デバイスが知る範囲では、データシートとハードウェア・リファレンス・マニュアルの仕様に従ってセキュリティ機能を使用することで、コードの安全な実装とデータ保護が実現します。ただし、アナログ・デバイスは、この技術が絶対的な安全性を提供することを保証するものではありません。

これに伴い、アナログ・デバイスは、自社のセキュリティ機能を侵害できない、侵入できない、または迂回できないことについて、すべての明示的および暗黙的な保証を行いません。更に、データ、情報、物理財産、知的財産のあらゆる損失、損傷、破損、流出に対して責任を負いません。

## プロセッサの安全性機能

ADSP-BF70x プロセッサは機能安全アプリケーション向けに設計されています。安全レベルは主にシステムの設計思想によって決定されますが、堅牢な安全コンセプトを構築するために次の基本要素が提供されます。

### マルチパリティ・ビット保護 L1 メモリ

プロセッサの L1 メモリ空間では、SRAM かキャッシュかによらず、複数のパリティ・ビットで保護されており、すべての RAM で発生するシングル・イベント・アップセットを検出します。これは L1 の命令メモリ空間とデータ・メモリ空間のどちらにもあてはまります。

### ECC 保護 L2 メモリ

誤り訂正符号 (ECC) を用いることでシングル・イベント・アップセットを訂正できます。L2 メモリは、単一誤り訂正・二重誤り検出 (SEC-DED) コードで保護されます。デフォルトでは ECC がイネーブルされますが、バンクごとにディスエーブルできます。単一ビット誤りはトランスペアレントに訂正されます。

デュアルビット誤りがイネーブルされている場合、システム・イベントまたはフォルトを発行できます。ECC 保護は、L2 メモリが 8 ビットまたは 16 ビットの入力で読出しまたは書込みが行われる場合でも、ユーザに対し完全にトランスペアレントです。

### CRC 保護メモリ

パリティ・ビットと ECC 保護は主として、L1 および L2 メモリ・セルでのランダム・ソフト・エラーに対する保護を行うのに対し、CRC エンジンを用いると、L1 メモリ、L2 メモリ、および L3 メモリ (DDR2、LPDDR) のシステムティック・エラー (ポインタ・エラー) およびスタティック・エラー (命令コード) に対する保護を行うことができます。プロセッサには 2 つの CRC エンジンがあり、これらはメモリ-メモリ間 DMA コントローラに組み込まれています。CRC チェックサムはメモリ転送時にオンザフライで計算または比較が可能です。あるいは、DMA ディスクリプタのチェーン命令ごとに 1 つまたは複数のメモリ領域を単一の DMA 作業ユニットによって連続的にスクラブできます。CRC エンジンは、ブート・プロセス時に読み込まれるデータも保護します。

### メモリ保護

Blackfin+コアは、イネーブルされたメモリ領域に対してのみデータや命令のアクセスを許可するメモリ保護コンセプトを備えています。スーパーバイザ・モードとユーザ・モードからなるプログラミング・モデルは、変動するアクセス権に動的に対応します。メモリ・ページ・サイズ・オプションの柔軟性が増加することで、スタティック・メモリのパーティショニングの簡単な方法が可能となります。

### システム保護

システム保護ユニット (SPU) は、書込み保護機構を備えることで、ペリフェラルの MMR 領域への偶然のアクセスや不要なアクセスに対する保護を行います。ユーザは、保護されたペリフェラルを選択して設定することや、4 つのシステム MMR マスタ (コア、メモリ DMA、SPI ホスト・ポート、Coresight デバッグ) のどれに対してペリフェラルを保護するかを設定することができます。

また、SPU はセキュリティ・インフラストラクチャの一部でもあります。書込み保護機能を提供する他、SPU は、システムのどのリソースがセキュアまたは非セキュアかを定め、非セキュアなマスタからのセキュアなリソースへのアクセスをブロックするために用いられます。

類似した用語として、システム・メモリ保護ユニット (SMPU) は、定義されたメモリ領域への読出しや書込みトランザクションに対する保護を提供します。ADSP-BF70x プロセッサには 2 つの SMPU ユニットがあります。1 つは L2 メモリ用、もう 1 つは外部 DDR メモリ用です。

また、SMPU はセキュリティ・インフラストラクチャの一部でもあります。これを用いることで、ユーザが任意の読出しや書込みトランザクションに対する保護を行うことができるだけでなく、メモリ領域をセキュア領域として定義し、非セキュアなマスタがこれらのメモリ領域にアクセスできないようにすることができます。

### ウォッチポイント保護

ウォッチポイントとハードウェア・ブレイクポイントの主な目的は、エミュレータのニーズを満たすことです。これらがイネーブルされている場合、ユーザ定義のシステム・リソースがアクセスを受けたり、コアがユーザ定義アドレスから命令を実行したりした場合に、エミュレータ・イベントの信号を発生します。ウォッチポイント・イベントは、イベントが生じたことを SEC のフォルト管理ユニットに発信するよう設定できます。

### ウォッチドッグ

オンチップ・ソフトウェア・ウォッチドッグ・タイマーは、Blackfin+コアを監視できます。

### 帯域幅モニタ

メモリ-メモリ間 DMA チャンネルは、帯域幅モニタ機構を備えています。これらのチャンネルは、システム・バスが高優先度のトラフィックで完全に一杯となっているためにトランザクションが行えない場合に、システム・イベントまたはフォルトの信号を発生します。

### 信号ウォッチドッグ

8 個の汎用タイマーには、オフチップ信号をモニタするモードが備わっています。ウォッチドッグ周期モードは、外部信号が予定された範囲内の周期でトグルするかどうかをモニタします。ウォッチドッグ幅モードは、外部信号のパルス幅が予定された範囲内にあるかどうかをモニタします。どちらのモードも、システムレベルの信号の不要なトグル動作 (またはトグルの欠如) を検出するのに役立ちます。

### アップ/ダウン・カウント・ミスマッチ検出

GP カウンタは、要求/許可ストロブなどの外部信号ペアをモニタできます。エッジ・カウント・ミスマッチが所定範囲を超えた場合、GP カウンタはこれをプロセッサまたは SEC のフォルト管理ユニットにフラグ通知できます。

### フォルト管理

フォルト管理ユニットは、システム・イベント・コントローラ (SEC) の一部です。デュアルビット訂正不能 ECC エラーであれ、ペリフェラル・ステータス割込みであれ、どのようなシステム・イベントも、フォルトとして定義できます。更に、システム・イベントはコアへの割込みとして定義できます。そのように定義されている場合、SEC はそのイベントをフォルト管理ユニットに転送します。ユニットは、デバイス全体を自動的にリセットしてリポートするか、単にSYS\_FAULT出力カピンをトグルしてオフチップ・ハードウェアに信号を送ることができます。 オプションで、フォルト管理ユニットは、鍵が付いたシーケンスを通じて行われるアクションを遅延し、Blackfin+コアがその問題を解決する最後のチャンスを与え、フォルト・アクションが行われるのを防止できます。

## その他のプロセッサ・ペリフェラル

プロセッサには、複数の広帯域幅バス経由でコアに接続されるペリフェラルの豊富なセットが揃っており、柔軟にシステムを構成でき、全体的な優れたシステム性能を提供できます（1 ページの**ブロック図**を参照）。プロセッサには、高速のシリアルとパラレルのポート、オンチップ・ペリフェラルや外部ソースからの割込みを柔軟に管理するための割込みコントローラ、プロセッサとシステムの性能と電力特性を多数のアプリケーション・シナリオに合わせて調整できるパワー・マネージメント制御機能が組み込まれています。

以下のセクションでは、これまで説明しなかったその他のペリフェラルについて解説します。

### タイマー

プロセッサにはいくつかのタイマーがあり、これらについて以下のセクションで説明します。

#### 汎用タイマー

GP タイマー・ユニットが 1 つあり、8 個の汎用プログラマブル・タイマーを実現します。各タイマーには外部ピンがあり、このピンは、パルス幅変調器 (PWM) またはタイマー出力、タイマーをクロックするための入力、あるいは、外部イベントのパルス幅やパルス周期を測定するための機構として設定できます。これらのタイマーは、TIMER\_TMRx ピンまたは外部 TIMER\_CLK 入力ピンへの外部クロック入力、あるいは内部 SCLK0 に同期できます。

これらのタイマー・ユニットを UART や CAN コントローラと共に使用すると、データ・ストリームのパルスの幅を測定して各シリアル・チャンネルに対するソフトウェア自動ポーレート検出機能を実現できます。

これらの GP タイマーはプロセッサ・コアへの割込みを生成して、システム・クロックまたは外部信号と同期を取るための周期的イベントを発生させることができます。タイマー・イベントは、TRU を通じて他のペリフェラルをトリガすることもできます（例えばフォルト信号の送出）。各タイマーは、コアが介入することなく、TRU マスタで起動/停止することもできます。

#### コア・タイマー

プロセッサ・コアには専用のタイマーもあります。この追加タイマーは、内部プロセッサ・クロックからクロックされ、通常は定期的なオペレーティング・システム割込みを生成するためのシステム・ティック・クロックとして用いられます。

#### ウォッチドッグ・タイマー

コアは、ソフトウェア・ウォッチドッグ機能を果たすことのできる 32 ビット・タイマーを内蔵しています。ソフトウェア・ウォッチドッグは、ソフトウェアによるリセットの前にタイマーが終了した場合、ハードウェア・リセット、マスク不能割込み (NMI)、または汎用割込みの生成を介してプロセッサを強制的に既知の状態にすることにより、システムの可用性を向上させることができます。プログラマはタイマーのカウント値を初期化して適切な割込みを可能にし、それからタイマーをイネーブルします。したがって、ソフトウェアは、プログラムされた値からゼロまでカウント・ダウンする前にカウンタをリロードする必要があります。これにより、通常であればタイマーをリセットするソフトウェアが外的なノイズ条件やソフトウェア・エラーによって停止してしまうような、未知の状態にシステムが置かれたままにならないよう、システムを保護します。

リセット後、ソフトウェアは、ウォッチドッグにより生成されるリセット時のみセットされるタイマー・コントロール・レジスタのステータス・ビットを調べることで、ウォッチドッグがハードウェア・リセットの原因であったかどうかを判定できます。

### シリアル・ポート (SPORT)

2 つの同期シリアル・ポート (4 つのハーフ SORT で構成) は、アナログ・デバイセズのオーディオ・コーデック、ADC、DAC など、種々のデジタルおよびミックスド・シグナルのペリフェラル・デバイスに対する低価格のインターフェースを実現します。各ハーフ SPORT は、2 本のデータ・ライン、クロック、およびフレーム同期で構成されています。データ・ラインは送信または受信向けにプログラムできます。また、各データ・ラインは専用の DMA チャンネルを備えています。

シリアル・ポート・データは、専用の DMA チャンネル経由で自動的にオンチップ・メモリや外部メモリとの間で転送できます。各シリアル・ポートは別のシリアル・ポートと連携して TDM に対応できます。この構成では、1 つの SPORT が 2 つの送信信号を供給し、他方の SPORT が 2 つの受信信号を処理します。フレーム同期とクロックは共有されます。

シリアル・ポートは、以下の 6 通りのモードで動作します。

- 標準の DSP シリアル・モード
- マルチチャンネル (TDM) モード
- I<sup>2</sup>S モード
- バックド I<sup>2</sup>S モード
- 左詰めモード
- 右詰めモード

### 汎用カウンタ

汎用のアップ/ダウン・カウント・モードで動作できる 32 ビットのカウンタが備わっており、通常、工業用ドライバまたは手動サムホイールから生成される、2 ビットの直交またはバイナリ・コードを検出できます。カウンタの方向は、レベル応答性入力ピンまたは 2 つのエッジ検出器で制御されます。

3 番目のカウンタ入力は、柔軟なゼロ・マーカ・サポートが可能で、また、それに代わってサムホイール・デバイスのプッシュボタン信号を入力するために使用することもできます。3 つのピンはすべて、プログラマブルなバウンス防止回路を備えています。

GP タイマーに転送された内部信号は、このタイマーをイネーブルしてカウント・イベント間の時間間隔を測定します。バウンダリ・レジスタは、プログラムされたカウント値を超えた場合に、割込みによってオートゼロ動作または簡単なシステム警告をイネーブルします。

### パラレル・ペリフェラル・インターフェース (PPI)

プロセッサは、最大 18 ビットのデータ幅に対応するパラレル・ペリフェラル・インターフェース (PPI) を備えています。PPI は、TFT LCD パネル、パラレル A/D コンバータおよび D/A コンバータ、ビデオ・エンコーダおよびデコーダ、イメージ・センサー・モジュール、およびその他の汎用ペリフェラルへの直接接続が可能です。

PPI モジュールでは以下の機能がサポートされます。

- プログラマブルなデータ長：クロックあたり、8 ビット、10 ビット、12 ビット、14 ビット、16 ビット、18 ビット。
- 様々なフレーム化動作モード、非フレーム化動作モード、汎用動作モード。フレーム同期は内部生成することも、外部デバイスから供給することもできます。
- ITU-656 受信モード用の ITU-656 ステータス・ワード・エラー検出および訂正、および ITU-656 プリアンブルおよびステータス・ワード・デコード。
- 8 ビット、16 ビット、および 24 ビットと 32 ビットの間でのデータのパッキングおよびアンパッキング（オプション）。パッキング／アンパッキングがイネーブルされた場合、エンディアンネスはバイト／ワードのパッキング／アンパッキングの順序を変更するよう設定できます。
- 送信モードの場合、RGB888 は RGB666 または RGB565 に変換できます。
- 4:2:2 の YCrCb データを受信／送信するための様々なインターリーブ解除／インターリーブ・モード。
- Frame Sync 3 で使用できる、設定可能な LCD データ・イネーブル（DEN）出力。

### シリアル・ペリフェラル・インターフェース（SPI）ポート

プロセッサには3つの業界標準 SPI 互換ポートが組み込まれており、これによって複数の SPI 互換デバイスと通信できます。

ベースラインの SPI ペリフェラルは、2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、およびゲートド・クロック・ピンで構成される同期 4 線式インターフェースです。2 本のデータ・ピンにより、他の SPI 互換デバイスとの間で全二重動作が可能です。クワッド SPI 動作への対応用に 2 本の追加（オプション）データ・ピンを備えています。フロー制御、高速モード、デュアル I/O モード（DIOM）などの拡張動作モードもサポートします。更に、ダイレクト・メモリ・アクセス（DMA）モードでは、CPU との相互作用を最小にしながら複数ワードを転送することができます。

SPI ポートは設定可能な様々なオプションを備えており、マスタ・モード、スレーブ・モード、マルチマスタの環境で、他の SPI 互換デバイスとの円滑なハードウェア・インターフェースを提供します。SPI ペリフェラルには、プログラマブルなボーレート、クロック位相、クロック極性が含まれています。このペリフェラルは、マスタ・デバイスまたはスレーブ・デバイスとして動作する他のいくつかのデバイスとインターフェースすることによって、マルチマスタ環境で動作可能です。マルチマスタ環境では、SPI ペリフェラルはオープンドレイン出力を使用してデータ・バス競合を回避します。フロー制御機能により、低速スレーブ・デバイスは、転送を柔軟に制御する SPI レディ・ピンを備えることで、高速マスタ・デバイスとインターフェースできます。

SPI ポートのボーレートおよびクロック位相／極性はプログラマブルで、送信および受信のどちらのデータ・ストリームに対しても DMA チャンネルが統合されています。

### SPI ホスト・ポート（SPIHP）

プロセッサには1つの SPI ホスト・ポートがあり、使用可能な任意の SPI ポートと連携して使用し、その SPI スレーブ・モード能力を増強できます。SPIHP により、SPI ホスト・デバイスは、SPI SRAM/FLASH 型のプロトコルを通じてプロセッサのメモリマップド・リソースにアクセスできます。以下の機能が利用できます。

- メモリおよびメモリマップド・レジスタの直接読出し／書込み
- 高速読出し用プリフェッチのサポート
- ハードウェアベースの SPI メモリ・プロトコルを実行する SPI コントローラのサポート
- プロトコル・エラー、バス・エラー、オーバーフロー、アンダーフローのエラー・キャプチャおよびレポート

### UART ポート

プロセッサには、2 個の全二重ユニバーサル非同期レシーバー／トランスミッタ（UART）ポートが備わっており、これらは PC 標準の UART と完全互換します。各 UART ポートは、他のペリフェラルやホストに対する簡略化された UART インターフェースとして機能し、シリアル・データに対する全二重、DMA 対応の非同期転送をサポートします。UART ポートは、5～8 個のデータ・ビット、およびパリティなし、偶数、または奇数のパリティをサポートします。オプションで、追加のアドレス・ビットを転送して、マルチドロップ・バス（MDB）システムのアドレス指定されたノードのみを中断できます。フレームは、設定可能な数のストップ・ビットによって、終了します。

UART ポートは、プログラマブルなアサーション FIFO レベルを持つ送信許可（CTS）入力および送信要求（RTS）出力を介した、自動ハードウェア・フロー制御をサポートします。

ローカル・インターコネクト・ネットワーク（LIN）プロトコルのサポートに役立つよう、特別なコマンドによってトランスミッタがプログラマブルなビット長のブレイク・コマンドを送信バッファのキューに加えます。同様に、ストップ・ビットの数は、プログラマブルなフレーム内空間によって増加できます。

UART の能力は、Infrared Data Association（IrDA<sup>®</sup>）のシリアル赤外線物理層リンク仕様（SIR）プロトコルをサポートすることで更に増強されます。

### 2 線式コントローラ・インターフェース（TWI）

プロセッサには、複数のデバイス間で制御データを簡単に交換できる方法を提供する、2 線式インターフェース（TWI）モジュールがあります。TWI モジュールは、幅広く用いられている I<sup>2</sup>C バス規格に準拠しています。TWI モジュールは、マスタ動作とスレーブ動作を同時に行うことを可能とし、7 ビット・アドレス処理とマルチメディア・データ・アービトレーションの両方に対応します。TWI インターフェースは、クロック転送用（TWI\_SCL）とデータ転送用（TWI\_SDA）に 2 本のピンを利用し、最大 400k ビット/sec の速度のプロトコルをサポートします。TWI インターフェース・ピンは 5V のロジック・レベルに対応します。

また、TWI モジュールは、シリアル・カメラ・コントロール・バス（SCCB）機能に完全に対応するため、様々な CMOS カメラ・センサー・デバイスを容易に制御できます。

## モバイル・ストレージ・インターフェース (MSI)

モバイル・ストレージ・インターフェース (MSI) コントローラは、マルチメディア・カード (MMC)、セキュア・デジタル・メモリ・カード (SD)、セキュア・デジタル入出力カード (SDIO) 用のホスト・インターフェースとして機能します。MSI コントローラの主な機能は以下のとおりです。

- 1つのMMC、SDメモリ、SDIOカードのサポート
- 1ビットおよび4ビットのSDモードのサポート
- 1ビット、4ビット、8ビットのMMCモードのサポート
- eMMC 4.5を組み込んだNANDフラッシュ・デバイスのサポート
- パワー・マネージメントおよびクロック制御のサポート
- クロック、コマンド、オプションの割込み、最大8本のデータ・ラインを持つ11信号外部インターフェース
- SCLK0またはSCLK1からのカード・インターフェース・クロック生成
- SDIO割込みおよび読み出し待機機能

## コントロール・エリア・ネットワーク (CAN)

CAN コントローラは、CAN 2.0B (アクティブ) プロトコルを実装しています。このプロトコルは、産業用および自動車の両方の制御システムで用いられている非同期通信プロトコルです。CAN プロトコルは、ネットワーク全体にわたり信頼できる通信能力を提供できるため、制御アプリケーションに最適です。これは、このプロトコルがCRCチェック機能、メッセージ・エラー追跡機能、およびフォルト・ノードの制限機能を備えているためです。

CAN コントローラは、以下の機能を実現します。

- 32個のメールボックス (8個の受信専用、8個の送信専用、16個の送受信設定可能)
- 各メールボックスに専用の受信マスク
- 最初の2バイトで追加のデータ・フィルタリング
- 標準 (11ビット) と拡張 (29ビット) 識別子 (ID) メッセージ・フォーマットの両方をサポート
- リモート・フレームに対応
- アクティブまたはパッシブのネットワーク・サポート
- CANの休止モード (静的消費電力が最小のモード) からのウェイクアップ
- 割込み (TX終了、RX終了、エラーおよびグローバルを含む)

CAN クロックを供給するために水晶振動子を追加する必要はありません。CAN クロックは、プログラマブル分周器を用いてシステム・クロックから抽出されるためです。

## USB 2.0 on-the-go デュアル・ロール・デバイス・コントローラ

USB 2.0 on-the-go (OTG) デュアル・ロール・デバイス・コントローラは、産業用アプリケーションや、携帯電話、デジタル・スチル・カメラ、MP3 プレーヤーなどのコンシューマ・モバイル・デバイスにおいてこのバス標準がますます採用されるようになっていくことを受け、低コストのコネクティビティ・ソリューションを提供します。USB 2.0 コントローラにより、これらのデバイスは、PCホストを必要とすることなく、ポイント to ポイントのUSB接続を用いてデータの転送ができます。モジュールは、従来のUSBペリフェラル専用モードや、USB 2.0仕様へのOTG追加機能にあるホスト・モードで動作できます。

USB クロックは、専用の外部水晶振動子や水晶発振器から供給されます。

USB OTG デュアル・ロール・デバイス・コントローラには、USBに必要な内部クロック周波数を発生するプログラマブル分周器を備えたフェーズ・ロック・ループがあります。

## ハウスキーピング ADC (HADC)

HADCは、汎用のマルチチャンネル逐次比較A/Dコンバータを備えています。このADCは次の機能をサポートします。

- 組み込みサンプル&ホールド機能のある12ビットADCコア
- 4つのシングルエンド入力チャンネル
- 最大1MSPSのスループット・レート
- 0V~3.3Vのアナログ入力を持つ単一外部リファレンス
- プリスケアラをプログラムする能力を含む、選択可能なADCクロック周波数
- 適応可能な変換タイプ：オートスキャンのオプションにより単一変換または連続変換が可能
- 1回のセッションで最大4回の自動変換が可能な自動シーケンス機能変換ごとにプログラムして、任意の入力チャンネルを選択できます。
- 変換値を保存する4個のデータ・レジスタ (個別にアドレス指定可能)

## システム・クロスバー (SCB)

システム・クロスバー (SCB) は、(オンチップの) システム・バス相互接続のためのスイッチ・ファブリック形式における基本的な構成要素です。SCBは、システム・バス・マスタとシステム・バス・スレーブを接続し、複数のバス・マスタと複数のバス・スレーブの間での同時データ転送を可能にします。複数のSCBで構成される階層モデルは、特定のアプリケーションの性能および柔軟性要件を満たす、低消費電力で低占有面積のシステム相互接続を実現します。

SCBは次の特長を備えています。

- 持続的なスループットを実現する高効率のパイプライン化されたバス転送プロトコル
- 柔軟性と低遅延を実現する全二重バス動作
- 複数のバス・マスタが同時にバス・スレーブにアクセスできる同時バス転送をサポート
- 選択的なバス相互接続保護を実現する保護モデル (特権/セキュア) をサポート

## 電源管理およびクロック管理

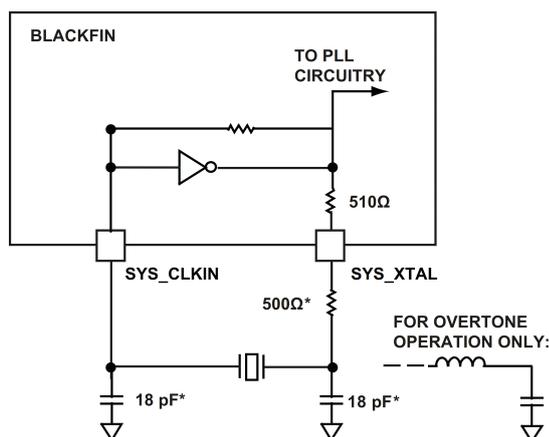
プロセッサには、それぞれ異なる性能/消費電力プロファイルを持つ、3つの動作モードがあります。各プロセッサ・ペリフェラルへのクロック供給の制御により、消費電力も低減できます。各モードの電源設定の概要は、表5を参照してください。

## システム水晶発振器および USB 水晶発振器

プロセッサは、外部水晶振動子（図 4 参照）、サイン波入力、または外部クロック発振器からバッファを経て整形されたクロックからクロック供給できます。外部クロックを用いる場合、そのクロックは TTL 互換信号でなければならず、通常の動作中に、停止、変化、または指定周波数未満になってはなりません。この信号は、プロセッサの SYS\_CLKIN ピンに接続します。外部クロックを用いる場合、SYS\_XTAL ピンは無接続のままにする必要があります。あるいは、プロセッサにはオンチップ発振器回路があるため、外部水晶振動子を用いることができます。

基本周波数動作では、図 4 に示す回路を使用します。並列共振回路構成の基本周波数マイクロプロセッサ・グレードの水晶振動子が、SYS\_CLKIN ピンと SYS\_XTAL ピンに接続されています。SYS\_CLKIN ピンと SYS\_XTAL ピンの間のオンチップ抵抗は 500kΩ のレンジです。通常、これ以上の並列抵抗の配置は推奨しません。

図 4 に示す 2 個のコンデンサと直列抵抗は、サイン波周波数の位相と振幅を微調整します。図 4 に示すコンデンサと抵抗の値は、いずれも代表値です。コンデンサの値は、水晶振動子メーカーの推奨する負荷容量と PCB の物理的レイアウトによって異なります。抵抗の値も、水晶振動子メーカーの指定する駆動レベルによって決まります。ユーザは、必要とする温度範囲にわたり複数のデバイスを注意深く調査し、それに基づいてカスタマイズした値を検証する必要があります。



NOTE: VALUES MARKED WITH \* MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. ANALYZE CAREFULLY. FOR FREQUENCIES ABOVE 33 MHz, THE SUGGESTED CAPACITOR VALUE OF 18pF SHOULD BE TREATED AS A MAXIMUM.

図 4. 外部水晶振動子の接続方法

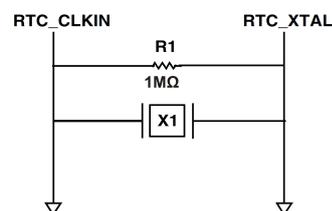
25MHz を超える周波数に対しては、3 次オーバートーン水晶振動子を用いることができます。したがって、図 4 に示すように、調整されたインダクタ回路を追加して水晶振動子が 3 次オーバートーンでのみ動作するよう、回路を変更します。3 次オーバートーン動作の設計手順は、アプリケーション・ノート (EE-168) Using Third Overtone Crystals with the ADSP-218x DSP (www.analog.com/ee-168) を参照してください。

USB 水晶発振器の場合も同じ推奨事項が適用されます。

## リアルタイム・クロック

リアルタイム・クロック (RTC) は、現在時刻、ストップウォッチ、アラームを含む、デジタル・ウォッチ機能の堅牢なセットを提供します。RTC は、プロセッサに外付けされた 32.768kHz 水晶振動子でクロック供給されます。図 5 に示すように、RTC\_CLKIN および RTC\_XTAL の RTC ピンを外部部品に接続します。

RTC パリフェラルには専用の電源ピンがあるため、プロセッサの他の部分が低消費電力状態になった場合でも、RTC パリフェラルは電力とクロックの供給を受けることができます。RTC は、毎秒、毎分、毎時、あるいは毎日のクロック・ティックごとの割込み、プログラマブルなストップウォッチ・カウント・ダウン時の割込み、あるいはプログラムされたアラーム時刻での割込みなど、いくつかのプログラマブルな割込みオプションを備えています。



NOTE: CRYSTAL LOAD CAPACITORS ARE NOT NECESSARY IN MOST CASES.

図 5. RTC 用外付け部品

32.768kHz の入力クロック周波数は、プリスケラによって 1Hz の信号に分周されます。タイマーのカウント機能には、60 秒カウンタ、60 分カウンタ、24 時間カウンタ、32,768 日カウンタの 4 つのカウンタがあります。アラーム割込みがイネーブルされている場合、タイマーの出力がアラーム・コントロール・レジスタにプログラムされている値に一致した場合、アラーム機能によって割込みが生成されます。アラームには 2 通りあります。最初のアラームは時刻用です。2 つめのアラームは、特定の日にちと、その日の時刻用です。

ストップウォッチ機能は、プログラムされた値から 1 秒刻みでカウント・ダウンを行います。ストップウォッチ割込みがイネーブルされている場合にカウンタがアンダーフローすると、割込みが生成されます。

## クロック生成

クロック生成ユニット (CGU) は、すべてのオンチップ・クロックと同期信号を生成します。PLLCLK 周波数を定義するために、通倍係数がプログラムされます。プログラマブルな値で PLLCLK 周波数が分周され、コア・クロック (CCLK)、システム・クロック (SYSCLK、SCLK0、SCLK1)、LPDDR または DDR2 のクロック (DCLK)、出力クロック (OCLK) が生成されます。

CGU コントロール・レジスタに書き込んでも、PLL の動作に直ちに影響することはありません。レジスタが最初に新しい値にプログラムされ、その後、PLL が現在の状態から新しい状態に滑らかに移行するよう、PLL ロジックがその変更を実行します。

VDD\_EXT ピンに給電されると SYS\_CLKIN の振動が開始します。SYS\_HWRST の立ち上がりエッジは、すべての電圧源が仕様の範囲内に収まり、SYS\_CLKIN の振動が安定した後に、適用できます。

### クロック出力／外部クロック

SYS\_CLKOUT 出力ピンには、オンチップ・クロックを分周した値を出力する、プログラマブルなオプションがあります。デフォルトでは、SYS\_CLKOUT ピンは SYS\_CLKIN 入力をバッファ処理したものを出力します。クロック生成フォルト (PLL アンロックなど) がハードウェアによるリセットをトリガする可能性があります。SYS\_CLKOUT ピンから出力できるのは、表 3 に示すクロックです。

表 3. クロック分周器

Clock Source	Divider (if Available on SYS_CLKOUT)
CCLK (Core Clock)	By 16
SYSCLK (System Clock)	By 8
SCLK0 (System Clock, All Peripherals not Covered by SCLK1)	By 1
SCLK1 (System Clock for Crypto Engines and MDMA)	By 8
DCLK (LPDDR/DDR2 Clock)	By 8
OCLK (Output Clock)	Programmable
CLKBUF	None, direct from SYS_CLKIN

### パワー・マネージメント

表 4 に示すように、プロセッサは、複数の電源ドメインに対応しているため、業界標準や慣例に準拠すると同時に柔軟性を最大限に発揮します。各種電源ドメインにはシーケンス条件はありませんが、すべてのドメインがプロセッサの動作条件に適切な仕様の表に従って給電される必要があります。これはその機能／ペリフェラルを使用しない場合も該当します。

表 4. 電源ドメイン

Power Domain	V <sub>DD</sub> Range
All Internal Logic	V <sub>DD_INT</sub>
DDR2/LPDDR	V <sub>DD_DMC</sub>
USB	V <sub>DD_USB</sub>
OTP Memory	V <sub>DD_OTP</sub>
HADC	V <sub>DD_HADC</sub>
RTC	V <sub>DD_RTC</sub>
All Other I/O (Includes SYS, JTAG, and Ports Pins)	V <sub>DD_EXT</sub>

プロセッサの動的なパワー・マネージメント機能により、プロセッサのコア・クロック周波数 (f<sub>CLK</sub>) を動的に制御できます。

プロセッサの消費電力は、主にそのクロック周波数と動作電圧の二乗の関数です。例えば、クロック周波数を 25% 低下させると、動的な消費電力は 25% 減少します。

各モードの電源設定の概要は、表 5 を参照してください。

### フル・オン動作モード - 最高性能

フル・オンモードでは PLL がイネーブルされ、バイパスはされません。そのため、最大動作周波数が可能です。これは、最高性能を実現できる、パワーアップ・デフォルトの実行状態です。プロセッサ・コアとイネーブルされたすべてのペリフェラルは、フル・スピードで稼働します。

### ディープ・スリープ動作モード - 最大動的省電力

ディープ・スリープ・モードは、プロセッサ・コアおよびすべての同期ペリフェラルに供給されるクロックをディスエーブルすることで、最大の動的省電力を実現します。非同同期ペリフェラルは、稼働を続けることができますが、内部リソースや外部メモリにアクセスすることはできません。

表 5. 電源設定

Mode/State	PLL	PLL Bypassed	f <sub>CLK</sub>	f <sub>SYSCLK</sub> , f <sub>DCLK</sub> , f <sub>SCLK0</sub> , f <sub>SCLK1</sub>	Core Power
Full On	Enabled	No	Enabled	Enabled	On
Deep Sleep	Disabled	—	Disabled	Disabled	On
Hibernate	Disabled	—	Disabled	Disabled	Off

### 休止状態 - 最大静的省電力

休止状態は、プロセッサ・コアおよびすべてのペリフェラルに供給される電圧およびクロックをディスエーブルすることで、最大の静的省電力を実現します。この設定は、VDD\_INT ピンに給電する外部電圧レギュレータに信号を送り、SYS\_EXTWAKE 信号の使用を停止させます。これにより静的消費電力を最小限に抑えることができます。

プロセッサの状態を保存する必要がある場合は、電源をオフにする前に、すべての内部保存されている重要な情報 (例えば、メモリの内容、レジスタの内容、その情報など) を不揮発性ストレージ・デバイス (またはセルフリフレッシュ DRAM) に書き込む必要があります。

このモードでは、VDD\_EXT ピンには引き続き給電できるため、特に指定のない限り、すべての外部ピンはスリープ状態です。そのため、プロセッサに接続できる他のデバイスは、不要な電流を引き出すことなく引き続き電力の供給を受けることができます。

### リセット制御ユニット

リセットはプロセッサ全体あるいはコアの初期状態で、ハードウェアまたはソフトウェアによりトリガされるイベントの結果です。この状態では、すべてのコントロール・レジスタはそのデフォルト値に設定され、機能的なユニットはアイドル状態となります。フル・システム・リセットの終了は、コアがブート準備完了となることから始まります。

リセット制御ユニット (RCU) は、すべての機能的ユニットがリセット状態になる方法やこれを終了する方法を制御します。機能条件やクロック制約の相違により、リセット信号の生成方法は異なります。どのリセット機能もシステムを定義されていない状態にしたり、リソースが停止する原因となったりすることのないよう、プログラムする必要があります。このことは、コアがリセットされる場合に特に重要です (プログラムは、コアがリセットされている状態時を含むシステム・アクティビティが留保状態とならないようにする必要があります)。

システムの視点から見ると、以下のリストで説明するように、リセットはリセット先とリセット元のどちらからも定義されません。

定義されたリセット先：

- ハードウェア・リセット – すべての機能ユニットは、例外なくデフォルト状態に設定されます。履歴は失われます。
- システム・リセット – RCU を除くすべての機能ユニットはデフォルト状態に設定されます。
- コアのみリセット – コアのみが影響を受けます。システム・ソフトウェアは、リセット状態のコアがバス・マスタから確実にアクセスされないようにする必要があります。

定義されたリセット元：

- ハードウェア・リセット – `SYS_HWRST` 入力信号がアクティブ (プルダウン) にアサートされます。
- システム・リセット – ソフトウェア (RCU\_CTL レジスタへの書込み) によってトリガされるか、動的パワー・マネジメント (DPM) ユニット (休止) またはいずれかのシステム・イベント・コントローラ (SEC) などの別の機能ユニット、トリガ・ルーティング・ユニット (TRU)、またはエミュレータ入力によってトリガされます。
- コアのみリセット – ソフトウェアでトリガされます。
- トリガ・リクエスト (ペリフェラル)。

## 電圧レギュレーション

VDD\_INT ピンに給電するために、プロセッサには外部電圧レギュレータが必要です。スタンバイ時の消費電力を削減するため、外部電圧レギュレータは、`SYS_EXTWAKE` を通じて、プロセッサ・コアからの給電を遮断する信号を受信できます。この信号は、パワーアップ時にハイの場合に真となり、一般的な多くのレギュレータのロー時に真となるシャットダウン入力に直接接続できます。

休止状態の間、すべての外部電源ピン (VDD\_EXT、VDD\_USB、VDD\_DMC) には、引き続き給電できるため、外部バッファの必要性はありません。外部電圧レギュレータは、`SYS_HWRST` ピンをアサートすることでこのパワー・ダウン状態からアクティブになることができます。これによりブート・シーケンスが開始されます。`SYS_EXTWAKE` は外部電圧レギュレータに対しウェイクアップを指示します。

## システム・デバッグ

プロセッサには、システム・デバッグを容易にする様々な機能があります。これらについて以下のセクションで説明します。

### システム・ウォッチドッグ・ユニット

システム・ウォッチドッグ・ユニット (SWU) は、1 本のシステム・バスに接続する単一モジュールで、トランザクションのモニタリングを行います。1 つの SWU が、各システム・スレーブにつながるバスに付随しています。SWU は、システム・バスのアドレス・チャンネル信号すべてに対しポートを備えています。各 SWU には、関連したハードウェアを持つレジスタの 4 つのマッチ・グループがあります。これら 4 つのマッチ・グループは独立に動作しますが、共通のイベント (割込み、トリガなど) 出力は共有します。

## デバッグ・アクセス・ポート

デバッグ・アクセス・ポート (DAP) は、JTAG デバッグおよびシリアル・ワイヤ・デバッグ・ポート (SWJ-DP) を介して IEEE-1149.1 の JTAG インターフェースに対応しています。SWJ-DP は、JTAG-DP と SW-DP を組み合わせたもので、シリアル・ワイヤ・デバッグ (SWD) または JTAG エミュレータのいずれかをターゲットに接続することができます。SWD 信号は、JTAG と同じピンを共有します。DAP は、コアおよびシステムの両方に対しオプションの計装トレースを提供します。これは、MIPI システム・トレース・プロトコル・バージョン 2 (STPv2) に適合するトレース・ストリームを可能にします。

## 開発ツール

アナログ・デバイセズは、統合開発環境 (CrossCore® Embedded Studio)、評価用製品、エミュレータ、および広範なソフトウェア・アドインなど、ソフトウェアとハードウェアの開発ツールのフル・ラインを用意してプロセッサをサポートします。

### 統合開発環境 (IDE)

CrossCore Embedded Studio は、Eclipse™ のフレームワークを基盤とします。これはアナログ・デバイセズのほとんどのプロセッサ・ファミリに対応しており、マルチコア・デバイスなどの将来のプロセッサにとって最適な IDE です。CrossCore Embedded Studio は、使用可能なソフトウェア・アドインを継ぎ目なく統合し、リアルタイム・オペレーティング・システム、ファイル・システム、TCP/IP スタック、USB スタック、アルゴリズム・ソフトウェア・モジュール、評価用ハードウェア・ボード・サポート・パッケージなどをサポートします。詳細については [www.analog.com/jp/cces](http://www.analog.com/jp/cces) を参照してください。

### EZ-KIT Lite 評価用ボード

プロセッサの評価用に、アナログ・デバイセズは、広範な EZ-KIT Lite® 評価用ボードを提供します。プロセッサおよび主要ペリフェラルを含んだこの評価用ボードは、オンチップ・エミュレーション能力やその他の評価/開発機能もサポートします。また、様々な EZ-Extenders® も利用可能です。これは、オーディオおよびビデオ処理など、追加の特別な機能を提供するドータ・ボードです。詳細については、[www.analog.com/jp](http://www.analog.com/jp) に移動し、「ezkit」または「ezextender」を検索してください。

### EZ-KIT Lite 評価用キット

アナログ・デバイセズのプロセッサを使用した開発について詳細を知るためのコスト効率の高い方法について、アナログ・デバイセズは、幅広い EZKIT Lite 評価用キットを提供しています。各評価用キットには、EZ-KIT Lite 評価用ボード、利用可能な IDE の評価用バージョンをダウンロードする方法、USB ケーブル、電源が付属しています。EZ-KIT Lite ボードの USB コントローラはユーザの PC の USB ポートに接続し、これにより、選択した IDE 評価用スイートがオンボード・プロセッサをインサーキットでエミュレートできます。これは、ユーザによる EZ-KIT Lite システムのプログラムのダウンロード、実行、デバッグを許可します。また、ユーザ固有のブート・コードを保存するオンボード・フラッシュ・デバイスのインサーキット・プログラミングもサポートするため、スタンドアロン動作が可能です。CrossCore Embedded Studio のシングル・ライセンス版 (別売) をインストールすることで、ユーザは、サポートされた EZ-KIT やアナログ・デバイセズのサポートされたプロセッサを使用する、カスタム・システム用のソフトウェアを開発できます。

## ADSP-BF706 EZ-KIT Mini

ADSP-BF706 EZ-KIT Mini™ 製品 (ADZS-BF706-EZMini) には、ADSP-BF706 プロセッサが内蔵され、必要なすべてのハードウェアと共に提供されます。ユーザは評価を直ちに開始できます。EZ-KIT Mini には、スタンドアロンの評価用ボードと USB ケーブルが付属しています。EZ-KIT Mini はオンボード・デバッグ・エージェントと一緒に送付されます。

この評価用ボードは、CrossCore Embedded Studio (CCES) 開発ツールと組み合わせて使用するよう設計されており、ADSP-BF706 Blackfin プロセッサの諸機能をテストできます。

## Blackfin 低消費電力イメージング・プラットフォーム (BLIP)

Blackfin 低消費電力イメージング・プラットフォーム (BLIP) は、ADSP-BF707 Blackfin プロセッサとアナログ・デバイセズのソフトウェア・コード・ライブラリを統合しています。コード・ライブラリは、屋内および屋外の環境で人や車の存在および挙動を検出するよう、最適化されています。BLIP ハードウェア・プラットフォームは、占有率ソフトウェア・モジュールをプリロードして提供されます。

## CrossCore Embedded Studio 用ソフトウェア・アドイン

アナログ・デバイセズは、CrossCore Embedded Studio を継ぎ目なく統合しその機能を拡張し開発時間を削減する、ソフトウェア・アドインを提供します。アドインには、評価用ハードウェア用のボード・サポート・パッケージ、様々なミドルウェア・パッケージ、アルゴリズム・モジュールが含まれます。マニュアル、ヘルプ、設定用ダイアログ、コード例がこれらのアドインに備わっており、アドインのインストール後に CrossCore Embedded Studio IDE で表示できます。

## 評価用ハードウェア用ボード・サポート・パッケージ

EZ-KIT Lite 評価用ボードおよび EZExtender ドータ・カードに対するソフトウェア・サポートが、ボード・サポート・パッケージ (BSP) と呼ばれるソフトウェア・アドインによって提供されます。BSP には、必要なドライバ、関連するリリース・ノート、所定の評価用ハードウェアに対する精選したコード例が含まれます。特定の BSP に対するダウンロード・リンクは、関連する EZ-KIT または EZExtender 製品のウェブ・ページにあります。リンクは製品のウェブ・ページの [製品ダウンロード] 領域にあります。

## ミドルウェア・パッケージ

アナログ・デバイセズは、リアルタイム・オペレーティング・システム、ファイル・システム、USB スタック、TCP/IP スタックなどのミドルウェア・アドインを個別に提供します。詳細については、以下のウェブ・ページを参照してください。

- [www.analog.com/ucos3](http://www.analog.com/ucos3)
- [www.analog.com/ucfs](http://www.analog.com/ucfs)
- [www.analog.com/ucusb](http://www.analog.com/ucusb)
- [www.analog.com/lwip](http://www.analog.com/lwip)

## アルゴリズム・モジュール

開発を加速するために、アナログ・デバイセズは、一般的に用いられているオーディオおよびビデオ処理アルゴリズムを実行するアドインを提供しています。これらは、CrossCore Embedded Studio の使用時に用いることができます。詳細については、[www.analog.com/jp](http://www.analog.com/jp) に移動し、「Blackfin ソフトウェア・モジュール」または「SHARC ソフトウェア・モジュール」で検索してください。

## エミュレータ対応 DSP ボード (ターゲット) の設計

組み込みシステムのテストとデバッグのため、アナログ・デバイセズは、エミュレータのファミリを提供します。DAP をイネーブルした各プロセッサに対し、アナログ・デバイセズは、IEEE 1149.1 JTAG テスト・アクセス・ポート (TAP)、シリアル・ワイヤ・デバッグ・ポート (SWJ-DP) およびトレース機能を提供します。インサーキット・エミュレーションは JTAG または SWD インターフェースを用いることで容易になります。エミュレータは、プロセッサの TAP を通じてプロセッサの内部機能にアクセスします。それにより、設計者は、コードの読み込み、ブレークポイントの設定、変数、メモリ、レジスタの表示ができます。エミュレータがトレースとデバッグを行えるよう、ターゲット・ボードには、プロセッサの DAP がエミュレータと接続できるようにするヘッダが含まれていることが必要です。

アナログ・デバイセズのエミュレータは、 $\overline{JTG\_TRST}$  をアクティブ・ハイに駆動します。サード・パーティのエミュレータは、 $\overline{JTG\_TRST}$  にプルアップを必要とする場合があり、そのため  $\overline{JTG\_TRST}$  をハイに駆動しません。このタイプのサード・パーティのエミュレータを用いる場合、 $\overline{JTG\_TRST}$  はパワーアップ・リセット時には依然としてローに駆動する必要がありますが、その後は、何らかのエミュレーションまたはバウンダリ・スキャン動作の前に外部からハイに駆動する必要があります。POR 仕様についての詳細な情報は、[パワーアップ・リセットのタイミング](#)のセクションを参照してください。

構造的なレイアウト、シングル・プロセッサの接続、信号バッファリング、信号終端、エミュレータ・ポッドのロジックなど、ターゲット・ボードの設計課題に関する詳細は、メーカーにお問い合わせください。

## その他の情報

ADSP-BF70x プロセッサに関する以下の技術文書がアナログ・デバイセズのウェブサイトで電子的にアクセスできます。

- ADSP-BF70x Blackfin+ Processor Hardware Reference
- ADSP-BF70x Blackfin+ Processor Programming Reference
- ADSP-BF70x Blackfin+ Processor Anomaly List

## 関連シグナル・チェーン

シグナル・チェーンは、シグナル・コンディショニング用の電子コンポーネントで、入力 (リアルタイム現象のサンプリング・データまたは保存データから取得したデータ) を連続的に受信すると共に、チェーンの一部の出力を次段への入力に供給します。シグナル・チェーンは多くの場合、データの収集や処理を行ったり、リアルタイム現象の分析に基づいてシステムを制御したりする、信号処理アプリケーションで用いられます。

アナログ・デバイセズは、互いに良好な連携動作をするよう設計された信号処理コンポーネントを提供することで、信号処理システムの開発を容易にします。特定のアプリケーションと関連するコンポーネントの間の関係を表示するツールは、[www.analog.com/jp](http://www.analog.com/jp) のウェブサイトで入手できます。

Circuits from the Lab® 実用回路集のサイト (<https://www.analog.com/jp/circuits>) のアプリケーション・シグナル・チェーンのページには以下の情報が示されています。

- 様々な回路タイプとアプリケーション向けシグナル・チェーンのグラフィカルな回路ブロック図
- ガイドとアプリケーション情報を選択するための各チェーンの部品のドリルダウン・リンク
- ベスト・プラクティスの設計技術を適用するリファレンス設計

## ADSP-BF70x の信号の詳細な説明

各ピンの詳細な説明を表 6 に記載します。

表 6. ADSP-BF70x の信号の詳細な説明

ポート名	方向	説明
CAN_RX	Input	<b>受信</b> 。通常、外部 CAN トランシーバーの RX 出力です。
CAN_TX	Output	<b>送信</b> 。通常、外部 CAN トランシーバーの TX 入力です。
CNT_DG	Input	<b>カウント・ダウンおよびゲート</b> 。動作モードに応じて、この入力はカウント・ダウン信号またはゲート信号として機能します。カウント・ダウン - この入力により GP カウンタがデクリメントします。ゲート - GP カウンタのインクリメントまたはデクリメントが停止します。
CNT_UD	Input	<b>カウント・アップおよび方向</b> 。動作モードに応じて、この入力はカウント・アップ信号または方向信号として機能します。カウント・アップ - この入力により GP カウンタがインクリメントします。方向 - GP カウンタがインクリメントするかデクリメントするかを選択します。
CNT_ZM	Input	<b>カウント・ゼロ・マーカー</b> 。ロータリ・デバイスのゼロ・マーカー出力に接続する入力、または、プッシュボタンの押下を検出する入力。
DMC_Ann	Output	<b>アドレス n</b> 。アドレス・バスです。
DMC_BAn	Output	<b>バンク・アドレス入力 n</b> 。ACTIVATE、READ、WRITE、または PRECHARGE コマンドが、ダイナミック・メモリのどの内部バンクに適用されている状態かを定義します。また、LOAD MODE REGISTER コマンド時に、どのモード・レジスタ (MR、EMR、EMR2、EMR3) にロードされるかを定義します。
DMC_CAS	Output	<b>列アドレス・ストロープ</b> 。外部ダイナミック・メモリが他の DMC コマンド信号と連携して実行する動作を定義します。ダイナミック・メモリの CAS 入力に接続します。
DMC_CK	Output	<b>クロック</b> 。DCLK を外部ダイナミック・メモリに出力します。
DMC_CK	Output	<b>クロック (補数)</b> 。DMC_CK の補数です。
DMC_CKE	Output	<b>クロック・イネーブル</b> 。アクティブ・ハイのクロック・イネーブルです。ダイナミック・メモリの CKE 入力に接続します。
DMC_CS <sub>n</sub>	Output	<b>チップ・セレクト n</b> 。この信号がアサートされた場合にのみ、コマンドはメモリに認識されます。
DMC_DQ <sub>nn</sub>	I/O	<b>データ n</b> 。双方向データ・バスです。
DMC_LDM	Output	<b>下位バイト用データ・マスク</b> 。ハイに駆動されると DMC_DQ07:DMC_DQ00 の書き込みデータをマスクします。ダイナミック・メモリにより、データ・ストロープの両エッジでサンプリングされます。
DMC_LDQS	I/O	<b>下位バイト用データ・ストロープ</b> 。DMC_DQ07:DMC_DQ00 のデータ・ストロープです。データ書き込みで出力します。データ読み出しで入力します。レジスタの設定により、シングルエンドまたは差動とすることができます。
DMC_LDQS	I/O	<b>下位バイト用データ・ストロープ (補数)</b> 。LDQS の補数です。シングルエンド・モードでは使用しません。
DMC_ODT	Output	<b>オン・ダイ終端</b> 。ハイに駆動時、ダイナミック・メモリの終端抵抗をイネーブルします (メモリが正しく設定されていることが前提)。ODT はコマンドが読み出しか書き込みかによらず、イネーブル/ディスエーブルされます。
DMC_RAS	Output	<b>行アドレス・ストロープ</b> 。外部ダイナミック・メモリが他の DMC コマンド信号と連携して実行する動作を定義します。ダイナミック・メモリの RAS 入力に接続します。
DMC_UDM	Output	<b>上位バイト用データ・マスク</b> 。マスクハイに駆動されると DMC_DQ15:DMC_DQ08 の書き込みデータをマスクします。ダイナミック・メモリにより、データ・ストロープの両エッジでサンプリングされます。
DMC_UDQS	I/O	<b>上位バイト用データ・ストロープ</b> 。DMC_DQ15:DMC_DQ08 のデータ・ストロープです。データ書き込みで出力します。データ読み出しで入力します。レジスタの設定により、シングルエンドまたは差動とすることができます。
DMC_UDQS	I/O	<b>上位バイト用データ・ストロープ (補数)</b> 。DMC_UDQS の補数です。シングルエンド・モードでは使用しません。
DMC_VREF	Input	<b>電圧リファレンス</b> 。VDD_DMC 電圧の midpoint に接続します。DMC0_VREF ピンに印加します。
DMC_WE	Output	<b>書き込みイネーブル</b> 。外部ダイナミック・メモリが他の DMC コマンド信号と連携して実行する動作を定義します。ダイナミック・メモリの WE 入力に接続します。
PPI_CLK	I/O	<b>クロック</b> 。外部クロック・モードでの入力、内部クロック・モードでの出力です。
PPI_D <sub>nn</sub>	I/O	<b>データ n</b> 。双方向データ・バスです。
PPI_FS1	I/O	<b>フレーム同期 1 (HSYNC)</b> 。動作は EPPI のモードに依存します。詳細については EPPI の HRM の章を参照してください。
PPI_FS2	I/O	<b>フレーム同期 2 (VSYNC)</b> 。動作は EPPI のモードに依存します。詳細については EPPI の HRM の章を参照してください。
PPI_FS3	I/O	<b>フレーム同期 3 (FIELD)</b> 。動作は EPPI のモードに依存します。詳細については EPPI の HRM の章を参照してください。
HADC_VI <sub>Nn</sub>	Input	<b>チャンネル n でのアナログ入力</b> 。デジタル変換用のアナログ電圧入力です。

表 6. ADSP-BF70x の信号の詳細な説明 (続き)

ポート名	方向	説明
HADC_VREFN	Input	<b>ADC 用グラウンド・リファレンス。</b> データシートの仕様を満たす外部電圧リファレンスに接続します。
HADC_VREFP	Input	<b>ADC 用外部リファレンス。</b> データシートの仕様を満たす外部電圧リファレンスに接続します。
MSI_CD	Input	<b>カード検出。</b> SD ソケットのプルアップ抵抗およびカード検出出力に接続します。
MSI_CLK	Output	<b>クロック。</b> クロック信号は、MSI から接続されたデバイスに印加されます。
MSI_CMD	I/O	<b>コマンド。</b> 接続したデバイスにコマンドを送信しその応答を受信するために用います。
MSI_Dn	I/O	<b>データ n。</b> 双方向データ・バスです。
MSI_INT	Input	<b>eSDIO 割込み入力。</b> eSDIO に対してのみ使用します。eSDIO カードの割込み出力に接続します。割込みは、カードへの MSI クロックがオフになっている場合でもサンプリングできます。
Px_nn	I/O	<b>位置 n。</b> 汎用入出力です。プログラミングの詳細については、HRM の GP ポートの章を参照してください。
RTC_CLKIN	Input	<b>水晶振動子入力/外部発振器接続。</b> 外部クロック源または水晶振動子に接続します。
RTC_XTAL	Output	<b>水晶振動子出力。</b> 外部水晶振動子を駆動します。外部クロックが RTC_CLKIN を駆動している場合は、無接続のままにする必要があります。
SMC_ABE <sub>n</sub>	Output	<b>バイト・イネーブル n。</b> アクセスされているのがメモリの上位バイトか下位バイトかを示します。非同期書込みが 16 ビット・メモリの上位バイトに行われる場合、SMC_ABE <sub>1</sub> = 0 かつ SMC_ABE <sub>0</sub> = 1 です。非同期書込みが 16 ビット・メモリの下位バイトに行われる場合、SMC_ABE <sub>1</sub> = 1 かつ SMC_ABE <sub>0</sub> = 0 です。
SMC_AMS <sub>n</sub>	Output	<b>メモリ・セレクト n。</b> 通常、メモリ・デバイスのチップ・セレクトに接続します。
SMC_AOE	Output	<b>出カイネーブル。</b> 読み出しアクセスのセットアップ期間の開始時にアサートされます。
SMC_ARDY	Input	<b>非同期レディ。</b> トランザクションを更に続けることができる場合にそれを SMC に通知するためにメモリ・デバイスが用いるフロー制御信号です。
SMC_ARE	Output	<b>読みしイネーブル。</b> 読み出しアクセスの開始時にアサートされます。
SMC_AWE	Output	<b>書き込みイネーブル。</b> 書き込みアクセス期間の間アサートされます。
SMC_Ann	Output	<b>アドレス n。</b> アドレス・バスです。
SMC_Dnn	I/O	<b>データ n。</b> 双方向データ・バスです。
SPI_CLK	I/O	<b>クロック。</b> スレーブ・モードでは入力、マスタ・モードでは出力です。
SPI_D2	I/O	<b>データ 2。</b> クワッド・モードにおいてシリアル・データを転送するために用います。ODM モードが有効な場合はオープンドレインです。
SPI_D3	I/O	<b>データ 3。</b> クワッド・モードにおいてシリアル・データを転送するために用います。ODM モードが有効な場合はオープンドレインです。
SPI_MISO	I/O	<b>マスタ・イン、スレーブ・アウト。</b> シリアル・データを転送するために用います。デュアル・モードおよびクワッド・モードでは、SPI_MOSI と同じ方向で動作します。ODM モードが有効な場合はオープンドレインです。
SPI_MOSI	I/O	<b>マスタ・アウト、スレーブ・イン。</b> シリアル・データを転送するために用います。デュアル・モードおよびクワッド・モードでは、SPI_MISO と同じ方向で動作します。ODM モードが有効な場合はオープンドレインです。
SPI_RDY	I/O	<b>レディ。</b> オプションのフロー信号です。スレーブ・モードでは出力、マスタ・モードでは入力です。
SPI_SEL <sub>n</sub>	Output	<b>スレーブ・セレクト出力 n。</b> マスタ・モードで用いて目的のスレーブをイネーブルします。
SPI_SS	Input	<b>スレーブ・セレクト入力。</b> スレーブ・モード - スレーブ・セレクト・インプットとして機能します。マスタ・モード - 複数のマスタがある場合に、オプションで SPI のエラー検出入力として機能します。
SPT_ACLK	I/O	<b>チャンネル A のクロック。</b> データとフレーム同期は、このクロックを基準にして駆動/サンプリングされます。この信号は、内部でも外部でも生成できます。
SPT_AD0	I/O	<b>チャンネル A のデータ 0。</b> 主双方向データ I/O。この信号は、シリアル・データを送信するための出力として、あるいは、シリアル・データを受信するための入力として、設定できます。
SPT_AD1	I/O	<b>チャンネル A のデータ 1。</b> 副双方向データ I/O。この信号は、シリアル・データを送信するための出力として、あるいは、シリアル・データを受信するための入力として、設定できます。
SPT_AFS	I/O	<b>チャンネル A のフレーム同期。</b> フレーム同期パルスによって、シリアル・データのシフトが開始されます。この信号は、内部でも外部でも生成できます。
SPT_ATDV	Output	<b>チャンネル A の送信データ有効。</b> この信号はオプションで、SPORT がマルチチャンネル送信モードに設定されている場合にのみアクティブになります。スロットがイネーブルされている間アサートされます。

表 6. ADSP-BF70x の信号の詳細な説明（続き）

ポート名	方向	説明
SPT_BCLK	I/O	<b>チャンネル B のクロック</b> 。データとフレーム同期は、このクロックを基準にして駆動/サンプリングされます。この信号は、内部でも外部でも生成できます。
SPT_BD0	I/O	<b>チャンネル B のデータ 0</b> 。主双方向データ I/O。この信号は、シリアル・データを送信するための出力として、あるいは、シリアル・データを受信するための入力として、設定できます。
SPT_BD1	I/O	<b>チャンネル B のデータ 1</b> 。副双方向データ I/O。この信号は、シリアル・データを送信するための出力として、あるいは、シリアル・データを受信するための入力として、設定できます。
SPT_BFS	I/O	<b>チャンネル B のフレーム同期</b> 。フレーム同期パルスによって、シリアル・データのシフトが開始されます。この信号は、内部でも外部でも生成できます。
SPT_BTDV	Output	<b>チャンネル B の送信データ有効</b> 。この信号はオプションで、SPORT がマルチチャンネル送信モードに設定されている場合にのみアクティブになります。スロットがイネーブルされている間アサートされます。
SYS_BMODEn	Input	<b>ブート・モード制御 n</b> 。プロセッサのブート・モードを選択します。
SYS_CLKIN	Input	<b>クロック/水晶振動子入力</b> 。外部クロック源または水晶振動子に接続します。
SYS_CLKOUT	Output	<b>プロセッサ・クロック出力</b> 。内部クロックを出力します。クロックは分周できます。詳細については HRM の CGU の章を参照してください。
SYS_EXTWAKE	Output	<b>外部ウェイク制御</b> 。休止時にはロー、それ以外の場合はハイに駆動します。通常、VDD_INT 電源を制御している電圧レギュレータのイネーブル入力に接続します。
SYS_FAULT	I/O	<b>アクティブロー・フォルト出力</b> 。動作モードに応じて、内部フォルトの指示、または外部フォルトの検出を行います。
SYS_HWRST	Input	<b>プロセッサ・ハードウェア・リセット制御</b> 。アサートされるとデバイスをリセットします。
SYS_NMI	Input	<b>マスク不能割込み</b> 。詳細についてはプロセッサのハードウェア・リファレンスおよびプログラミング・リファレンスを参照してください。
SYS_RESOUT	Output	<b>リセット出力</b> 。デバイスがリセット状態または休止状態であることを示します。
SYS_WAKEn	Input	<b>省電力モード・ウェイクアップ n</b> 。ディープ・スリープ・モードや休止モードのためのウェイクアップ・ソース入力です。
SYS_XTAL	Output	<b>水晶振動子出力</b> 。外部水晶振動子を駆動します。外部クロックが CLKIN を駆動している場合は、無接続のままにする必要があります。
JTG_SWCLK	Input	<b>シリアル・ワイヤ・クロック</b> 。デバッグ時にターゲットとの間でデータをクロック入力およびクロック出力します。
JTG_SWDIO	I/O	<b>シリアル・ワイヤ DIO</b> 。デバッグ時にターゲットとの間でシリアル・データを送受信します。
JTG_SWO	Output	<b>シリアル・ワイヤ・アウト</b> 。トレース・データをエミュレータに供給します。
JTG_TCK	Input	<b>JTAG クロック</b> 。JTAG テスト・アクセス・ポートのクロックです。
JTG_TDI	Input	<b>JTAG シリアル・データ入力</b> 。JTAG テスト・アクセス・ポートのデータ入力です。
JTG_TDO	Output	<b>JTAG シリアル・データ出力</b> 。JTAG テスト・アクセス・ポートのデータ出力です。
JTG_TMS	Input	<b>JTAG モードの選択</b> 。JTAG テスト・アクセス・ポート・モードの選択を行います。
JTG_TRST	Input	<b>JTAG リセット</b> 。JTAG テスト・アクセス・ポートをリセットします。
TM_ACIn	Input	<b>代替キャプチャ入力 n</b> 。WIDCAP、WATCHDOG、PININT の各モードで追加入力を提供します。
TM_ACLKn	Input	<b>代替クロック n</b> 。個々のタイマーで使用できるよう、追加のタイム・ベースを提供します。
TM_CLK	Input	<b>クロック</b> 。すべての GP タイマーで使用できるよう追加のグローバル・タイム・ベースを提供します。
TM_TMRn	I/O	<b>タイマー n</b> 。各タイマーのメインの入出力信号です。
TRACE_CLK	Output	<b>トレース・クロック</b> 。クロック出力です。
TRACE_Dnn	Output	<b>トレース・データ n</b> 。一方方向のデータ・バスです。
TWI_SCL	I/O	<b>シリアル・クロック</b> 。マスタの場合クロック出力、スレーブの場合クロック入力です。
TWI_SDA	I/O	<b>シリアル・データ</b> 。データを受信または送信します。
UART_CTS	Input	<b>送信許可</b> 。フロー制御信号です。
UART_RTS	Output	<b>送信要求</b> 。フロー制御信号です。
UART_RX	Input	<b>受信</b> 。受信入力です。通常、通信先のデバイスの電氣的条件を満たすトランシーバーに接続します。
UART_TX	Output	<b>送信</b> 。送信出力です。通常、通信先のデバイスの電氣的条件を満たすトランシーバーに接続します。
USB_CLKIN	Input	<b>クロック/水晶振動子入力</b> 。このクロック入力は PLL によって通倍され、USB クロックを形成します。周波数や許容誤差の情報については、データシートの仕様を参照してください。

表 6. ADSP-BF70x の信号の詳細な説明（続き）

ポート名	方向	説明
USB_DM	I/O	<b>データ-</b> 。双方向の差動データ・ラインです。
USB_DP	I/O	<b>データ+</b> 。双方向の差動データ・ラインです。
USB_ID	Input	<b>OTG の ID</b> 。コントローラがホストかデバイスかを検出します。この信号は、A タイプのプラグが検出された場合（USB コントローラは A デバイスであることが示された場合）にローにプルダウンされますが、B タイプのプラグが検出された場合（USB コントローラは B デバイスであることが示された場合）はハイになります。
USB_VBC	Output	<b>VBUS の制御</b> 。ホスト・モードの場合に VBUS に供給される外部電圧源を制御します。オープンドレインに設定できません。極性も設定可能です。
USB_VBUS	I/O	<b>バス電圧</b> 。ホスト・モードおよびデバイス・モード時にバス電圧に接続します。
USB_XTAL	Output	<b>水晶振動子</b> 。外部水晶振動子を駆動します。外部クロックが USB_CLKIN を駆動している場合は、無接続のままにする必要があります。

## 184 ボール CSP\_BGA の信号の説明

プロセッサのピン定義を表 7 に示します。この表の各列には、以下の情報が示されています。

- 信号名：表の信号名の列には、すべてのピンの信号名とすべてのピンの GPIO マルチプレックス・ピン機能（該当の場合）が記載されています。
- 説明：表の説明の列には、信号の詳しい（説明的な）名前が示されています。
- 汎用ポート：表のポートの列では、その信号が汎用 I/O ポート・ピンで別の信号とマルチプレックスされるかどうかを示します。
- ピン名：表のピン名の列は、信号が配置される（単一機能ピンの場合）、あるいはマルチプレックスされる（汎用 I/O ピンの場合）、パッケージ・ピンの名前（パワーオン・リセット時）を特定します。

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明

信号名	説明	ポート	ピン名
CAN0_RX	CAN0 の受信	C	PC_02
CAN0_TX	CAN0 の送信	C	PC_03
CAN1_RX	CAN1 の受信	A	PA_12
CAN1_TX	CAN1 の送信	A	PA_13
CNT0_DG	CNT0 のカウント・ダウンおよびゲート	A	PA_07
CNT0_UD	CNT0 のカウント・アップおよび方向	A	PA_15
CNT0_ZM	CNT0 のカウント・ゼロ・マーカー	A	PA_13
DMC0_A00	DMC0 のアドレス 0	Not Muxed	DMC0_A00
DMC0_A01	DMC0 のアドレス 1	Not Muxed	DMC0_A01
DMC0_A02	DMC0 のアドレス 2	Not Muxed	DMC0_A02
DMC0_A03	DMC0 のアドレス 3	Not Muxed	DMC0_A03
DMC0_A04	DMC0 のアドレス 4	Not Muxed	DMC0_A04
DMC0_A05	DMC0 のアドレス 5	Not Muxed	DMC0_A05
DMC0_A06	DMC0 のアドレス 6	Not Muxed	DMC0_A06
DMC0_A07	DMC0 のアドレス 7	Not Muxed	DMC0_A07
DMC0_A08	DMC0 のアドレス 8	Not Muxed	DMC0_A08
DMC0_A09	DMC0 のアドレス 9	Not Muxed	DMC0_A09
DMC0_A10	DMC0 のアドレス 10	Not Muxed	DMC0_A10
DMC0_A11	DMC0 のアドレス 11	Not Muxed	DMC0_A11
DMC0_A12	DMC0 のアドレス 12	Not Muxed	DMC0_A12
DMC0_A13	DMC0 のアドレス 13	Not Muxed	DMC0_A13
DMC0_BA0	DMC0 のバンク・アドレス入力 0	Not Muxed	DMC0_BA0
DMC0_BA1	DMC0 のバンク・アドレス入力 1	Not Muxed	DMC0_BA1
DMC0_BA2	DMC0 のバンク・アドレス入力 2	Not Muxed	DMC0_BA2
DMC0_CAS	DMC0 の列アドレス・ストロープ	Not Muxed	DMC0_CAS
DMC0_CK	DMC0 のクロック	Not Muxed	DMC0_CK
DMC0_CKE	DMC0 のクロック・イネーブル	Not Muxed	DMC0_CKE
DMC0_CK	DMC0 のクロック（補数）	Not Muxed	DMC0_CK
DMC0_CS0	DMC0 のチップ・セレクト 0	Not Muxed	DMC0_CS0
DMC0_DQ00	DMC0 のデータ 0	Not Muxed	DMC0_DQ00
DMC0_DQ01	DMC0 のデータ 1	Not Muxed	DMC0_DQ01
DMC0_DQ02	DMC0 のデータ 2	Not Muxed	DMC0_DQ02
DMC0_DQ03	DMC0 のデータ 3	Not Muxed	DMC0_DQ03
DMC0_DQ04	DMC0 のデータ 4	Not Muxed	DMC0_DQ04
DMC0_DQ05	DMC0 のデータ 5	Not Muxed	DMC0_DQ05
DMC0_DQ06	DMC0 のデータ 6	Not Muxed	DMC0_DQ06

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明（続き）

信号名	説明	ポート	ピン名
DMC0_DQ07	DMC0 のデータ 7	Not Muxed	DMC0_DQ07
DMC0_DQ08	DMC0 のデータ 8	Not Muxed	DMC0_DQ08
DMC0_DQ09	DMC0 のデータ 9	Not Muxed	DMC0_DQ09
DMC0_DQ10	DMC0 のデータ 10	Not Muxed	DMC0_DQ10
DMC0_DQ11	DMC0 のデータ 11	Not Muxed	DMC0_DQ11
DMC0_DQ12	DMC0 のデータ 12	Not Muxed	DMC0_DQ12
DMC0_DQ13	DMC0 のデータ 13	Not Muxed	DMC0_DQ13
DMC0_DQ14	DMC0 のデータ 14	Not Muxed	DMC0_DQ14
DMC0_DQ15	DMC0 のデータ 15	Not Muxed	DMC0_DQ15
DMC0_LDM	DMC0 の下位バイト用データ・マスク	Not Muxed	DMC0_LDM
DMC0_LDQS	DMC0 の下位バイト用データ・ストローブ	Not Muxed	DMC0_LDQS
$\overline{\text{DMC0\_LDQS}}$	DMC0 の下位バイト用データ・ストローブ（補数）	Not Muxed	$\overline{\text{DMC0\_LDQS}}$
DMC0_ODT	DMC0 のオン・ダイ終端	Not Muxed	DMC0_ODT
$\overline{\text{DMC0\_RAS}}$	DMC0 の行アドレス・ストローブ	Not Muxed	$\overline{\text{DMC0\_RAS}}$
DMC0_UDM	DMC0 の上位バイト用データ・マスク	Not Muxed	DMC0_UDM
DMC0_UDQS	DMC0 の上位バイト用データ・ストローブ	Not Muxed	DMC0_UDQS
$\overline{\text{DMC0\_UDQS}}$	DMC0 の上位バイト用データ・ストローブ（補数）	Not Muxed	$\overline{\text{DMC0\_UDQS}}$
DMC0_VREF	DMC0 の電圧リファレンス	Not Muxed	DMC0_VREF
$\overline{\text{DMC0\_WE}}$	DMC0 の書き込みイネーブル	Not Muxed	$\overline{\text{DMC0\_WE}}$
GND	グラウンド	Not Muxed	GND
GND_HADC	グラウンド HADC	Not Muxed	GND_HADC
HADC0_VIN0	HADC0 のチャンネル 0 でのアナログ入力	Not Muxed	HADC0_VIN0
HADC0_VIN1	HADC0 のチャンネル 1 でのアナログ入力	Not Muxed	HADC0_VIN1
HADC0_VIN2	HADC0 のチャンネル 2 でのアナログ入力	Not Muxed	HADC0_VIN2
HADC0_VIN3	HADC0 のチャンネル 3 でのアナログ入力	Not Muxed	HADC0_VIN3
HADC0_VREFN	HADC0 の ADC 用グラウンド・リファレンス	Not Muxed	HADC0_VREFN
HADC0_VREFP	HADC0 の ADC 用外部リファレンス	Not Muxed	HADC0_VREFP
JTG_SWCLK	TAPC0 のシリアル・ワイヤ・クロック	Not Muxed	JTG_TCK_SWCLK
JTG_SWDIO	TAPC0 のシリアル・ワイヤ DIO	Not Muxed	JTG_TMS_SWDIO
JTG_SWO	TAPC0 のシリアル・ワイヤ出力	Not Muxed	JTG_TDO_SWO
JTG_TCK	TAPC0 の JTAG クロック	Not Muxed	JTG_TCK_SWCLK
JTG_TDI	TAPC0 の JTAG シリアル・データ入力	Not Muxed	JTG_TDI
JTG_TDO	TAPC0 の JTAG シリアル・データ出力	Not Muxed	JTG_TDO_SWO
JTG_TMS	TAPC0 の JTAG モード選択	Not Muxed	JTG_TMS_SWDIO
$\overline{\text{JTG\_TRST}}$	TAPC0 の JTAG リセット	Not Muxed	$\overline{\text{JTG\_TRST}}$
MSI0_CD	MSI0 のカード検出	A	PA_08
MSI0_CLK	MSI0 のクロック	C	PC_09
MSI0_CMD	MSI0 のコマンド	C	PC_05
MSI0_D0	MSI0 のデータ 0	C	PC_08
MSI0_D1	MSI0 のデータ 1	C	PC_04
MSI0_D2	MSI0 のデータ 2	C	PC_07
MSI0_D3	MSI0 のデータ 3	C	PC_06
MSI0_D4	MSI0 のデータ 4	C	PC_10
MSI0_D5	MSI0 のデータ 5	C	PC_11
MSI0_D6	MSI0 のデータ 6	C	PC_12
MSI0_D7	MSI0 のデータ 7	C	PC_13

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明 (続き)

信号名	説明	ポート	ピン名
MSI0_INT	MSI0 の eSDIO 割込み入力	C	PC_14
PA_00-PA_15	位置 00~位置 15	A	PA_00-PA_15
PB_00-PB_15	位置 00~位置 15	B	PB_00-PB_15
PC_00-PC_14	位置 00~位置 14	C	PC_00-PC_14
PPI0_CLK	EPPI0 のクロック	A	PA_14
PPI0_D00	EPPI0 のデータ 0	B	PB_07
PPI0_D01	EPPI0 のデータ 1	B	PB_06
PPI0_D02	EPPI0 のデータ 2	B	PB_05
PPI0_D03	EPPI0 のデータ 3	B	PB_04
PPI0_D04	EPPI0 のデータ 4	B	PB_03
PPI0_D05	EPPI0 のデータ 5	B	PB_02
PPI0_D06	EPPI0 のデータ 6	B	PB_01
PPI0_D07	EPPI0 のデータ 7	B	PB_00
PPI0_D08	EPPI0 のデータ 8	A	PA_11
PPI0_D09	EPPI0 のデータ 9	A	PA_10
PPI0_D10	EPPI0 のデータ 10	A	PA_09
PPI0_D11	EPPI0 のデータ 11	A	PA_08
PPI0_D12	EPPI0 のデータ 12	C	PC_03
PPI0_D13	EPPI0 のデータ 13	C	PC_02
PPI0_D14	EPPI0 のデータ 14	C	PC_01
PPI0_D15	EPPI0 のデータ 15	C	PC_00
PPI0_D16	EPPI0 のデータ 16	B	PB_08
PPI0_D17	EPPI0 のデータ 17	B	PB_09
PPI0_FS1	EPPI0 のフレーム同期 1 (HSYNC)	A	PA_12
PPI0_FS2	EPPI0 のフレーム同期 2 (VSYNC)	A	PA_13
PPI0_FS3	EPPI0 のフレーム同期 3 (FIELD)	A	PA_15
RTC0_CLKIN	RTC0 の水晶振動子入力/外部発振器接続	Not Muxed	RTC0_CLKIN
RTC0_XTAL	RTC0 の水晶振動子出力	Not Muxed	RTC0_XTAL
SMC0_A01	SMC0 のアドレス 1	A	PA_08
SMC0_A02	SMC0 のアドレス 2	A	PA_09
SMC0_A03	SMC0 のアドレス 3	A	PA_10
SMC0_A04	SMC0 のアドレス 4	A	PA_11
SMC0_A05	SMC0 のアドレス 5	A	PA_07
SMC0_A06	SMC0 のアドレス 6	A	PA_06
SMC0_A07	SMC0 のアドレス 7	A	PA_05
SMC0_A08	SMC0 のアドレス 8	A	PA_04
SMC0_A09	SMC0 のアドレス 9	C	PC_01
SMC0_A10	SMC0 のアドレス 10	C	PC_02
SMC0_A11	SMC0 のアドレス 11	C	PC_03
SMC0_A12	SMC0 のアドレス 12	C	PC_04
SMC0_ABE0	SMC0 のバイト・イネーブル 0	A	PA_00
SMC0_ABE1	SMC0 のバイト・イネーブル 1	A	PA_01
SMC0_AMS0	SMC0 のメモリ・セレクト 0	A	PA_15
SMC0_AMS1	SMC0 のメモリ・セレクト 1	A	PA_02
SMC0_AOE	SMC0 の出カイネーブル	A	PA_12
SMC0_ARDY	SMC0 の非同期レディ	A	PA_03

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明（続き）

信号名	説明	ポート	ピン名
SMC0_ARE	SMC0 の読み出しイネーブル	A	PA_13
SMC0_AWE	SMC0 の書き込みイネーブル	A	PA_14
SMC0_D00	SMC0 のデータ 0	B	PB_07
SMC0_D01	SMC0 のデータ 1	B	PB_06
SMC0_D02	SMC0 のデータ 2	B	PB_05
SMC0_D03	SMC0 のデータ 3	B	PB_04
SMC0_D04	SMC0 のデータ 4	B	PB_03
SMC0_D05	SMC0 のデータ 5	B	PB_02
SMC0_D06	SMC0 のデータ 6	B	PB_01
SMC0_D07	SMC0 のデータ 7	B	PB_00
SMC0_D08	SMC0 のデータ 8	B	PB_08
SMC0_D09	SMC0 のデータ 9	B	PB_09
SMC0_D10	SMC0 のデータ 10	B	PB_10
SMC0_D11	SMC0 のデータ 11	B	PB_11
SMC0_D12	SMC0 のデータ 12	B	PB_12
SMC0_D13	SMC0 のデータ 13	B	PB_13
SMC0_D14	SMC0 のデータ 14	B	PB_14
SMC0_D15	SMC0 のデータ 15	B	PB_15
SPI0_CLK	SPI0 のクロック	B	PB_00
SPI0_CLK	SPI0 のクロック	C	PC_04
SPI0_D2	SPI0 のデータ 2	B	PB_03
SPI0_D2	SPI0 のデータ 2	C	PC_08
SPI0_D3	SPI0 のデータ 3	B	PB_07
SPI0_D3	SPI0 のデータ 3	C	PC_09
SPI0_MISO	SPI0 のマスタ・イン、スレーブ・アウト	B	PB_01
SPI0_MISO	SPI0 のマスタ・イン、スレーブ・アウト	C	PC_06
SPI0_MOSI	SPI0 のマスタ・アウト、スレーブ・イン	B	PB_02
SPI0_MOSI	SPI0 のマスタ・アウト、スレーブ・イン	C	PC_07
SPI0_RDY	SPI0 レディ	A	PA_06
SPI0_SEL1	SPI0 のスレーブ・セレクト出力 1	A	PA_05
SPI0_SEL2	SPI0 のスレーブ・セレクト出力 2	A	PA_06
SPI0_SEL3	SPI0 のスレーブ・セレクト出力 3	C	PC_11
SPI0_SEL4	SPI0 のスレーブ・セレクト出力 4	B	PB_04
SPI0_SEL5	SPI0 のスレーブ・セレクト出力 5	B	PB_05
SPI0_SEL6	SPI0 のスレーブ・セレクト出力 6	B	PB_06
SPI0_SS	SPI0 のスレーブ・セレクト入力	A	PA_05
SPI1_CLK	SPI1 のクロック	A	PA_00
SPI1_MISO	SPI1 のマスタ・イン、スレーブ・アウト	A	PA_01
SPI1_MOSI	SPI1 のマスタ・アウト、スレーブ・イン	A	PA_02
SPI1_RDY	SPI1 レディ	A	PA_03
SPI1_SEL1	SPI1 のスレーブ・セレクト出力 1	A	PA_04
SPI1_SEL2	SPI1 のスレーブ・セレクト出力 2	A	PA_03
SPI1_SEL3	SPI1 のスレーブ・セレクト出力 3	C	PC_10
SPI1_SEL4	SPI1 のスレーブ・セレクト出力 4	A	PA_14
SPI1_SS	SPI1 のスレーブ・セレクト入力	A	PA_04
SPI2_CLK	SPI2 のクロック	B	PB_10

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明 (続き)

信号名	説明	ポート	ピン名
SPI2_D2	SPI2 のデータ 2	B	PB_13
SPI2_D3	SPI2 のデータ 3	B	PB_14
SPI2_MISO	SPI2 のマスタ・イン、スレーブ・アウト	B	PB_11
SPI2_MOSI	SPI2 のマスタ・アウト、スレーブ・イン	B	PB_12
SPI2_RDY	SPI2 レディ	A	PA_04
SPI2_SEL1	SPI2 のスレーブ・セレクト出力 1	B	PB_15
SPI2_SEL2	SPI2 のスレーブ・セレクト出力 2	B	PB_08
SPI2_SEL3	SPI2 のスレーブ・セレクト出力 3	B	PB_09
SPI2_SS	SPI2 のスレーブ・セレクト入力	B	PB_15
SPT0_ACLK	SPORT0 チャンネル A のクロック	A	PA_13
SPT0_ACLK	SPORT0 チャンネル A のクロック	C	PC_09
SPT0_AD0	SPORT0 チャンネル A のデータ 0	A	PA_14
SPT0_AD0	SPORT0 チャンネル A のデータ 0	C	PC_08
SPT0_AD1	SPORT0 チャンネル A のデータ 1	C	PC_00
SPT0_AFS	SPORT0 チャンネル A のフレーム同期	A	PA_12
SPT0_AFS	SPORT0 チャンネル A のフレーム同期	C	PC_05
SPT0_ATDV	SPORT0 チャンネル A の送信データ有効	A	PA_15
SPT0_BCLK	SPORT0 チャンネル B のクロック	B	PB_04
SPT0_BCLK	SPORT0 チャンネル B のクロック	C	PC_04
SPT0_BD0	SPORT0 チャンネル B のデータ 0	B	PB_05
SPT0_BD0	SPORT0 チャンネル B のデータ 0	C	PC_06
SPT0_BD1	SPORT0 チャンネル B のデータ 1	B	PB_07
SPT0_BD1	SPORT0 チャンネル B のデータ 1	C	PC_01
SPT0_BFS	SPORT0 チャンネル B のフレーム同期	B	PB_06
SPT0_BFS	SPORT0 チャンネル B のフレーム同期	C	PC_07
SPT0_BTDTV	SPORT0 チャンネル B の送信データ有効	A	PA_15
SPT1_ACLK	SPORT1 チャンネル A のクロック	A	PA_08
SPT1_AD0	SPORT1 チャンネル A のデータ 0	A	PA_10
SPT1_AD1	SPORT1 チャンネル A のデータ 1	A	PA_11
SPT1_AFS	SPORT1 チャンネル A のフレーム同期	A	PA_09
SPT1_ATDV	SPORT1 チャンネル A の送信データ有効	A	PA_07
SPT1_BCLK	SPORT1 チャンネル B のクロック	B	PB_00
SPT1_BCLK	SPORT1 チャンネル B のクロック	C	PC_10
SPT1_BD0	SPORT1 チャンネル B のデータ 0	B	PB_02
SPT1_BD0	SPORT1 チャンネル B のデータ 0	C	PC_12
SPT1_BD1	SPORT1 チャンネル B のデータ 1	B	PB_03
SPT1_BD1	SPORT1 チャンネル B のデータ 1	C	PC_13
SPT1_BFS	SPORT1 チャンネル B のフレーム同期	B	PB_01
SPT1_BFS	SPORT1 チャンネル B のフレーム同期	C	PC_11
SPT1_BTDTV	SPORT1 チャンネル B の送信データ有効	A	PA_07
SPT1_BTDTV	SPORT1 チャンネル B の送信データ有効	C	PC_14
SYS_BMODE0	ブート・モード制御 0	Not Muxed	SYS_BMODE0
SYS_BMODE1	ブート・モード制御 1	Not Muxed	SYS_BMODE1
SYS_CLKIN	クロック/水晶振動子入力	Not Muxed	SYS_CLKIN
SYS_CLKOUT	プロセッサのクロック出力	Not Muxed	SYS_CLKOUT
SYS_EXTWAKE	外部ウェイク制御	Not Muxed	SYS_EXTWAKE

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明（続き）

信号名	説明	ポート	ピン名
<u>SYS_FAULT</u>	アクティフローのフォルト出力	Not Muxed	<u>SYS_FAULT</u>
<u>SYS_HWRST</u>	プロセッサのハードウェア・リセット制御	Not Muxed	<u>SYS_HWRST</u>
<u>SYS_NMI</u>	マスク不能割込み	Not Muxed	<u>SYS_NMI</u>
<u>SYS_RESOUT</u>	リセット出力	Not Muxed	<u>SYS_RESOUT</u>
SYS_WAKE0	省電力モード・ウェイクアップ 0	B	PB_07
SYS_WAKE1	省電力モード・ウェイクアップ 1	B	PB_08
SYS_WAKE2	省電力モード・ウェイクアップ 2	B	PB_12
SYS_WAKE3	省電力モード・ウェイクアップ 3	C	PC_02
SYS_WAKE4	省電力モード・ウェイクアップ 4	A	PA_12
SYS_XTAL	水晶振動子出力	Not Muxed	SYS_XTAL
TM0_ACIO	TIMER0 の代替キャプチャ入力 0	C	PC_03
TM0_AC11	TIMER0 の代替キャプチャ入力 1	B	PB_01
TM0_AC12	TIMER0 の代替キャプチャ入力 2	C	PC_07
TM0_AC13	TIMER0 の代替キャプチャ入力 3	B	PB_09
TM0_AC14	TIMER0 の代替キャプチャ入力 4	C	PC_01
TM0_AC15	TIMER0 の代替キャプチャ入力 5	C	PC_02
TM0_AC16	TIMER0 の代替キャプチャ入力 6	A	PA_12
TM0_ACLK0	TIMER0 の代替クロック 0	C	PC_04
TM0_ACLK1	TIMER0 の代替クロック 1	C	PC_10
TM0_ACLK2	TIMER0 の代替クロック 2	C	PC_09
TM0_ACLK3	TIMER0 の代替クロック 3	B	PB_00
TM0_ACLK4	TIMER0 の代替クロック 4	B	PB_10
TM0_ACLK5	TIMER0 の代替クロック 5	A	PA_14
TM0_ACLK6	TIMER0 の代替クロック 6	B	PB_04
TM0_CLK	TIMER0 のクロック	B	PB_06
TM0_TMR0	TIMER0 のタイマー 0	A	PA_05
TM0_TMR1	TIMER0 のタイマー 1	A	PA_06
TM0_TMR2	TIMER0 のタイマー 2	A	PA_07
TM0_TMR3	TIMER0 のタイマー 3	C	PC_05
TM0_TMR4	TIMER0 のタイマー 4	A	PA_09
TM0_TMR5	TIMER0 のタイマー 5	A	PA_10
TM0_TMR6	TIMER0 のタイマー 6	A	PA_11
TM0_TMR7	TIMER0 のタイマー 7	A	PA_04
TRACE0_CLK	TPIU0 のトレース・クロック	B	PB_10
TRACE0_D00	TPIU0 のトレース・データ 0	B	PB_15
TRACE0_D01	TPIU0 のトレース・データ 1	B	PB_14
TRACE0_D02	TPIU0 のトレース・データ 2	B	PB_13
TRACE0_D03	TPIU0 のトレース・データ 3	B	PB_12
TRACE0_D04	TPIU0 のトレース・データ 4	B	PB_11
TRACE0_D05	TPIU0 のトレース・データ 5	A	PA_02
TRACE0_D06	TPIU0 のトレース・データ 6	A	PA_01
TRACE0_D07	TPIU0 のトレース・データ 7	A	PA_00
TWI0_SCL	TWI0 のシリアル・クロック	Not Muxed	TWI0_SCL
TWI0_SDA	TWI0 のシリアル・データ	Not Muxed	TWI0_SDA
<u>UART0_CTS</u>	UART0 の送信許可	C	PC_03
<u>UART0_RTS</u>	UART0 の送信要求	C	PC_02

表 7. ADSP-BF70x 184 ボール CSP\_BGA の信号の説明（続き）

信号名	説明	ポート	ピン名
UART0_RX	UART0 の受信	B	PB_09
UART0_TX	UART0 の送信	B	PB_08
UART1_CTS	UART1 の送信許可	B	PB_14
UART1_RTS	UART1 の送信要求	B	PB_13
UART1_RX	UART1 の受信	C	PC_01
UART1_TX	UART1 の送信	C	PC_00
USB0_CLKIN	USB0 のクロック／水晶振動子入力	Not Muxed	USB0_CLKIN
USB0_DM	USB0 のデータ-	Not Muxed	USB0_DM
USB0_DP	USB0 のデータ+	Not Muxed	USB0_DP
USB0_ID	USB0 の OTG ID	Not Muxed	USB0_ID
USB0_VBC	USB0 の VBUS 制御	Not Muxed	USB0_VBC
USB0_VBUS	USB0 のバス電圧	Not Muxed	USB0_VBUS
USB0_XTAL	USB0 の水晶振動子	Not Muxed	USB0_XTAL
VDD_DMC	DMC 用 VDD	Not Muxed	VDD_DMC
VDD_EXT	外部 VDD	Not Muxed	VDD_EXT
VDD_HADC	HADC 用 VDD	Not Muxed	VDD_HADC
VDD_INT	内部 VDD	Not Muxed	VDD_INT
VDD_OTP	OTP 用 VDD	Not Muxed	VDD_OTP
VDD_RTC	RTC 用 VDD	Not Muxed	VDD_RTC
VDD_USB	USB 用 VDD	Not Muxed	VDD_USB

## 184 ボール CSP\_BGA 用 GPIO のマルチプレックス

表 8～表 10 に、184 ボール CSP\_BGA パッケージの汎用 I/O ピンにマルチプレックスされているピン機能を示します。

表 8. ポート A の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PA_00	SPI1_CLK		TRACE0_D07	SMC0_ABE0	
PA_01	SPI1_MISO		TRACE0_D06	SMC0_ABE1	
PA_02	SPI1_MOSI		TRACE0_D05	SMC0_AMS1	
PA_03	SPI1_SEL2	SPI1_RDY		SMC0_ARDY	
PA_04	SPI1_SEL1	TM0_TMR7	SPI2_RDY	SMC0_A08	SPI1_SS
PA_05	TM0_TMR0	SPI0_SEL1		SMC0_A07	SPI0_SS
PA_06	TM0_TMR1	SPI0_SEL2	SPI0_RDY	SMC0_A06	
PA_07	TM0_TMR2	SPT1_BTDV	SPT1_ATDV	SMC0_A05	CNT0_DG
PA_08	PPI0_D11	MSI0_CD	SPT1_ACLK	SMC0_A01	
PA_09	PPI0_D10	TM0_TMR4	SPT1_AFS	SMC0_A02	
PA_10	PPI0_D09	TM0_TMR5	SPT1_AD0	SMC0_A03	
PA_11	PPI0_D08	TM0_TMR6	SPT1_AD1	SMC0_A04	
PA_12	PPI0_FS1	CAN1_RX	SPT0_AFS	SMC0_AOE	TM0_AC16/SYS_WAKE4
PA_13	PPI0_FS2	CAN1_TX	SPT0_ACLK	SMC0_ARE	CNT0_ZM
PA_14	PPI0_CLK	SPI1_SEL4	SPT0_AD0	SMC0_AWE	TM0_ACLK5
PA_15	PPI0_FS3	SPT0_ATDV	SPT0_BTDV	SMC0_AMS0	CNT0_UD

表 9. ポート B の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PB_00	PPI0_D07	SPT1_BCLK	SPI0_CLK	SMC0_D07	TM0_ACLK3
PB_01	PPI0_D06	SPT1_BFS	SPI0_MISO	SMC0_D06	TM0_AC11
PB_02	PPI0_D05	SPT1_BD0	SPI0_MOSI	SMC0_D05	
PB_03	PPI0_D04	SPT1_BD1	SPI0_D2	SMC0_D04	
PB_04	PPI0_D03	SPT0_BCLK	SPI0_SEL4	SMC0_D03	TM0_ACLK6
PB_05	PPI0_D02	SPT0_BD0	SPI0_SEL5	SMC0_D02	
PB_06	PPI0_D01	SPT0_BFS	SPI0_SEL6	SMC0_D01	TM0_CLK
PB_07	PPI0_D00	SPT0_BD1	SPI0_D3	SMC0_D00	SYS_WAKE0
PB_08	UART0_TX	PPI0_D16	SPI2_SEL2	SMC0_D08	SYS_WAKE1
PB_09	UART0_RX	PPI0_D17	SPI2_SEL3	SMC0_D09	TM0_AC13
PB_10	SPI2_CLK		TRACE0_CLK	SMC0_D10	TM0_ACLK4
PB_11	SPI2_MISO		TRACE0_D04	SMC0_D11	
PB_12	SPI2_MOSI		TRACE0_D03	SMC0_D12	SYS_WAKE2
PB_13	SPI2_D2	UART1_RT5	TRACE0_D02	SMC0_D13	
PB_14	SPI2_D3	UART1_CTS	TRACE0_D01	SMC0_D14	
PB_15	SPI2_SEL1		TRACE0_D00	SMC0_D15	SPI2_SS

表 10. ポート C の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PC_00	UART1_TX	SPT0_AD1	PPIO_D15		
PC_01	UART1_RX	SPT0_BD1	PPIO_D14	SMC0_A09	TM0_AC14
PC_02	UART0_RTS	CAN0_RX	PPIO_D13	SMC0_A10	TM0_AC15/SYS_WAKE3
PC_03	UART0_CTS	CAN0_TX	PPIO_D12	SMC0_A11	TM0_AC10
PC_04	SPT0_BCLK	SPIO_CLK	MSIO_D1	SMC0_A12	TM0_ACLK0
PC_05	SPT0_AFS	TM0_TMR3	MSIO_CMD		
PC_06	SPT0_BD0	SPIO_MISO	MSIO_D3		
PC_07	SPT0_BFS	SPIO_MOSI	MSIO_D2		TM0_AC12
PC_08	SPT0_AD0	SPIO_D2	MSIO_D0		
PC_09	SPT0_ACLK	SPIO_D3	MSIO_CLK		TM0_ACLK2
PC_10	SPT1_BCLK	MSIO_D4	SPI1_SEL3		TM0_ACLK1
PC_11	SPT1_BFS	MSIO_D5	SPIO_SEL3		
PC_12	SPT1_BD0	MSIO_D6			
PC_13	SPT1_BD1	MSIO_D7			
PC_14	SPT1_BTDV	MSIO_INT			

## 12 mm × 12mm 88 ピン LFCSP (QFN) の信号の説明

プロセッサのピン定義を表 11 に示します。この表の各列には、以下の情報が示されています。

- 信号名：表の信号名の列には、すべてのピンの信号名とすべてのピンの GPIO マルチプレックス・ピン機能（該当の場合）が記載されています。
- 説明：表の説明の列には、信号の詳しい（説明的な）名前が示されています。

- 汎用ポート：表のポートの列では、その信号が汎用 I/O ポート・ピンで別の信号とマルチプレックスされるかどうかを示します。
- ピン名：表のピン名の列は、信号が配置される（単一機能ピンの場合）、あるいはマルチプレックスされる（汎用 I/O ピンの場合）、パッケージ・ピンの名前（パワーオン・リセット時）を特定します。

表 11. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) の信号の説明

信号名	説明	ポート	ピン名
CAN0_RX	CAN0 の受信	C	PC_02
CAN0_TX	CAN0 の送信	C	PC_03
CAN1_RX	CAN1 の受信	A	PA_12
CAN1_TX	CAN1 の送信	A	PA_13
CNT0_DG	CNT0 のカウント・ダウンおよびゲート	A	PA_07
CNT0_UD	CNT0 のカウント・アップおよび方向	A	PA_15
CNT0_ZM	CNT0 のカウント・ゼロ・マーカ	A	PA_13
GND	グラウンド	Not Muxed	GND
JTG_SWCLK	TAPC0 のシリアル・ワイヤ・クロック	Not Muxed	JTG_TCK_SWCLK
JTG_SWDIO	TAPC0 のシリアル・ワイヤ DIO	Not Muxed	JTG_TMS_SWDIO
JTG_SWO	TAPC0 のシリアル・ワイヤ出力	Not Muxed	JTG_TDO_SWO
JTG_TCK	TAPC0 の JTAG クロック	Not Muxed	JTG_TCK_SWCLK
JTG_TDI	TAPC0 の JTAG シリアル・データ入力	Not Muxed	JTG_TDI
JTG_TDO	TAPC0 の JTAG シリアル・データ出力	Not Muxed	JTG_TDO_SWO
JTG_TMS	TAPC0 の JTAG モード選択	Not Muxed	JTG_TMS_SWDIO
JTG_TRST	TAPC0 の JTAG リセット	Not Muxed	JTG_TRST
MSI0_CD	MSI0 のカード検出	A	PA_08
MSI0_CLK	MSI0 のクロック	C	PC_09
MSI0_CMD	MSI0 のコマンド	C	PC_05
MSI0_D0	MSI0 のデータ 0	C	PC_08
MSI0_D1	MSI0 のデータ 1	C	PC_04
MSI0_D2	MSI0 のデータ 2	C	PC_07
MSI0_D3	MSI0 のデータ 3	C	PC_06
MSI0_D4	MSI0 のデータ 4	C	PC_10
PA_00-PA_15	位置 00~位置 15	A	PA_00-PA_15
PB_00-PB_15	位置 00~位置 15	B	PB_00-PB_15
PC_00-PC_10	位置 00~位置 10	C	PC_00-PC_10
PPI0_CLK	EPPI0 のクロック	A	PA_14
PPI0_D00	EPPI0 のデータ 0	B	PB_07
PPI0_D01	EPPI0 のデータ 1	B	PB_06
PPI0_D02	EPPI0 のデータ 2	B	PB_05
PPI0_D03	EPPI0 のデータ 3	B	PB_04
PPI0_D04	EPPI0 のデータ 4	B	PB_03
PPI0_D05	EPPI0 のデータ 5	B	PB_02
PPI0_D06	EPPI0 のデータ 6	B	PB_01
PPI0_D07	EPPI0 のデータ 7	B	PB_00

表 11. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) の信号の説明 (続き)

信号名	説明	ポート	ピン名
PPI0_D08	EPPI0 のデータ 8	A	PA_11
PPI0_D09	EPPI0 のデータ 9	A	PA_10
PPI0_D10	EPPI0 のデータ 10	A	PA_09
PPI0_D11	EPPI0 のデータ 11	A	PA_08
PPI0_D12	EPPI0 のデータ 12	C	PC_03
PPI0_D13	EPPI0 のデータ 13	C	PC_02
PPI0_D14	EPPI0 のデータ 14	C	PC_01
PPI0_D15	EPPI0 のデータ 15	C	PC_00
PPI0_D16	EPPI0 のデータ 16	B	PB_08
PPI0_D17	EPPI0 のデータ 17	B	PB_09
PPI0_FS1	EPPI0 のフレーム同期 1 (HSYNC)	A	PA_12
PPI0_FS2	EPPI0 のフレーム同期 2 (VSYNC)	A	PA_13
PPI0_FS3	EPPI0 のフレーム同期 3 (FIELD)	A	PA_15
RTC0_CLKIN	RTC0 の水晶振動子入力 / 外部発振器接続	Not Muxed	RTC0_CLKIN
RTC0_XTAL	RTC0 の水晶振動子出力	Not Muxed	RTC0_XTAL
SMC0_A01	SMC0 のアドレス 1	A	PA_08
SMC0_A02	SMC0 のアドレス 2	A	PA_09
SMC0_A03	SMC0 のアドレス 3	A	PA_10
SMC0_A04	SMC0 のアドレス 4	A	PA_11
SMC0_A05	SMC0 のアドレス 5	A	PA_07
SMC0_A06	SMC0 のアドレス 6	A	PA_06
SMC0_A07	SMC0 のアドレス 7	A	PA_05
SMC0_A08	SMC0 のアドレス 8	A	PA_04
SMC0_A09	SMC0 のアドレス 9	C	PC_01
SMC0_A10	SMC0 のアドレス 10	C	PC_02
SMC0_A11	SMC0 のアドレス 11	C	PC_03
SMC0_A12	SMC0 のアドレス 12	C	PC_04
SMC0_ABE0	SMC0 のバイト・イネーブル 0	A	PA_00
SMC0_ABE1	SMC0 のバイト・イネーブル 1	A	PA_01
SMC0_AMS0	SMC0 のメモリ・セレクト 0	A	PA_15
SMC0_AMS1	SMC0 のメモリ・セレクト 1	A	PA_02
SMC0_AOE	SMC0 の出カイネーブル	A	PA_12
SMC0_ARDY	SMC0 の非同期レディ	A	PA_03
SMC0_ARE	SMC0 の読出しイネーブル	A	PA_13
SMC0_AWE	SMC0 の書込みイネーブル	A	PA_14
SMC0_D00	SMC0 のデータ 0	B	PB_07
SMC0_D01	SMC0 のデータ 1	B	PB_06
SMC0_D02	SMC0 のデータ 2	B	PB_05
SMC0_D03	SMC0 のデータ 3	B	PB_04
SMC0_D04	SMC0 のデータ 4	B	PB_03
SMC0_D05	SMC0 のデータ 5	B	PB_02
SMC0_D06	SMC0 のデータ 6	B	PB_01
SMC0_D07	SMC0 のデータ 7	B	PB_00
SMC0_D08	SMC0 のデータ 8	B	PB_08
SMC0_D09	SMC0 のデータ 9	B	PB_09
SMC0_D10	SMC0 のデータ 10	B	PB_10

表 11. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) の信号の説明 (続き)

信号名	説明	ポート	ピン名
SMC0_D11	SMC0 のデータ 11	B	PB_11
SMC0_D12	SMC0 のデータ 12	B	PB_12
SMC0_D13	SMC0 のデータ 13	B	PB_13
SMC0_D14	SMC0 のデータ 14	B	PB_14
SMC0_D15	SMC0 のデータ 15	B	PB_15
SPI0_CLK	SPI0 のクロック	B	PB_00
SPI0_CLK	SPI0 のクロック	C	PC_04
SPI0_D2	SPI0 のデータ 2	B	PB_03
SPI0_D2	SPI0 のデータ 2	C	PC_08
SPI0_D3	SPI0 のデータ 3	B	PB_07
SPI0_D3	SPI0 のデータ 3	C	PC_09
SPI0_MISO	SPI0 のマスタ・イン、スレーブ・アウト	B	PB_01
SPI0_MISO	SPI0 のマスタ・イン、スレーブ・アウト	C	PC_06
SPI0_MOSI	SPI0 のマスタ・アウト、スレーブ・イン	B	PB_02
SPI0_MOSI	SPI0 のマスタ・アウト、スレーブ・イン	C	PC_07
SPI0_RDY	SPI0 レディ	A	PA_06
<u>SPI0_SEL1</u>	SPI0 のスレーブ・セレクト出力 1	A	PA_05
<u>SPI0_SEL2</u>	SPI0 のスレーブ・セレクト出力 2	A	PA_06
<u>SPI0_SEL4</u>	SPI0 のスレーブ・セレクト出力 4	B	PB_04
<u>SPI0_SEL5</u>	SPI0 のスレーブ・セレクト出力 5	B	PB_05
<u>SPI0_SEL6</u>	SPI0 のスレーブ・セレクト出力 6	B	PB_06
SPI0_SS	SPI0 のスレーブ・セレクト入力	A	PA_05
SPI1_CLK	SPI1 のクロック	A	PA_00
SPI1_MISO	SPI1 のマスタ・イン、スレーブ・アウト	A	PA_01
SPI1_MOSI	SPI1 のマスタ・アウト、スレーブ・イン	A	PA_02
SPI1_RDY	SPI1 レディ	A	PA_03
<u>SPI1_SEL1</u>	SPI1 のスレーブ・セレクト出力 1	A	PA_04
<u>SPI1_SEL2</u>	SPI1 のスレーブ・セレクト出力 2	A	PA_03
<u>SPI1_SEL3</u>	SPI1 のスレーブ・セレクト出力 3	C	PC_10
<u>SPI1_SEL4</u>	SPI1 のスレーブ・セレクト出力 4	A	PA_14
<u>SPI1_SS</u>	SPI1 のスレーブ・セレクト入力	A	PA_04
SPI2_CLK	SPI2 のクロック	B	PB_10
SPI2_D2	SPI2 のデータ 2	B	PB_13
SPI2_D3	SPI2 のデータ 3	B	PB_14
SPI2_MISO	SPI2 のマスタ・イン、スレーブ・アウト	B	PB_11
SPI2_MOSI	SPI2 のマスタ・アウト、スレーブ・イン	B	PB_12
SPI2_RDY	SPI2 レディ	A	PA_04
<u>SPI2_SEL1</u>	SPI2 のスレーブ・セレクト出力 1	B	PB_15
<u>SPI2_SEL2</u>	SPI2 のスレーブ・セレクト出力 2	B	PB_08
<u>SPI2_SEL3</u>	SPI2 のスレーブ・セレクト出力 3	B	PB_09
SPI2_SS	SPI2 のスレーブ・セレクト入力	B	PB_15
SPT0_ACLK	SPORT0 チャンネル A のクロック	A	PA_13
SPT0_ACLK	SPORT0 チャンネル A のクロック	C	PC_09
SPT0_AD0	SPORT0 チャンネル A のデータ 0	A	PA_14
SPT0_AD0	SPORT0 チャンネル A のデータ 0	C	PC_08
SPT0_AD1	SPORT0 チャンネル A のデータ 1	C	PC_00

表 11. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) の信号の説明 (続き)

信号名	説明	ポート	ピン名
SPT0_AFS	SPORT0 チャンネル A のフレーム同期	A	PA_12
SPT0_AFS	SPORT0 チャンネル A のフレーム同期	C	PC_05
SPT0_ATDV	SPORT0 チャンネル A の送信データ有効	A	PA_15
SPT0_BCLK	SPORT0 チャンネル B のクロック	B	PB_04
SPT0_BCLK	SPORT0 チャンネル B のクロック	C	PC_04
SPT0_BD0	SPORT0 チャンネル B のデータ 0	B	PB_05
SPT0_BD0	SPORT0 チャンネル B のデータ 0	C	PC_06
SPT0_BD1	SPORT0 チャンネル B のデータ 1	B	PB_07
SPT0_BD1	SPORT0 チャンネル B のデータ 1	C	PC_01
SPT0_BFS	SPORT0 チャンネル B のフレーム同期	B	PB_06
SPT0_BFS	SPORT0 チャンネル B のフレーム同期	C	PC_07
SPT0_BTDV	SPORT0 チャンネル B の送信データ有効	A	PA_15
SPT1_ACLK	SPORT1 チャンネル A のクロック	A	PA_08
SPT1_AD0	SPORT1 チャンネル A のデータ 0	A	PA_10
SPT1_AD1	SPORT1 チャンネル A のデータ 1	A	PA_11
SPT1_AFS	SPORT1 チャンネル A のフレーム同期	A	PA_09
SPT1_ATDV	SPORT1 チャンネル A の送信データ有効	A	PA_07
SPT1_BCLK	SPORT1 チャンネル B のクロック	B	PB_00
SPT1_BCLK	SPORT1 チャンネル B のクロック	C	PC_10
SPT1_BD0	SPORT1 チャンネル B のデータ 0	B	PB_02
SPT1_BD1	SPORT1 チャンネル B のデータ 1	B	PB_03
SPT1_BFS	SPORT1 チャンネル B のフレーム同期	B	PB_01
SPT1_BTDV	SPORT1 チャンネル B の送信データ有効	A	PA_07
SYS_BMODE0	ブート・モード制御 0	Not Muxed	SYS_BMODE0
SYS_BMODE1	ブート・モード制御 1	Not Muxed	SYS_BMODE1
SYS_CLKIN	クロック/水晶振動子入力	Not Muxed	SYS_CLKIN
SYS_CLKOUT	プロセッサのクロック出力	Not Muxed	SYS_CLKOUT
SYS_EXTWAKE	外部ウェイク制御	Not Muxed	SYS_EXTWAKE
SYS_FAULT	アクティブローのフォルト出力	Not Muxed	SYS_FAULT
SYS_HWRST	プロセッサのハードウェア・リセット制御	Not Muxed	SYS_HWRST
SYS_NMI	マスク不能割込み	Not Muxed	SYS_NMI
SYS_RESOUT	リセット出力	Not Muxed	SYS_RESOUT
SYS_WAKE0	省電力モード・ウェイクアップ 0	B	PB_07
SYS_WAKE1	省電力モード・ウェイクアップ 1	B	PB_08
SYS_WAKE2	省電力モード・ウェイクアップ 2	B	PB_12
SYS_WAKE3	省電力モード・ウェイクアップ 3	C	PC_02
SYS_WAKE4	省電力モード・ウェイクアップ 4	A	PA_12
SYS_XTAL	水晶振動子出力	Not Muxed	SYS_XTAL
TM0_ACIO	TIMER0 の代替キャプチャ入力 0	C	PC_03
TM0_AC11	TIMER0 の代替キャプチャ入力 1	B	PB_01
TM0_AC12	TIMER0 の代替キャプチャ入力 2	C	PC_07
TM0_AC13	TIMER0 の代替キャプチャ入力 3	B	PB_09
TM0_AC14	TIMER0 の代替キャプチャ入力 4	C	PC_01
TM0_AC15	TIMER0 の代替キャプチャ入力 5	C	PC_02
TM0_AC16	TIMER0 の代替キャプチャ入力 6	A	PA_12
TM0_ACLK0	TIMER0 の代替クロック 0	C	PC_04

表 11. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) の信号の説明 (続き)

信号名	説明	ポート	ピン名
TM0_ACLK1	TIMER0 の代替クロック 1	C	PC_10
TM0_ACLK2	TIMER0 の代替クロック 2	C	PC_09
TM0_ACLK3	TIMER0 の代替クロック 3	B	PB_00
TM0_ACLK4	TIMER0 の代替クロック 4	B	PB_10
TM0_ACLK5	TIMER0 の代替クロック 5	A	PA_14
TM0_ACLK6	TIMER0 の代替クロック 6	B	PB_04
TM0_CLK	TIMER0 のクロック	B	PB_06
TM0_TMR0	TIMER0 のタイマー0	A	PA_05
TM0_TMR1	TIMER0 のタイマー1	A	PA_06
TM0_TMR2	TIMER0 のタイマー2	A	PA_07
TM0_TMR3	TIMER0 のタイマー3	C	PC_05
TM0_TMR4	TIMER0 のタイマー4	A	PA_09
TM0_TMR5	TIMER0 のタイマー5	A	PA_10
TM0_TMR6	TIMER0 のタイマー6	A	PA_11
TM0_TMR7	TIMER0 のタイマー7	A	PA_04
TRACE0_CLK	TPIU0 のトレース・クロック	B	PB_10
TRACE0_D00	TPIU0 のトレース・データ 0	B	PB_15
TRACE0_D01	TPIU0 のトレース・データ 1	B	PB_14
TRACE0_D02	TPIU0 のトレース・データ 2	B	PB_13
TRACE0_D03	TPIU0 のトレース・データ 3	B	PB_12
TRACE0_D04	TPIU0 のトレース・データ 4	B	PB_11
TRACE0_D05	TPIU0 のトレース・データ 5	A	PA_02
TRACE0_D06	TPIU0 のトレース・データ 6	A	PA_01
TRACE0_D07	TPIU0 のトレース・データ 7	A	PA_00
TWI0_SCL	TWI0 のシリアル・クロック	Not Muxed	TWI0_SCL
TWI0_SDA	TWI0 のシリアル・データ	Not Muxed	TWI0_SDA
UART0_CTS	UART0 の送信許可	C	PC_03
UART0_RTS	UART0 の送信要求	C	PC_02
UART0_RX	UART0 の受信	B	PB_09
UART0_TX	UART0 の送信	B	PB_08
UART1_CTS	UART1 の送信許可	B	PB_14
UART1_RTS	UART1 の送信要求	B	PB_13
UART1_RX	UART1 の受信	C	PC_01
UART1_TX	UART1 の送信	C	PC_00
USB0_CLKIN	USB0 のクロック/水晶振動子入力	Not Muxed	USB0_CLKIN
USB0_DM	USB0 のデータ-	Not Muxed	USB0_DM
USB0_DP	USB0 のデータ+	Not Muxed	USB0_DP
USB0_ID	USB0 の OTG ID	Not Muxed	USB0_ID
USB0_VBC	USB0 の VBUS 制御	Not Muxed	USB0_VBC
USB0_VBUS	USB0 のバス電圧	Not Muxed	USB0_VBUS
USB0_XTAL	USB0 の水晶振動子	Not Muxed	USB0_XTAL
VDD_EXT	外部 VDD	Not Muxed	VDD_EXT
VDD_INT	内部 VDD	Not Muxed	VDD_INT
VDD_OTP	OTP 用 VDD	Not Muxed	VDD_OTP
VDD_RTC	RTC 用 VDD	Not Muxed	VDD_RTC
VDD_USB	USB 用 VDD	Not Muxed	VDD_USB

## 12mm × 12mm 88 ピン LFCSP (QFN) 用 GPIO のマルチプレックス

表 12～表 14 に、12mm × 12mm 88 ボール CSP\_BGA パッケージの汎用 I/O ピンにマルチプレックスされているピン機能を示します。

表 12. ポート A の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PA_00	SPI1_CLK		TRACE0_D07	SMC0_ABE0	
PA_01	SPI1_MISO		TRACE0_D06	SMC0_ABE1	
PA_02	SPI1_MOSI		TRACE0_D05	SMC0_AMS1	
PA_03	SPI1_SEL2	SPI1_RDY		SMC0_ARDY	
PA_04	SPI1_SEL1	TM0_TMR7	SPI2_RDY	SMC0_A08	SPI1_SS
PA_05	TM0_TMR0	SPI0_SEL1		SMC0_A07	SPI0_SS
PA_06	TM0_TMR1	SPI0_SEL2	SPI0_RDY	SMC0_A06	
PA_07	TM0_TMR2	SPT1_BTDTV	SPT1_ATDV	SMC0_A05	CNT0_DG
PA_08	PPIO_D11	MSIO_CD	SPT1_ACLK	SMC0_A01	
PA_09	PPIO_D10	TM0_TMR4	SPT1_AFS	SMC0_A02	
PA_10	PPIO_D09	TM0_TMR5	SPT1_AD0	SMC0_A03	
PA_11	PPIO_D08	TM0_TMR6	SPT1_AD1	SMC0_A04	
PA_12	PPIO_FS1	CAN1_RX	SPT0_AFS	SMC0_AOE	TM0_AC16/SYS_WAKE4
PA_13	PPIO_FS2	CAN1_TX	SPT0_ACLK	SMC0_ARE	CNT0_ZM
PA_14	PPIO_CLK	SPI1_SEL4	SPT0_AD0	SMC0_AWE	TM0_ACLK5
PA_15	PPIO_FS3	SPT0_ATDV	SPT0_BTDTV	SMC0_AMS0	CNT0_UD

表 13. ポート B の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PB_00	PPIO_D07	SPT1_BCLK	SPI0_CLK	SMC0_D07	TM0_ACLK3
PB_01	PPIO_D06	SPT1_BFS	SPI0_MISO	SMC0_D06	TM0_AC11
PB_02	PPIO_D05	SPT1_BD0	SPI0_MOSI	SMC0_D05	
PB_03	PPIO_D04	SPT1_BD1	SPI0_D2	SMC0_D04	
PB_04	PPIO_D03	SPT0_BCLK	SPI0_SEL4	SMC0_D03	TM0_ACLK6
PB_05	PPIO_D02	SPT0_BD0	SPI0_SEL5	SMC0_D02	
PB_06	PPIO_D01	SPT0_BFS	SPI0_SEL6	SMC0_D01	TM0_CLK
PB_07	PPIO_D00	SPT0_BD1	SPI0_D3	SMC0_D00	SYS_WAKE0
PB_08	UART0_TX	PPIO_D16	SPI2_SEL2	SMC0_D08	SYS_WAKE1
PB_09	UART0_RX	PPIO_D17	SPI2_SEL3	SMC0_D09	TM0_AC13
PB_10	SPI2_CLK		TRACE0_CLK	SMC0_D10	TM0_ACLK4
PB_11	SPI2_MISO		TRACE0_D04	SMC0_D11	
PB_12	SPI2_MOSI		TRACE0_D03	SMC0_D12	SYS_WAKE2
PB_13	SPI2_D2	UART1_RTS	TRACE0_D02	SMC0_D13	
PB_14	SPI2_D3	UART1_CTS	TRACE0_D01	SMC0_D14	
PB_15	SPI2_SEL1		TRACE0_D00	SMC0_D15	SPI2_SS

表 14. ポート C の信号マルチプレックス

Signal Name	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3	Multiplexed Function Input Tap
PC_00	UART1_TX	SPT0_AD1	PPIO_D15		
PC_01	UART1_RX	SPT0_BD1	PPIO_D14	SMCO_A09	TM0_ACI4
PC_02	UART0_RTS	CAN0_RX	PPIO_D13	SMCO_A10	TM0_ACI5/SYS_WAKE3
PC_03	UART0_CTS	CAN0_TX	PPIO_D12	SMCO_A11	TM0_ACI0
PC_04	SPT0_BCLK	SPIO_CLK	MSIO_D1	SMCO_A12	TM0_ACLK0
PC_05	SPT0_AFS	TM0_TMR3	MSIO_CMD		
PC_06	SPT0_BD0	SPIO_MISO	MSIO_D3		
PC_07	SPT0_BFS	SPIO_MOSI	MSIO_D2		TM0_ACI2
PC_08	SPT0_AD0	SPIO_D2	MSIO_D0		
PC_09	SPT0_ACLK	SPIO_D3	MSIO_CLK		TM0_ACLK2
PC_10	SPT1_BCLK	MSIO_D4	SPI1_SEL3		TM0_ACLK1

## ADSP-BF70x の設計者向けクイック・リファレンス

表 15 に、回路基板設計に関連するピンのクイック・リファレンスの概要を示します。この表の各列には、以下の情報が示されています。

- 信号名：表の信号名の列には、すべてのピンの信号名とすべてのピンの GPIO マルチプレックス・ピン機能（該当の場合）が記載されています。
- ピン・タイプ：表のタイプの列では、ピンの I/O タイプまたは電源タイプが指定されています。この列で用いている略号は na（なし）、I/O（入力/出力）、a（アナログ）、s（電源）、g（グラウンド）です。
- ドライバ・タイプ：表のドライバ・タイプの列では、ピンで使用されるドライバのタイプが指定されています。ドライバ・タイプはこのデータシートの出力駆動電流のセクションで定義されています。
- 内部終端：表の内部終端の列では、プロセッサがリセット状態や休止状態ではない場合に存在する終端が指定されています。この列で用いられる略号は、wk（ウィーク・キープ、それ以前にピンで駆動された値を弱く保持）、pu（プルアップ）、pd（プルダウン）です。
- リセット終端：表のリセット終端の列では、プロセッサがリセット状態の場合に存在する終端が指定されています。この列で用いられる略号は、wk（ウィーク・キープ、それ以前にピンで駆動された値を弱く保持）、pu（プルアップ）、pd（プルダウン）です。
- リセット駆動：表のリセット駆動の列では、プロセッサがリセット状態にある場合の信号のアクティブな駆動が指定されます。
- 休止終端：表の休止終端の列では、プロセッサが休止状態の場合に存在する終端が指定されます。この列で用いられる略号は、wk（ウィーク・キープ、それ以前にピンで駆動された値を弱く保持）、pu（プルアップ）、pd（プルダウン）です。
- 休止駆動：表の休止駆動の列では、プロセッサが休止状態にある場合の信号のアクティブな駆動が指定されます。

- 電源ドメイン：表の電源ドメインの列では、信号が存在する電源ドメインが指定されています。
- 説明および注：表の説明および注の列では、信号の何らかの特別な条件または特性が示されています。特別な条件が記載されていない場合は、信号を使用しない限りその信号を無接続のままにできます。また、マルチプレックスされた汎用 I/O ピンでは、この列はピンで使用できる機能を示します。

いずれかの信号に外部プルアップまたはプルダウン抵抗が必要な場合、特に指定のない限り、100kΩ が使用できる最大値です。

ポート A、ポート B、ポート C（PA\_00~PC\_14）では、SYS\_HWRST がローの場合、これらのパッドはスリーステートである点に注意してください。SYS\_HWRST の開放後、コード実行の開始前では、これらのピンは内部でプルアップされます。その後、状態は入力イネーブルおよび出力イネーブルによって異なり、これらはソフトウェアで制御されます。

内部プルアップのソフトウェア制御は、PADS\_PCFG0 レジスタの以下の設定に従って機能します。PADS\_PCFG0 = 0 の場合：PA\_15:PA\_00、PB\_15:PB\_00、PC\_14:PC\_00 では、そのピンの入力イネーブルと出力イネーブルの両方がアサート解除されると、内部プルアップがイネーブルされます。PADS\_PCFG0 = 1 の場合：PA\_15:PA\_00、PB\_15:PB\_00、PC\_14:PC\_00 では、そのピンの出力イネーブルがアサート解除されている限り、内部プルアップがイネーブルされます。

この機構にはいくつかの例があります。

- その信号に対し MSI モードが選択されている場合、内部プルアップは常にディスエーブルされます。
- 出力イネーブルがアサート解除されると以下の信号が内部プルダウンをイネーブルします：SMC0\_AMS[1:0]、SMC0\_ARE、SMC0\_AWE、SMC0\_AOE、SMC0\_ARDY、SPI0\_SEL[6:1]、SPI1\_SEL[4:1]、SPI2\_SEL[3:1]。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
DMC0_A00	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 0 注：なし。
DMC0_A01	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 1 注：なし。
DMC0_A02	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 2 注：なし。
DMC0_A03	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 3 注：なし。
DMC0_A04	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 4 注：なし。
DMC0_A05	I/O	B	none	none	none	none	none	VDD_DMC	説明：DMC0 のアドレス 5 注：なし。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット 終端	リセット 駆動	休止終端	休止駆動	電源ドメイン	説明および注
DMC0_A06	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 6 注: なし。
DMC0_A07	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 7 注: なし。
DMC0_A08	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 8 注: なし。
DMC0_A09	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 9 注: なし。
DMC0_A10	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 10 注: なし。
DMC0_A11	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 11 注: なし。
DMC0_A12	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 12 注: なし。
DMC0_A13	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のアドレス 13 注: なし。
DMC0_BA0	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のバンク・アドレス入力 0 注: なし。
DMC0_BA1	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のバンク・アドレス入力 1 注: なし。
DMC0_BA2	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のバンク・アドレス入力 2 注: LPDDR の場合、無接続のままにします。
DMC0_CAS	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 の列アドレス・ストロブ 注: なし。
DMC0_CK	I/O	C	none	none	L	none	L	VDD_DMC	説明: DMC0 のクロック 注: なし。
DMC0_CK	I/O	C	none	none	L	none	L	VDD_DMC	説明: DMC0 のクロック (補数) 注: なし。
DMC0_CKE	I/O	B	none	none	L	none	L	VDD_DMC	説明: DMC0 のクロック・イネーブル 注: なし。
DMC0_CS0	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のチップ・セレクト 0 注: なし。
DMC0_DQ00	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 0 注: なし。
DMC0_DQ01	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 1 注: なし。
DMC0_DQ02	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 2 注: なし。
DMC0_DQ03	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 3 注: なし。
DMC0_DQ04	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 4 注: なし。
DMC0_DQ05	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 5 注: なし。
DMC0_DQ06	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 6 注: なし。
DMC0_DQ07	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 7 注: なし。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
DMC0_DQ08	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 8 注: なし。
DMC0_DQ09	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 9 注: なし。
DMC0_DQ10	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 10 注: なし。
DMC0_DQ11	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 11 注: なし。
DMC0_DQ12	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 12 注: なし。
DMC0_DQ13	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 13 注: なし。
DMC0_DQ14	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 14 注: なし。
DMC0_DQ15	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のデータ 15 注: なし。
DMC0_LDM	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 の下位バイト用データ・マスク 注: なし。
DMC0_LDQS	I/O	C	none	none	none	none	none	VDD_DMC	説明: DMC0 の下位バイト用データ・ストロープ 注: LPDDR の場合、ブルダウンが必要です。
DMC0_LDQS	I/O	C	none	none	none	none	none	VDD_DMC	説明: DMC0 の下位バイト用データ・ストロープ (補数) 注: シングルエンド DDR2 の場合、DMC0_VREF に接続します。LPDDR の場合、無接続のままにします。
DMC0_ODT	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 のオン・ダイ終端 注: LPDDR の場合、無接続のままにします。
DMC0_RAS	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 の行アドレス・ストロープ 注: なし。
DMC0_UDM	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 の上位バイト用データ・マスク 注: なし。
DMC0_UDQS	I/O	C	none	none	none	none	none	VDD_DMC	説明: DMC0 の上位バイト用データ・ストロープ 注: LPDDR の場合、ブルダウンが必要です。
DMC0_UDQS	I/O	C	none	none	none	none	none	VDD_DMC	説明: DMC0 の上位バイト用データ・ストロープ (補数) 注: シングルエンド DDR2 の場合、DMC0_VREF に接続します。LPDDR の場合、無接続のままにします。
DMC0_VREF	a	na	none	none	none	none	none	VDD_DMC	説明: DMC0 の電圧リファレンス 注: LPDDR の場合、無接続のままにします。DMC を使用しない場合は、グラウンドに接続します。
DMC0_WE	I/O	B	none	none	none	none	none	VDD_DMC	説明: DMC0 の書込みイネーブル 注: なし。
GND	g	na	none	none	none	none	none	Na	説明: グラウンド 注: なし。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
GND_HADC	g	na	none	none	none	none	none	Na	説明：グラウンド HADC 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VIN0	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 のチャンネル 0 でのアナログ入力 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VIN1	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 のチャンネル 1 でのアナログ入力 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VIN2	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 のチャンネル 2 でのアナログ入力 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VIN3	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 のチャンネル 3 でのアナログ入力 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VREFN	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 の ADC 用グラウンド・リファレンス 注：HADC を使用しない場合は、グラウンドに接続します。
HADC0_VREFP	a	na	none	none	none	none	none	VDD_HADC	説明：HADC0 の ADC 用外部リファレンス 注：HADC を使用しない場合は、グラウンドに接続します。
JTG_TCK_SWCLK	I/O	na	pd	none	none	none	none	VDD_EXT	説明：JTAG のクロック   シリアル・ワイヤのクロック 注：リセット時に機能します。
JTG_TDI	I/O	na	pu	none	none	none	none	VDD_EXT	説明：JTAG のシリアル・データ入力 注：リセット時に機能します。
JTG_TDO_SWO	I/O	A	none	none	none	none	none	VDD_EXT	説明：JTAG のシリアル・データ出力   シリアル・ワイヤの出力 注：リセット時に機能します。JTG_TRST がアサートされている場合はスリーステートになります。
JTG_TMS_SWDIO	I/O	A	pu	none	none	none	none	VDD_EXT	説明：JTAG のモード・セレクト   シリアル・ワイヤの DIO 注：リセット時に機能します。
JTG_TRST	I/O	na	pd	none	none	none	none	VDD_EXT	説明：JTAG リセット 注：リセット時に機能します。10kΩ の外部プルダウンを使用して、t <sub>VDDEXT_RST</sub> のタイミング条件を短くできます。
PA_00	I/O	A	none	none	none	none	none	VDD_EXT	説明：SPI1 のクロック   TRACE0 のトレース・データ 7   SMC0 のバイト・イネーブル 0 注：ほとんどの SPI フラッシュ・デバイスを制御する場合、SPI のクロックにプルダウンが必要です。
PA_01	I/O	A	none	none	none	none	none	VDD_EXT	説明：SPI1 のマスタ・イン、スレーブ・アウト   トレース 0 のトレース・データ 6   SMC0 のバイト・イネーブル 1 注：SPI マスタ・ブートを使用する場合、SPI_MISO 用にプルアップが必要です。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PA_02	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI1 のマスタ・アウト、スレーブ・イン   トレース 0 のトレース・データ 5   SMC0 のメモリ・セレクト 1 注: SMC のメモリ・セレクトとして使用する場合、プルアップが必要となる場合があります。接続する IC のデータシートの条件を確認してください。
PA_03	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI1 のスレーブ・セレクト出力 2   SPI1 レディ   SMC0 の非同期レディ 注: SMC の非同期レディとして使用する場合、プルアップかプルダウンが必要となる場合があります。接続する IC のデータシートの条件およびプログラムされた極性を確認してください。
PA_04	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI1 のスレーブ・セレクト出力 1   TM0 のタイマー 7   SPI2 レディ   SMC0 のアドレス 8   SPI1 のスレーブ・セレクト入力 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PA_05	I/O	A	none	none	none	none	none	VDD_EXT	説明: TM0 のタイマー 0   SPI0 のスレーブ・セレクト出力 1   SMC0 のアドレス 7   SPI0 のスレーブ・セレクト入力 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PA_06	I/O	A	none	none	none	none	none	VDD_EXT	説明: TM0 のタイマー 1   SPI0 のスレーブ・セレクト出力 2   SPI0 レディ   SMC0 のアドレス 6 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PA_07	I/O	A	none	none	none	none	none	VDD_EXT	説明: TM0 のタイマー 2   SPT1 のチャンネル B 送信データ有効   SPT1 のチャンネル A 送信データ有効   SMC0 のアドレス 5   CNT0 のカウンタ・ダウンおよびゲート 注: なし。
PA_08	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 11   MSIO のカード検出   SPT1 のチャンネル A のクロック   SMC0 のアドレス 1 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PA_09	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 10   TM0 のタイマー 4   SPT1 のチャンネル A のフレーム同期   SMC0 のアドレス 2 注: なし。
PA_10	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 9   TM0 のタイマー 5   SPT1 のチャンネル A のデータ 0   SMC0 のアドレス 3 注: なし。
PA_11	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 8   TM0 のタイマー 6   SPT1 のチャンネル A のデータ 1   SMC0 のアドレス 4 注: なし。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PA_12	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のフレーム同期 1 (HSYNC)   CAN1 の受信   SPORT0 のチャンネル A のフレーム同期   SMC0 の出力イネーブル   SYS 電源省電力モード・ウェイクアップ 4   TM0 の代替キャプチャ入力 6</p> <p>注: 休止モードを使用する場合、休止中に次のいずれかがあてはまる必要があります: このピンが別の IC によりアクティブに駆動される、もしくは、プルアップまたはプルダウンがある。</p>
PA_13	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のフレーム同期 2 (VSYNC)   CAN1 の送信   SPORT0 のチャンネル A のクロック   SMC0 の読出しイネーブル   CNT0 のカウント・ゼロ・マーカー</p> <p>注: なし。</p>
PA_14	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のクロック   SPI1 のスレーブ・セレクト出力 4   SPORT0 チャンネル A のデータ 0   SMC0 の書込みイネーブル   TM0 の代替クロック 5</p> <p>注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。</p>
PA_15	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のフレーム同期 3 (FIELD)   SPT0 のチャンネル A の送信データ有効   SPT0 のチャンネル B の送信データ有効   SMC0 のメモリ・セレクト 0   CNT0 のカウント・アップおよび方向</p> <p>注: SMC のメモリ・セレクトとして使用する場合、プルアップが必要となる場合があります。接続する IC のデータシートの条件を確認してください。</p>
PB_00	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のデータ 7   SPT1 のチャンネル B のクロック   SPI0 のクロック   SMC0 のデータ 7   TM0 の代替クロック 3</p> <p>注: ほとんどの SPI フラッシュ・デバイスを制御する場合、SPI のクロックにプルダウンが必要です。</p>
PB_01	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のデータ 6   SPT1 のチャンネル B のフレーム同期   SPI0 のマスタ・イン、スレーブ・アウト   SMC0 のデータ 6   TM0 の代替キャプチャ入力 1</p> <p>注: SPI マスタ・ブートを使用する場合、SPI_MISO 用にプルアップが必要です。</p>
PB_02	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のデータ 5   SPT1 のチャンネル B のデータ 0   SPI0 のマスタ・アウト、スレーブ・イン   SMC0 のデータ 5</p> <p>注: なし。</p>
PB_03	I/O	A	none	none	none	none	none	VDD_EXT	<p>説明: PPI0 のデータ 4   SPT1 のチャンネル B のデータ 1   SPI0 のデータ 2   SMC0 のデータ 4</p> <p>注: なし。</p>

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PB_04	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 3   SPT0 のチャンネル B のクロック   SPI0 のスレーブ・セレクト出力 4   SMC0 のデータ 3   TM0 の代替クロック 6 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PB_05	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 2   SPT0 のチャンネル B のデータ 0   SPI0 のスレーブ・セレクト出力 5   SMC0 のデータ 2 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PB_06	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 1   SPT0 のチャンネル B のフレーム同期   SPI0 のスレーブ・セレクト出力 6   SMC0 のデータ 1   TM0 のクロック 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PB_07	I/O	A	none	none	none	none	none	VDD_EXT	説明: PPI0 のデータ 0   SPT0 のチャンネル B のデータ 1   SPI0 のデータ 3   SMC0 のデータ 0   SYS の省電力モード・ウェイクアップ 0 注: 休止モードを使用する場合、休止中に次のいずれかがあてはまる必要があります: このピンが別の IC によりアクティブに駆動される、もしくは、プルアップまたはプルダウンがある。
PB_08	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART0 の送信   PPI0 のデータ 16   SPI2 のスレーブ・セレクト出力 2   SMC0 のデータ 8   SYS の省電力モード・ウェイクアップ 1 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。休止モードを使用する場合、休止中に次のいずれかがあてはまる必要があります: このピンが別の IC によりアクティブに駆動される、もしくは、プルアップまたはプルダウンがある。
PB_09	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART0 の受信   PPI0 のデータ 17   SPI2 のスレーブ・セレクト出力 3   SMC0 のデータ 9   TM0 の代替キャプチャ入力 3 注: SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PB_10	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2 のクロック   TRACE0 のトレース・クロック   SMC0 のデータ 10   TM0 の代替クロック 4 注: ほとんどの SPI フラッシュ・デバイスを制御する場合、SPI のクロックにプルダウンが必要です。
PB_11	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2 のマスタ・イン、スレーブ・アウト   TRACE0 のトレース・データ 4   SMC0 のデータ 11 注: SPI マスタ・ブートを使用する場合、SPI_MISO 用にプルアップが必要です。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PB_12	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2のマスター・アウト、スレーブ・イン   TRACE0のトレース・データ 3   SMC0のデータ 12   SYSの省電力モード・ウェイクアップ 2 注: 休止モードを使用する場合、休止中に次のいずれかがあてはまる必要があります: このピンが別のICによりアクティブに駆動される、もしくは、プルアップまたはプルダウンがある。
PB_13	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2のデータ 2   UART1の送信要求   TRACE0のトレース・データ 2   SMC0のデータ 13 注: なし。
PB_14	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2のデータ 3   UART1の送信許可   TRACE0のトレース・データ 1   SMC0のデータ 14 注: なし。
PB_15	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPI2のスレーブ・セレクト出力 1   TRACE0のトレース・データ 0   SMC0のデータ 15   SPI2のスレーブ・セレクト入力 注: SPIスレーブ・セレクト出力を使用する場合、プルアップが必要です。
PC_00	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART1の送信   SPT0のチャンネル A のデータ 1   PPI0のデータ 15 注: なし。
PC_01	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART1の受信   SPT0のチャンネル B のデータ 1   PPI0のデータ 14   SMC0のアドレス 9   TM0の代替キャプチャ入力 4 注: なし。
PC_02	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART0の送信要求   CAN0の受信   PPI0のデータ 13   SMC0のアドレス 10   SYSの省電力モード・ウェイクアップ 3   TM0の代替キャプチャ入力 5 注: 休止モードを使用する場合、休止中に次のいずれかがあてはまる必要があります: このピンが別のICによりアクティブに駆動される、もしくは、プルアップまたはプルダウンがある。
PC_03	I/O	A	none	none	none	none	none	VDD_EXT	説明: UART0の送信許可   CAN0の送信   PPI0のデータ 12   SMC0のアドレス 11   TM0の代替キャプチャ入力 0 注: なし。
PC_04	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0のチャンネル B のクロック   SPI0のクロック   MSIOのデータ 1   SMC0のアドレス 12   TM0の代替クロック 0 注: MSIモードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスのMSIの章を参照してください。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PC_05	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0 チャンネル A のフレーム同期   TM0 のタイマー 3   MSIO のコマンド 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PC_06	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0 チャンネル B のデータ 0   SPI0 のマスタ・イン、スレーブ・アウト   MSIO のデータ 3 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PC_07	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0 のチャンネル B のフレーム同期   SPI0 のマスタ・アウト、スレーブ・イン   MSIO のデータ 2   TM0 の代替キャプチャ入力 2 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PC_08	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0 のチャンネル A のデータ 0   SPI0 のデータ 2   MSIO のデータ 0 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PC_09	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT0 のチャンネル A のクロック   SPI0 のデータ 3   MSIO のクロック   TM0 の代替クロック 2 注: なし。
PC_10	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT1 のチャンネル B のクロック   MSIO のデータ 4   SPI1 のスレーブ・セレクト出力 3   TM0 の代替クロック 1 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PC_11	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT1 のチャンネル B のフレーム同期   MSIO のデータ 5   SPI0 のスレーブ・セレクト出力 3 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。SPI スレーブ・セレクト出力を使用する場合、プルアップが必要です。
PC_12	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT1 のチャンネル B のデータ 0   MSIO のデータ 6 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
PC_13	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT1 のチャンネル B のデータ 1   MSIO のデータ 7 注: MSI モードには外部プルアップが必要となる場合があります。詳細については、ハードウェア・リファレンスの MSI の章を参照してください。
PC_14	I/O	A	none	none	none	none	none	VDD_EXT	説明: SPT1 のチャンネル B の送信データ有効   MSIO の eSDIO 割込み入力 注: なし。
RTC0_CLKIN	a	na	none	none	none	none	none	VDD_RTC	説明: RTC0 の水晶振動子入力/外部発振器接続 注: RTC を使用しない場合は、グラウンドに接続します。
RTC0_XTAL	a	na	none	none	none	none	none	VDD_RTC	説明: RTC0 の水晶振動子出力 注: なし。
SYS_BMODE0	I/O	na	none	none	none	none	none	VDD_EXT	説明: SYS のブート・モード制御 0 注: 0 に設定するにはプルダウンが必要です。また、1 に設定するにはプルアップが必要です。
SYS_BMODE1	I/O	na	none	none	none	none	none	VDD_EXT	説明: SYS のブート・モード制御 1 注: 0 に設定するにはプルダウンが必要です。また、1 に設定するにはプルアップが必要です。
SYS_CLKIN	a	na	none	none	none	none	none	VDD_EXT	説明: SYS のクロック/水晶振動子入力 注: なし。
SYS_CLKOUT	I/O	A	none	none	L	none	none	VDD_EXT	説明: SYS のプロセッサ・クロック出力 注: リセット時、SYS_CLKOUT は SYS_CLKIN の周波数で出力されます。
SYS_EXTWAKE	I/O	A	none	none	H	none	L	VDD_EXT	説明: SYS の外部ウェイク制御 注: 休止時にはロー、リセットを含むそれ以外の場合はハイに駆動します。
SYS_FAULT	I/O	A	none	none	none	none	none	VDD_EXT	説明: SYS の補数フォルト出力 注: オープンドレイン。外付けのプルアップ抵抗が必要です。
SYS_HWRST	I/O	na	none	none	none	none	none	VDD_EXT	説明: SYS のプロセッサ・ハードウェア・リセット制御 注: リセット時にはアクティブ。外部駆動が必要です。
SYS_NMI	I/O	na	none	none	none	none	none	VDD_EXT	説明: SYS のマスク不能割込み 注: 外付けプルアップ抵抗が必要です。
SYS_RESOUT	I/O	A	none	none	L	none	none	VDD_EXT	説明: SYS のリセット出力 注: リセット時にはアクティブです。
SYS_XTAL	a	na	none	none	none	none	none	VDD_EXT	説明: SYS の水晶振動子出力 注: 発振器を使用して SYS_CLKIN を供給する場合は、無接続のままにします。リセット時にはアクティブです。休止時の状態は DPM_HIB_DIS で制御されます。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
TWI0_SCL	I/O	D	none	none	none	none	none	VDD_EXT	説明: TWI0 のシリアル・クロック 注: オープンドレイン。外付けのプルアップが必要です。適切な抵抗値については、I2C 仕様のバージョン 2.1 を参照してください。TWI を使用しない場合は、グラウンドに接続します。
TWI0_SDA	I/O	D	none	none	none	none	none	VDD_EXT	説明: TWI0 のシリアル・データ 注: オープンドレイン。外付けのプルアップが必要です。適切な抵抗値については、I2C 仕様のバージョン 2.1 を参照してください。TWI を使用しない場合は、グラウンドに接続します。
USB0_CLKIN	a	na	none	none	none	none	none	VDD_USB	説明: USB0 のクロック/水晶振動子入力 注: USB を使用しない場合は、グラウンドに接続します。リセット時にはアクティブです
USB0_DM	I/O	F	none	none	none	none	none	VDD_USB	説明: USB0 のデータ- 注: USB を使用しない場合、ローにプルダウンします。USB を使用する場合の休止の詳細については、HRM の USB の章を参照してください。
USB0_DP	I/O	F	none	none	none	none	none	VDD_USB	説明: USB0 のデータ+ 注: USB を使用しない場合、ローにプルダウンします。USB を使用する場合の休止の詳細については、HRM の USB の章を参照してください。
USB0_ID	I/O	na	none	none	none	none	none	VDD_USB	説明: USB0 の OTG ID 注: USB を使用しない場合は、グラウンドに接続します。USB を使用している時は、休止時に存在する内部プルアップはプログラマブルです。HRM の USB の章を参照してください。リセット時にはアクティブです。
USB0_VBC	I/O	E	none	none	none	none	none	VDD_USB	説明: USB0 の VBUS 制御 注: USB を使用しない場合は、ローにプルダウンします。
USB0_VBUS	I/O	G	none	none	none	none	none	VDD_USB	説明: USB0 のバス電圧 注: USB を使用しない場合は、グラウンドに接続します。
USB0_XTAL	a	na	none	none	none	none	none	VDD_USB	説明: USB0 の水晶振動子 注: なし。
VDD_DMC	s	na	none	none	none	none	none	Na	説明: DMC 用 VDD 注: DMC を使用しない場合は、VDD_INT に接続します。
VDD_EXT	s	na	none	none	none	none	none	Na	説明: 外部 VDD 注: 給電が必要です。
VDD_HADC	s	na	none	none	none	none	none	Na	説明: HADC 用 VDD 注: HADC を使用しない場合は、グラウンドに接続します。
VDD_INT	s	na	none	none	none	none	none	Na	説明: 内部 VDD 注: 給電が必要です。

表 15. ADSP-BF70x の設計者向けクイック・リファレンス (続き)

信号名	タイプ	ドライバ・タイプ	内部終端	リセット終端	リセット駆動	休止終端	休止駆動	電源ドメイン	説明および注
VDD_OTP	s	na	none	none	none	none	none	na	説明 : OTP 用 VDD 注 : 給電が必要です。
VDD_RTC	s	na	none	none	none	none	none	na	説明 : RTC 用 VDD 注 : RTC を使用しない場合は、グラウンドに接続します。
VDD_USB	s	na	none	none	none	none	none	na	説明 : USB 用 VDD 注 : USB を使用しない場合は、VDD_EXT に接続します。

## 仕様

製品の仕様については、アナログ・デバイゼスの担当者にご連絡ください。

## 動作条件

Parameter	Conditions	Min	Nominal	Max	Unit	
V <sub>DD_INT</sub>	Internal Supply Voltage	CCLK ≤ 400 MHz	1.045	1.100	1.155	V
V <sub>DD_EXT</sub> <sup>1</sup>	External Supply Voltage		1.7	1.8	1.9	V
V <sub>DD_EXT</sub> <sup>1</sup>	External Supply Voltage		3.13	3.30	3.47	V
V <sub>DD_DMC</sub>	DDR2/LPDDR Supply Voltage		1.7	1.8	1.9	V
V <sub>DD_USB</sub> <sup>2</sup>	USB Supply Voltage		3.13	3.30	3.47	V
V <sub>DD_RTC</sub>	Real-Time Clock Supply Voltage		2.00	3.30	3.47	V
V <sub>DD_HADC</sub>	HADC Supply Voltage		3.13	3.30	3.47	V
V <sub>DD_OTP</sub> <sup>1</sup>	OTP Supply Voltage					
	For Reads		2.25	3.30	3.47	V
	For Writes		3.13	3.30	3.47	V
V <sub>DDR_VREF</sub>	DDR2 Reference Voltage Applies to the DMC0_VREF pin.		0.49 × V <sub>DD_DMC</sub>	0.50 × V <sub>DD_DMC</sub>	0.51 × V <sub>DD_DMC</sub>	V
V <sub>HADC_REF</sub> <sup>3</sup>	HADC Reference Voltage		2.5	3.30	V <sub>DD_HADC</sub>	V
V <sub>HADC0_VINx</sub>	HADC Input Voltage		0		V <sub>HADC_REF</sub> + 0.2	V
V <sub>IH</sub> <sup>4</sup>	High Level Input Voltage	V <sub>DD_EXT</sub> = 3.47 V	2.0			V
V <sub>IH</sub> <sup>4</sup>	High Level Input Voltage	V <sub>DD_EXT</sub> = 1.9 V	0.7 × V <sub>DD_EXT</sub>			V
V <sub>IHTWI</sub> <sup>5,6</sup>	High Level Input Voltage	V <sub>DD_EXT</sub> = maximum	0.7 × V <sub>BUSTWI</sub>		V <sub>BUSTWI</sub>	V
V <sub>IH_DDR2</sub> <sup>7</sup>	High Level Input Voltage	V <sub>DD_DMC</sub> = 1.9 V	V <sub>DDR_VREF</sub> + 0.25			V
V <sub>IH_LPDDR</sub> <sup>8</sup>	High Level Input Voltage	V <sub>DD_DMC</sub> = 1.9 V	0.8 × V <sub>DD_DMC</sub>			V
V <sub>ID_DDR2</sub> <sup>9</sup>	Differential Input Voltage	V <sub>Ix</sub> = 1.075 V	0.50			V
V <sub>ID_DDR2</sub> <sup>9</sup>	Differential Input Voltage	V <sub>Ix</sub> = 0.725 V	0.55			V
V <sub>IL</sub> <sup>4</sup>	Low Level Input Voltage	V <sub>DD_EXT</sub> = 3.13 V		0.8		V
V <sub>IL</sub> <sup>4</sup>	Low Level Input Voltage	V <sub>DD_EXT</sub> = 1.7 V		0.3 × V <sub>DD_EXT</sub>		V
V <sub>ILTWI</sub> <sup>5,6</sup>	Low Level Input Voltage	V <sub>DD_EXT</sub> = minimum		0.3 × V <sub>BUSTWI</sub>		V
V <sub>IL_DDR2</sub> <sup>7</sup>	Low Level Input Voltage	V <sub>DD_DMC</sub> = 1.7 V		V <sub>DDR_VREF</sub> - 0.25		V
V <sub>IL_LPDDR</sub> <sup>8</sup>	Low Level Input Voltage	V <sub>DD_DMC</sub> = 1.7 V		0.2 × V <sub>DD_DMC</sub>		V
T <sub>J</sub>	Junction Temperature	T <sub>AMBIENT</sub> = 0°C to +70°C	0	105		°C
T <sub>J</sub>	Junction Temperature	T <sub>AMBIENT</sub> = -40°C to +85°C	-40	+105		°C
AUTOMOTIVE USE ONLY						
T <sub>J</sub>	Junction Temperature (Automotive Grade)	T <sub>AMBIENT</sub> = -40°C to +105°C	-40	+125 <sup>10</sup>		°C

<sup>1</sup> 関連する機能を使用しない場合でも、給電したままにする必要があります。

<sup>2</sup> 使用しない場合、1.8V または 3.3V に接続します。

<sup>3</sup> V<sub>HADC\_VREF</sub> は常に V<sub>DD\_HADC</sub> 未満であることが必要です。

<sup>4</sup> パラメータ値は、RTC 信号、TWI 信号、DMC0 信号、USB0 信号を除き、すべての入力信号および双方向信号に適用されます。

<sup>5</sup> パラメータは TWI 信号に適用されます。

<sup>6</sup> WI 信号は、V<sub>BUSTWI</sub> にプルアップされます。表 16 を参照してください。

<sup>7</sup> パラメータは DDR2 モードの DMC0 信号に適用されます。

<sup>8</sup> パラメータは LPDDR モードの DMC0 信号に適用されます。

<sup>9</sup> DDR2 作動入力モードで使用する場合、パラメータは DMC0\_LDQS 信号、DMC0\_LDQS 信号、DMC0\_UDQS 信号、DMC0\_UDQS 信号に適用されます。

<sup>10</sup> オートモーティブ・アプリケーション用プロファイルのみ。非オートモーティブ・アプリケーションではサポートされていません。詳細については、アナログ・デバイゼスにお問い合わせください。

表 16. TWI0VSEL<sup>1</sup>の設定と V<sub>DD\_EXT</sub>/V<sub>BUSTWI</sub>

TWI0VSEL	V <sub>DD_EXT</sub> Nominal	V <sub>BUSTWI</sub> Min	V <sub>BUSTWI</sub> Nominal	V <sub>BUSTWI</sub> Max	Unit
TWI000 <sup>2</sup>	3.30	3.13	3.30	3.47	V
TWI001	1.80	1.70	1.80	1.90	V
TWI011	1.80	3.13	3.30	3.47	V
TWI100	3.30	4.75	5.00	5.25	V

<sup>1</sup> TWI0VSEL は、PADS\_PCFG0 レジスタの TWI 電圧選択フィールドです。ハードウェア・リファレンス・マニュアルを参照してください。

<sup>2</sup> リセット時に適切な JTAG バウンダリ・スキャン動作を実現するには、設計が、デフォルトの TWI0VSEL 設定用に仕様規定された V<sub>DD\_EXT</sub> と V<sub>BUSTWI</sub> 電圧に従う必要があります。

## クロック関連の動作条件

表 17 および表 18 に、コア・クロック、システム・クロック、ペリフェラル・クロックのタイミング条件を示します。表に示したデータは、特に指定のない限り、すべての速度グレード（オーダー・ガイドを参照）に適用されます。図 6 に、各種クロックと使用可能な分周比を図示します。

表 17. コアおよびシステムのクロック動作条件

Parameter	Ratio Restriction	PLLCLK Restriction	Min	Max	Unit
f <sub>CCLK</sub> Core Clock Frequency	f <sub>CCLK</sub> ≥ f <sub>SYCLK</sub>	PLLCLK = 800		400	MHz
f <sub>CCLK</sub> Core Clock Frequency	f <sub>CCLK</sub> ≥ f <sub>SYCLK</sub>	600 ≤ PLLCLK < 800		390	MHz
f <sub>CCLK</sub> Core Clock Frequency	f <sub>CCLK</sub> ≥ f <sub>SYCLK</sub>	380 ≤ PLLCLK < 600		380	MHz
f <sub>CCLK</sub> Core Clock Frequency	f <sub>CCLK</sub> ≥ f <sub>SYCLK</sub>	230.2 ≤ PLLCLK < 380		PLLCLK	MHz
f <sub>SYCLK</sub> SYCLK Frequency <sup>1</sup>		PLLCLK = 800	60	200	MHz
f <sub>SYCLK</sub> SYCLK Frequency <sup>1</sup>		600 ≤ PLLCLK < 800	60	195	MHz
f <sub>SYCLK</sub> SYCLK Frequency <sup>1</sup>		380 ≤ PLLCLK < 600	60	190	MHz
f <sub>SYCLK</sub> SYCLK Frequency <sup>1</sup>		230.2 ≤ PLLCLK < 380	60	PLLCLK ÷ 2	MHz
f <sub>SCLK0</sub> SCLK0 Frequency <sup>1</sup>	f <sub>SYCLK</sub> ≥ f <sub>SCLK0</sub>		30	100	MHz
f <sub>SCLK1</sub> SCLK1 Frequency	f <sub>SYCLK</sub> ≥ f <sub>SCLK1</sub>			200	MHz
f <sub>DCLK</sub> DDR2 Clock Frequency	f <sub>SYCLK</sub> ≥ f <sub>DCLK</sub>		125	200	MHz
f <sub>DCLK</sub> LPDDR Clock Frequency	f <sub>SYCLK</sub> ≥ f <sub>DCLK</sub>		10	200	MHz

<sup>1</sup> SYCLK と SCLK0 の最低周波数は USB 使用時のみ適用されます。

表 18. ペリフェラル・クロックの動作条件

Parameter	Restriction	Min	Typ	Max	Unit
$f_{OCLK}$	Output Clock Frequency			50	MHz
$f_{SYS\_CLKOUTJ}$	SYS_CLKOUT Period Jitter <sup>1, 2</sup>		±2		%
$f_{PCLKPROG}$	Programmed PPI Clock When Transmitting Data and Frame Sync			50	MHz
$f_{PCLKPROG}$	Programmed PPI Clock When Receiving Data or Frame Sync			50	MHz
$f_{PCLKEXT}$	External PPI Clock When Receiving Data and Frame Sync <sup>3, 4</sup>	$f_{PCLKEXT} \leq f_{SCLK0}$		50	MHz
$f_{PCLKEXT}$	External PPI Clock Transmitting Data or Frame Sync <sup>3, 4</sup>	$f_{PCLKEXT} \leq f_{SCLK0}$		50	MHz
$f_{SPTCLKPROG}$	Programmed SPT Clock When Transmitting Data and Frame Sync			50	MHz
$f_{SPTCLKPROG}$	Programmed SPT Clock When Receiving Data or Frame Sync			50	MHz
$f_{SPTCLKEXT}$	External SPT Clock When Receiving Data and Frame Sync <sup>3, 4</sup>	$f_{SPTCLKEXT} \leq f_{SCLK0}$		50	MHz
$f_{SPTCLKEXT}$	External SPT Clock Transmitting Data or Frame Sync <sup>3, 4</sup>	$f_{SPTCLKEXT} \leq f_{SCLK0}$		50	MHz
$f_{SPICKPROG}$	Programmed SPI Clock When Transmitting Data			50	MHz
$f_{SPICKPROG}$	Programmed SPI Clock When Receiving Data			50	MHz
$f_{SPICKEXT}$	External SPI Clock When Receiving Data <sup>3, 4</sup>	$f_{SPICKEXT} \leq f_{SCLK0}$		50	MHz
$f_{SPICKEXT}$	External SPI Clock When Transmitting Data <sup>3, 4</sup>	$f_{SPICKEXT} \leq f_{SCLK0}$		50	MHz
$f_{MSICKPROG}$	Programmed MSI Clock			50	MHz

<sup>1</sup> SYS\_CLKOUT のジッタは、ピンのスイッチング動作、基板レイアウト、SYS\_CLKIN 源のジッタ特性など、アプリケーション・システム的设计によって異なります。測定されるジッタはこうした要因に依存するため、エンド・アプリケーションごとに、この代表的な仕様より大きくなることも小さくなることもあります。

<sup>2</sup> 代表値のフィールドに示す値は、SYS\_CLKOUT 周期のパーセンテージです。

<sup>3</sup> 外部クロック・モードのペリフェラルに対し実現可能な最大周波数は、そのペリフェラルの AC タイミング仕様のセクションにあるセットアップ時間およびホールド時間を満たす能力によって異なります。VDD\_EXT = 1.8V の場合のセットアップ時間とホールド時間には特に注意してください。これらはここに記載した最大周波数を阻む可能性があります。

<sup>4</sup> ペリフェラルの外部クロック周波数は、ペリフェラルをクロックする  $f_{SCLK}$  以下であることも必要です。

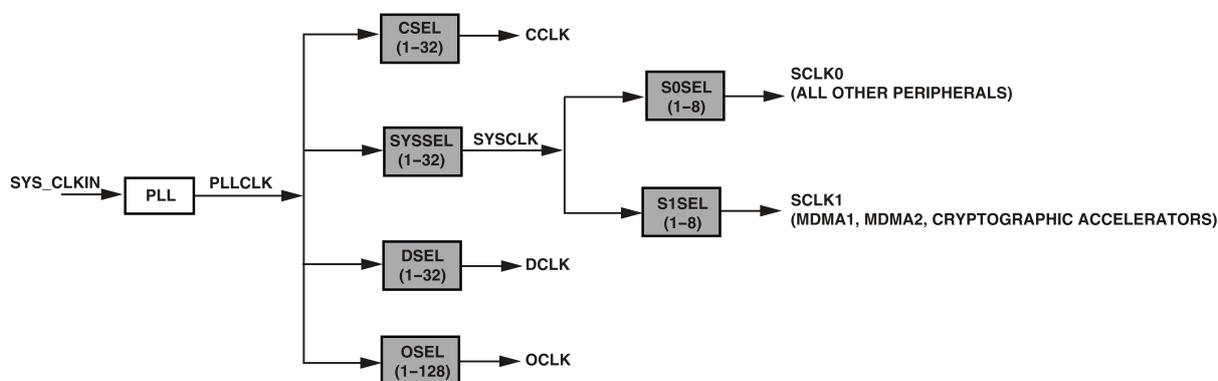


図 6. クロックの関係と分周比

表 19. フェーズ・ロック・ループの動作条件

Parameter		Min	Max	Unit
$f_{PLLCLK}$	PLL Clock Frequency	230.2	800	MHz
CGU_CTL.MSEL <sup>1</sup>	PLL Multiplier	8	41	

<sup>1</sup> CGU\_CTL.MSEL 設定も、 $f_{PLLCLK}$  仕様に違反しないように選択する必要があります。

## 電気的特性

Parameter	Conditions	Min	Typ	Max	Unit
$V_{OH}^1$	High Level Output Voltage	$V_{DD\_EXT} = 1.7\text{ V}, I_{OH} = -1.0\text{ mA}$	$0.8 \times V_{DD\_EXT}$		V
$V_{OH}^1$	High Level Output Voltage	$V_{DD\_EXT} = 3.13\text{ V}, I_{OH} = -2.0\text{ mA}$	$0.9 \times V_{DD\_EXT}$		V
$V_{OH\_DDR2}^2$	High Level Output Voltage, DDR2, Programmed Impedance = 34 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OH} = -7.1\text{ mA}$	$V_{DD\_DMC} - 0.320$		V
$V_{OH\_DDR2}^2$	High Level Output Voltage, DDR2, Programmed Impedance = 40 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OH} = -5.8\text{ mA}$	$V_{DD\_DMC} - 0.320$		V
$V_{OH\_DDR2}^2$	High Level Output Voltage, DDR2, Programmed Impedance = 50 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OH} = -4.1\text{ mA}$	$V_{DD\_DMC} - 0.320$		V
$V_{OH\_DDR2}^2$	High Level Output Voltage, DDR2, Programmed Impedance = 60 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OH} = -3.4\text{ mA}$	$V_{DD\_DMC} - 0.320$		V
$V_{OH\_LPDDR}^2$	High Level Output Voltage, LPDDR	$V_{DD\_DMC} = 1.70\text{ V}, I_{OH} = -2.0\text{ mA}$	$V_{DD\_DMC} - 0.320$		V
$V_{OL}^3$	Low Level Output Voltage	$V_{DD\_EXT} = 1.7\text{ V}, I_{OL} = 1.0\text{ mA}$		0.400	V
$V_{OL}^3$	Low Level Output Voltage	$V_{DD\_EXT} = 3.13\text{ V}, I_{OL} = 2.0\text{ mA}$		0.400	V
$V_{OL\_DDR2}^2$	Low Level Output Voltage, DDR2, Programmed Impedance = 34 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OL} = 7.1\text{ mA}$		0.320	V
$V_{OL\_DDR2}^2$	Low Level Output Voltage, DDR2, Programmed Impedance = 40 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OL} = 5.8\text{ mA}$		0.320	V
$V_{OL\_DDR2}^2$	Low Level Output Voltage, DDR2, Programmed Impedance = 50 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OL} = 4.1\text{ mA}$		0.320	V
$V_{OL\_DDR2}^2$	Low Level Output Voltage, DDR2, Programmed Impedance = 60 $\Omega$	$V_{DD\_DMC} = 1.70\text{ V}, I_{OL} = 3.4\text{ mA}$		0.320	V
$V_{OL\_LPDDR}^2$	Low Level Output Voltage, LPDDR	$V_{DD\_DMC} = 1.70\text{ V}, I_{OL} = 2.0\text{ mA}$		0.320	V
$I_{IH}^4$	High Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		10	$\mu\text{A}$
$I_{IH\_DMCO\_VREF}^5$	High Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		1	$\mu\text{A}$
$I_{IH\_PD}^6$	High Level Input Current with Pull-down Resistor	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		100	$\mu\text{A}$
$R_{PD}^6$	Internal Pull-down Resistance	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$	57	130	k $\Omega$
$I_{IL}^7$	Low Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$		10	$\mu\text{A}$
$I_{IL\_DMCO\_VREF}^5$	Low Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$		1	$\mu\text{A}$
$I_{IL\_PU}^8$	Low Level Input Current with Pull-up Resistor	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$		100	$\mu\text{A}$
$R_{PU}^8$	Internal Pull-up Resistance	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$	53	129	k $\Omega$
$I_{IH\_USB0}^9$	High Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		10	$\mu\text{A}$
$I_{IL\_USB0}^9$	Low Level Input Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$		10	$\mu\text{A}$
$I_{OZH}^{10}$	Three-State Leakage Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		10	$\mu\text{A}$
$I_{OZH}^{11}$	Three-State Leakage Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 1.9\text{ V}$		10	$\mu\text{A}$
$I_{OZL}^{12}$	Three-State Leakage Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 0\text{ V}$		10	$\mu\text{A}$
$I_{OZH\_PD}^{13}$	Three-State Leakage Current	$V_{DD\_EXT} = 3.47\text{ V}, V_{DD\_DMC} = 1.9\text{ V}, V_{DD\_USB} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$		100	$\mu\text{A}$

Parameter	Conditions	Min	Typ	Max	Unit
$I_{OZH\_TWI}^{14}$ Three-State Leakage Current	$V_{DD\_EXT} = 3.47\text{ V}$ , $V_{DD\_DMC} = 1.9\text{ V}$ , $V_{DD\_USB} = 3.47\text{ V}$ , $V_{IN} = 5.5\text{ V}$			10	$\mu\text{A}$
ADSP-BF701/703/705/707 Input Capacitance					
$C_{IN}(\text{GPIO})^{15}$ Input Capacitance	$T_{AMBIENT} = 25^\circ\text{C}$		5.2	6.0	pF
$C_{IN\_TWI}^{14}$ Input Capacitance	$T_{AMBIENT} = 25^\circ\text{C}$		6.9	7.4	pF
$C_{IN\_DDR}^{16}$ Input Capacitance	$T_{AMBIENT} = 25^\circ\text{C}$		6.1	6.9	pF
ADSP-BF700/702/704/706 Input Capacitance					
$C_{IN}(\text{GPIO})^{15}$ Input Capacitance	$T_{AMBIENT} = 25^\circ\text{C}$		5.0	5.3	pF
$C_{IN\_TWI}^{14}$ Input Capacitance	$T_{AMBIENT} = 25^\circ\text{C}$		6.8	7.4	pF
$I_{DD\_DEEPSLEEP}^{17,18}$ $V_{DD\_INT}$ Current in Deep Sleep Mode	Clocks disabled $T_J = 25^\circ\text{C}$		1.4		mA
$I_{DD\_IDLE}^{18}$ $V_{DD\_INT}$ Current in Idle	$f_{PLLCLK} = 300\text{ MHz}$ $f_{CCLK} = 100\text{ MHz}$ ASF = 0.05 (idle) $f_{SYSCLK} = f_{SCLK0} = 25\text{ MHz}$ USBCLK = DCLK = OUTCLK = SCLK1 = DISABLED Peripherals disabled $T_J = 25^\circ\text{C}$		13		mA
$I_{DD\_TYP}^{18}$ $V_{DD\_INT}$ Current	$f_{PLLCLK} = 800\text{ MHz}$ $f_{CCLK} = 400\text{ MHz}$ ASF = 1.0 (full-on typical) $f_{SYSCLK} = f_{SCLK0} = 25\text{ MHz}$ USBCLK = DCLK = OUTCLK = SCLK1 = DISABLED Peripherals disabled $T_J = 25^\circ\text{C}$		90		mA
$I_{DD\_TYP}^{18}$ $V_{DD\_INT}$ Current	$f_{PLLCLK} = 300\text{ MHz}$ $f_{CCLK} = 300\text{ MHz}$ ASF = 1.0 (full-on typical) $f_{SYSCLK} = f_{SCLK0} = 25\text{ MHz}$ USBCLK = DCLK = OUTCLK = SCLK1 = DISABLED Peripherals disabled $T_J = 25^\circ\text{C}$		66		mA
$I_{DD\_TYP}^{18}$ $V_{DD\_INT}$ Current	$f_{PLLCLK} = 400\text{ MHz}$ $f_{CCLK} = 200\text{ MHz}$ ASF = 1.0 (full-on typical) $f_{SYSCLK} = f_{SCLK0} = 25\text{ MHz}$ USBCLK = DCLK = OUTCLK = SCLK1 = DISABLED Peripherals disabled $T_J = 25^\circ\text{C}$		49		mA
$I_{DD\_TYP}^{18}$ $V_{DD\_INT}$ Current	$f_{PLLCLK} = 300\text{ MHz}$ $f_{CCLK} = 100\text{ MHz}$ ASF = 1.0 (full-on typical) $f_{SYSCLK} = f_{SCLK0} = 25\text{ MHz}$ USBCLK = DCLK = OUTCLK = SCLK1 = DISABLED Peripherals disabled $T_J = 25^\circ\text{C}$		30		mA

Parameter	Conditions	Min	Typ	Max	Unit
$I_{DD\_HIBERNATE}^{17,19}$ Hibernate State Current	$V_{DD\_INT} = 0\text{ V}$ , $V_{DD\_DMC} = 1.8\text{ V}$ , $V_{DD\_EXT} = V_{DD\_HADC} = V_{DD\_OTP} =$ $V_{DD\_RTC} = V_{DD\_USB} = 3.3\text{ V}$ , $T_J = 25^\circ\text{C}$ , $f_{CLKIN} = 0$		33		$\mu\text{A}$
$I_{DD\_HIBERNATE}^{17,19}$ Hibernate State Current Without USB	$V_{DD\_INT} = 0\text{ V}$ , $V_{DD\_DMC} = 1.8\text{ V}$ , $V_{DD\_EXT} = V_{DD\_HADC} = V_{DD\_OTP} =$ $V_{DD\_RTC} = V_{DD\_USB} = 3.3\text{ V}$ , $T_J = 25^\circ\text{C}$ , $f_{CLKIN} = 0$ , USB protection disabled ( $USB\_PHY\_CTLDIS = 1$ )		15		$\mu\text{A}$
$I_{DD\_INT}^{18}$ $V_{DD\_INT}$ Current	$V_{DD\_INT}$ within operating conditions table specifications			See $I_{DDINT\_TOT}$ equation on Page 55	$\text{mA}$
$I_{DD\_RTC}$ $I_{DD\_RTC}$ Current	$V_{DD\_RTC} = 3.3\text{ V}$ , $T_J = 125^\circ\text{C}$			10	$\mu\text{A}$

<sup>1</sup> DMC0 信号、TWI 信号、USB0 信号を除き、すべての出力信号および双方向信号に適用されます。

<sup>2</sup>  $\overline{DMC0\_Axx}$ 、 $\overline{DMC0\_CAS}$ 、 $\overline{DMC0\_CKE}$ 、 $\overline{DMC0\_CK}$ 、 $\overline{DMC0\_CS}$ 、 $\overline{DMC0\_DQxx}$ 、 $\overline{DMC0\_LDM}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_ODT}$ 、 $\overline{DMC0\_RAS}$ 、 $\overline{DMC0\_UDM}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_WE}$  の各信号に適用されます。

<sup>3</sup> DMC0 信号および USB0 信号を除き、すべての出力信号および双方向信号に適用されます。

<sup>4</sup>  $\overline{SMC0\_ARDY}$ 、 $\overline{SYS\_BMODEx}$ 、 $\overline{SYS\_CLKIN}$ 、 $\overline{SYS\_HWRST}$ 、 $\overline{JTG\_TDI}$ 、 $\overline{JTG\_TMS\_SWDIO}$  の各信号に適用されます。

<sup>5</sup>  $\overline{DMC0\_VREF}$  信号に適用されます。

<sup>6</sup>  $\overline{JTG\_TCK\_SWCLK}$  信号および  $\overline{JTG\_TRST}$  信号に適用されます。

<sup>7</sup>  $\overline{SMC0\_ARDY}$ 、 $\overline{SYS\_BMODEx}$ 、 $\overline{SYS\_CLKIN}$ 、 $\overline{SYS\_HWRST}$ 、 $\overline{JTG\_TCK}$ 、 $\overline{JTG\_TRST}$  の各信号に適用されます。

<sup>8</sup> 内部 GPIO ブルアップがイネーブルされている場合、 $\overline{JTG\_TDI}$ 、 $\overline{JTG\_TMS\_SWDIO}$ 、 $\overline{PA\_xx}$ 、 $\overline{PB\_xx}$ 、 $\overline{PC\_xx}$  の各信号に適用されます。GPIO の内部ブルアップがイネーブルされるタイミングについての詳細は、[ADSP-BF70x の設計者向けクイック・リファレンス](#)を参照してください。

<sup>9</sup>  $\overline{USB0\_CLKIN}$  信号に適用されます。

<sup>10</sup>  $\overline{PA\_xx}$ 、 $\overline{PB\_xx}$ 、 $\overline{PC\_xx}$ 、 $\overline{SMC0\_AMS0}$ 、 $\overline{SMC0\_ARE}$ 、 $\overline{SMC0\_AWE}$ 、 $\overline{SMC0\_A0E}$ 、 $\overline{SMC0\_Axx}$ 、 $\overline{SMC0\_Dxx}$ 、 $\overline{SYS\_FAULT}$ 、 $\overline{JTG\_TDO\_SWO}$ 、 $\overline{USB0\_DM}$ 、 $\overline{USB0\_DP}$ 、 $\overline{USB0\_ID}$ 、 $\overline{USB0\_VBC}$  の各信号に適用されます。

<sup>11</sup>  $\overline{DMC0\_Axx}$ 、 $\overline{DMC0\_BAxx}$ 、 $\overline{DMC0\_CAS}$ 、 $\overline{DMC0\_CS0}$ 、 $\overline{DMC0\_DQxx}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_LDM}$ 、 $\overline{DMC0\_UDM}$ 、 $\overline{DMC0\_ODT}$ 、 $\overline{DMC0\_RAS}$ 、 $\overline{DMC0\_WE}$  の各信号に適用されます。

<sup>12</sup>  $\overline{PA\_xx}$ 、 $\overline{PB\_xx}$ 、 $\overline{PC\_xx}$ 、 $\overline{SMC0\_A0E}$ 、 $\overline{SMC0\_Axx}$ 、 $\overline{SMC0\_Dxx}$ 、 $\overline{SYS\_FAULT}$ 、 $\overline{JTG\_TDO\_SWO}$ 、 $\overline{USB0\_DM}$ 、 $\overline{USB0\_DP}$ 、 $\overline{USB0\_ID}$ 、 $\overline{USB0\_VBC}$ 、 $\overline{USB0\_VBUS}$ 、 $\overline{DMC0\_Axx}$ 、 $\overline{DMC0\_BAx}$ 、 $\overline{DMC0\_CAS}$ 、 $\overline{DMC0\_CS0}$ 、 $\overline{DMC0\_DQxx}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_LDQS}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_UDQS}$ 、 $\overline{DMC0\_LDM}$ 、 $\overline{DMC0\_UDM}$ 、 $\overline{DMC0\_ODT}$ 、 $\overline{DMC0\_RAS}$ 、 $\overline{DMC0\_WE}$ 、TWI の各信号に適用されます。

<sup>13</sup>  $\overline{USB0\_VBUS}$  信号に適用されます。

<sup>14</sup> すべての TWI 信号に適用されます。

<sup>15</sup> DMC0 信号および TWI 信号を除くすべての信号に適用されます。

<sup>16</sup> すべての DMC0 信号に適用されます。

<sup>17</sup> ディープ・スリープ・モードおよび休止モードについての詳細は、[ADSP-BF70x Blackfin+ Processor Hardware Reference](#)を参照してください。

<sup>18</sup> その他の情報は[合計内部消費電力](#)のセクションを参照してください。

<sup>19</sup>  $\overline{VDD\_EXT}$ 、 $\overline{VDD\_DMC}$ 、 $\overline{VDD\_USB}$  の各電源信号にのみ適用されます。クロック入力ハイまたはローに結合されます。

## 合計内部消費電力

合計消費電力は次の2つの成分からなります。

- リーク電流を含む静的成分 (ディープ・スリープ)
- クロック・ドメインごとのトランジスタのスイッチング特性による動的成分

消費電力は、温度、電圧、動作周波数、プロセッサの動作などを含む様々な動作条件にも影響されます。内部消費電流は次式によって表されます。

$$I_{DDINT\_TOT} = I_{DDINT\_DEEPSLEEP} + I_{DDINT\_CCLK\_DYN} + I_{DDINT\_PLLCLK\_DYN} + I_{DDINT\_SYSCLK\_DYN} + I_{DDINT\_SCLK0\_DYN} + I_{DDINT\_SCLK1\_DYN} + I_{DDINT\_DCLK\_DYN} + I_{DDINT\_DMA\_DR\_DYN} + I_{DDINT\_USBCLK\_DYN}$$

$I_{DDINT\_DEEPSLEEP}$  は、静的な消費電力成分の部分となる唯一の項です。 $I_{DDINT\_DEEPSLEEP}$  は、電圧 ( $V_{DD\_INT}$ ) と温度 (表 21 参照) の関数として指定されます。

動的消費電力に寄与する項は 8 つあります。これらの成分は、アプリケーション依存電流、クロック電流、データ伝送電流の3つに大別できます。

### アプリケーション依存電流

アプリケーション依存電流は、コア・クロック・ドメインの動的電流を含みます。

コア・クロック (CCLK) は、プロセッサ・コアおよび L1/L2 メモリで実行されるアプリケーション・コードを表す動作スケーリング・ファクタ (ASF) の影響を受けます (表 22)。ASF を表 23 に示す CCLK 周波数および  $V_{DD\_INT}$  依存のデータと組み合わせ、この部分の計算を行います。

$$I_{DDINT\_CCLK\_DYN} (\text{mA}) = \text{Table 23} \times \text{ASF}$$

### クロック電流

動的クロック電流は、クロック経路内のすべてのトランジスタ・スイッチングによって消費される合計電力です。各クロック・ドメインの消費電力は、電圧 ( $V_{DD\_INT}$ )、動作周波数、固有のスケーリング・ファクタに依存します。

$$I_{DDINT\_PLLCLK\_DYN} (\text{mA}) = 0.012 \times f_{PLLCLK} (\text{MHz}) \times V_{DD\_INT} (\text{V})$$

$$I_{DDINT\_SYSCLK\_DYN} (\text{mA}) = 0.120 \times f_{SYSCLK} (\text{MHz}) \times V_{DD\_INT} (\text{V})$$

$$I_{DDINT\_SCLK0\_DYN} (\text{mA}) = 0.110 \times f_{SCLK0} (\text{MHz}) \times V_{DD\_INT} (\text{V})$$

$$I_{DDINT\_SCLK1\_DYN} (\text{mA}) = 0.068 \times f_{SCLK1} (\text{MHz}) \times V_{DD\_INT} (\text{V})$$

$$I_{DDINT\_DCLK\_DYN} (\text{mA}) = 0.055 \times f_{DCLK} (\text{MHz}) \times V_{DD\_INT} (\text{V})$$

USB クロックの動的成分は特異な例です。USB クロックは、これを用いる場合はば一定の電流値に寄与します。

表 20.  $I_{DDINT\_USBCLK\_DYN}$  電流

Is USB Enabled?	$I_{DDINT\_USBCLK\_DYN}$ (mA)
Yes – High-Speed Mode	13.94
Yes – Full-Speed Mode	10.83
Yes – Suspend Mode	5.2
No	0.34

### データ伝送電流

データ伝送電流は、データの伝送時に消費される電力です。この電流はデータ・レートによって表されます。計算は、DMA によるペリフェラル、L1 メモリ、L2 メモリ、外部メモリへの各アクセスのデータ・レート (MB/s) を合算することで実行できます。更に、この数値に重み付けデータ・レート係数および  $V_{DD\_INT}$  を乗じます。

$$I_{DDINT\_DMADR\_DYN} (\text{mA}) = \text{Weighted DRC} \times \text{Total Data Rate} (\text{MB/s}) \times V_{DD\_INT} (\text{V})$$

重み付けデータ・レート係数を使用するのは、転送元や転送先に依存する様々な係数が存在するためです。この式を用いて重み付け DRC を計算する方法についての詳細は、関連する [Engineer Zone](#) の資料を参照してください。手早く最大値を計算するには、重み付け DRC を 0.0497 と仮定します。これは L1 から L1 への転送の係数です。

表 21. 静的電流 $I_{DD\_DEEPSLEEP}$  (mA)

$T_J$ (°C)	Voltage ( $V_{DD\_INT}$ )												
	1.045	1.050	1.060	1.070	1.080	1.090	1.100	1.110	1.120	1.130	1.140	1.150	1.155
-40	0.6	0.6	0.7	0.7	0.7	0.8	0.8	0.8	0.9	0.9	0.9	1.0	1.0
-20	1.1	1.1	1.2	1.2	1.2	1.3	1.4	1.4	1.5	1.5	1.6	1.7	1.7
0	2.0	2.0	2.1	2.2	2.3	2.4	2.5	2.5	2.6	2.7	2.8	3.0	3.0
25	4.3	4.3	4.5	4.7	4.8	5.0	5.2	5.3	5.5	5.7	5.9	6.1	6.2
40	6.7	6.8	7.0	7.3	7.5	7.8	8.0	8.3	8.6	8.8	9.1	9.4	9.6
55	10.3	10.5	10.8	11.2	11.5	11.9	12.3	12.6	13.0	13.4	13.9	14.3	14.5
70	15.7	15.9	16.4	16.8	17.4	17.9	18.4	18.9	19.5	20.1	20.7	21.3	21.6
85	23.3	23.6	24.3	25.0	25.7	26.4	27.2	27.9	28.7	29.5	30.4	31.2	31.7
100	34.2	34.6	35.5	36.5	37.5	38.5	39.5	40.6	41.7	42.8	43.9	45.1	45.7
105	38.7	39.2	40.2	41.3	42.4	43.5	44.6	45.8	47.0	48.2	49.5	50.8	51.5
115	48.9	49.5	50.7	52.0	53.4	54.7	56.0	57.5	59.0	60.5	62.0	63.6	64.4
125	61.5	62.1	63.6	65.1	66.7	68.3	69.9	71.7	73.4	75.2	77.0	79.0	79.9

表 22. 動作スケーリング・ファクタ (ASF)

$I_{DDINT}$ Power Vector	ASF
$I_{DD-IDLE1}$	0.05
$I_{DD-IDLE2}$	0.05
$I_{DD-NOP1}$	0.56
$I_{DD-NOP2}$	0.59
$I_{DD-APP3}$	0.78
$I_{DD-APP1}$	0.79
$I_{DD-APP2}$	0.83
$I_{DD-TYP1}$	1.00
$I_{DD-TYP3}$	1.01
$I_{DD-TYP2}$	1.03
$I_{DD-HIGH1}$	1.39
$I_{DD-HIGH3}$	1.39
$I_{DD-HIGH2}$	1.54

表 23. コアあたりの CCLK 動的電流 (mA、ASF = 1 の場合)

$f_{CCLK}$ (MHz)	Voltage ( $V_{DD\_INT}$ )												
	1.045	1.050	1.060	1.070	1.080	1.090	1.100	1.110	1.120	1.130	1.140	1.150	1.155
400	66.7	67.2	67.9	68.7	69.4	70.2	71.1	71.8	72.6	73.4	74.2	74.9	75.4
350	58.6	59.0	59.6	60.3	61.0	61.7	62.4	63.0	63.7	64.4	65.1	65.8	66.1
300	50.2	50.5	51.1	51.7	52.3	52.9	53.5	54.1	54.7	55.3	55.9	56.4	56.8
250	42.1	42.3	42.8	43.3	43.8	44.3	44.7	45.3	45.8	46.3	46.8	47.4	47.6
200	33.7	33.9	34.3	34.7	35.1	35.5	35.9	36.3	36.7	37.1	37.5	37.9	38.0
150	25.4	25.5	25.8	26.1	26.4	26.7	27.0	27.3	27.6	27.9	28.2	28.5	28.8
100	17.0	17.1	17.3	17.5	17.7	17.9	18.1	18.3	18.5	18.6	18.8	19.0	19.1

## HADC

## HADC の電気的特性

表 24. HADC の電気的特性

Parameter	Conditions	Typ	Unit
$I_{DD\_HADC\_IDLE}$	Current Consumption on $V_{DD\_HADC}$ . HADC is powered on, but not converting.	2.0	mA
$I_{DD\_HADC\_ACTIVE}$	Current Consumption on $V_{DD\_HADC}$ during a conversion.	2.5	mA
$I_{DD\_HADC\_POWERDOWN}$	Current Consumption on $V_{DD\_HADC}$ . Analog circuitry of the HADC is powered down	10	$\mu$ A

## HADC の DC 精度

表 25. HADC の DC 精度<sup>1</sup>

Parameter	Typ	Unit <sup>2</sup>
Resolution	12	Bits
No Missing Codes (NMC)	10	Bits
Integral Nonlinearity (INL)	$\pm 2$	LSB
Differential Nonlinearity (DNL)	$\pm 2$	LSB
Offset Error	$\pm 8$	LSB
Offset Error Matching	$\pm 10$	LSB
Gain Error	$\pm 4$	LSB
Gain Error Matching	$\pm 4$	LSB

<sup>1</sup> HADC0\_VINx の仕様については、動作条件のセクションを参照してください。

<sup>2</sup> LSB = HADC0\_VREFP = 4096

## HADC のタイミング仕様

表 26. HADC のタイミング仕様

Parameter	Typ	Max	Unit
Conversion Time	$20 \times T_{SAMPLE}$		$\mu$ s
Throughput Range		1	MSPS
$T_{WAKEUP}$		100	$\mu$ s

## 絶対最大定格

表 27 に記載されている絶対最大定格またはそれを超えるストレスを加えると、デバイスに恒久的な損傷を与える場合があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 27. 絶対最大定格

Parameter	Rating
Internal Supply Voltage ( $V_{DD\_INT}$ )	-0.33 V to +1.26 V
External (I/O) Supply Voltage ( $V_{DD\_EXT}$ )	-0.33 V to +3.60 V
DDR2/LPDDR Controller Supply Voltage ( $V_{DD\_DMC}$ )	-0.33 V to +1.90 V
USB PHY Supply Voltage ( $V_{DD\_USB}$ )	-0.33 V to +3.60 V
Real-Time Clock Supply Voltage ( $V_{DD\_RTC}$ )	-0.33 V to +3.60 V
One-Time Programmable Memory Supply Voltage ( $V_{DD\_OTP}$ )	-0.33 V to +3.60 V
HADC Supply Voltage ( $V_{DD\_HADC}$ )	-0.33 V to +3.60 V
HADC Reference Voltage ( $V_{HADC\_REF}$ )	-0.33 V to +3.60 V
DDR2 Reference Voltage ( $V_{DDR\_VREF}$ )	-0.33 V to +1.90 V
Input Voltage <sup>1,2,3</sup>	-0.33 V to +3.63 V
Input Voltage <sup>1,2,4</sup>	-0.33 V to +2.10 V
TWI Input Voltage <sup>2,5</sup>	-0.33 V to +5.50 V
USB0_Dx Input Voltage <sup>2,6</sup>	-0.33 V to +5.25 V
USB0_VBUS Input Voltage <sup>2,6</sup>	-0.33 V to +6.00 V
DDR2/LPDDR Input Voltage <sup>2</sup>	-0.33 V to +2.10 V
Output Voltage Swing	-0.33 V to $V_{DD\_EXT} + 0.5$ V
Analog Input Voltage <sup>7</sup>	-0.2 V to $V_{DD\_HADC} + 0.2$ V
$I_{OH}/I_{OL}$ Current per Signal <sup>1</sup>	4 mA (maximum)
Storage Temperature Range	-65°C to +150°C
Junction Temperature While Biased	+125°C

<sup>1</sup> 100%のトランジエント・デューティ・サイクルに適用されます。

<sup>2</sup> 関連する電源 ( $V_{DD\_DMC}$ 、 $V_{DD\_EXT}$ 、または  $V_{DD\_USB}$ ) が仕様範囲内の場合のみ適用されます。電源が仕様未満の場合、範囲はその電源ドメイン  $\pm 0.2$ V に適用されている電圧となります。

<sup>3</sup> 公称  $V_{DD\_EXT}$  が 3.3V の場合に適用されます。

<sup>4</sup> 公称  $V_{DD\_EXT}$  が 1.8V の場合に適用されます。

<sup>5</sup> TWI\_SCL および TWI\_SDA に適用されます。

<sup>6</sup> USB を使用しない場合、これらのピンは表 15 に従って接続します。

<sup>7</sup>  $V_{DD\_HADC}$  が仕様範囲内かつ 3.4V 以下の場合のみ適用されます。 $V_{DD\_HADC}$  が仕様範囲内で 3.4V を超える場合、最大定格は 3.6V です。 $V_{DD\_HADC}$  が仕様未満の場合、範囲は  $V_{DD\_HADC} \pm 0.2$ V となります。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## タイミング仕様

仕様は予告なく変更される場合があります。

### クロックおよびリセット・タイミング

表 28 および図 7 に、クロック生成ユニット (CGU) に関連するクロックおよびリセット動作を示します。表 17 および表 18 の CCLK、SYSCLK、SCLK0、SCLK1、DCLK、OCLK の各タイミング仕様に従い、SYS\_CLKIN とクロック通倍器の組み合わせによってプロセッサの最大命令レートを超えるクロック・レートが選択されてはなりません。

表 28. クロックおよびリセット・タイミング

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit		
	Min	Max	Min	Max			
<i>Timing Requirement</i>							
$f_{CKIN}$	SYS_CLKIN Crystal Frequency (CGU_CTL.DF = 0) <sup>1, 2, 3</sup>		19.2	35	50	MHz	
$f_{CKIN}$	SYS_CLKIN Crystal Frequency (CGU_CTL.DF = 1) <sup>1, 2, 3</sup>		N/A	N/A	38.4	50	MHz
$f_{CKIN}$	SYS_CLKIN External Source Frequency (CGU_CTL.DF = 0) <sup>1, 2, 3</sup>		19.2	60	19.2	60	MHz
$f_{CKIN}$	SYS_CLKIN External Source Frequency (CGU_CTL.DF = 1) <sup>1, 2, 3</sup>		38.4	60	38.4	60	MHz
$t_{CKINL}$	SYS_CLKIN Low Pulse <sup>1</sup>		8.33		8.33	ns	
$t_{CKINH}$	SYS_CLKIN High Pulse <sup>1</sup>		8.33		8.33	ns	
$t_{WRST}$	$\overline{SYS\_HWRST}$ Asserted Pulse Width Low <sup>4</sup>		$11 \times t_{CKIN}$		$11 \times t_{CKIN}$	ns	

<sup>1</sup> PLL バイパス・モードと PLL 非バイパス・モードに適用されます。

<sup>2</sup>  $t_{CKIN}$  の時間幅 (図 7 参照) は  $1/f_{CKIN}$  に等しくなります。

<sup>3</sup> CLKIN 周波数と PLL クロック通倍器の組み合わせにより、表 19 に記載された  $f_{PLLCLK}$  の許容設定値を超えてはなりません。

<sup>4</sup> パワーアップ・シーケンスの完了後に適用されます。パワーアップ・リセットのタイミングは、表 29 および図 8 を参照してください。

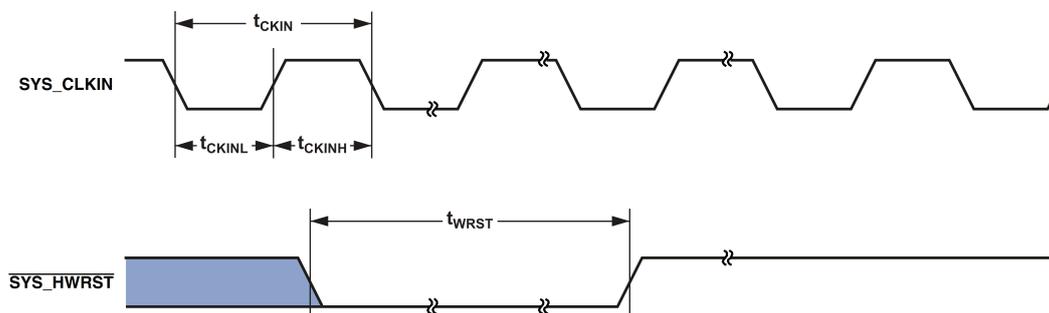


図 7. クロックおよびリセット・タイミング

パワーアップ・リセットのタイミング

パワーアップ後にプロセッサを既知の状態に置くためには、パワーアップ・リセットが必要です。パワーアップ・リセットは、 $\overline{\text{SYS\_HWRST}}$ と $\overline{\text{JTG\_TRST}}$ をアサートすることで開始できます。パワーアップ・リセットの間、ADSP-BF70x の設計者向けクイック・リファレンスに記載されたピンを除くすべてのピンは、高インピーダンスです。

$\overline{\text{JTG\_TRST}}$ と $\overline{\text{SYS\_HWRST}}$ のどちらも、パワーアップ時にアサートする必要がありますが、 $\overline{\text{SYS\_HWRST}}$ のみ、デバイスが正常にブートされるためにリリースする必要があります。 $\overline{\text{JTG\_TRST}}$ は、通常動作のために無期限にアサートできます。 $\overline{\text{JTG\_TRST}}$ をリリースする必要があるのは、エミュレータを使用して DAP に接続しデバッグやバウンダリ・スキャンを行う場合のみです。パワーアップ・リセット時に内部エミュレーション・ロジックが常に正常に初期化されるよう $\overline{\text{JTG\_TRST}}$ には内部プルダウンがあります。

表 29 および図 8 に、クロック生成ユニット (CGU) とリセット制御ユニット (RCU) に関連した、電源の起動とプロセッサのリセット・タイミングの関係を示します。図 8 において、 $V_{DD\_SUPPLIES}$  は、 $V_{DD\_INT}$ 、 $V_{DD\_EXT}$ 、 $V_{DD\_DMC}$ 、 $V_{DD\_USB}$ 、 $V_{DD\_RTC}$ 、 $V_{DD\_OTP}$ 、 $V_{DD\_HADC}$  です。

ADSP-BF70x プロセッサには電源シーケンス条件はありません。ただし、起動時の省電力を重視する場合は、 $V_{DD\_INT}$  を最後に起動することを推奨します。これにより、I/O の電圧が 0V から電圧仕様値まで変化する間、 $V_{DD\_INT}$  ドメインにわずかな電流が流れるのを防止できます。

表 29. パワーアップ・リセットのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{RST\_IN\_PWR}$ $\overline{\text{SYS\_HWRST}}$ and $\overline{\text{JTG\_TRST}}$ Deasserted After $V_{DD\_INT}$ , $V_{DD\_DMC}$ , $V_{DD\_USB}$ , $V_{DD\_RTC}$ , $V_{DD\_OTP}$ , $V_{DD\_HADC}$ , and $\text{SYS\_CLKIN}$ are Stable and Within Specification	$11 \times t_{CKIN}$		ns
$t_{V_{DD\_EXT\_RST}}$ $\overline{\text{SYS\_HWRST}}$ Deasserted After $V_{DD\_EXT}$ is Stable and Within Specifications (No External Pull-Down on $\overline{\text{JTG\_TRST}}$ )	10		$\mu\text{s}$
$t_{V_{DD\_EXT\_RST}}$ $\overline{\text{SYS\_HWRST}}$ Deasserted After $V_{DD\_EXT}$ is Stable and Within Specifications (10k External Pull-Down on $\overline{\text{JTG\_TRST}}$ )	1		$\mu\text{s}$

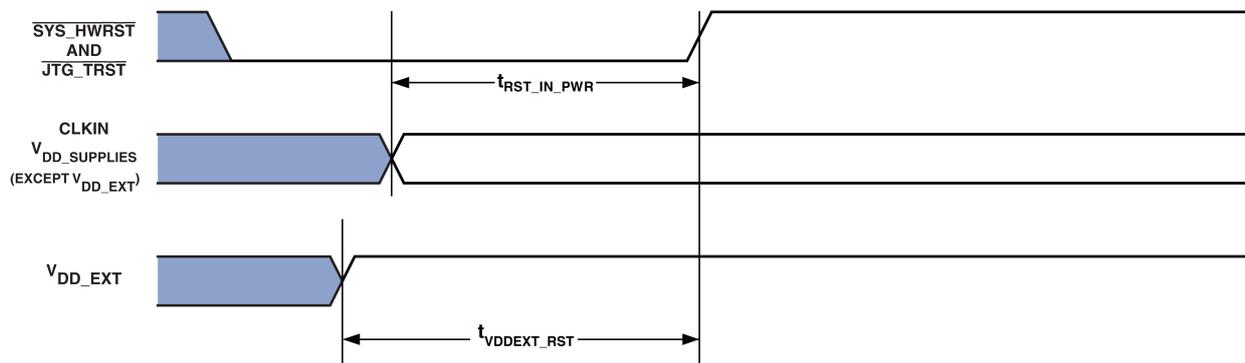


図 8. パワーアップ・リセットのタイミング

## 非同期読出し

表 30 および図 9 に、スタティック・メモリ・コントローラ (SMC) に関連した非同期メモリ読出しタイミングを示します。

表 30. 非同期メモリ読出し (BxMODE = b#00)

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{SDATARE}$ DATA in Setup Before $\overline{SMCO\_ARE}$ High	11.8		10.8		ns
$t_{HDATARE}$ DATA in Hold After $\overline{SMCO\_ARE}$ High	0		0		ns
$t_{DARDYARE}$ $\overline{SMCO\_ARDY}$ Valid After $\overline{SMCO\_ARE}$ Low <sup>1,2</sup>		$(RAT - 2.5) \times t_{SCLK0} - 17.5$		$(RAT - 2.5) \times t_{SCLK0} - 17.5$	ns
<i>Switching Characteristics</i>					
$t_{AMSARE}$ $\overline{SMCO\_Ax}/\overline{SMCO\_AMSx}$ Assertion Before $\overline{SMCO\_ARE}$ Low <sup>3</sup>	$(PREST + RST + PREAT) \times t_{SCLK0} - 2$		$(PREST + RST + PREAT) \times t_{SCLK0} - 2$		ns
$t_{DADVARE}$ $\overline{SMCO\_ARE}$ Low Delay From ADV High	$PREAT \times t_{SCLK0} - 2$		$PREAT \times t_{SCLK0} - 2$		ns
$t_{AOEARE}$ $\overline{SMCO\_AOE}$ Assertion Before $\overline{SMCO\_ARE}$ Low	$(RST + PREAT) \times t_{SCLK0} - 2$		$(RST + PREAT) \times t_{SCLK0} - 2$		ns
$t_{HARE}$ Output <sup>4</sup> Hold After $\overline{SMCO\_ARE}$ High <sup>5</sup>	$RHT \times t_{SCLK0} - 2$		$RHT \times t_{SCLK0} - 2$		ns
$t_{WARE}$ $\overline{SMCO\_ARE}$ Active Low Width <sup>6</sup>	$RAT \times t_{SCLK0} - 2$		$RAT \times t_{SCLK0} - 2$		ns
$t_{DAREARDY}$ $\overline{SMCO\_ARE}$ High Delay After $\overline{SMCO\_ARDY}$ Assertion <sup>1</sup>		$3.5 \times t_{SCLK0} + 17.5$		$3.5 \times t_{SCLK0} + 17.5$	ns

<sup>1</sup>  $SMCO\_BxCTL.ARDYEN$  ビット = 1。

<sup>2</sup> RAT の値は、 $SMC\_BxTIM.RAT$  ビットを用いて設定されます。

<sup>3</sup> PREST、RST、PREAT の各値は、 $SMC\_BxETIM.PREST$  ビット、 $SMC\_BxTIM.RST$  ビット、 $SMC\_BxETIM.PREAT$  ビットを用いて設定されます。

<sup>4</sup> 出力信号は、 $SMCO\_Ax$ 、 $\overline{SMCO\_AMSx}$ 、 $\overline{SMCO\_AOE}$ 、 $\overline{SMCO\_ABEx}$  です。

<sup>5</sup> RHT の値は、 $SMC\_BxTIM.RHT$  ビットを用いて設定されます。

<sup>6</sup>  $SMCO\_BxCTL.ARDYEN$  ビット = 0。

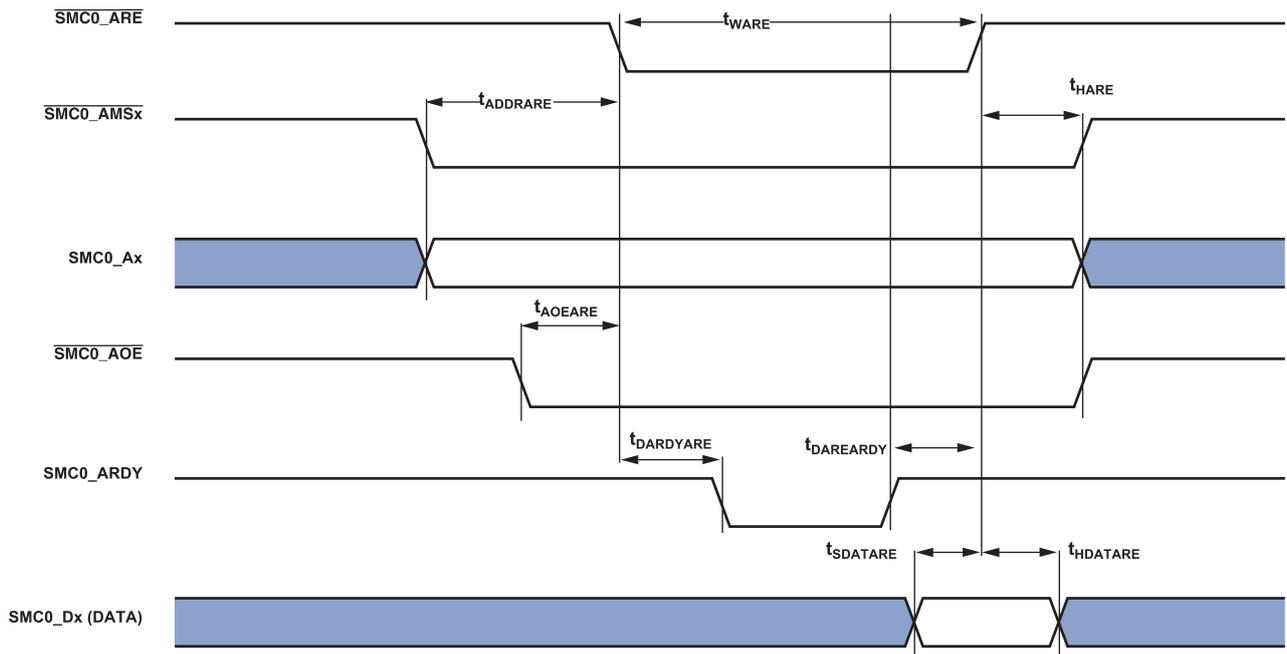


図 9. 非同期読出し

**SYS\_CLKOUT に関連した SMC 読出しサイクルのタイミング**

SYS\_CLKOUT に関連した以下の SMC 仕様は、SMC をプログラマブル・ロジック・デバイスに接続するために与えられたものです。これらの仕様は、CGU\_CLKOUTSEL.CLKOUTSEL = 0x3 と設定することで、SYS\_CLKOUT がバッファ処理されたバージョンの SCLK0 を出力していると仮定しています。ただし、SCLK0 は f<sub>CLK</sub> の最大仕様値より速く稼働することは許されません。この例では、RST = 0x2、RAT = 0x4、RHT = 0x1 です。

表 31. SYS\_CLKOUT に関連した SMC 読出しサイクルのタイミング (BxMODE = b#00)

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t <sub>SDAT</sub>	SMC0_Dx Setup Before SYS_CLKOUT		5.3	4.3	ns
t <sub>HDAT</sub>	SMC0_Dx Hold After SYS_CLKOUT		1.5	1.5	ns
t <sub>SARDY</sub>	SMC0_ARDY Setup Before SYS_CLKOUT		16.6	14.4	ns
t <sub>HARDY</sub>	SMC0_ARDY Hold After SYS_CLKOUT		0.7	0.7	ns
<i>Switching Characteristics</i>					
t <sub>DO</sub>	Output Delay After SYS_CLKOUT <sup>1</sup>			7	ns
t <sub>HO</sub>	Output Hold After SYS_CLKOUT <sup>1</sup>		-2.5		ns

<sup>1</sup> 出力信号は、SMC0\_Ax、SMC0\_AMSx、SMC0\_AOE、SMC0\_ABEx です。

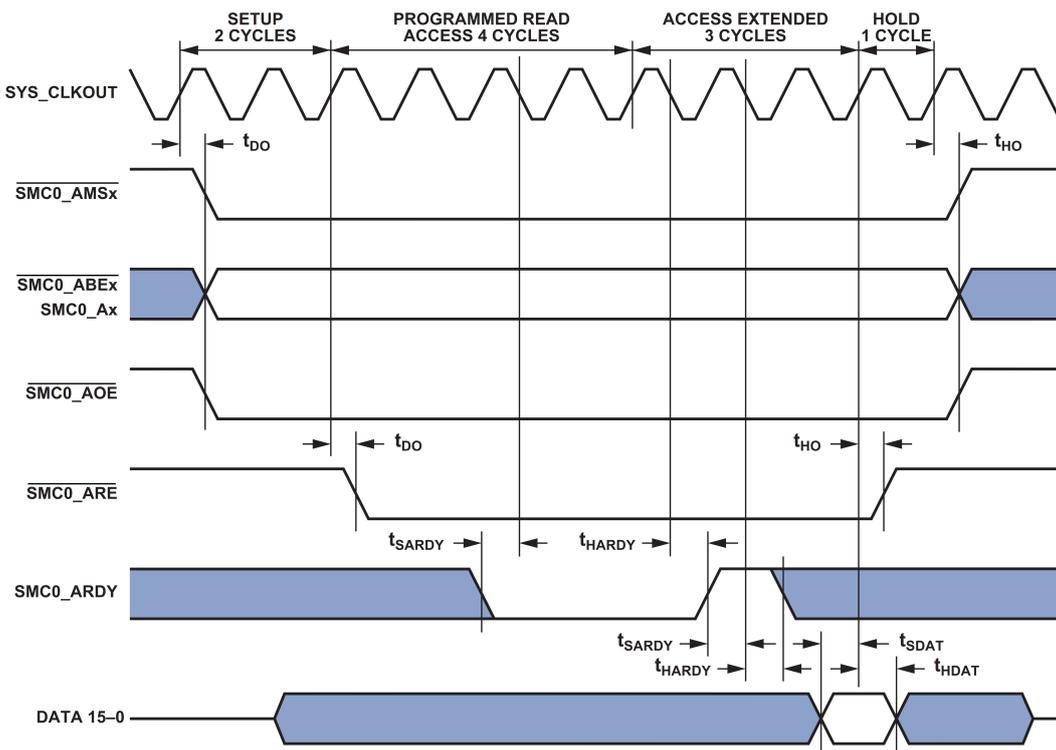


図 10. 非同期メモリ読出しサイクルのタイミング

非同期フラッシュ読出し

表 32 および図 11 に、スタティック・メモリ・コントローラ（SMC）に関連した非同期フラッシュ読出しタイミングを示します。

表 32. 非同期フラッシュ読出し

Parameter		$V_{DD\_EXT}$ 1.8 V/3.3V Nominal		Unit
		Min	Max	
<i>Switching Characteristics</i>				
$t_{AMSADV}$	SMC0_Ax (Address)/SMC0_AMSx Assertion Before SMC0_NORDV Low <sup>1</sup>	$PREST \times t_{SCLK0} - 2$		ns
$t_{WADV}$	SMC0_NORDV Active Low Width <sup>2</sup>	$RST \times t_{SCLK0} - 2$		ns
$t_{DADVARE}$	$\overline{SMC0\_ARE}$ Low Delay From SMC0_NORDV High <sup>3</sup>	$PREAT \times t_{SCLK0} - 2$		ns
$t_{HARE}$	Output <sup>4</sup> Hold After $\overline{SMC0\_ARE}$ High <sup>5</sup>	$RHT \times t_{SCLK0} - 2$		ns
$t_{WARE}$ <sup>6</sup>	$\overline{SMC0\_ARE}$ Active Low Width <sup>7</sup>	$RAT \times t_{SCLK0} - 2$		ns

<sup>1</sup> PREST の値は、SMC\_BxETIM.PREST ビットを用いて設定されます。

<sup>2</sup> RST の値は、SMC\_BxTIM.RST ビットを用いて設定されます。

<sup>3</sup> PREAT の値は、SMC\_BxETIM.PREAT ビットを用いて設定されます。

<sup>4</sup> 出力信号は、SMC0\_Ax、SMC0\_AMS、SMC0\_AOE です。

<sup>5</sup> RHT の値は、SMC\_BxTIM.RHT ビットを用いて設定されます。

<sup>6</sup> SMC0\_BxCTL.ARDYEN ビット=0。

<sup>7</sup> RAT の値は、SMC\_BxTIM.RAT ビットを用いて設定されます。

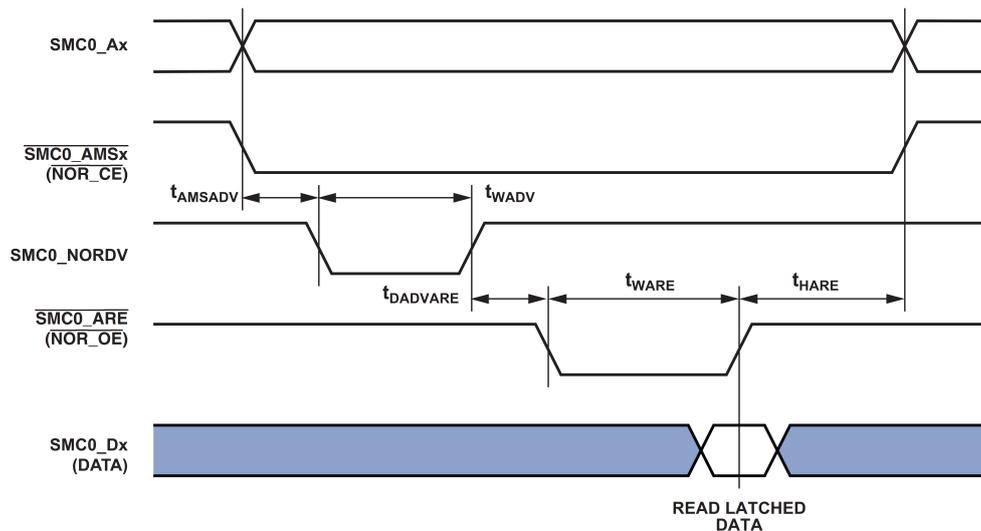


図 11. 非同期フラッシュ読出し

非同期ページ・モード読出し

表 33 および図 12 に、スタティック・メモリ・コントローラ (SMC) に関連した非同期メモリ・ページ・モード読出しタイミングを示します。

表 33. 非同期ページ・モード読出し

Parameter	$V_{DD\_EXT}$ 1.8V / 3.3V Nominal		Unit
	Min	Max	
<i>Switching Characteristics</i>			
$t_{AV}$ SMC0_Ax (Address) Valid for First Address Min Width <sup>1</sup>	$(PREST + RST + PREAT + RAT) \times t_{SCLK0} - 2$		ns
$t_{AV1}$ SMC0_Ax (Address) Valid for Subsequent SMC0_Ax (Address) Min Width	$PGWS \times t_{SCLK0} - 2$		ns
$t_{WADV}$ SMC0_NORDV Active Low Width <sup>2</sup>	$RST \times t_{SCLK0} - 2$		ns
$t_{HARE}$ Output <sup>3</sup> Hold After $\overline{SMC0\_ARE}$ High <sup>4</sup>	$RHT \times t_{SCLK0} - 2$		ns
$t_{WARE}$ <sup>5</sup> $\overline{SMC0\_ARE}$ Active Low Width <sup>6</sup>	$(RAT + (Nw - 1) \times PGWS) \times t_{SCLK0} - 2$		ns

<sup>1</sup> PREST、RST、PREAT、RAT の各値は SMC\_BxETIM.PREST ビット、SMC\_BxTIM.RST ビット、SMC\_BxETIM.PREAT ビット、SMC\_BxTIM.RAT ビットを用いて設定されます。

<sup>2</sup> RST の値は、SMC\_BxTIM.RST ビットを用いて設定されます。

<sup>3</sup> 出力信号は、SMC0\_Ax、 $\overline{SMC0\_AMSx}$ 、 $\overline{SMC0\_AOE}$  です。

<sup>4</sup> RHT の値は、SMC\_BxTIM.RHT ビットを用いて設定されます。

<sup>5</sup> SMC\_BxCTL.ARDYEN ビット=0。

<sup>6</sup> RAT の値は、SMC\_BxTIM.RAT ビットを用いて設定されます。

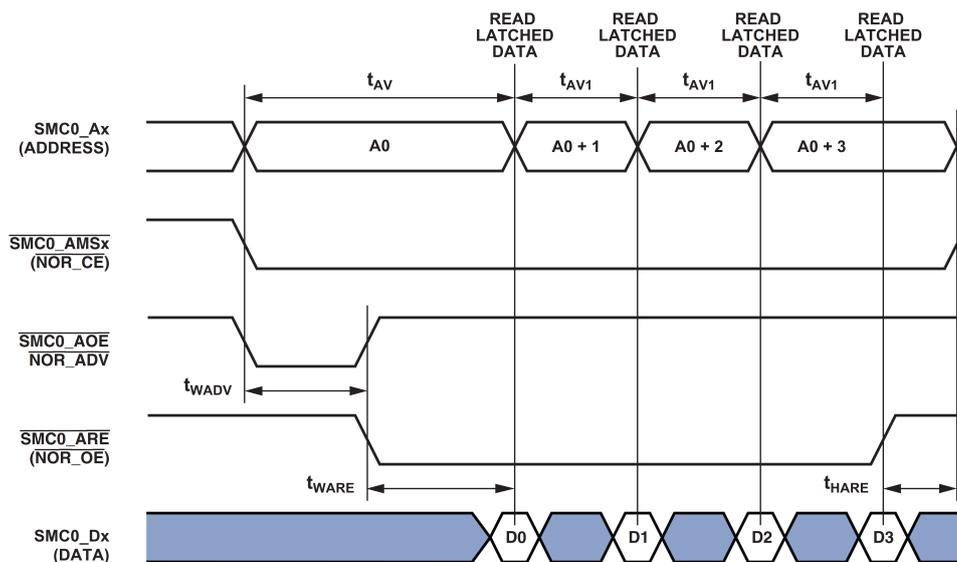


図 12. 非同期ページ・モード読出し

非同期書込み

表 34 および図 13 に、スタティック・メモリ・コントローラ (SMC) に関連した非同期メモリ書込みタイミングを示します。

表 34. 非同期メモリ書込み (BxMODE = b#00)

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<b>Timing Requirement</b>					
t <sub>DARDYAVE</sub> <sup>1</sup>	SMC0_ARDY Valid After SMC0_AWE Low <sup>2</sup>		(WAT - 2.5) × t <sub>SCLK0</sub> - 17.5		ns
<b>Switching Characteristics</b>					
t <sub>ENDAT</sub>	DATA Enable After SMC0_AMSx Assertion		-2		ns
t <sub>DDAT</sub>	DATA Disable After SMC0_AMSx Deassertion		4		ns
t <sub>AMSAWE</sub>	SMC0_Ax/SMC0_AMSx Assertion Before SMC0_AWE Low <sup>3</sup>		(PREST + WST + PREAT) × t <sub>SCLK0</sub> - 4		ns
t <sub>HAVE</sub>	Output <sup>4</sup> Hold After SMC0_AWE High <sup>5</sup>		WHT × t <sub>SCLK0</sub>		ns
t <sub>WAVE</sub> <sup>6</sup>	SMC0_AWE Active Low Width <sup>6</sup>		WAT × t <sub>SCLK0</sub> - 2		ns
t <sub>DAWEARDY</sub> <sup>1</sup>	SMC0_AWE High Delay After SMC0_ARDY Assertion		3.5 × t <sub>SCLK0</sub> + 17.5		ns

<sup>1</sup> SMC\_BxCTL.ARDYEN ビット=1。

<sup>2</sup> WATの値は、SMC\_BxTIM.WAT ビットを用いて設定されます。

<sup>3</sup> PREST、WST、PREATの各値はSMC\_BxETIM.PREST ビット、SMC\_BxTIM.WST ビット、SMC\_BxETIM.PREAT ビット、SMC\_BxTIM.RAT ビットを用いて設定されます。

<sup>4</sup> 出力信号は、DATA、SMC0\_Ax、SMC0\_AMSx、SMC0\_ABExです。

<sup>5</sup> WHTの値は、SMC\_BxTIM.WHT ビットを用いて設定されます。

<sup>6</sup> SMC\_BxCTL.ARDYEN ビット=0。

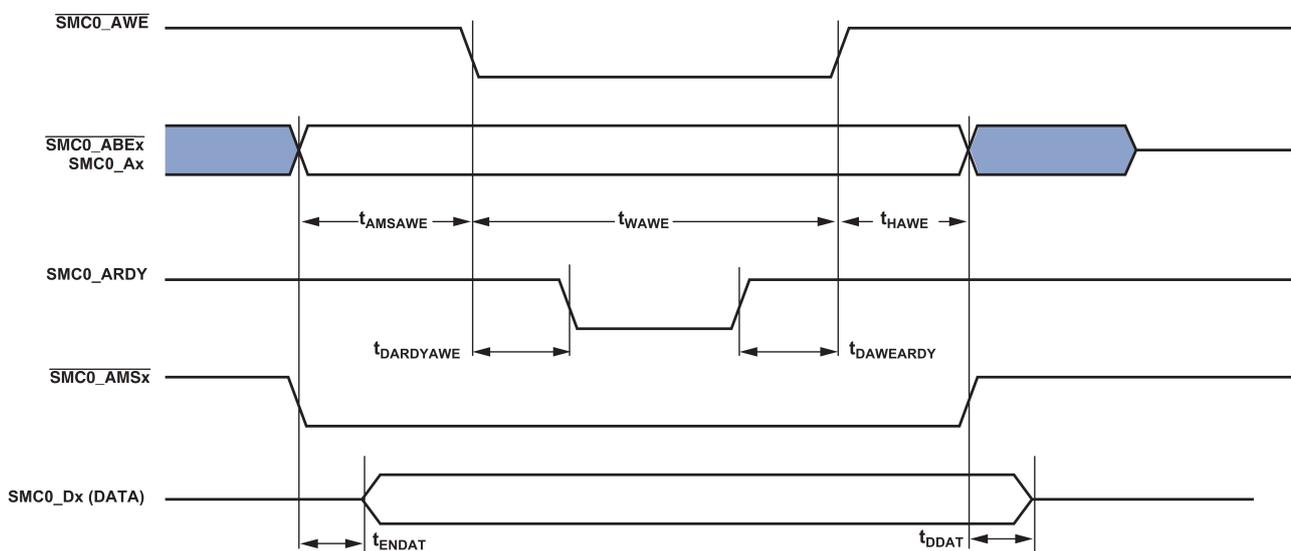


図 13. 非同期書込み

**SYS\_CLKOUT に関連した SMC 書込みサイクルのタイミング**

SYS\_CLKOUT に関連した以下の SMC 仕様は、SMC をプログラマブル・ロジック・デバイスに接続するために与えられたものです。これらの仕様は、CGU\_CLKOUTSEL.CLKOUTSEL = 0x3 と設定することで、SYS\_CLKOUT がバッファ処理されたバージョンの SCLK0 を出力していると仮定しています。ただし、SCLK0 は f<sub>CLK</sub> の最大仕様値より速く稼働することは許されません。この例では、WST = 0x2、WAT = 0x2、WHT = 0x1 です。

表 35. SYS\_CLKOUT に関連した SMC 書込みサイクルのタイミング (BxMODE = b#00)

Parameter	V <sub>DD_EXT</sub> 1.8V/3.3V Nominal		Unit
	Min	Max	
<i>Timing Requirements</i>			
t <sub>SARDY</sub>	SMC0_ARDY Setup Before SYS_CLKOUT		ns
t <sub>HARDY</sub>	SMC0_ARDY Hold After SYS_CLKOUT		ns
<i>Switching Characteristics</i>			
t <sub>DDAT</sub>	SMC0_Dx Disable After SYS_CLKOUT		ns
t <sub>ENDAT</sub>	SMC0_Dx Enable After SYS_CLKOUT		ns
t <sub>DO</sub>	Output Delay After SYS_CLKOUT <sup>1</sup>		ns
t <sub>HO</sub>	Output Hold After SYS_CLKOUT <sup>1</sup>		ns

<sup>1</sup> 出力ピン/ボールには、SMC0\_AMSx、SMC0\_ABEx、SMC0\_Ax、SMC0\_Dx、SMC0\_AOE、SMC0\_AWEが含まれます。

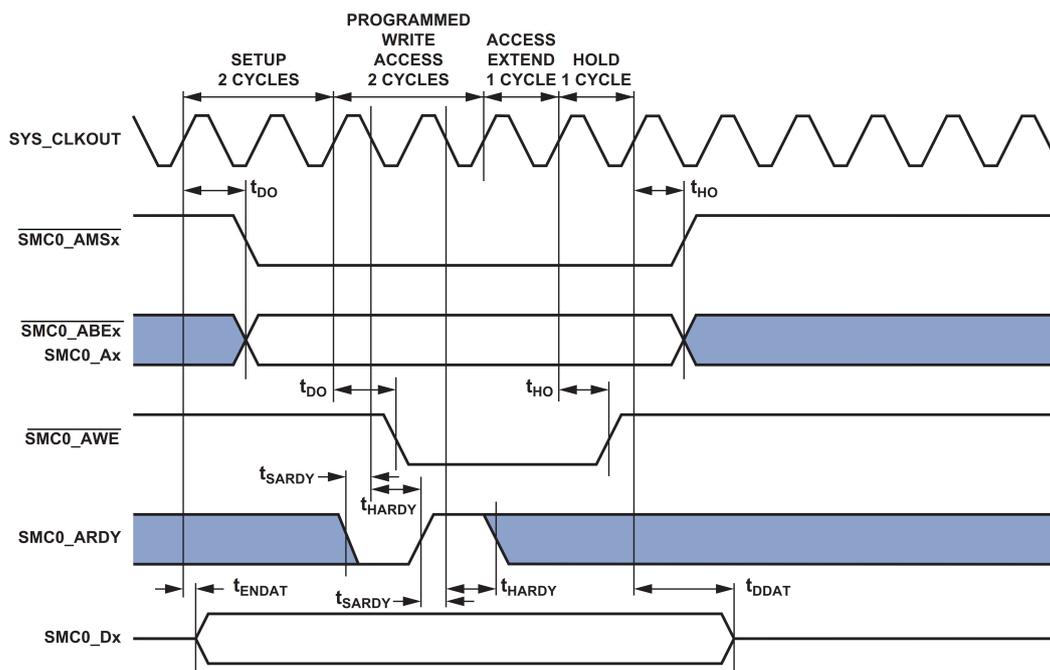


図 14. SYS\_CLKOUT タイミングに関連した SMC 書込みサイクルのタイミング

非同期フラッシュ書込み

表 36 および図 15 に、スタティック・メモリ・コントローラ（SMC）に関連した非同期フラッシュメモリ書込みタイミングを示します。

表 36. 非同期フラッシュ書込み

Parameter	$V_{DD\_EXT}$ 1.8V/3.3V Nominal		Unit
	Min	Max	
<i>Switching Characteristics</i>			
$t_{AMSADV}$	SMC0_Ax/SMC0_AMSx Assertion Before ADV Low <sup>1</sup>		ns
$t_{DADVAWE}$	SMC0_AWE Low Delay From ADV High <sup>2</sup>		ns
$t_{WADV}$	NR_ADV Active Low Width <sup>3</sup>		ns
$t_{HAWE}$	Output <sup>4</sup> Hold After SMC0_AWE High <sup>5</sup>		ns
$t_{WAVE}$ <sup>6</sup>	SMC0_AWE Active Low Width <sup>7</sup>		ns

<sup>1</sup> PREST の値は、SMC\_BxETIM.PREST ビットを用いて設定されます。  
<sup>2</sup> PREAT の値は、SMC\_BxETIM.PREAT ビットを用いて設定されます。  
<sup>3</sup> WST の値は、SMC\_BxTIM.WST ビットを用いて設定されます。  
<sup>4</sup> 出力信号は、DATA、SMC0\_Ax、SMC0\_AMSx、SMC0\_ABE<sub>x</sub>です。  
<sup>5</sup> WHT の値は、SMC\_BxTIM.WHT ビットを用いて設定されます。  
<sup>6</sup> SMC\_BxCTL.ARDYEN ビット = 0。  
<sup>7</sup> WAT の値は、SMC\_BxTIM.WAT ビットを用いて設定されます。

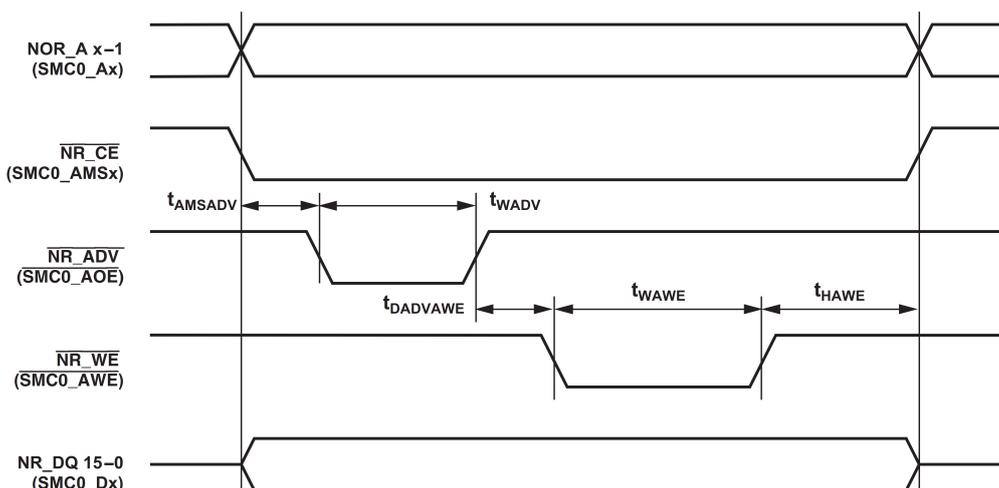


図 15. 非同期フラッシュ書込み

すべてのアクセス

表 37 に、スタティック・メモリ・コントローラ（SMC）に関連したすべてのメモリ・アクセスに適用されるタイミングを示します。

表 37. すべてのアクセス

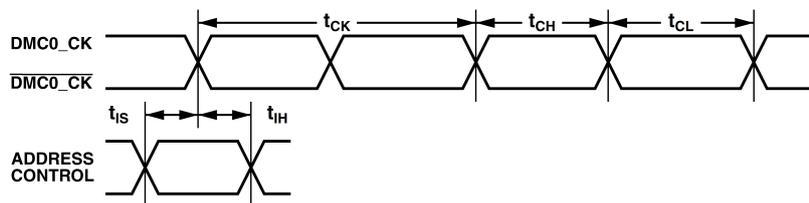
Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristic</i>					
$t_{TURN}$	SMC0_AMSx Inactive Width		$(IT + TT) \times t_{SCLK0} - 2$		ns

DDR2 SDRAM のクロックおよび制御サイクルのタイミング

表 38 および図 16 に、ダイナミック・メモリ・コントローラ (DMC) に関連した DDR2 SDRAM のクロックおよび制御サイクルのタイミングを示します。

表 38. DDR2 SDRAM の読み出しサイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V (公称値)

Parameter		200 MHz		Unit
		Min	Max	
<i>Switching Characteristics</i>				
$t_{CK}$	Clock Cycle Time (CL = 2 Not Supported)	5		ns
$t_{CH}$	High Clock Pulse Width	0.45	0.55	$t_{CK}$
$t_{CL}$	Low Clock Pulse Width	0.45	0.55	$t_{CK}$
$t_{IS}$	Control/Address Setup Relative to DMC0_CK Rise	350		ps
$t_{IH}$	Control/Address Hold Relative to DMC0_CK Rise	475		ps



NOTE: CONTROL =  $\overline{DMC0\_CS0}$ ,  $\overline{DMC0\_CKE}$ ,  $\overline{DMC0\_RAS}$ ,  $\overline{DMC0\_CAS}$ , AND  $\overline{DMC0\_WE}$ .  
ADDRESS =  $DMC0\_A00-13$ , AND  $DMC0\_BA0-2$ .

図 16. DDR2 SDRAM のクロックおよび制御サイクルのタイミング

DDR2 SDRAM の読出しサイクルのタイミング

表 39 および図 17 に、ダイナミック・メモリ・コントローラ (DMC) に関連した DDR2 SDRAM の読出しサイクルのタイミングを示します。

表 39. DDR2 SDRAM の読出しサイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V (公称値)

Parameter		200 MHz <sup>1</sup>		Unit
		Min	Max	
<i>Timing Requirements</i>				
$t_{DQSQ}$	DMC0_DQS-DMC0_DQ Skew for DMC0_DQS and Associated DMC0_DQ Signals		0.35	ns
$t_{QH}$	DMC0_DQ, DMC0_DQS Output Hold Time From DMC0_DQS	1.8		ns
$t_{RPRE}$	Read Preamble	0.9		$t_{CK}$
$t_{RPST}$	Read Postamble	0.4		$t_{CK}$

<sup>1</sup> DDR2 の正常動作を確保するため、すべての DDR2 のガイドラインに厳格に従う必要があります。

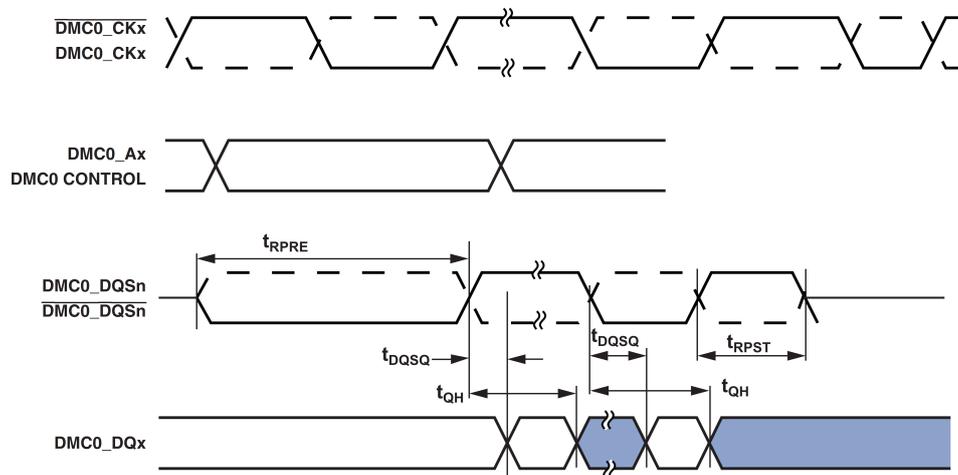


図 17. DDR2 SDRAM コントローラ入力の AC タイミング

DDR2 SDRAM の書き込みサイクルのタイミング

表 40 および図 18 に、ダイナミック・メモリ・コントローラ（DMC）に関連した DDR2 SDRAM の書き込みサイクルのタイミングを示します。

表 40. DDR2 SDRAM の書き込みサイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V（公称値）

Parameter		200 MHz <sup>1</sup>		Unit
		Min	Max	
<i>Switching Characteristics</i>				
$t_{DQSS}^2$	DMC0_DQS Latching Rising Transitions to Associated Clock Edges	-0.25	+0.25	$t_{CK}$
$t_{DS}$	Last Data Valid to DMC0_DQS Delay	0.15		ns
$t_{DH}$	DMC0_DQS to First Data Invalid Delay	0.275		ns
$t_{DSS}$	DMC0_DQS Falling Edge to Clock Setup Time	0.2		$t_{CK}$
$t_{DSH}$	DMC0_DQS Falling Edge Hold Time From DMC0_CK	0.2		$t_{CK}$
$t_{DQSH}$	DMC0_DQS Output High Pulse Width	0.35		$t_{CK}$
$t_{DQSL}$	DMC0_DQS Output Low Pulse Width	0.35		$t_{CK}$
$t_{WPRE}$	Write Preamble	0.35		$t_{CK}$
$t_{WPST}$	Write Postamble	0.4		$t_{CK}$
$t_{IPW}$	Address and Control Output Pulse Width	0.6		$t_{CK}$
$t_{DIPW}$	DMC0_DQ and DMC0_DM Output Pulse Width	0.35		$t_{CK}$

<sup>1</sup> DDR2 の正常動作を確保するため、すべての DDR2 のガイドラインに厳格に従う必要があります。

<sup>2</sup> 書き込みコマンドから最初の DMC0\_DQS までの遅延は  $WL \times t_{CK} + t_{DQSS}$  です。

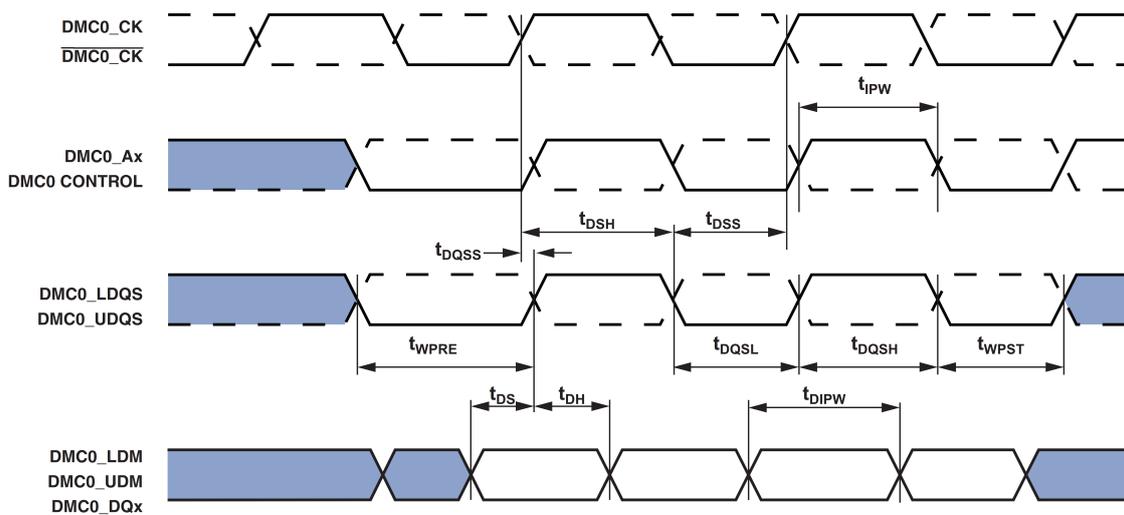


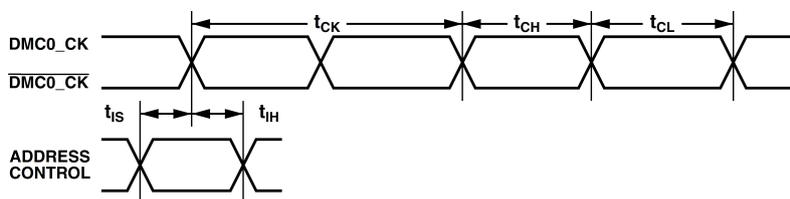
図 18. DDR2 SDRAM コントローラ出力の AC タイミング

モバイル DDR SDRAM のクロックおよび制御サイクルのタイミング

表 41 および図 19 に、ダイナミック・メモリ・コントローラ (DMC) に関連したモバイル DDR SDRAM のクロックおよび制御サイクルのタイミングを示します。

表 41. モバイル DDR SDRAM のクロックおよび制御サイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V (公称値)

Parameter	Min	200 MHz		Unit
		Max		
<i>Switching Characteristics</i>				
$t_{CK}$	Clock Cycle Time (CL = 2 Not Supported)		5	ns
$t_{CH}$	Minimum Clock Pulse Width		0.45	$t_{CK}$
$t_{CL}$	Maximum Clock Pulse Width		0.45	$t_{CK}$
$t_{IS}$	Control/Address Setup Relative to DMC0_CK Rise		1.5	ns
$t_{IH}$	Control/Address Hold Relative to DMC0_CK Rise		1.5	ns



NOTE: CONTROL =  $\overline{DMC0\_CS0}$ ,  $\overline{DMC0\_CKE}$ ,  $\overline{DMC0\_RAS}$ ,  $\overline{DMC0\_CAS}$ , AND  $\overline{DMC0\_WE}$ .  
 ADDRESS =  $DMC0\_A00-13$ , AND  $DMC0\_BA0-2$ .

図 19. モバイル DDR SDRAM のクロックおよび制御サイクルのタイミング

モバイル DDR SDRAM の読出しサイクルのタイミング

表 42 および図 20 に、ダイナミック・メモリ・コントローラ (DMC) に関連したモバイル DDR SDRAM の読出しサイクルのタイミングを示します。

表 42. モバイル DDR SDRAM の読出しサイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V (公称値)

Parameter		200 MHz		Unit
		Min	Max	
<i>Timing Requirements</i>				
$t_{QH}$	DMC0_DQ, DMC0_DQS Output Hold Time From DMC0_DQS	1.5		ns
$t_{DQSQ}$	DMC0_DQS-DMC0_DQ Skew for DMC0_DQS and Associated DMC0_DQ Signals		0.7	ns
$t_{RPRE}$	Read Preamble	0.9	1.1	$t_{CK}$
$t_{RPST}$	Read Postamble	0.4	0.6	$t_{CK}$

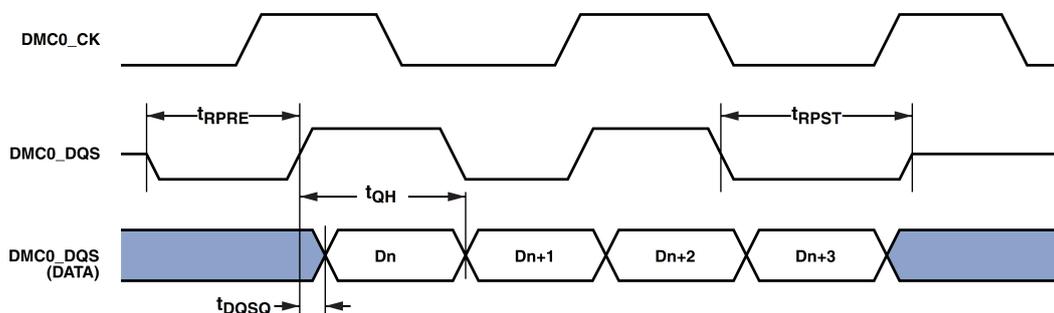


図 20. モバイル DDR SDRAM コントローラ入力の AC タイミング

モバイル DDR SDRAM の書き込みサイクルのタイミング

表 43 および図 21 に、ダイナミック・メモリ・コントローラ (DMC) に関連したモバイル DDR SDRAM の書き込みサイクルのタイミングを示します。

表 43. モバイル DDR SDRAM の書き込みサイクルのタイミング、 $V_{DD\_DMC}$  は 1.8V (公称値)

Parameter		200 MHz		Unit
		Min	Max	
<i>Switching Characteristics</i>				
$t_{DQSS}^1$	DMC0_DQS Latching Rising Transitions to Associated Clock Edges	0.75	1.25	$t_{CK}$
$t_{DS}$	Last Data Valid to DMC0_DQS Delay (Slew > 1 V/ns)	0.48		ns
$t_{DH}$	DMC0_DQS to First Data Invalid Delay (Slew > 1 V/ns)	0.48		ns
$t_{DSS}$	DMC0_DQS Falling Edge to Clock Setup Time	0.2		$t_{CK}$
$t_{DSH}$	DMC0_DQS Falling Edge Hold Time From DMC0_CK	0.2		$t_{CK}$
$t_{DQSH}$	DMC0_DQS Input High Pulse Width	0.4		$t_{CK}$
$t_{DQSL}$	DMC0_DQS Input Low Pulse Width	0.4		$t_{CK}$
$t_{WPRE}$	Write Preamble	0.25		$t_{CK}$
$t_{WPST}$	Write Postamble	0.4		$t_{CK}$
$t_{IPW}$	Address and Control Output Pulse Width	2.3		ns
$t_{DIPW}$	DMC0_DQ and DMC0_DM Output Pulse Width	1.8		ns

<sup>1</sup> 書き込みコマンドから最初の DMC0\_DQS までの遅延は  $WL \times t_{CK} + t_{DQSS}$  です。

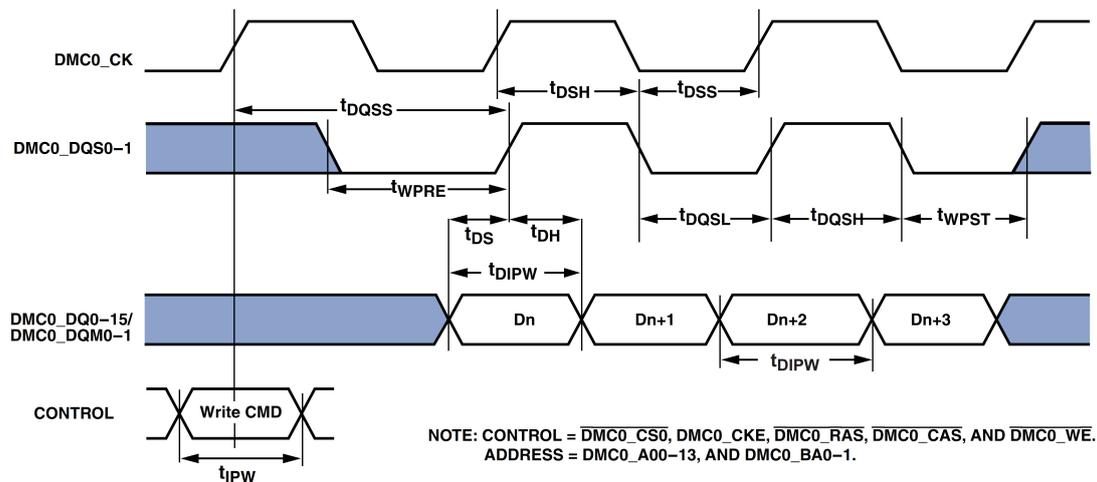


図 21. モバイル DDR SDRAM コントローラ出力の AC タイミング

汎用 I/O ポートのタイミング (GPIO)

表 44 および図 22 に、汎用ポート (PORT) に関連した I/O タイミングを示します。

表 44. 汎用 I/O ポートのタイミング

Parameter	$V_{DD\_EXT}$ 1.8 V/3.3 V Nominal		Unit
	Min	Max	
Timing Requirement			
$t_{WFI}$ General-Purpose Port Pin Input Pulse Width	$2 \times t_{SCLK0} - 1.5$		ns

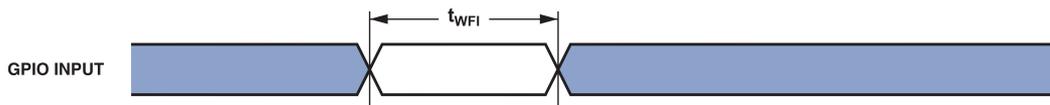


図 22. 汎用 I/O ポートのタイミング

タイマー・サイクルのタイミング

表 45 および図 23 に、汎用タイマー (TIMER) に関連したタイマー終了動作を示します。入力信号は、幅キャプチャ・モードおよび外部クロック・モードでは非同期で、理想的な最大入力周波数は  $(f_{SCLK0}/4)$  MHz です。周期の値 (VALUE) は、 $TMx\_TMRn\_PER$  レジスタで指定されるタイマー周期で、 $2 \sim 2^{32} - 1$  の範囲です。

表 45. タイマー・サイクルのタイミング

Parameter	$V_{DD\_EXT}$ 1.8 V Nominal		$V_{DD\_EXT}$ 3.3 V Nominal		Unit
	Min	Max	Min	Max	
Timing Requirements					
$t_{WL}$ Timer Pulse Width Input Low <sup>1</sup>	$2 \times t_{SCLK0} - 1.5$		$2 \times t_{SCLK0} - 1.5$		ns
$t_{WH}$ Timer Pulse Width Input High <sup>1</sup>	$2 \times t_{SCLK0} - 1.5$		$2 \times t_{SCLK0} - 1.5$		ns
Switching Characteristic					
$t_{HTO}$ Timer Pulse Width Output	$t_{SCLK0} \times VALUE - 1$		$t_{SCLK0} \times VALUE - 1$		ns

<sup>1</sup> この仕様は、幅キャプチャ・モードと外部クロック・モードにおける  $TMx$  信号のデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅を示します。 $TMx$  信号の理想的な最大周波数は、このページの「タイマー・サイクルのタイミング」に記載されています。

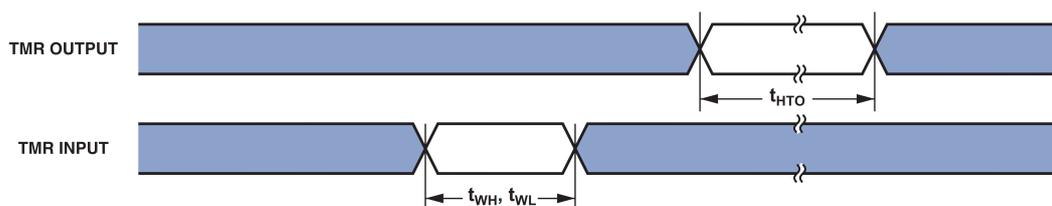


図 23. タイマー・サイクルのタイミング

アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

表 46 および図 24 に、汎用カウンタ（CNT）に関連したタイミングを示します。

表 46. アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirement</i>					
t <sub>WCOUNT</sub> Up/Down Counter/Rotary Encoder Input Pulse Width	2 × t <sub>SCLK0</sub>		2 × t <sub>SCLK0</sub>		ns

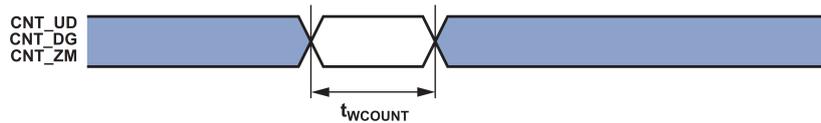


図 24. アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

デバッグ・インターフェース（JTAG エミュレーション・ポート）のタイミング

表 47 および図 25 にデバッグ・インターフェース（JTAG エミュレータ・ポート）に関連した I/O タイミングを示します。

表 47. JTAG ポートのタイミング

Parameter		V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
		Min	Max	Min	Max	
<i>Timing Requirements</i>						
t <sub>TCK</sub>	JTG_TCK Period	20		20		ns
t <sub>STAP</sub>	JTG_TDI, JTG_TMS Setup Before JTG_TCK High	5		4		ns
t <sub>HTAP</sub>	JTG_TDI, JTG_TMS Hold After JTG_TCK High	4		4		ns
t <sub>SSYS</sub>	System Inputs Setup Before JTG_TCK High <sup>1</sup>	4		4		ns
t <sub>HSYS</sub>	System Inputs Hold After JTG_TCK High <sup>1</sup>	4		4		ns
t <sub>TRSTW</sub>	JTG_TRST Pulse Width (Measured in JTG_TCK Cycles) <sup>2</sup>	4		4		t <sub>TCK</sub>
<i>Switching Characteristics</i>						
t <sub>DTDO</sub>	JTG_TDO Delay From JTG_TCK Low		16.5		14.5	ns
t <sub>DSYS</sub>	System Outputs Delay After JTG_TCK Low <sup>3</sup>		18		16.5	ns
t <sub>DTMS</sub>	TMS Delay After TCK High in SWD Mode	3.5	16.5	3.5	14.5	ns

<sup>1</sup> システム入力= DMC0\_DQxx, DMC0\_LDQS,  $\overline{\text{DMC0\_LDQS}}$ , DMC0\_UDQS,  $\overline{\text{DMC0\_UDQS}}$ , PA\_xx, PB\_xx, PC\_xx, SYS\_BMODEx,  $\overline{\text{SYS\_HWRST}}$ ,  $\overline{\text{SYS\_FAULT}}$ ,  $\overline{\text{SYS\_NMI}}$ , TWI0\_SCL, TWI0\_SDA, SYS\_EXTWAKE。

<sup>2</sup> 最大 50MHz。

<sup>3</sup> システム出力= DMC0\_Axx, DMC0\_BAx,  $\overline{\text{DMC0\_CAS}}$ , DMC0\_CK,  $\overline{\text{DMC0\_CK}}$ , DMC0\_CKE,  $\overline{\text{DMC0\_CS0}}$ , DMC0\_DQxx, DMC0\_LDM, DMC0\_LDQS,  $\overline{\text{DMC0\_LDQS}}$ , DMC0\_ODT,  $\overline{\text{DMC0\_RAS}}$ , DMC0\_UDM, DMC0\_UDQS,  $\overline{\text{DMC0\_UDQS}}$ ,  $\overline{\text{DMC0\_WE}}$ , PA\_xx, PB\_xx, PC\_xx, SYS\_CLKOUT,  $\overline{\text{SYS\_FAULT}}$ ,  $\overline{\text{SYS\_RESOUT}}$ ,  $\overline{\text{SYS\_NMI}}$ 。

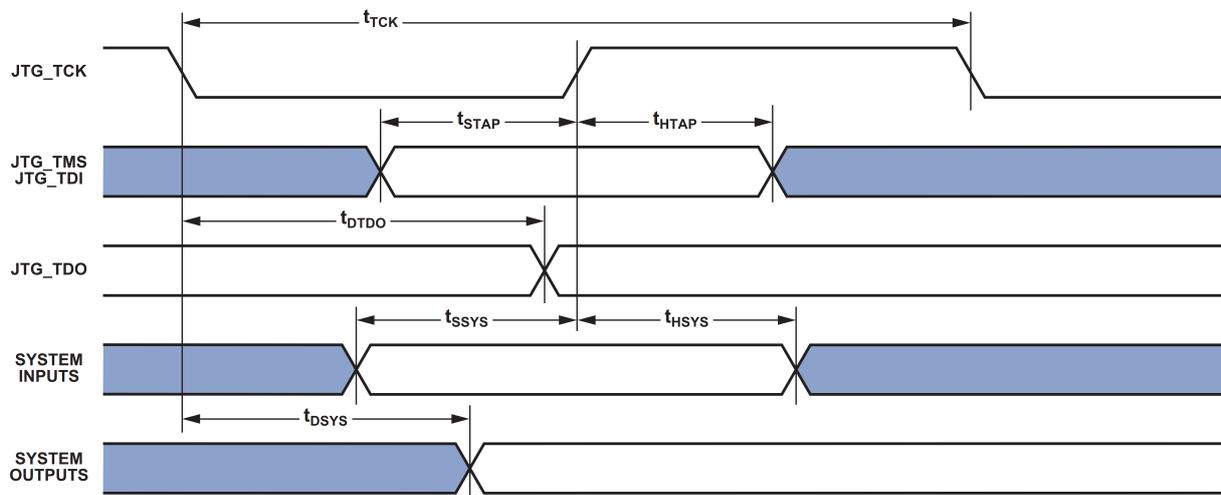


図 25. JTAG ポートのタイミング

## シリアル・ポート

クロック速度が  $n$  の 2 つのデバイス間でシリアル・ポート (SPORT) 通信が可能かどうかを判定するには、次の仕様を確認する必要があります：1) フレーム同期の遅延およびフレーム同期のセットアップとホールド、2) データの遅延およびデータのセットアップとホールド、3) シリアル・クロック (SPT\_CLK) 幅。図 26 では、SPT\_CLK (外部または内部) の立上がりエッジと立下がりエッジのどちらでもアクティブなサンプリング・エッジとして使用できます。

SPORT クロックは、外部で生成される場合、 $f_{SPTCLKEXT}$  と呼ばれます：

$$t_{SPTCLKEXT} = \frac{1}{f_{SPTCLKEXT}}$$

内部で生成される場合、プログラムされた SPORT クロック ( $f_{SPTCLKPROG}$ ) 周波数 (MHz 単位) は次の式で設定されます。ここで、CLKDIV は SPORT\_DIV レジスタ内のフィールドで、0~65535 の範囲で設定できます。

$$f_{SPTCLKPROG} = \frac{f_{SCLK0}}{(CLKDIV+1)}$$

$$t_{SPTCLKPROG} = \frac{1}{f_{SPTCLKPROG}}$$

表 48. シリアル・ポート-外部クロック

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{SFSE}$	Frame Sync Setup Before SPT_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) <sup>1</sup>		1.5	1	ns
$t_{HFSE}$	Frame Sync Hold After SPT_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) <sup>1</sup>		3	3	ns
$t_{SDRE}$	Receive Data Setup Before Receive SPT_CLK <sup>1</sup>		1.5	1	ns
$t_{HDRE}$	Receive Data Hold After SPT_CLK <sup>1</sup>		3	3	ns
$t_{SCLKW}$	SPT_CLK Width <sup>2</sup>		$(0.5 \times t_{SPTCLKEXT}) - 1$		ns
$t_{SPTCLKE}$	SPT_CLK Period <sup>2</sup>		$t_{SPTCLKEXT} - 1$		ns
<i>Switching Characteristics</i>					
$t_{DFSE}$	Frame Sync Delay After SPT_CLK (Internally Generated Frame Sync in Either Transmit or Receive Mode) <sup>3</sup>		18	15	ns
$t_{HOFSE}$	Frame Sync Hold After SPT_CLK (Internally Generated Frame Sync in Either Transmit or Receive Mode) <sup>3</sup>		2.5	2.5	ns
$t_{DDTE}$	Transmit Data Delay After Transmit SPT_CLK <sup>3</sup>		18	15	ns
$t_{HDTE}$	Transmit Data Hold After Transmit SPT_CLK <sup>3</sup>		2.5	2.5	ns

<sup>1</sup> サンプル・エッジを基準とします。

<sup>2</sup> この仕様は、外部 SPT\_CLK のデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部 SPT\_CLK の理想的な最大周波数については、クロック関連の動作条件のセクションの表 18 に示す  $f_{SPTCLKEXT}$  の仕様を参照してください。

<sup>3</sup> 駆動エッジを基準とします。

表 49. シリアル・ポート-内部クロック

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t <sub>SFSI</sub>	Frame Sync Setup Before SPT_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) <sup>1</sup>		17	14.5	ns
t <sub>HFSI</sub>	Frame Sync Hold After SPT_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) <sup>1</sup>		-0.5	-0.5	ns
t <sub>SDRI</sub>	Receive Data Setup Before SPT_CLK <sup>1</sup>		6.5	5	ns
t <sub>HDRI</sub>	Receive Data Hold After SPT_CLK <sup>1</sup>		1.5	1	ns
<i>Switching Characteristics</i>					
t <sub>DFSI</sub>	Frame Sync Delay After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) <sup>2</sup>			2	ns
t <sub>HOFSI</sub>	Frame Sync Hold After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) <sup>2</sup>		-4.5	-3.5	ns
t <sub>DDTI</sub>	Transmit Data Delay After SPT_CLK <sup>2</sup>			2	ns
t <sub>HDTI</sub>	Transmit Data Hold After SPT_CLK <sup>2</sup>		-5	-3.5	ns
t <sub>SCLKIW</sub>	SPT_CLK Width <sup>3</sup>		0.5 × t <sub>SPTCLKPROG</sub> - 1.5		ns
t <sub>SPTCLKI</sub>	SPT_CLK Period <sup>3</sup>		t <sub>SPTCLKPROG</sub> - 1.5		ns

<sup>1</sup> サンプル・エッジを基準とします。<sup>2</sup> 駆動エッジを基準とします。<sup>3</sup> t<sub>SPTCLKPROG</sub> をプログラムできる最小周期の詳細については、[クロック関連の動作条件](#)のセクションの表 18 を参照してください。

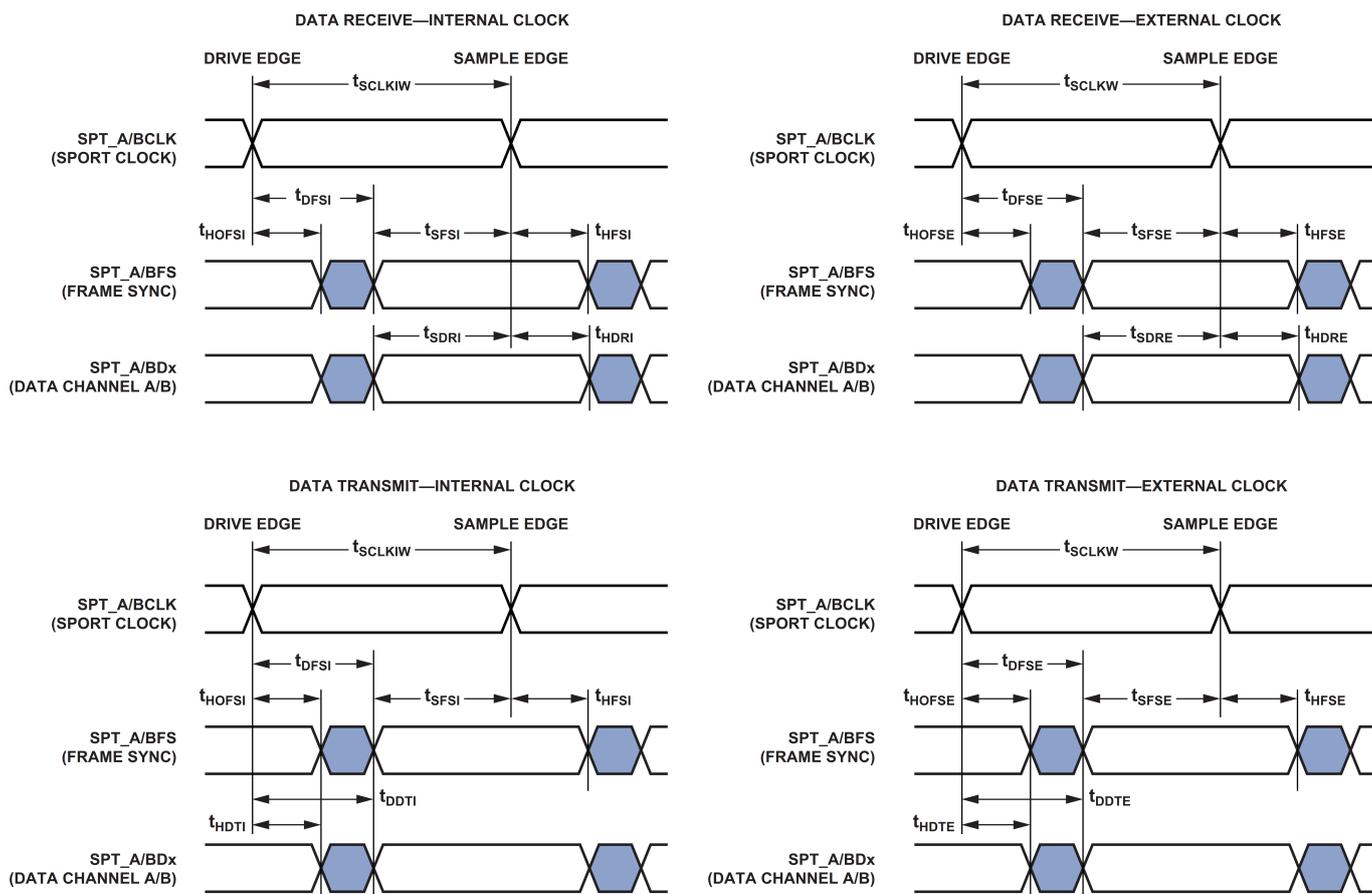


図 26. シリアル・ポート

表 50. シリアル・ポート-イネーブルとスリーステート

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
$t_{DDTEN}$	Data Enable from External Transmit SPT_CLK <sup>1</sup>		1		ns
$t_{DDTTE}$	Data Disable from External Transmit SPT_CLK <sup>1</sup>			14	ns
$t_{DDTIN}$	Data Enable from Internal Transmit SPT_CLK <sup>1</sup>		-1.12		ns
$t_{DDTTI}$	Data Disable from Internal Transmit SPT_CLK <sup>1</sup>			2.8	ns

<sup>1</sup> 駆動エッジを基準とします。

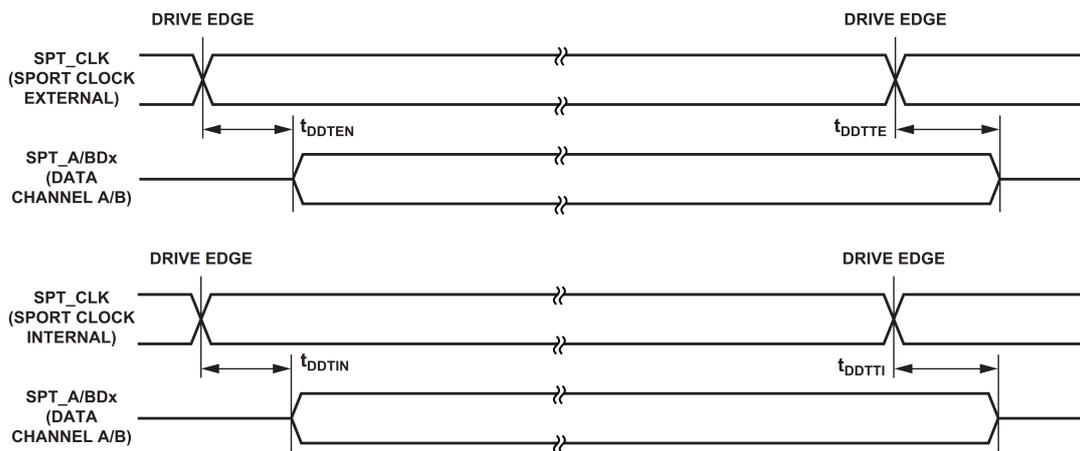


図 27. シリアル・ポート-イネーブルとスリーステート

SPORT マルチチャンネル・モードでは、SPT\_TDV 出力信号がアクティブになります。送信スロット（アクティブ・チャンネルの選択レジスタでイネーブル）の間、SPT\_TDV がアサートされ、外部デバイスとの通信が可能になります。

表 51. シリアル・ポート-送信データ有効 (TDV)

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
t <sub>DRDVEN</sub>	Data-Valid Enable Delay from Drive Edge of External Clock <sup>1</sup>		2.5		ns
t <sub>DFDVEN</sub>	Data-Valid Disable Delay from Drive Edge of External Clock <sup>1</sup>			17.5	ns
t <sub>DRDVIN</sub>	Data-Valid Enable Delay from Drive Edge of Internal Clock <sup>1</sup>		-4.5		ns
t <sub>DFDVIN</sub>	Data-Valid Disable Delay from Drive Edge of Internal Clock <sup>1</sup>			2	ns

<sup>1</sup> 駆動エッジを基準とします。

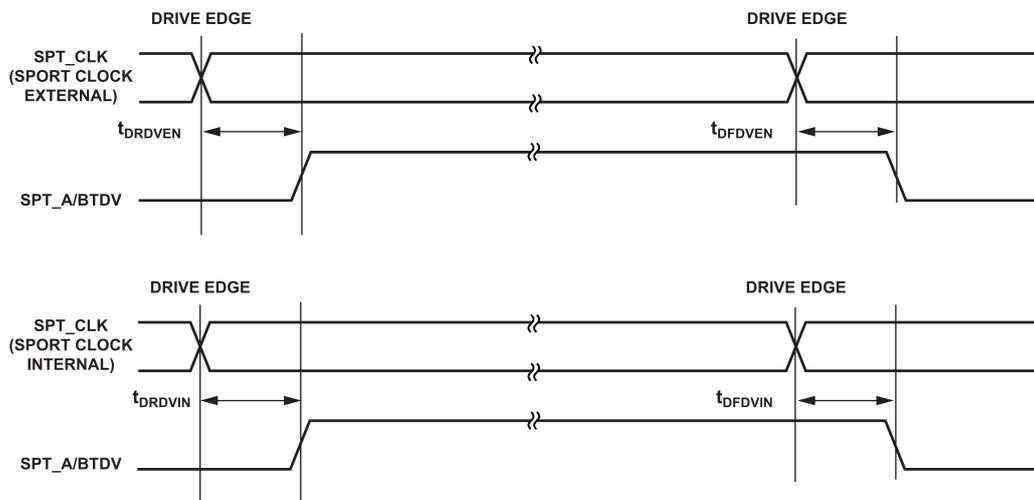


図 28. シリアル・ポート-送信データ有効 (内部クロックおよび外部クロック)

表 52. シリアル・ポート-外部遅延フレーム同期

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
$t_{DDLSE}$	Data Delay from Late External Transmit Frame Sync or External Receive Frame Sync with MCE = 1, MFD = 0 <sup>1</sup>		19		ns
$t_{DDTENFS}$	Data Enable for MCE = 1, MFD = 0 <sup>1</sup>		0.5		ns

<sup>1</sup>  $t_{DDLSE}$  および  $t_{DDTENFS}$  の各パラメータは左詰めモードおよび標準シリアル・モードに適用され、MCE = 1 かつ MFD = 0 です。

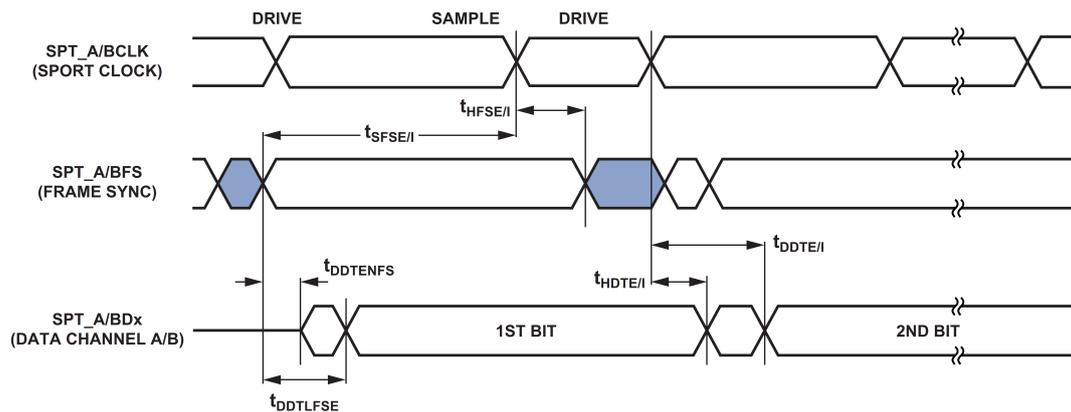


図 29. 外部遅延フレーム同期

## シリアル・ペリフェラル・インターフェース (SPI) ポート-マスタのタイミング

表 53 および図 30 に、シリアル・ペリフェラル・インターフェース (SPI) ポートのマスタ動作を示します。

内部で生成される場合、プログラムされた SPI クロック ( $f_{SPICLKPROG}$ ) 周波数 (MHz 単位) は次の式で設定されます。ここで、BAUD は SPI\_CLK レジスタ内のフィールドで、0~65535 の範囲で設定できます。

$$f_{SPICLKPROG} = \frac{f_{SCLK0}}{(BAUD + 1)}$$

$$t_{SPICLKPROG} = \frac{1}{f_{SPICLKPROG}}$$

また、以下の関係に留意してください。

- デュアル・モードのデータ送信では、SPI\_MISO 信号は出力にもなります。
- クワッド・モードのデータ送信では、SPI\_MISO、SPI\_D2、SPI\_D3 の各信号は出力にもなります。
- デュアル・モードのデータ受信では、SPI\_MOSI 信号は入力にもなります。
- クワッド・モードのデータ受信では、SPI\_MOSI、SPI\_D2、SPI\_D3 の各信号は入力にもなります。
- その他のフレーム遅延を追加するには、ハードウェア・リファレンス・マニュアルの SPI\_DLY レジスタに関する説明を参照してください。

表 53. シリアル・ペリフェラル・インターフェース (SPI) ポート-マスタのタイミング

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{SSPIDM}$ Data Input Valid to SPI_CLK Edge (Data Input Setup)	6.5		5.5		ns
$t_{HSPIDM}$ SPI_CLK Sampling Edge to Data Input Invalid	1		1		ns
<i>Switching Characteristics</i>					
$t_{SDSCIM}$ $\overline{SPI\_SEL}$ low to First SPI_CLK Edge	$0.5 \times t_{SCLK0} - 2.5$		$0.5 \times t_{SCLK0} - 1.5$		ns
$t_{SPICHM}$ SPI_CLK High Period <sup>1</sup>	$0.5 \times t_{SPICLKPROG} - 1.5$		$0.5 \times t_{SPICLKPROG} - 1.5$		ns
$t_{SPICLM}$ SPI_CLK Low Period <sup>1</sup>	$0.5 \times t_{SPICLKPROG} - 1.5$		$0.5 \times t_{SPICLKPROG} - 1.5$		ns
$t_{SPICLK}$ SPI_CLK Period <sup>1</sup>	$t_{SPICLKPROG} - 1.5$		$t_{SPICLKPROG} - 1.5$		ns
$t_{HDSM}$ Last SPI_CLK Edge to $\overline{SPI\_SEL}$ High	$(0.5 \times t_{SCLK0}) - 2.5$		$(0.5 \times t_{SCLK0}) - 1.5$		ns
$t_{SPITDM}$ Sequential Transfer Delay <sup>2</sup>	$(STOP \times t_{SPICLK}) - 1.5$		$(STOP \times t_{SPICLK}) - 1.5$		ns
$t_{DDSPIDM}$ SPI_CLK Edge to Data Out Valid (Data Out Delay)		2.5		2	ns
$t_{HDSPIDM}$ SPI_CLK Edge to Data Out Invalid (Data Out Hold)	-4.5		-3.5		ns

<sup>1</sup>  $t_{SPICLKPROG}$  をプログラムできる最小周期の詳細については、[クロック関連の動作条件](#)のセクションの表 18 を参照してください。

<sup>2</sup> STOP の値は、SPI\_DLY.STOP ビットを用いて設定されます。

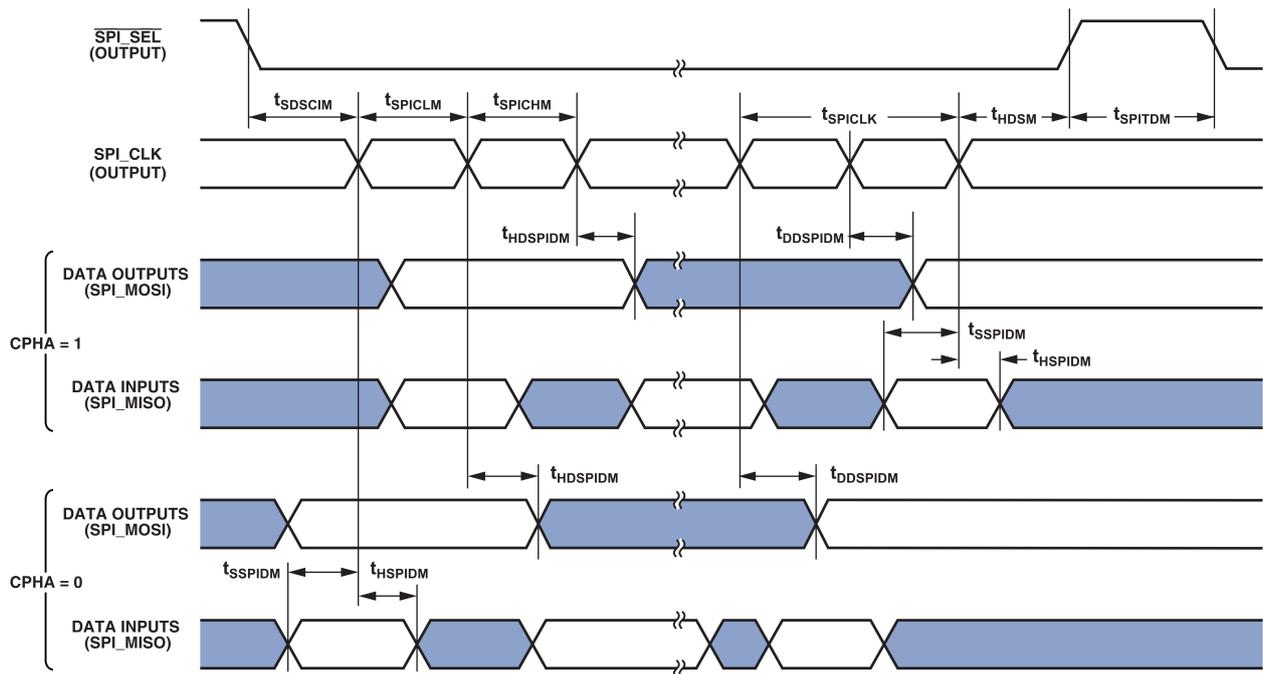


図 30. シリアル・ペリフェラル・インターフェース (SPI) ポートマスタのタイミング

## シリアル・ペリフェラル・インターフェース (SPI) ポートスレーブのタイミング

表 54 および図 31 に、シリアル・ペリフェラル・インターフェース (SPI) ポートのスレーブ動作を示します。また、以下の関係に留意してください。

- デュアル・モードのデータ送信では、SPI\_MOSI 信号は出力にもなります。
- クワッド・モードのデータ送信では、SPI\_MOSI、SPI\_D2、SPI\_D3 の各信号は出力にもなります。
- デュアル・モードのデータ受信では、SPI\_MISO 信号は入力にもなります。
- クワッド・モードのデータ受信では、SPI\_MISO、SPI\_D2、SPI\_D3 の各信号は入力にもなります。
- SPI スレーブ・モードでは、SPI クロックは外部から供給され、f<sub>SPICLKEXT</sub> と呼ばれます。

$$t_{SPICLKEXT} = \frac{1}{f_{SPICLKEXT}}$$

表 54. シリアル・ペリフェラル・インターフェース (SPI) ポートスレーブのタイミング

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit	
	Min	Max	Min	Max		
<i>Timing Requirements</i>						
t <sub>SPICHS</sub>	SPI_CLK High Period <sup>1</sup>	(0.5 × t <sub>SPICLKEXT</sub> ) – 1.5	(0.5 × t <sub>SPICLKEXT</sub> ) – 1.5		ns	
t <sub>SPICLS</sub>	SPI_CLK Low Period <sup>1</sup>	(0.5 × t <sub>SPICLKEXT</sub> ) – 1.5	(0.5 × t <sub>SPICLKEXT</sub> ) – 1.5		ns	
t <sub>SPICLK</sub>	SPI_CLK Period <sup>1</sup>	t <sub>SPICLKEXT</sub> – 1.5	t <sub>SPICLKEXT</sub> – 1.5		ns	
t <sub>HDS</sub>	Last SPI_CLK Edge to $\overline{\text{SPI\_SS}}$ Not Asserted (NonSPIHP)	5	5		ns	
t <sub>HDS</sub>	Last SPI_CLK Edge to $\overline{\text{SPI\_SS}}$ Not Asserted (Using SPIHP)	1.5 × t <sub>SCLK0</sub>	1.5 × t <sub>SCLK0</sub>		ns	
t <sub>SPITDS</sub>	Sequential Transfer Delay (NonSPIHP)	0.5 × t <sub>SPICLK</sub> – 1.5	0.5 × t <sub>SPICLK</sub> – 1.5		ns	
t <sub>SPITDS</sub>	Sequential Transfer Delay (Using SPIHP)	3 × t <sub>SCLK0</sub>	3 × t <sub>SCLK0</sub>		ns	
t <sub>SDSCI</sub>	$\overline{\text{SPI\_SS}}$ Assertion to First SPI_CLK Edge	11.5	11.5		ns	
t <sub>SSPID</sub>	Data Input Valid to SPI_CLK Edge (Data Input Setup)	1.5	1		ns	
t <sub>HSPID</sub>	SPI_CLK Sampling Edge to Data Input Invalid	3.3	3		ns	
<i>Switching Characteristics</i>						
t <sub>DSOE</sub>	$\overline{\text{SPI\_SS}}$ Assertion to Data Out Active	0	17.5	0	14.5	ns
t <sub>DSDHI</sub>	$\overline{\text{SPI\_SS}}$ Deassertion to Data High Impedance	0	13	0	11.5	ns
t <sub>DDSPID</sub>	SPI_CLK Edge to Data Out Valid (Data Out Delay)		17.5		14.5	ns
t <sub>HDSPID</sub>	SPI_CLK Edge to Data Out Invalid (Data Out Hold)	2.5		2.5		ns

<sup>1</sup>この仕様は、外部 SPI\_CLK のデューティ・サイクルの変化またはジッタによって許容可能な最小瞬時幅または周期を示します。外部 SPI\_CLK の理想的な最大周波数については、[クロック関連の動作条件](#)のセクションの表 18 に示す f<sub>SPICLKEXT</sub> の仕様を参照してください。

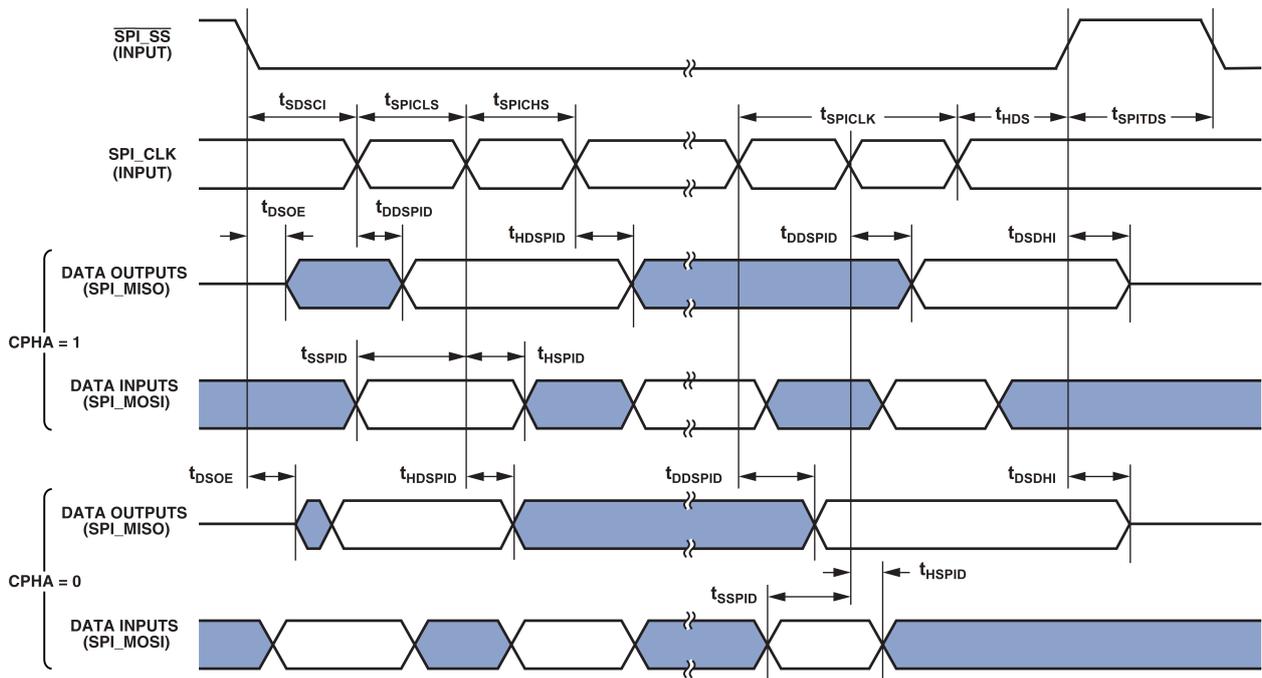


図 31. シリアル・ペリフェラル・インターフェース (SPI) ポート-スレーブのタイミング

シリアル・ペリフェラル・インターフェース (SPI) ポート-SPI\_RDY スレーブのタイミング

表 55. SPI ポート-SPI\_RDY スレーブのタイミング

Parameter	$V_{DD\_EXT}$ 1.8 V/3.3V Nominal		Unit
	Min	Max	
<i>Switching Characteristics</i>			
$t_{DSPISCKRDYSR}$ SPI_RDY De-assertion from Valid Input SPI_CLK Edge in Slave Mode Receive	$2.5 \times t_{SCLK0} + t_{HDSPID}$	$3.5 \times t_{SCLK0} + t_{HDSPID}$	ns
$t_{DSPISCKRDYST}$ SPI_RDY De-assertion from Valid Input SPI_CLK Edge in Slave Mode Transmit	$3.5 \times t_{SCLK0} + t_{HDSPID}$	$4.5 \times t_{SCLK0} + t_{HDSPID}$	ns

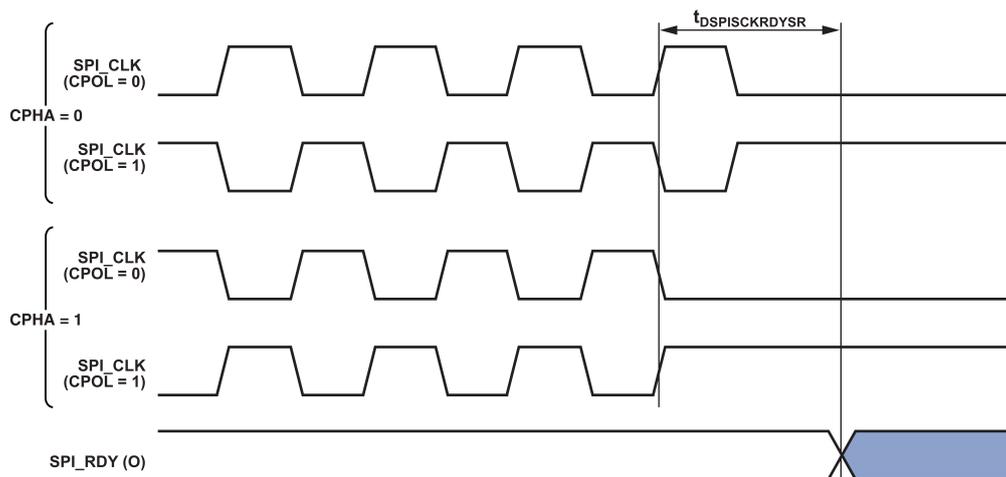


図 32. スレーブ・モード受信 (FCCH = 0) における有効入力 SPI\_CLK エッジからの SPI\_RDY アサート解除

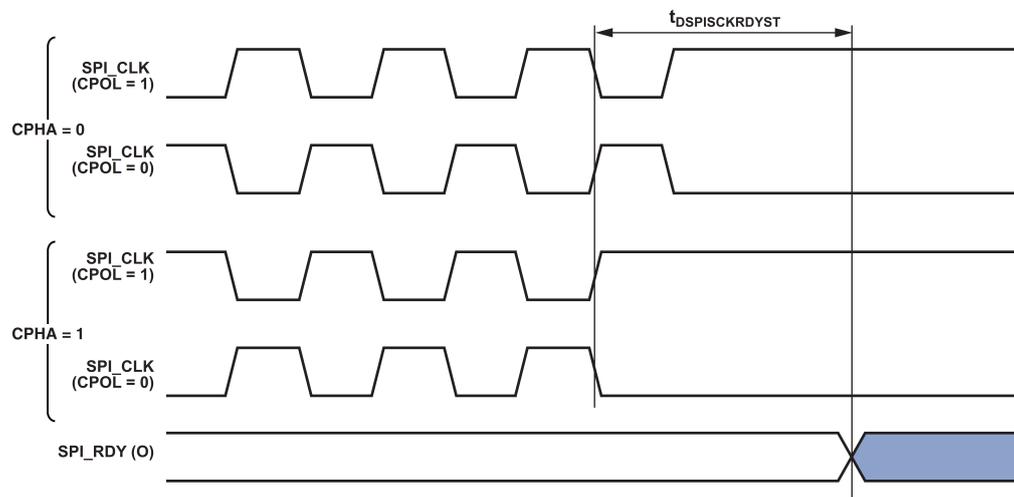


図 33. スレーブ・モード送信 (FCCH = 1) における有効入力 SPI\_CLK エッジからの SPI\_RDY アサート解除

シリアル・ペリフェラル・インターフェース (SPI) ポート-オープンドレイン・モード (ODM) のタイミング

図 34 および図 35 では、動作モードに応じ、出力を SPI\_MOSI SPI\_MISO、SPI\_D2、SPI\_D3 とすることができます。

表 56. SPI ポートが ODM マスタ・モードの場合のタイミング

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
$t_{HDSPIODMM}$ SPI_CLK Edge to High Impedance from Data Out Valid	-4.5		-3.5		ns
$t_{DDSPIODMM}$ SPI_CLK Edge to Data Out Valid from High Impedance		2.5		2	ns

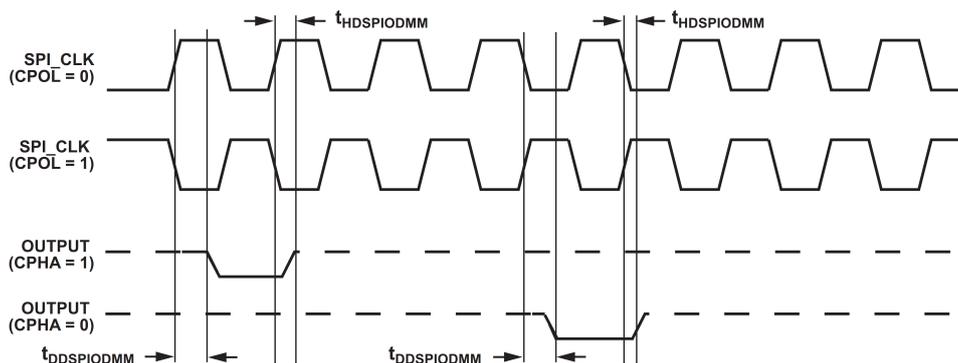


図 34. ODM マスタ

表 57. SPI ポート-ODM スレーブ・モード

Parameter	V <sub>DD_EXT</sub> 1.8V Nominal		V <sub>DD_EXT</sub> 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
t <sub>HDSPIODMS</sub> SPI_CLK Edge to High Impedance from Data Out Valid	2.5		2.5		ns
t <sub>DDSPIODMS</sub> SPI_CLK Edge to Data Out Valid from High Impedance		17.5		14.5	ns

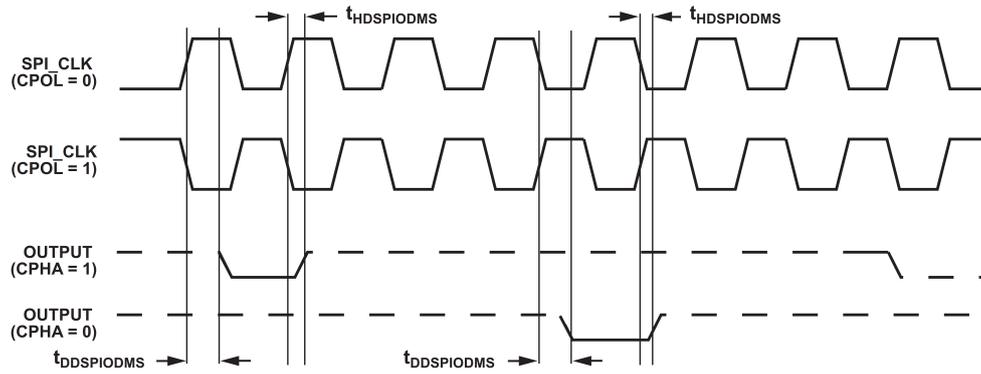


図 35. ODM スレーブ

シリアル・ペリフェラル・インターフェース (SPI) ポート-SPI\_RDY のタイミング

SPI\_RDY はフロー制御を行うために使用できます。CPOL ビットと CPHA ビットは SPI\_CTL で設定されるのに対し、LEADX、LAGX、STOP は SPI\_DLY で設定されます。

表 58. SPI ポート-SPI\_RDY のタイミング

Parameter	$V_{DD\_EXT}$ 1.8 V/3.3V Nominal		Unit
	Min	Max	
<i>Timing Requirements</i>			
$t_{SRDYSCKM0}$	Minimum Setup Time for SPI_RDY De-assertion in Master Mode Before Last SPI_CLK Edge of Valid Data Transfer to Block Subsequent Transfer with CPHA = 0		ns
$t_{SRDYSCKM1}$	Minimum Setup Time for SPI_RDY De-assertion in Master Mode Before Last SPI_CLK Edge of Valid Data Transfer to Block Subsequent Transfer with CPHA = 1		ns
<i>Switching Characteristic</i>			
$t_{SRDYSCKM}$	Time Between Assertion of SPI_RDY by Slave and First Edge of SPI_CLK for New SPI Transfer with CPHA = 0 and BAUD = 0 (STOP, LEADX, LAGX = 0)		ns
	$3 \times t_{SCLK0}$	$4 \times t_{SCLK0} + 17.5$	
	Time Between Assertion of SPI_RDY by Slave and First Edge of SPI_CLK for New SPI Transfer with CPHA = 0 and BAUD $\geq 1$ (STOP, LEADX, LAGX = 0)		ns
	$(4 + 1.5 \times BAUD^1) \times t_{SCLK0}$	$(5 + 1.5 \times BAUD^1) \times t_{SCLK0} + 17.5$	
	Time Between Assertion of SPI_RDY by Slave and First Edge of SPI_CLK for New SPI Transfer with CPHA = 1 (STOP, LEADX, LAGX = 0)		ns
	$(3 + 0.5 \times BAUD^1) \times t_{SCLK0}$	$(4 + 0.5 \times BAUD^1) \times t_{SCLK0} + 17.5$	

<sup>1</sup> BAUD の値は、SPI\_CLK.BAUD ビットを用いて設定されます。

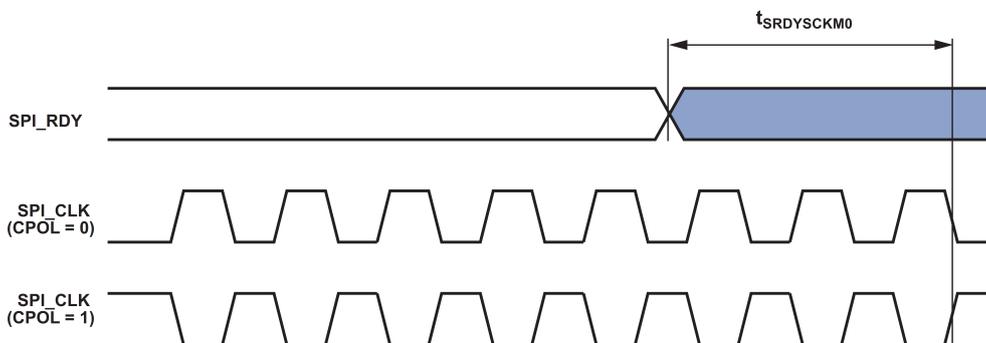


図 36. SPI\_CLK の前の SPI\_RDY のセットアップ (CPHA = 0)

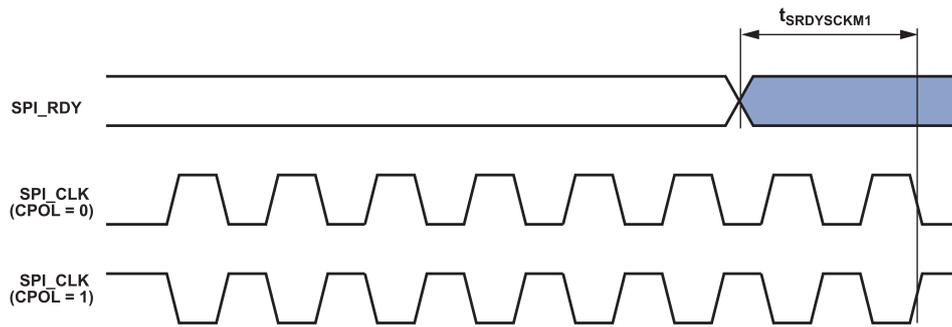


図 37. SPI\_CLK の前の SPI\_RDY のセットアップ (CPHA = 1)

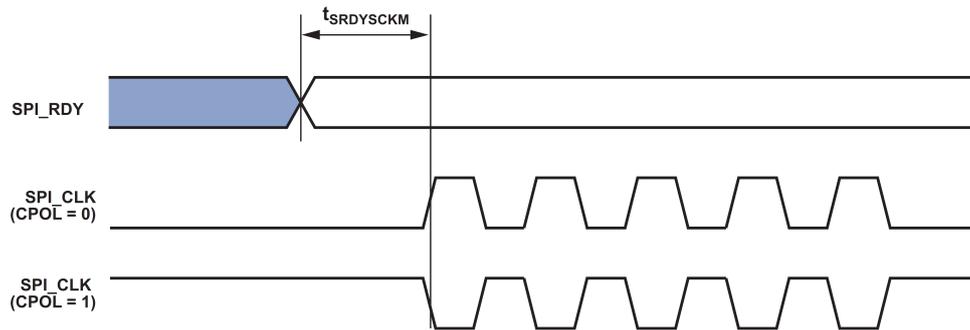


図 38. SPI\_RDY アサート後の SPI\_CLK のスイッチング図 (CPHA = x)

### 拡張パラレル・ペリフェラル・インターフェースのタイミング

拡張パラレル・ペリフェラル・インターフェースのタイミング動作を、以下の図と表に示します。EPPI\_CTL レジスタの POLC ビットと使用すると、EPPI クロックのサンプリング/駆動エッジを設定できます。

内部で生成される場合、プログラムされた PPI クロック ( $f_{PCLKPROG}$ ) 周波数 (MHz 単位) は次の式で設定されます。ここで、VALUE は EPPI\_CLKDIV レジスタ内のフィールドで、0~65535 の範囲で設定できます。

$$f_{PCLKPROG} = \frac{f_{SCLK0}}{(VALUE+1)}$$

$$t_{PCLKPROG} = \frac{1}{f_{PCLKPROG}}$$

外部で生成される場合、EPPI\_CLK は、 $f_{PCLKEXT}$  と呼ばれます：

$$t_{PCLKEXT} = \frac{1}{f_{PCLKEXT}}$$

表 59. 拡張パラレル・ペリフェラル・インターフェース-内部クロック

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{SFSPi}$	External FS Setup Before EPPI_CLK		5		ns
$t_{HFSPi}$	External FS Hold After EPPI_CLK		1		ns
$t_{SDRPI}$	Receive Data Setup Before EPPI_CLK		5		ns
$t_{HDRPI}$	Receive Data Hold After EPPI_CLK		1		ns
$t_{SF3GI}$	External FS3 Input Setup Before EPPI_CLK Fall Edge in Clock Gating Mode		14		ns
$t_{HF3GI}$	External FS3 Input Hold Before EPPI_CLK Fall Edge in Clock Gating Mode		0		ns
<i>Switching Characteristics</i>					
$t_{PCLKW}$	EPPI_CLK Width <sup>1</sup>		$0.5 \times t_{PCLKPROG} - 2$		ns
$t_{PCLK}$	EPPI_CLK Period <sup>1</sup>		$t_{PCLKPROG} - 2$		ns
$t_{DFSPi}$	Internal FS Delay After EPPI_CLK			2	ns
$t_{HOFSPi}$	Internal FS Hold After EPPI_CLK		-3		ns
$t_{DDTPI}$	Transmit Data Delay After EPPI_CLK			2	ns
$t_{HDTPI}$	Transmit Data Hold After EPPI_CLK		-3		ns

<sup>1</sup>  $t_{PCLKPROG}$  をプログラムできる最小周期の詳細については、[クロック関連の動作条件](#)のセクションの表 18 を参照してください。

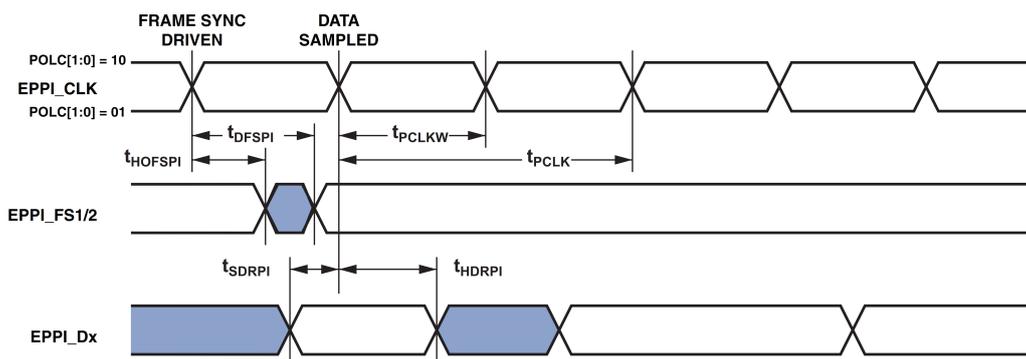


図 39. PPI 内部クロック GP 受信モードと内部フレーム同期タイミング

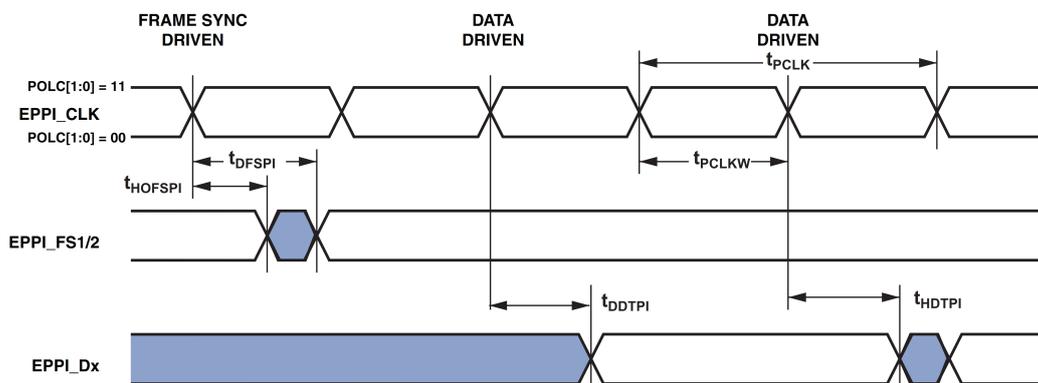


図 40. PPI 内部クロック GP 送信モードと内部フレーム同期タイミング

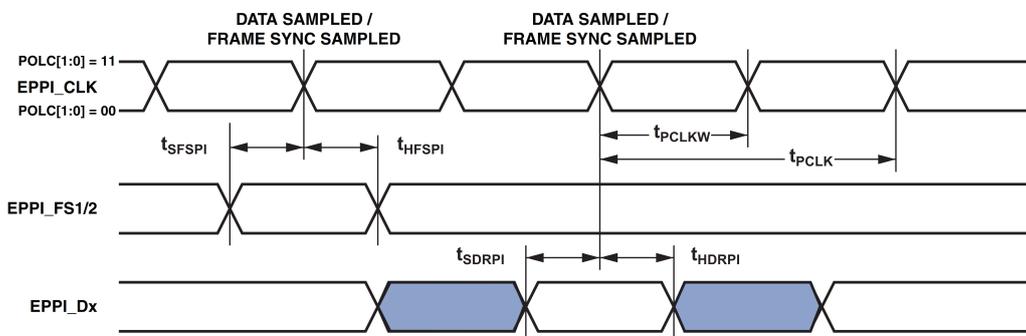


図 41. PPI 内部クロック GP 受信モードと外部フレーム同期タイミング

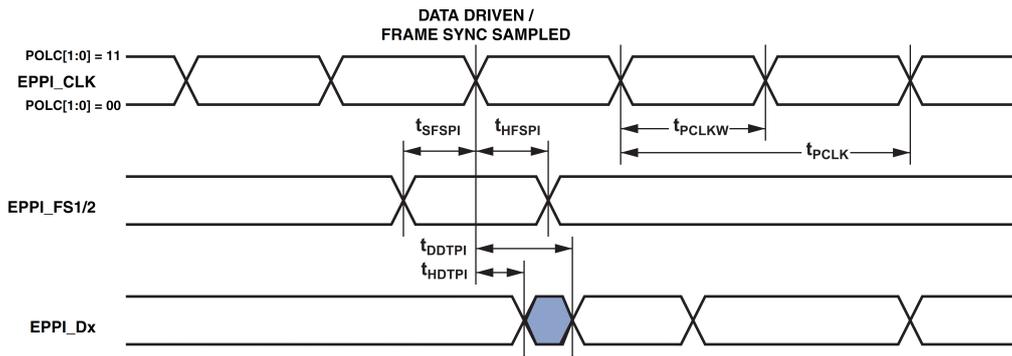


図 42. PPI 内部クロック GP 送信モードと外部フレーム同期タイミング

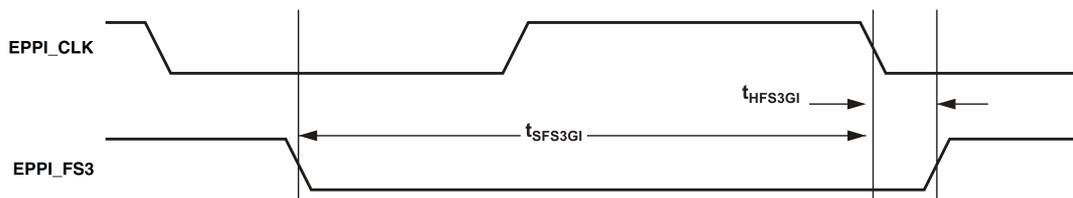


図 43. クロック・ゲーティング・モードと内部クロックおよび外部フレーム同期タイミング

表 60. 拡張パラレル・ペリフェラル・インターフェース-外部クロック

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{PCLKW}$ EPPI_CLK Width <sup>1</sup>	$(0.5 \times t_{PCLKEXT}) - 1$		$(0.5 \times t_{PCLKEXT}) - 1$		ns
$t_{PCLK}$ EPPI_CLK Period <sup>1</sup>	$t_{PCLKEXT} - 1$		$t_{PCLKEXT} - 1$		ns
$t_{SFSPE}$ External FS Setup Before EPPI_CLK	1.5		1		ns
$t_{HFSPE}$ External FS Hold After EPPI_CLK	3.3		3		ns
$t_{SDRPE}$ Receive Data Setup Before EPPI_CLK	1		1		ns
$t_{HDRPE}$ Receive Data Hold After EPPI_CLK	3		3		ns
<i>Switching Characteristics</i>					
$t_{DFSPE}$ Internal FS Delay After EPPI_CLK			17.5		ns
$t_{HOFSPPE}$ Internal FS Hold After EPPI_CLK	2.5		2.5		ns
$t_{DDTPE}$ Transmit Data Delay After EPPI_CLK			14.5		ns
$t_{HDTPE}$ Transmit Data Hold After EPPI_CLK	2.5		2.5		ns

<sup>1</sup> この仕様は、外部 EPPI\_CLK のデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部 EPPI\_CLK の理想的な最大周波数については、[クロック関連の動作条件](#)のセクションの表 18 に示す  $f_{PCLKEXT}$  の仕様を参照してください。

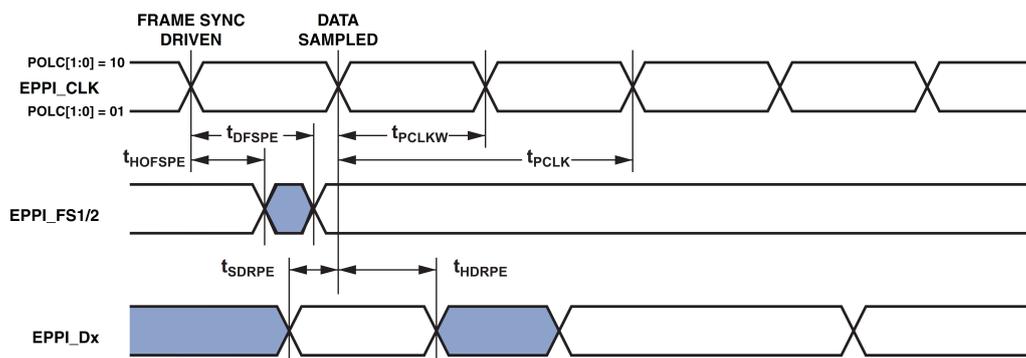


図 44. PPI 外部クロック GP 受信モードと内部フレーム同期タイミング

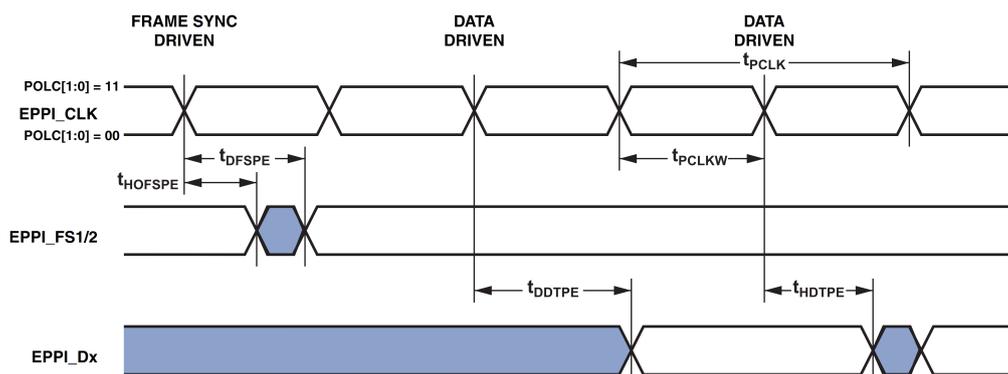


図 45. PPI 外部クロック GP 送信モードと内部フレーム同期タイミング

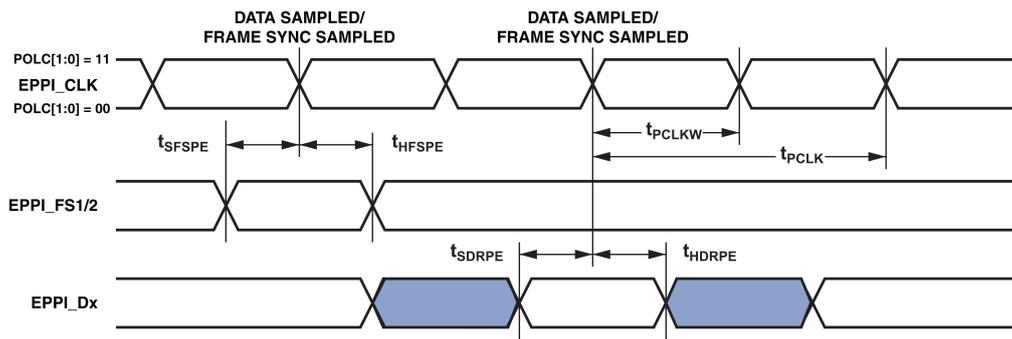


図 46. PPI 外部クロック GP 受信モードと外部フレーム同期タイミング

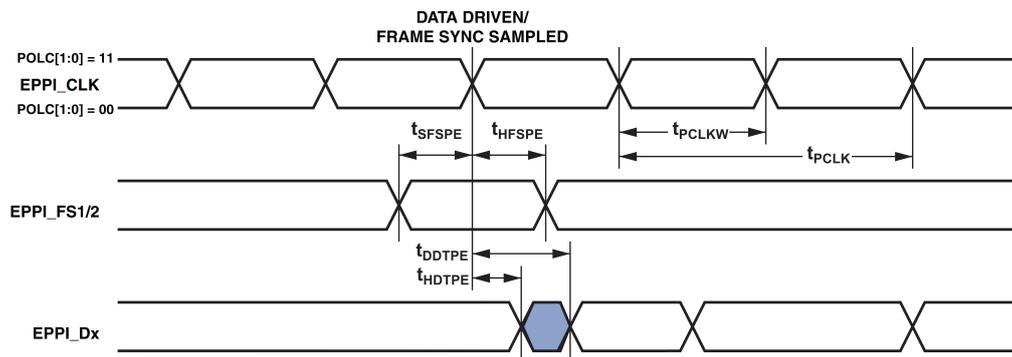


図 47. PPI 外部クロック GP 送信モードと外部フレーム同期タイミング

**ユニバーサル非同期レシーバー／トランスミッタ（UART）-受信および送信タイミング**

ユニバーサル非同期レシーバー／トランスミッタ（UART）ポートの受信動作および送信動作については、ADSP-BF70x Blackfin+ Processor Hardware Referenceに記載されています。

**コントローラ・エリア・ネットワーク（CAN）インターフェース**

コントローラ・エリア・ネットワーク（CAN）インターフェースのタイミングについては、ADSP-BF70x Blackfin+ Processor Hardware Referenceに記載されています。

**ユニバーサル・シリアル・バス（USB）**

表 61 に、ユニバーサル・シリアル・バス（USB）のクロック・タイミングを示します。USB ピンのタイミングおよび DC 仕様（ADSP-BF70x の設計者向けクイック・リファレンスのセクションに記載のドライバ・タイプ E、F、G に対する出力特性を含む）については、USB 2.0 の仕様を参照してください。

表 61. USB のクロック・タイミング

Parameter		$V_{DD\_EXT}$ 3.3V Nominal		Unit
		Min	Max	
<i>Timing Requirements</i>				
$f_{USB}$	USB_CLKIN Frequency	24	24	MHz
$f_{S_{USB}}$	USB_CLKIN Clock Frequency Stability	-50	+50	ppm

## モバイル・ストレージ・インターフェース (MSI) コントローラのタイミング

表 63 および図 48 に、モバイル・ストレージ・インターフェース (MSI) に関連した I/O タイミングを示します。

MSI タイミングは、MSIO\_UHS\_EXT レジスタを設定することで MSI ペリフェラルに割り当てられている入力クロックの周期 ( $t_{MSICKIN}$ ) に依存します。その情報については表 62 を参照してください。

表 62.  $t_{MSICKIN}$  の設定

EXT_CLK_MUX_CTRL[31:30]	$t_{MSICKIN}$
00	$t_{SCLK0} \times 2$
01	$t_{SCLK0}$
10	$t_{SCLK1} \times 3$

$$t_{MSICKIN} = \frac{1}{f_{MSICKIN}}$$

( $f_{MSICKPROG}$ ) の周波数 (MHz 単位) は次の式で設定されます。ここで、DIV0 は MSI\_CLKDIV レジスタ内のフィールドで、0~255 の範囲で設定できます。DIV0 が 1~255 の範囲で設定されている場合、次式を用いて  $f_{MSICKPROG}$  が定められます。

$$f_{MSICKPROG} = \frac{f_{MSICKIN}}{DIV0 \times 2}$$

DIV0 = 0 の場合は、

$$f_{MSICKPROG} = f_{MSICKIN}$$

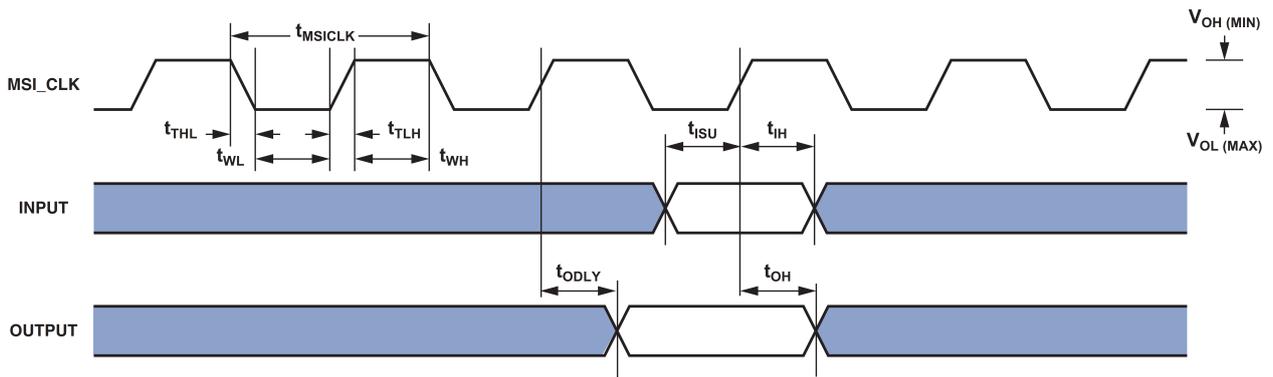
また、次式に注意してください。

$$t_{MSICKPROG} = \frac{1}{f_{MSICKPROG}}$$

表 63. MSI コントローラのタイミング

Parameter	$V_{DD\_EXT}$ 1.8V Nominal		$V_{DD\_EXT}$ 3.3V Nominal		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{ISU}$ Input Setup Time	5.5		4.7		ns
$t_{IH}$ Input Hold Time	2		0.5		ns
<i>Switching Characteristics</i>					
$t_{MSICKL}$ Clock Period Data Transfer Mode <sup>1</sup>	$t_{MSICKPROG} - 1.5$		$t_{MSICKPROG} - 1.5$		ns
$t_{WL}$ Clock Low Time	7		7		ns
$t_{WH}$ Clock High Time	7		7		ns
$t_{TLH}$ Clock Rise Time		3		3	ns
$t_{THL}$ Clock Fall Time		3		3	ns
$t_{ODLY}$ Output Delay Time During Data Transfer Mode		$(0.5 \times t_{MSICKIN}) + 3.2$		$(0.5 \times t_{MSICKIN}) + 3$	ns
$t_{OH}$ Output Hold Time	$(0.5 \times t_{MSICKIN}) - 4$		$(0.5 \times t_{MSICKIN}) - 3$		ns

<sup>1</sup>  $t_{MSICKPROG}$  をプログラムできる最小周期の詳細については、[クロック関連の動作条件](#)のセクションの表 18 を参照してください。



NOTES:  
 1 INPUT INCLUDES MSI\_Dx AND MSI\_CMD SIGNALS.  
 2 OUTPUT INCLUDES MSI\_Dx AND MSI\_CMD SIGNALS.

図 48. MSI コントローラのタイミング

出力駆動電流

図 49～図 60 に、ADSP-BF70x Blackfin プロセッサの出力ドライバの代表的な電流電圧特性を示します。これらの曲線は、出力ドライバの電流駆動能力を出力電圧の関数として示しています。

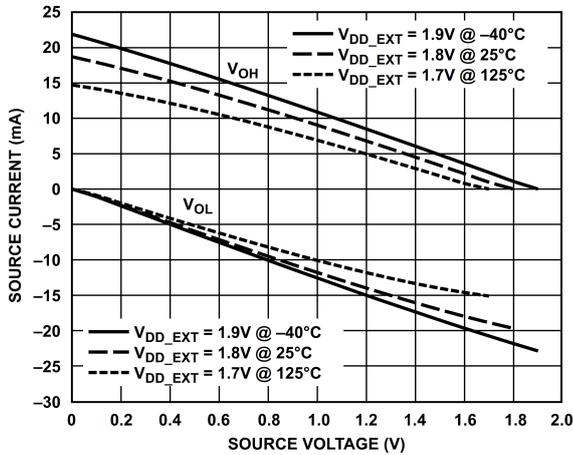


図 49. ドライバ・タイプ A の電流 (1.8V の  $V_{DD\_EXT}$ )

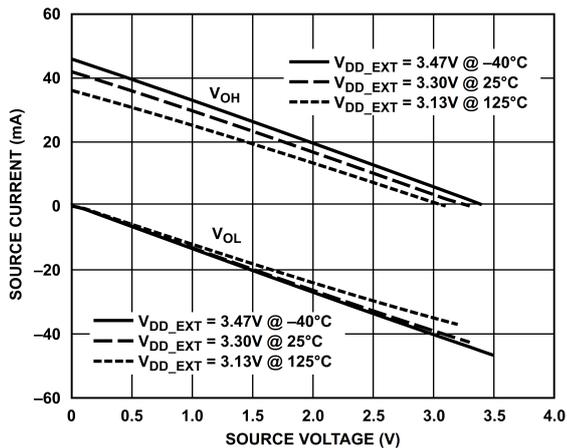


図 50. ドライバ・タイプ A の電流 (3.3V の  $V_{DD\_EXT}$ )

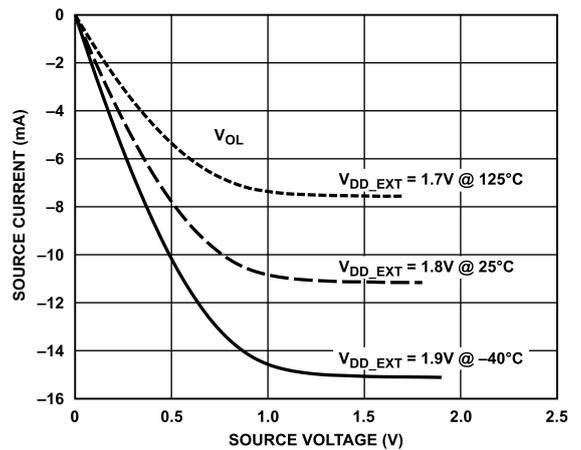


図 51. ドライバ・タイプ D の電流 (1.8V の  $V_{DD\_EXT}$ )

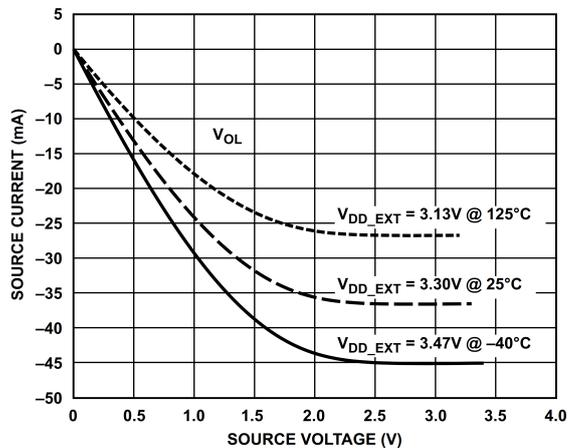


図 52. ドライバ・タイプ D の電流 (3.3V の  $V_{DD\_EXT}$ )

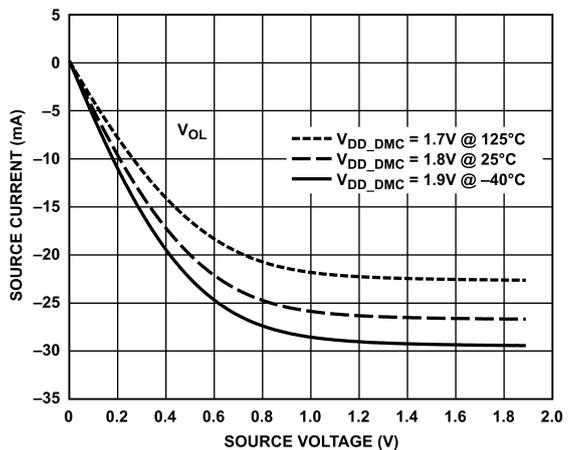


図 53. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度: 34Ω)

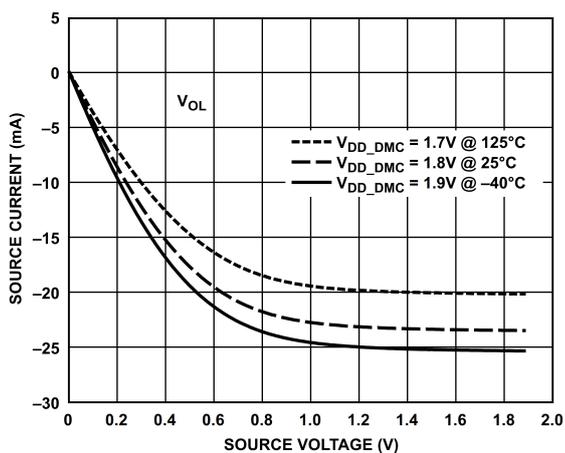


図 54. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 40Ω)

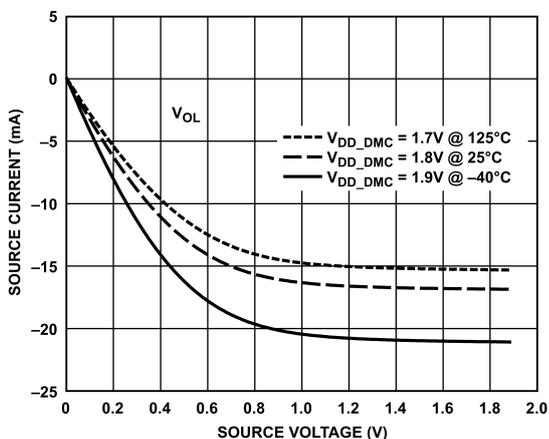


図 55. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 50Ω)

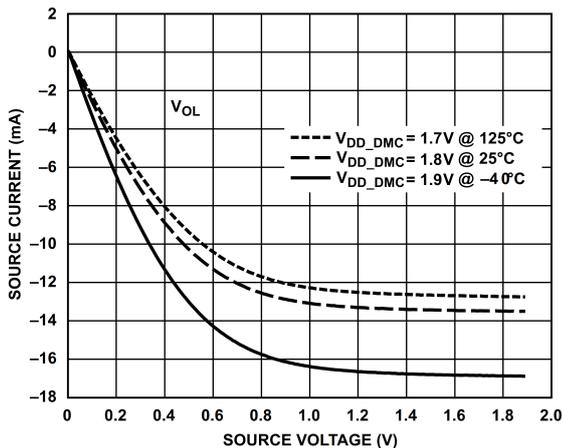


図 56. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 60Ω)

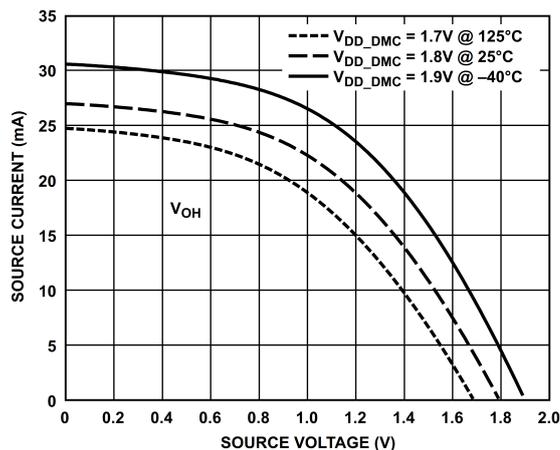


図 57. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 34Ω)

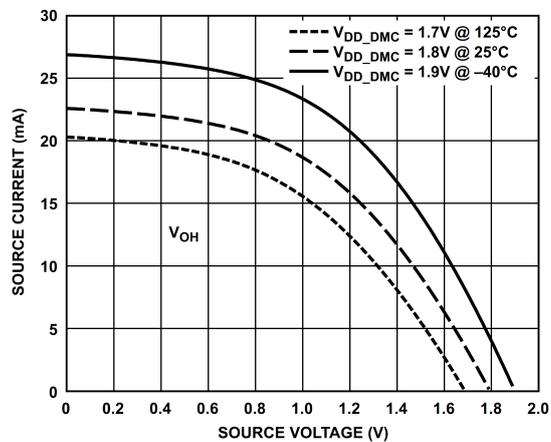


図 58. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 40Ω)

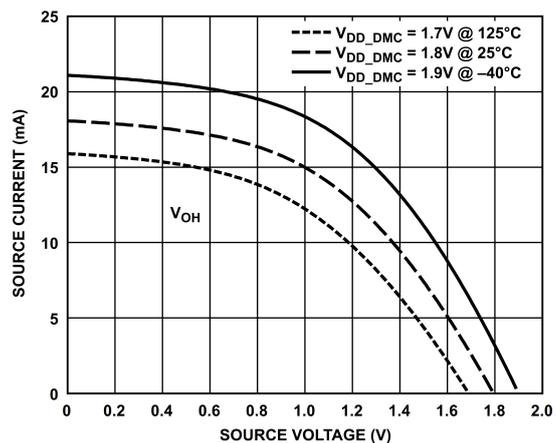


図 59. ドライバ・タイプ B およびドライバ・タイプ C (DDR の駆動強度 : 50Ω)

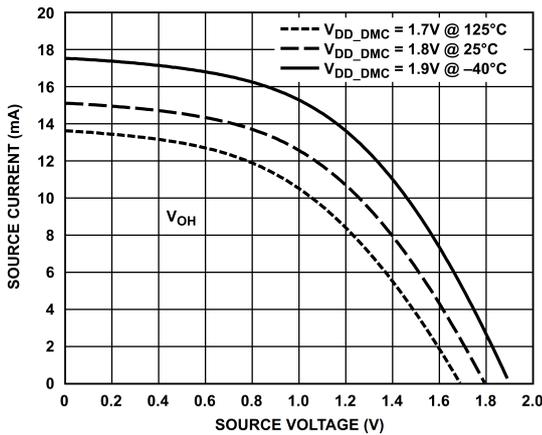


図 60. ドライバ・タイプ B およびデバイス・ドライバ C (DDR の駆動強度 : 60Ω)

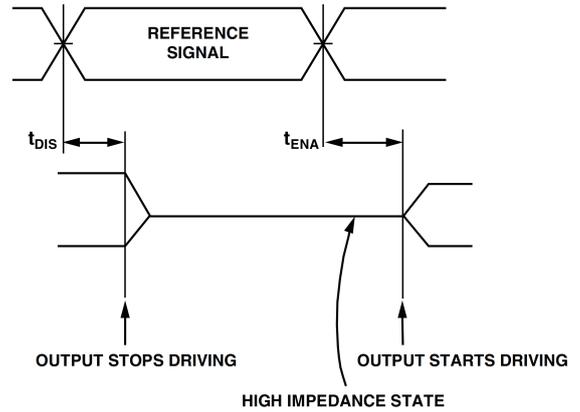


図 62. 出力のイネーブル/ディスエーブル

テスト条件

このデータシートに示すすべてのタイミング・パラメータは、このセクションに記載する条件で測定したものです。図 61 に AC 測定の測定点を示します (出力イネーブル/ディスエーブルを除く)。測定点 V<sub>MEAS</sub> は V<sub>DD\_EXT</sub>/2 で、V<sub>DD\_EXT</sub> (公称値) = 1.8V/3.3V です。



図 61. AC 測定の電圧リファレンス・レベル (出力イネーブル/ディスエーブルを除く)

出力イネーブル時間の測定

出力ピンは、高インピーダンス状態から駆動を始める点に移移するときにイネーブルされたとみなされます。

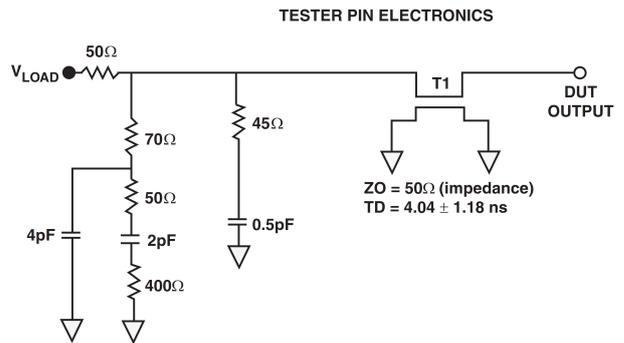
出力イネーブル時間 t<sub>ENA</sub> は、図 62 の右側に示すように、リファレンス信号がハイまたはローの電圧レベルに達した時点から出力が駆動を始める時点までの間隔です。複数ピンがイネーブルされる場合、測定値は駆動を開始した最初のピンの値となります。

出力ディスエーブル時間の測定

出力ピンは、駆動を停止し、高インピーダンス状態になり、出力がハイまたはローの電圧から変化し始めたときにディスエーブルされたとみなされます。出力ディスエーブル時間 t<sub>DIS</sub> は、図 62 の左側に示すように、リファレンス信号がハイまたはローの電圧レベルに達した時点から出力が駆動を停止するまでの間隔です。

容量性負荷

出力の遅延とホールドは、すべてのピンについて、平均 6pF の標準的な容量性負荷に基づいています (図 63 参照)。V<sub>LOAD</sub> は V<sub>DD\_EXT</sub>/2 と同じです。



NOTES:  
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図 63. AC 測定に使用する等価デバイス負荷 (すべての部品を含む)

図 64～図 67 に、出力の立上がり時間が容量に対しどう変化するかを示します。与えられた遅延およびホールドの仕様は、これらの図から導かれるファクタだけディレーティングする必要があります。

あります。これらのグラフは、示された範囲外では直線的であるとは限りません。

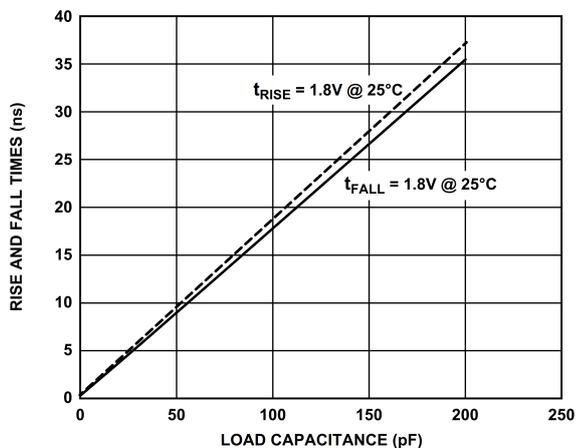


図 64. ドライバ・タイプ A の代表的な立上がり時間と立下がり時間（10%～90%）と負荷容量の関係 ( $V_{DD\_EXT} = 1.8V$ )

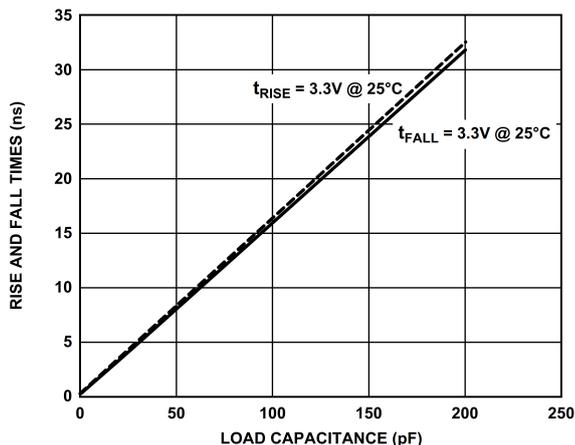


図 65. ドライバ・タイプ A の代表的な立上がり時間と立下がり時間（10%～90%）と負荷容量の関係 ( $V_{DD\_EXT} = 3.3V$ )

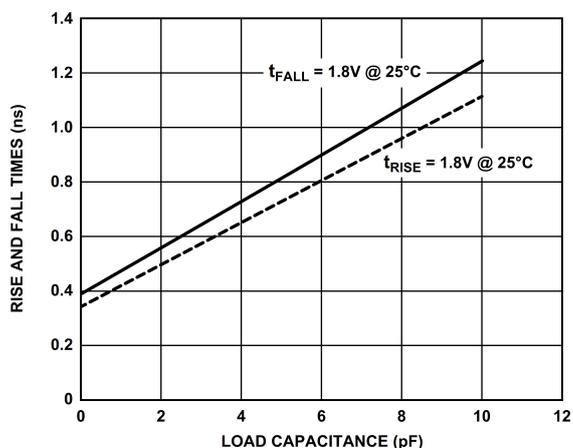


図 66. ドライバ・タイプ B および C の代表的な立上がり時間と立下がり時間（10%～90%）と負荷容量の関係 ( $V_{DD\_DMC} = 1.8V$ )

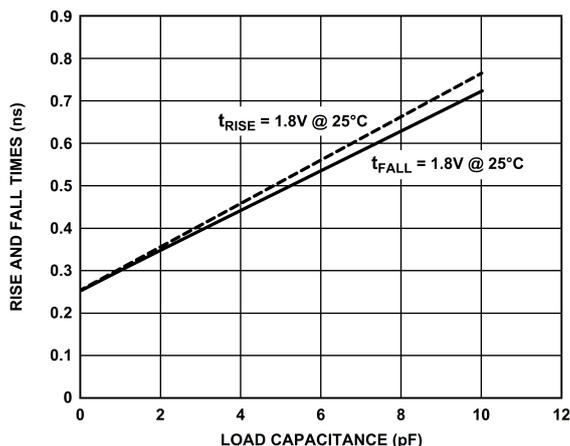


図 67. LPDDR のドライバ・タイプ B およびドライバ・タイプ C の代表的な立上がり時間と立下がり時間（10%～90%）と負荷容量の関係 ( $V_{DD\_DMC} = 1.8V$ )

## 環境条件

アプリケーションのプリント回路基板のジャンクション温度を決定するには、次式を用います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

$T_J$  = ジャンクション温度 (°C)。

$T_{CASE}$  = パッケージの上面中央でユーザが測定するケース温度 (°C)。

$\Psi_{JT}$  = 表 64 および表 65 を参照。

$P_D$  = 消費電力 ( $P_D$  の計算方法については、合計内部消費電力のセクションを参照)。

$\theta_{JA}$  の値は、パッケージの比較とプリント回路基板の設計考察のために提供しています。 $\theta_{JA}$  は、次式による  $T_J$  の一次近似に使用できます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

$T_A$  = 周囲温度 (°C)。

$\theta_{JC}$  の値は、外付けヒート・シンクが必要な場合のパッケージの比較とプリント回路基板の設計考察のために提供しています。

表 64 および表 65 において、空気流の測定値は、JEDEC 規格 JESD51-2 および JESD51-6 に準拠します。ジャンクションとケース間の測定値は MIL-STD-883 (メソッド 1012.1) に準拠します。すべての測定は 2S2P JEDEC テスト・ボードを使用します。

表 64. CSP\_BGA の熱特性

Parameter	Condition	Typical	Unit
$\theta_{JA}$	0 linear m/s air flow	28.7	°C/W
$\theta_{JMA}$	1 linear m/s air flow	26.2	°C/W
$\theta_{JMA}$	2 linear m/s air flow	25.2	°C/W
$\theta_{JC}$		10.1	°C/W
$\Psi_{JT}$	0 linear m/s air flow	0.24	°C/W
$\Psi_{JT}$	1 linear m/s air flow	0.40	°C/W
$\Psi_{JT}$	2 linear m/s air flow	0.51	°C/W

表 65. LFCSP (QFN) の熱特性

Parameter	Condition	Typical	Unit
$\theta_{JA}$	0 linear m/s air flow	22.9	°C/W
$\theta_{JMA}$	1 linear m/s air flow	17.9	°C/W
$\theta_{JMA}$	2 linear m/s air flow	16.4	°C/W
$\theta_{JC}$		2.26	°C/W
$\Psi_{JT}$	0 linear m/s air flow	0.14	°C/W
$\Psi_{JT}$	1 linear m/s air flow	0.27	°C/W
$\Psi_{JT}$	2 linear m/s air flow	0.30	°C/W

### ADSP-BF70x 184 ボール CSP\_BGA のボール割当て (ボール番号順)

図 68 に、184 ボール CSP\_BGA の信号配置の概要を示します。

表 66 に、ADSP-BF70x の 184 ボール CSP\_BGA パッケージをボール番号順に示します。表 67 に、184 ボール CSP\_BGA パッケージを信号順に示します。

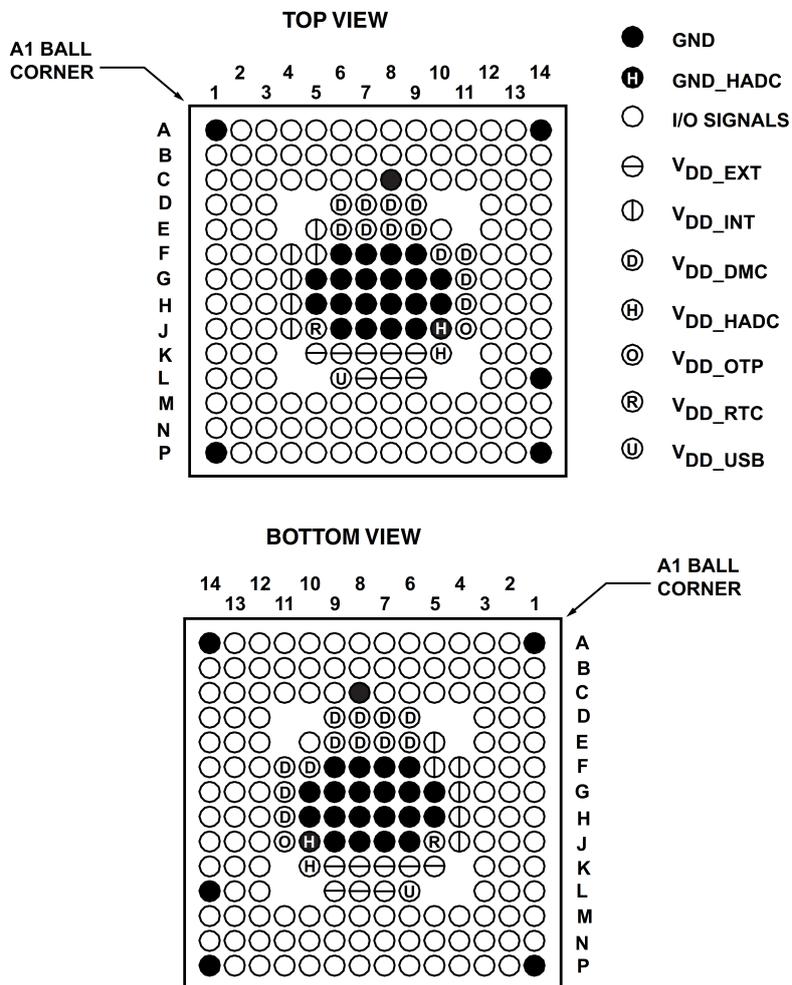


図 68. 184 ボール CSP\_BGA の構成

表 66. 184 ボール CSP\_BGA のボール割当て (ボール番号順)

Ball No.	Signal Name	Ball No.	Signal Name	Ball No.	Signal Name	Ball No.	Signal Name
A01	GND	D08	VDD_DMC	H03	SYS_CLKOUT	L14	GND
A02	DMCO_A09	D09	VDD_DMC	H04	VDD_INT	M01	PC_00
A03	DMCO_BA0	D12	PA_08	H05	GND	M02	RTC0_CLKIN
A04	DMCO_BA1	D13	DMCO_DQ06	H06	GND	M03	PB_15
A05	DMCO_BA2	D14	DMCO_DQ05	H07	GND	M04	PB_12
A06	DMCO_CAS	E01	DMCO_A06	H08	GND	M05	PC_12
A07	DMCO_RAS	E02	DMCO_A05	H09	GND	M06	USB0_VBUS
A08	DMCO_A13	E03	JTG_TDI	H10	GND	M07	USB0_VBC
A09	PA_03	E05	VDD_INT	H11	VDD_DMC	M08	PB_09
A10	DMCO_CK	E06	VDD_DMC	H12	PA_10	M09	PB_05
A11	DMCO_CK	E07	VDD_DMC	H13	PA_11	M10	PB_04
A12	DMCO_LDQS	E08	VDD_DMC	H14	DMCO_UDQS	M11	PB_01
A13	DMCO_LDQS	E09	VDD_DMC	J01	PC_05	M12	PB_03
A14	GND	E10	DMCO_VREF	J02	PC_06	M13	DMCO_LDM
B01	DMCO_A07	E12	SYS_BMODE0	J03	SYS_RESOUT	M14	SYS_CLKIN
B02	DMCO_A08	E13	DMCO_DQ08	J04	VDD_INT	N01	RTC0_XTAL
B03	DMCO_A11	E14	DMCO_DQ07	J05	VDD_RTC	N02	PB_14
B04	DMCO_A10	F01	DMCO_A01	J06	GND	N03	PB_11
B05	DMCO_A12	F02	DMCO_A02	J07	GND	N04	PC_14
B06	DMCO_WE	F03	PC_09	J08	GND	N05	PC_11
B07	DMCO_CS0	F04	VDD_INT	J09	GND	N06	USB0_ID
B08	DMCO_ODT	F05	VDD_INT	J10	GND_HADC	N07	USB0_DP
B09	DMCO_CKE	F06	GND	J11	VDD_OTP	N08	PB_08
B10	DMCO_DQ00	F07	GND	J12	PA_13	N09	PB_06
B11	DMCO_DQ02	F08	GND	J13	DMCO_DQ13	N10	PB_00
B12	DMCO_DQ01	F09	GND	J14	DMCO_UDQS	N11	HADC0_VIN2
B13	DMCO_DQ04	F10	VDD_DMC	K01	PC_04	N12	HADC0_VIN1
B14	DMCO_DQ03	F11	VDD_DMC	K02	PC_01	N13	PA_15
C01	JTG_TDO_SWO	F12	SYS_FAULT	K03	PC_02	N14	SYS_XTAL
C02	JTG_TMS_SWDIO	F13	DMCO_DQ10	K05	VDD_EXT	P01	GND
C03	JTG_TCK_SWCLK	F14	DMCO_DQ09	K06	VDD_EXT	P02	PB_13
C04	PA_01	G01	DMCO_A03	K07	VDD_EXT	P03	PB_10
C05	SYS_EXTWAKE	G02	PA_00	K08	VDD_EXT	P04	PC_13
C06	PA_02	G03	PC_08	K09	VDD_EXT	P05	USB0_XTAL
C07	SYS_NMI	G04	VDD_INT	K10	VDD_HADC	P06	USB0_CLKIN
C08	GND	G05	GND	K12	PA_12	P07	USB0_DM
C09	PA_04	G06	GND	K13	DMCO_DQ15	P08	PB_07
C10	PA_05	G07	GND	K14	DMCO_DQ14	P09	HADC0_VREFN
C11	PA_06	G08	GND	L01	PC_03	P10	HADC0_VREFP
C12	PA_07	G09	GND	L02	TWI0_SDA	P11	HADC0_VIN3
C13	SYS_HWRST	G10	GND	L03	TWI0_SCL	P12	HADC0_VIN0
C14	SYS_BMODE1	G11	VDD_DMC	L06	VDD_USB	P13	PA_14
D01	DMCO_A00	G12	PA_09	L07	VDD_EXT	P14	GND
D02	DMCO_A04	G13	DMCO_DQ11	L08	VDD_EXT		
D03	JTG_TRST	G14	DMCO_DQ12	L09	VDD_EXT		
D06	VDD_DMC	H01	PC_07	L12	PB_02		
D07	VDD_DMC	H02	PC_10	L13	DMCO_UDM		

表 67. ADSP-BF70x 184 ボール CSP\_BGA のボール割当て (信号名のアルファベット順)

Signal Name	Ball No.	Signal Name	Ball No.	Signal Name	Ball No.	Signal Name	Ball No.
DMC0_A00	D01	DMC0_WE	B06	PA_08	D12	SYS_HWRST	C13
DMC0_A01	F01	GND	C08	PA_09	G12	SYS_NMI	C07
DMC0_A02	F02	GND	A01	PA_10	H12	SYS_RESOUT	J03
DMC0_A03	G01	GND	A14	PA_11	H13	SYS_XTAL	N14
DMC0_A04	D02	GND	F06	PA_12	K12	TWIO_SCL	L03
DMC0_A05	E02	GND	F07	PA_13	J12	TWIO_SDA	L02
DMC0_A06	E01	GND	F08	PA_14	P13	USB0_CLKIN	P06
DMC0_A07	B01	GND	F09	PA_15	N13	USB0_DM	P07
DMC0_A08	B02	GND	G05	PB_00	N10	USB0_DP	N07
DMC0_A09	A02	GND	G06	PB_01	M11	USB0_ID	N06
DMC0_A10	B04	GND	G07	PB_02	L12	USB0_VBC	M07
DMC0_A11	B03	GND	G08	PB_03	M12	USB0_VBUS	M06
DMC0_A12	B05	GND	G09	PB_04	M10	USB0_XTAL	P05
DMC0_A13	A08	GND	G10	PB_05	M09	VDD_DMC	D06
DMC0_BA0	A03	GND	H05	PB_06	N09	VDD_DMC	D07
DMC0_BA1	A04	GND	H06	PB_07	P08	VDD_DMC	D08
DMC0_BA2	A05	GND	H07	PB_08	N08	VDD_DMC	D09
DMC0_CAS	A06	GND	H08	PB_09	M08	VDD_DMC	E06
DMC0_CK	A10	GND	H09	PB_10	P03	VDD_DMC	E07
DMC0_CKE	B09	GND	H10	PB_11	N03	VDD_DMC	E08
DMC0_CK	A11	GND	J06	PB_12	M04	VDD_DMC	E09
DMC0_CS0	B07	GND	J07	PB_13	P02	VDD_DMC	F10
DMC0_DQ00	B10	GND	J08	PB_14	N02	VDD_DMC	F11
DMC0_DQ01	B12	GND	J09	PB_15	M03	VDD_DMC	G11
DMC0_DQ02	B11	GND	L14	PC_00	M01	VDD_DMC	H11
DMC0_DQ03	B14	GND	P01	PC_01	K02	VDD_EXT	K05
DMC0_DQ04	B13	GND	P14	PC_02	K03	VDD_EXT	K06
DMC0_DQ05	D14	GND_HADC	J10	PC_03	L01	VDD_EXT	K07
DMC0_DQ06	D13	HADC0_VIN0	P12	PC_04	K01	VDD_EXT	K08
DMC0_DQ07	E14	HADC0_VIN1	N12	PC_05	J01	VDD_EXT	K09
DMC0_DQ08	E13	HADC0_VIN2	N11	PC_06	J02	VDD_EXT	L07
DMC0_DQ09	F14	HADC0_VIN3	P11	PC_07	H01	VDD_EXT	L08
DMC0_DQ10	F13	HADC0_VREFN	P09	PC_08	G03	VDD_EXT	L09
DMC0_DQ11	G13	HADC0_VREFP	P10	PC_09	F03	VDD_HADC	K10
DMC0_DQ12	G14	JTG_TCK_SWCLK	C03	PC_10	H02	VDD_INT	E05
DMC0_DQ13	J13	JTG_TDI	E03	PC_11	N05	VDD_INT	F04
DMC0_DQ14	K14	JTG_TDO_SWO	C01	PC_12	M05	VDD_INT	F05
DMC0_DQ15	K13	JTG_TMS_SWDIO	C02	PC_13	P04	VDD_INT	G04
DMC0_LDM	M13	JTG_TRST	D03	PC_14	N04	VDD_INT	H04
DMC0_LDQS	A12	PA_00	G02	RTC0_CLKIN	M02	VDD_INT	J04
DMC0_LDQS	A13	PA_01	C04	RTC0_XTAL	N01	VDD_OTP	J11
DMC0_ODT	B08	PA_02	C06	SYS_BMODE0	E12	VDD_RTC	J05
DMC0_RAS	A07	PA_03	A09	SYS_BMODE1	C14	VDD_USB	L06
DMC0_UDM	L13	PA_04	C09	SYS_CLKIN	M14		
DMC0_UDQS	J14	PA_05	C10	SYS_CLKOUT	H03		
DMC0_UDQS	H14	PA_06	C11	SYS_EXTWAKE	C05		
DMC0_VREF	E10	PA_07	C12	SYS_FAULT	F12		

## ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) のピン割当て (ピン番号順)

図 69 に、12mm × 12mm 88 ピン LFCSP (QFN) の信号配置の概要を示します。

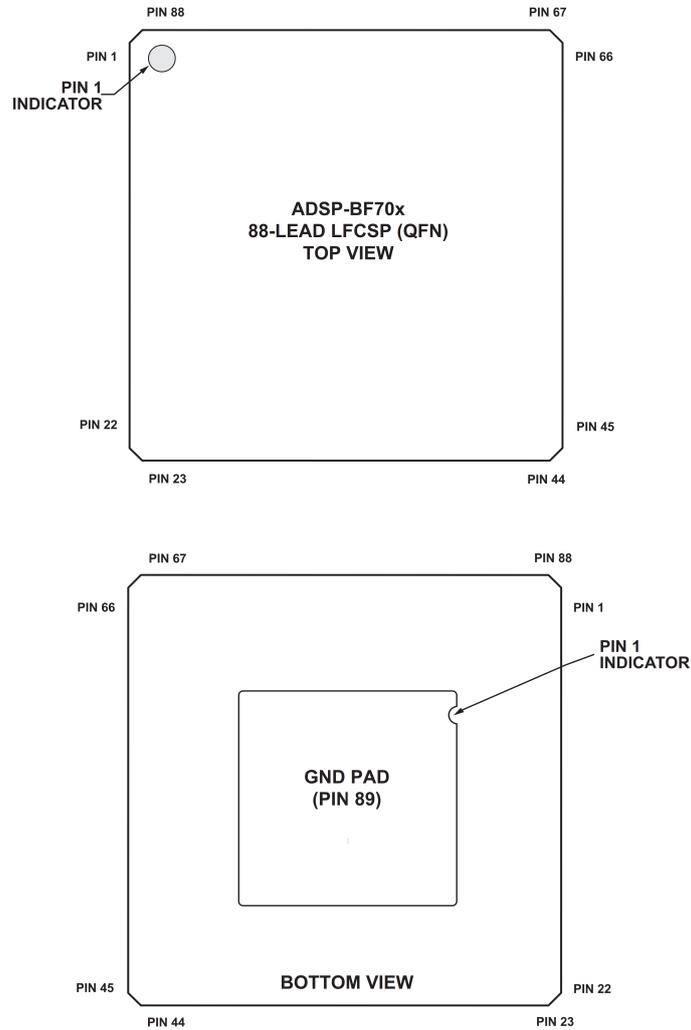


図 69. 12mm × 12mm 88 ピン LFCSP (QFN) の構成

表 68 に、ADSP-BF70x の 12mm × 12mm 88 ピン LFCSP (QFN) パッケージをピン番号順に示します。表 69 に、12mm × 12mm 88 ピン LFCSP (QFN) パッケージを信号順に示します。

表 68. 12mm × 12mm 88 ピン LFCSP (QFN) のピン割当て (ピン番号順)

Lead No.	Signal Name	Lead No.	Signal Name	Lead No.	Signal Name	Lead No.	Signal Name
1	PC_10	24	PB_14	47	PB_02	70	PA_07
2	PC_09	25	PB_13	48	PB_01	71	PA_06
3	PC_08	26	VDD_EXT	49	VDD_OTP	72	VDD_EXT
4	VDD_EXT	27	PB_12	50	VDD_EXT	73	PA_05
5	PC_07	28	PB_11	51	VDD_INT	74	PA_04
6	PC_06	29	PB_10	52	PB_00	75	PA_03
7	PC_05	30	VDD_INT	53	PA_15	76	GND
8	PC_04	31	USB0_XTAL	54	PA_14	77	$\overline{\text{SYS\_NMI}}$
9	PC_03	32	USB0_CLKIN	55	VDD_EXT	78	PA_02
10	PC_02	33	USB0_ID	56	SYS_XTAL	79	SYS_EXTWAKE
11	VDD_EXT	34	USB0_VBUS	57	SYS_CLKIN	80	PA_01
12	SYS_CLKOUT	35	USB0_DP	58	PA_13	81	VDD_INT
13	PC_01	36	VDD_USB	59	PA_12	82	VDD_EXT
14	VDD_INT	37	USB0_DM	60	PA_11	83	JTG_TDO_SWO
15	$\overline{\text{SYS\_RESOUT}}$	38	USB0_VBC	61	VDD_INT	84	JTG_TMS_SWDIO
16	PC_00	39	PB_09	62	VDD_EXT	85	JTG_TCK_SWCLK
17	VDD_EXT	40	PB_08	63	PA_10	86	JTG_TDI
18	TWI0_SDA	41	VDD_EXT	64	PA_09	87	$\overline{\text{JTG\_TRST}}$
19	TWI0_SCL	42	PB_07	65	$\overline{\text{SYS\_FAULT}}$	88	PA_00
20	RTC0_XTAL	43	PB_06	66	SYS_BMODE0	89*	GND
21	RTC0_CLKIN	44	PB_05	67	SYS_BMODE1		
22	VDD_RTC	45	PB_04	68	$\overline{\text{SYS\_HWRST}}$		
23	PB_15	46	PB_03	69	PA_08		

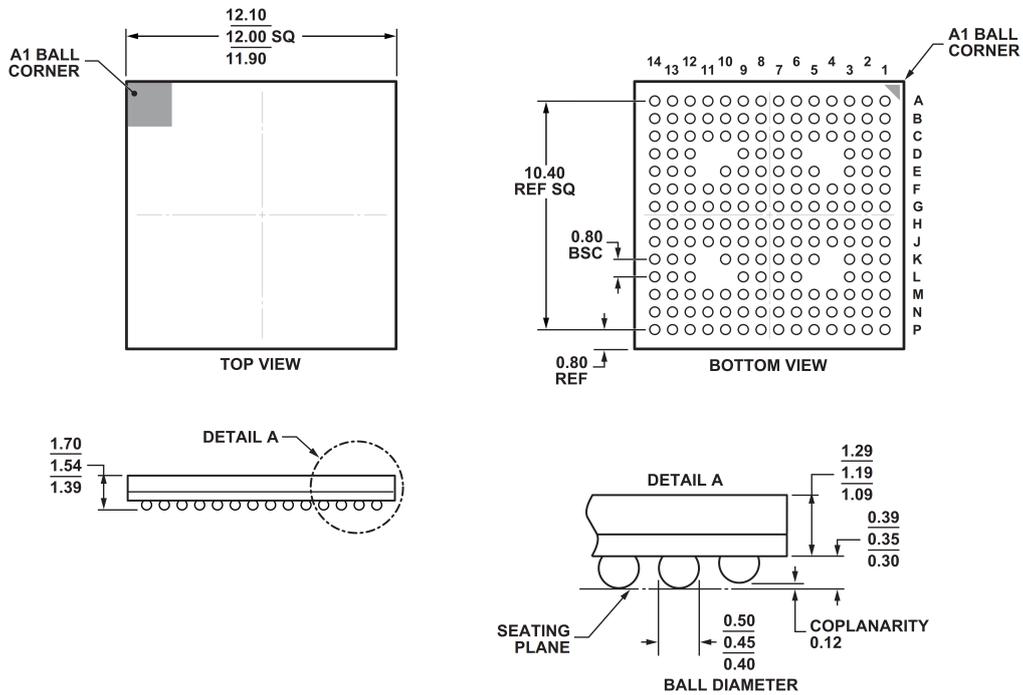
\*Pin no. 89 is the GND supply (see Figure 69) for the processor; this pad must connect to GND.

表 69. ADSP-BF70x 12mm × 12mm 88 ピン LFCSP (QFN) のピン割当て (信号名のアルファベット順)

Signal Name	Lead No.	Signal Name	Lead No.	Signal Name	Lead No.	Signal Name	Lead No.
GND	76	PB_00	52	PC_07	5	USB0_VBUS	34
GND	89	PB_01	48	PC_08	3	USB0_XTAL	31
JTG_TCK_SWCLK	85	PB_02	47	PC_09	2	VDD_EXT	4
JTG_TDI	86	PB_03	46	PC_10	1	VDD_EXT	11
JTG_TDO_SWO	83	PB_04	45	RTC0_CLKIN	21	VDD_EXT	17
JTG_TMS_SWDIO	84	PB_05	44	RTC0_XTAL	20	VDD_EXT	26
JTG_TRST	87	PB_06	43	SYS_BMODE0	66	VDD_EXT	41
PA_00	88	PB_07	42	SYS_BMODE1	67	VDD_EXT	50
PA_01	80	PB_08	40	SYS_CLKIN	57	VDD_EXT	55
PA_02	78	PB_09	39	SYS_CLKOUT	12	VDD_EXT	62
PA_03	75	PB_10	29	SYS_EXTWAKE	79	VDD_EXT	72
PA_04	74	PB_11	28	SYS_FAULT	65	VDD_EXT	82
PA_05	73	PB_12	27	SYS_HWRST	68	VDD_INT	14
PA_06	71	PB_13	25	SYS_NMI	77	VDD_INT	30
PA_07	70	PB_14	24	SYS_RESOUT	15	VDD_INT	51
PA_08	69	PB_15	23	SYS_XTAL	56	VDD_INT	61
PA_09	64	PC_00	16	TWI0_SCL	19	VDD_INT	81
PA_10	63	PC_01	13	TWI0_SDA	18	VDD_OTP	49
PA_11	60	PC_02	10	USB0_CLKIN	32	VDD_RTC	22
PA_12	59	PC_03	9	USB0_DM	37	VDD_USB	36
PA_13	58	PC_04	8	USB0_DP	35		
PA_14	54	PC_05	7	USB0_ID	33		
PA_15	53	PC_06	6	USB0_VBC	38		

外形寸法

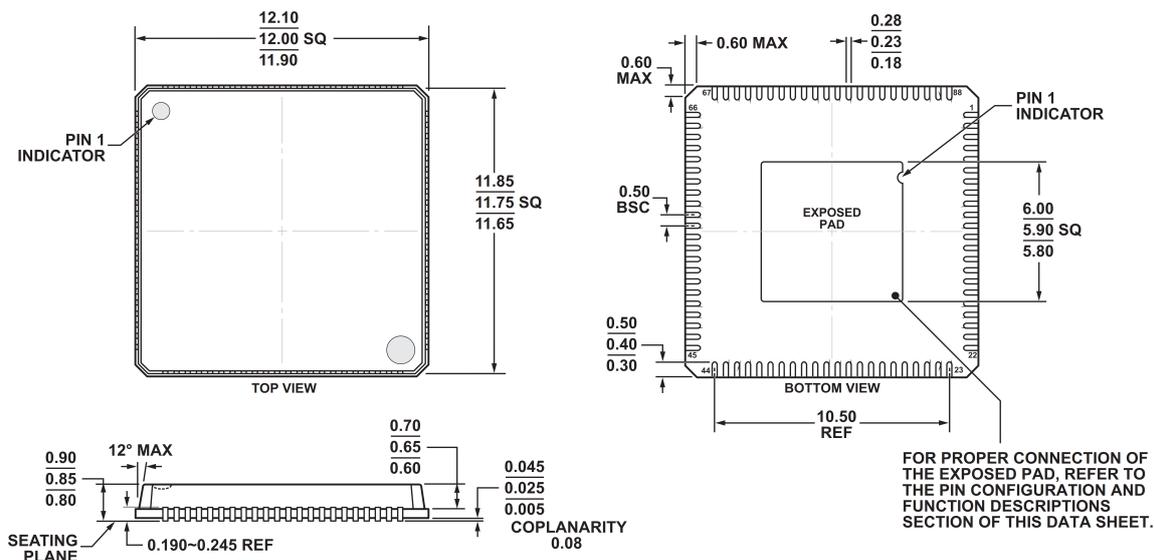
図 70 に示す 12mm × 12mm CSP\_BGA パッケージの寸法はミリメートル単位です。



COMPLIANT TO JEDEC STANDARDS MO-275-GGAA-1

図 70. 184 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-184-1)  
寸法：mm

図 71 に示す 12mm × 12mm LFCSP\_VQ パッケージの寸法はミリメートル単位です。



COMPLIANT TO JEDEC STANDARDS MO-220

図 71. 88 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_VQ] (CP-88-8)  
寸法単位：mm

### 表面実装設計

表 70 は PCB 設計の補助として提示するものです。業界標準の設計推奨事項については、IPC-7351 の Generic Requirements for Surface-Mount Design and Land Pattern Standard を参照してください。

表 70. 表面実装設計で用いる CSP\_BGA データ

Package	Package Ball Attach Type	Package Solder Mask Opening	Package Ball Pad Size
BC-184-1	Solder Mask Defined	0.4 mm Diameter	0.5 mm Diameter

## オートモーティブ製品

以下に示すモデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造工程により提供されています。これらのオートモーティブ・モデルの仕様は非オートモーティブ・モデルと異なる場合があるため、設計

者はこのデータシートの仕様<sup>1</sup>のセクションを慎重に検討してください。オートモーティブ・グレード製品（表 71 参照）のみが、オートモーティブ・アプリケーションで用いることができます。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイセズまでお問い合わせください。

表 71. オートモーティブ製品

Model <sup>1, 2, 3</sup>	Processor Instruction Rate (Max)	L2 SRAM	Temperature Grade <sup>4</sup>	Package Description	Package Option
ADBF700WCCPZ2xx	200 MHz	128K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF701WCBCZ2xx	200 MHz	128K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF702WCCPZ3xx	300 MHz	256K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF702WCCPZ4xx	400 MHz	256K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF703WCBCZ3xx	300 MHz	256K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF703WCBCZ4xx	400 MHz	256K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF704WCCPZ3xx	300 MHz	512K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF704WCCPZ4xx	400 MHz	512K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF705WCBCZ3xx	300 MHz	512K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF705WCBCZ4xx	400 MHz	512K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF706WCCPZ3xx	300 MHz	1024K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF706WCCPZ4xx	400 MHz	1024K bytes	-40°C to +105°C	88-Lead LFCSP_VQ	CP-88-8
ADBF707WCBCZ3xx	300 MHz	1024K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1
ADBF707WCBCZ4xx	400 MHz	1024K bytes	-40°C to +105°C	184-Ball CSP_BGA	BC-184-1

<sup>1</sup> -40°C~+105°CのT<sub>AMBIENT</sub>条件に対応するオートモーティブ・グレードの製品は、オートモーティブ製品の表に記載されている場合に選択できます。

<sup>2</sup> Z = RoHS 準拠製品。

<sup>3</sup> xx は現在のダイ・リビジョンを表します。

<sup>4</sup> リファレンス温度は周囲温度です。周囲温度の仕様はありません。唯一の温度仕様であるジャンクション温度（T<sub>J</sub>）の仕様については、動作条件のセクションを参照してください。

## オーダー・ガイド

Model <sup>1</sup>	Processor Instruction Rate (Max)	L2 SRAM	Temperature Grade <sup>2</sup>	Package Description	Package Option
ADSP-BF700KCPZ-1	100 MHz	128K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF700KCPZ-2	200 MHz	128K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF700BCPZ-2	200 MHz	128K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF701KBCZ-1	100 MHz	128K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF701KBCZ-2	200 MHz	128K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF701BBCZ-2	200 MHz	128K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF702KCPZ-3	300 MHz	256K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF702BCPZ-3	300 MHz	256K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF702KCPZ-4	400 MHz	256K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF702BCPZ-4	400 MHz	256K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF703KBCZ-3	300 MHz	256K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF703BBCZ-3	300 MHz	256K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF703KBCZ-4	400 MHz	256K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF703BBCZ-4	400 MHz	256K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF704KCPZ-3	300 MHz	512K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF704BCPZ-3	300 MHz	512K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF704KCPZ-4	400 MHz	512K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF704BCPZ-4	400 MHz	512K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF705KBCZ-3	300 MHz	512K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF705BBCZ-3	300 MHz	512K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF705KBCZ-4	400 MHz	512K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF705BBCZ-4	400 MHz	512K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF706KCPZ-3	300 MHz	1024K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF706BCPZ-3	300 MHz	1024K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF706KCPZ-4	400 MHz	1024K bytes	0°C to +70°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF706BCPZ-4	400 MHz	1024K bytes	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-8
ADSP-BF707KBCZ-3	300 MHz	1024K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF707BBCZ-3	300 MHz	1024K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF707KBCZ-4	400 MHz	1024K bytes	0°C to +70°C	184-Ball CSP_BGA	BC-184-1
ADSP-BF707BBCZ-4	400 MHz	1024K bytes	-40°C to +85°C	184-Ball CSP_BGA	BC-184-1

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> リファレンス温度は周囲温度です。周囲温度の仕様はありません。唯一の温度仕様であるジャンクション温度 (T<sub>j</sub>) の仕様については、[動作条件](#)のセクションを参照してください。

I<sup>2</sup>C は、Philips Semiconductors 社 (現在の NXP Semiconductors) が独自に開発した通信プロトコルです。