

狭帯域および広帯域 RF トランシーバ

特長

- ▶ 1×1 高集積トランシーバ
- ▶ 周波数範囲 : 30MHz～6000MHz
- ▶ トランスマッタおよびレシーバの帯域幅 : 12kHz～40MHz
- ▶ 全機能内蔵型のフラクショナル N 方式 RF シンセサイザを 2 個装備
- ▶ LVDS および CMOS 同期シリアル・データ・インターフェースのオプション
- ▶ 低消費電力のモニタ・モードおよびスリープ・モード
- ▶ マルチチップ同期機能
- ▶ 高速周波数ホッピング
- ▶ プロファイルを動的に切り替えることにより動的なデータ・レートとサンプリング・レートを実現
- ▶ 狹帯域波形および広帯域波形に対応する完全統合型 DPD
- ▶ 4 線式 SPI を介して全機能をプログラム可能
- ▶ 12mm × 12mm、196 ポール CSP_BGA

アプリケーション

- ▶ 基幹系通信
- ▶ 超短波 (VHF)、極超短波 (UHF)、6GHz までのセルラ式携帯電話
- ▶ 時分割複信 (TDD)

概要

ADRV9005 は、シンセサイザ機能およびデジタル信号処理機能を統合した高集積 RF トランシーバです。

ADRV9005 は、性能と消費電力の関係をシステムに応じて最適化するよう設計された、高性能で直線性が高い、高ダイナミック・レンジのトランシーバです。このデバイスは設定変更が可能で、要求の厳しい、低消費電力でバッテリ駆動の携帯機器に最適です。ADRV9005 は、30MHz～6000MHz で動作し、UHF、VHF、産業、科学、医療用 (ISM) バンド、狭帯域 (kHz) のセルラ周波数帯、最大 40MHz の広帯域動作に対応します。

トランシーバは、最高水準のノイズ指数と直線性を持つ直接変換信号経路で構成されています。レシーバとトランスマッタを一体化した各サブシステムは、DC オフセット補正回路、直交誤差補正回路 (QEC)、プログラマブル・デジタル・フィルタを内蔵しているため、デジタル・ベースバンドではこれらの機能が不要です。また、補助 A/D コンバータ (ADC)、補助 D/A コンバータ (DAC)、汎用入出力 (GPIO) などのいくつかの補助機能を内蔵しているため、モニタリングや制御などの機能を更に追加できます。

完全統合型フェーズ・ロック・ループ (PLL) により、トランスマッタ、レシーバ、クロックの各セクションに対して高性能で低消費電力のフラクショナル N 周波数合成が可能です。注意深い設計とレイアウト技術により、民生用高性能無線アプリケーションに必要な絶縁が実現されます。

電圧制御発振器 (VCO) とループ・フィルタのすべての構成要素が内蔵されており、外付け部品数が最小限に抑えられています。局部発振器 (LO) には、高速ロック・モードを含む柔軟な設定オプションがあります。

トランシーバには、低消費電力のスリープ・モードとモニタ・モードがあり、通信を監視しながらも電力を節約し、ポータブル機器のバッテリ寿命を延ばすことができます。

完全統合型の低消費電力デジタル・プリディストーション (DPD) は、狭帯域信号と広帯域信号の両方に對し最適化されており、これにより、高効率パワー・アンプの直線化が可能になります。

ADRV9005 のコアは、1.0V、1.3V、1.8V のレギュレータから直接給電でき、標準的な 4 線式シリアル・ペリフェラル・インターフェース (SPI) を介して制御されます。その他の電源を使用すれば、適切なデジタル・インターフェース・レベルを提供すると共に、レシーバ、トランスマッタ、補助コンバータの性能を最適化できます。

高データ・レート・インターフェースおよび低データ・レート・インターフェースへの対応は、設定変更可能な CMOS または低電圧差動シグナリング (LVDS) のシリアル同期インターフェース (SSI) を使用して行います。

ADRV9005 は、12mm × 12mm、196 ポールのチップ・スケール・パッケージ・ポール・グリッド・アレイ (CSP_BGA) を採用しています。

目次

特長	1
アプリケーション	1
概要	1
機能ブロック図	3
仕様	4
トランスマッタ仕様	4
レシーバ仕様	6
内部 LO、外部 LO、デバイス・クロック	12
デジタル・インターフェースおよび補助コンバータ	13
電源仕様	15
消費電流の推定値（代表値）	16
タイミング仕様	18
絶対最大定格	20
リフロー・プロファイル	20
熱抵抗	20
静電放電（ESD）定格	20
ESD に関する注意	20
ピン配置およびピン機能の説明	21

代表的な性能特性	25
広帯域	25
狭帯域	63
位相ノイズ	88
動作原理	90
トランスマッタ	90
レシーバ	91
DPD	92
クロック入力	92
シンセサイザ	92
SPI	93
GPIO ピン	93
補助コンバータ	93
JTAG バウンダリ・スキャン	95
アプリケーション情報	96
電源シーケンス	96
デジタル・データ・インターフェース	96
外形寸法	99
オーダー・ガイド	99

改訂履歴

5/2024—Revision 0: Initial Version

機能ブロック図

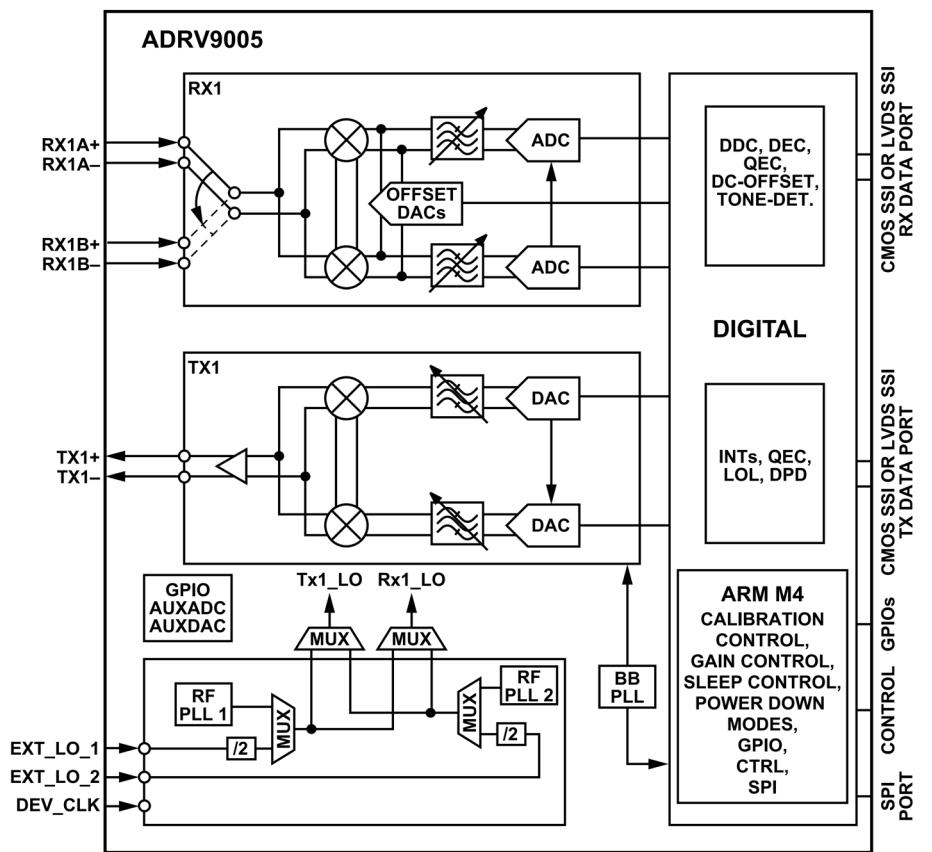


図 1.

仕様

電気的特性は、動作周囲温度範囲、VDDA_1P0 = 1.0V、VDDA_1P3 = 1.3V、VDDA_1P8 = 1.8V、VDD_1P0 = 1.0V、VDD_1P8 = 1.8V でのものです。

トランスマッタ仕様

表 1. トランスマッタ (Tx1)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CENTER FREQUENCY		30	6000	MHz		
TRANSMITTER SYNTHESIS BANDWIDTH		0.012	40	MHz		Zero-intermediate frequency (IF) mode, see the DPD section for more information
BANDWIDTH FLATNESS		0.1		dB		10 MHz bandwidth span, including digital compensation
DEVIATION FROM LINEAR PHASE		1		Degrees		40 MHz bandwidth
POWER CONTROL RANGE						
In-Phase (I) and Quadrature (Q) Mode			42	dB		
Direct Modulation Mode			12	dB		
POWER CONTROL RESOLUTION						
I and Q Mode			0.05	dB		
Direct Modulation Mode			0.5	dB		
IN BAND NOISE FLOOR		-154		dBFS ¹ /Hz		0 dB attenuation, in band noise falls 1 dB for each dB of attenuation for attenuation settings between 0 dB and 20 dB
OUT OF BAND NOISE FLOOR		-156		dBFS ¹ /Hz		0 dB attenuation with 3 × bandwidth/2 offset
IMAGE REJECTION WITH INITIALIZATION CALIBRATION ONLY						
Wideband						Up to 20 dB transmitter attenuation, 40 MHz bandwidth, 0 dB observation receiver attenuation, 18 MHz continuous wave ² signal input, QEC ³ tracking calibration is disabled
50 MHz		55		dBc		
470 MHz		63		dBc		
900 MHz		59		dBc		
2400 MHz		60		dBc		
3500 MHz		57		dBc		
5800 MHz		55		dBc		
Narrow-Band						Up to 20 dB transmitter attenuation, 25 kHz bandwidth, 0 dB observation receiver attenuation, 2.1 kHz continuous wave ² signal input, QEC ³ tracking calibration is disabled
30 MHz		61		dBc		
470 MHz		68		dBc		
900 MHz		65		dBc		
2400 MHz		60		dBc		
3500 MHz		50		dBc		
5800 MHz		50		dBc		
IMAGE REJECTION WITH INITIALIZATION CALIBRATION AND TRACKING CALIBRATION						
Wideband						0 dB transmitter attenuation, 40 MHz bandwidth, -0.2 dBFS, 18 MHz continuous wave ² signal input, 50 Ω load, 0 dB observation receiver attenuation, QEC ³ is active
50 MHz		57		dBc		
470 MHz		66		dBc		
900 MHz		63		dBc		
2400 MHz		60		dBc		
3500 MHz		61		dBc		
5800 MHz		57		dBc		

仕様

表 1. トランスマッタ (Tx1) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CONTINUOUS WAVE FULL-SCALE OUTPUT POWER						-0.2 dBFS, 18 MHz continuous wave ² signal input, 50 Ω load, 0 dB transmitter attenuation
30 MHz			7.3		dBm	
470 MHz			7.3		dBm	
900 MHz			7.6		dBm	
2400 MHz			7.4		dBm	
3500 MHz			7.8		dBm	
5800 MHz			7.2		dBm	
OUTPUT IMPEDANCE	Z_{OUT}	50			Ω	Differential, see the ADRV9001 System Development User Guide for more information
MAXIMUM OUTPUT LOAD VOLTAGE STANDING WAVE RATIO (VSWR)			3			Use the maximum value to ensure adequate calibration
OUTPUT RETURN LOSS						Single-ended return loss measured with balun in place on board
30 MHz			17		dB	
470 MHz			18		dB	
900 MHz			17		dB	
2400 MHz			23		dB	
3500 MHz			13		dB	
5800 MHz			10		dB	
OUTPUT THIRD-ORDER INTERCEPT POINT						0 dB transmitter attenuation, 40 MHz bandwidth, 17 MHz and 18 MHz continuous wave ² signal input, digital backoff = 11 dBFS/tone, calibrated at the device output
Wideband	OIP3_{WB}					
50 MHz			31		dBm	
470 MHz			31		dBm	
900 MHz			30		dBm	
2400 MHz			28		dBm	
3500 MHz			29		dBm	
5800 MHz			27		dBm	
Narrow-Band	OIP3_{NB}					0 dB transmitter attenuation, 25 kHz bandwidth, 2.1 kHz and 3.1 kHz continuous wave ² signal input, digital backoff = 5 dBFS/tone, calibrated at the device output
30 MHz			30		dBm	
470 MHz			31		dBm	
900 MHz			30		dBm	
2400 MHz			28		dBm	
3500 MHz			27		dBm	
5800 MHz			25		dBm	
CARRIER LEAKAGE WITH INITIALIZATION CALIBRATION ONLY						LO leakage tracking calibration disabled, 0 dB transmitter attenuation, scales dB for dB with attenuation, input tone backoff = 6 dBFS
Wideband						
50 MHz			-68		dBm	
470 MHz			-65		dBm	
900 MHz			-67		dBm	
2400 MHz			-68		dBm	
3500 MHz			-62		dBm	
5800 MHz			-56		dBm	
Narrow-Band						
30 MHz			-70		dBm	
470 MHz			-72		dBm	

仕様

表 1. トランシミッタ (Tx1) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
900 MHz			-74		dBm	
2400 MHz			-71		dBm	
3500 MHz			-71		dBm	
5800 MHz			-58		dBm	

¹ dBFS は、所定の RF 減衰設定での連続波出力信号に対する、実際の出力信号と可能な最大出力レベルの比です。

² 連続波は、單一周波数の信号です。

³ 直交誤差補正 (QEC) は、対象とする信号の直交イメージを最小限に抑えるための方式です。

レシーバ仕様

表 2. レシーバ (Rx1A および Rx1B)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CENTER FREQUENCY		30	6000		MHz	
MAXIMUM GAIN						
Wideband						High performance receiver ADCs, 0 dB attenuation, 5.6 MHz baseband frequency
50 MHz			21		dB	
470 MHz			22		dB	
900 MHz			22		dB	
2400 MHz			22		dB	
3500 MHz			21		dB	
5800 MHz			21		dB	
Narrow-Band						High performance receiver ADCs, 0 dB attenuation, 2.1 kHz baseband frequency
30 MHz			21		dB	
470 MHz			22		dB	
900 MHz			22		dB	
2400 MHz			22		dB	
3500 MHz			21		dB	
5800 MHz			21		dB	
ATTENUATION RANGE FROM MAXIMUM GAIN			34		dB	
Attenuation Accuracy						
Gain Step			0.5		dB	Attenuator steps from 0 dB to 30 dB
			1.0		dB	Attenuator steps from 30 dB to 34 dB
Gain Step Error			0.1		dB	Attenuation step from 0 dB to 30 dB, LO from 30 MHz to 3 GHz
			0.2		dB	Attenuation step from 0 dB to 30 dB, LO from 3 GHz to 6 GHz
			0.1		dB	Attenuation step from 30 dB to 34 dB
FREQUENCY RESPONSE						
Peak-to-Peak Gain Deviation			1		dB	40 MHz bandwidth including digital compensation
			0.2		dB	Any 10 MHz span including digital compensation
RECEIVER BANDWIDTH		0.012	40		MHz	Zero-IF mode, the analog low-pass filter (LPF) bandwidth is 5 MHz minimum, the programmable finite impulse response (FIR) filter bandwidth is configurable over the entire range
RECEIVER ALIAS BAND REJECTION		80			dB	This performance is achieved because of the digital filters
CONTINUOUS WAVE FULL-SCALE INPUT POWER ¹	FSIP		-11.4		dBm	This continuous wave signal level corresponds to the input power at maximum gain that produces 0 dBFS at the ADC output, this level increases dB for dB with attenuation, backoff by at least -2 dBFS is required
INPUT IMPEDANCE		100			Ω	Differential, see the ADRV9001 System Development User Guide for more information

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT PORT RETURN LOSS						Single-ended return loss measured with balun in place on board
30 MHz			20		dB	
470 MHz			21		dB	
900 MHz			20		dB	
2400 MHz			22		dB	
3500 MHz			9		dB	
5800 MHz			10		dB	
NOISE FIGURE						
High Performance Receiver ADCs						
Wideband	NF _{WB}					0 dB attenuation at the device under test (DUT) receive port, integrated bandwidth from 8 MHz to 9 MHz
50 MHz			11.6		dB	
470 MHz			10.6		dB	
900 MHz			10.5		dB	
2400 MHz			11.4		dB	
3500 MHz			12.5		dB	
5800 MHz			12.6		dB	
Narrow-Band	NF _{NB}					0 dB attenuation at the DUT receive port, integrated bandwidth from 4 kHz to 8 kHz, 18 dB interface gain, IF = 490 kHz
30 MHz			13.8		dB	
470 MHz			11.8		dB	
900 MHz			11.8		dB	
2400 MHz			12.3		dB	
3500 MHz			14.2		dB	
5800 MHz			15.1		dB	
Low Power Receiver ADCs						
Wideband	NF _{WB}					0 dB attenuation at the DUT receive port, integrated bandwidth from 8 MHz to 9 MHz
50 MHz			13.1		dB	
470 MHz			11.9		dB	
900 MHz			12.0		dB	
2400 MHz			12.6		dB	
3500 MHz			13.6		dB	
5800 MHz			13.9		dB	
Narrow-Band	NF _{NB}					0 dB attenuation at the DUT receive port, integrated bandwidth from 4 kHz to 8 kHz, 18 dB interface gain, IF = 490 kHz
30 MHz			16.7		dB	
470 MHz			14.8		dB	
900 MHz			15.1		dB	
2400 MHz			15.6		dB	
3500 MHz			17.0		dB	
5800 MHz			17.5		dB	
SECOND-ORDER INPUT INTERMODULATION INTERCEPT POINT						
High Performance Receiver ADCs						
Wideband	IIP2 _{WB}					0 dB receiver attenuation, 1 dB cutoff frequency (f_{1dB}) of the transimpedance amplifier (TIA) = 20 MHz, two continuous wave tones at 17 MHz and 18 MHz, for LO = 50 MHz, tone output power is -11.6 dBFS/tone, for all other LOs, tone output power is -8.1 dBFS/tone
50 MHz			79		dBm	

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
470 MHz	IIP2 _{NB}		81		dBm	
900 MHz			85		dBm	
2400 MHz			73		dBm	
3500 MHz			60		dBm	
5800 MHz			60		dBm	
Narrow-Band						0 dB receiver attenuation, 3 dB cutoff frequency (f_{3dB}) of the first-order TIA = 4 MHz, two continuous wave tones at 1.0061 MHz and 2.0061 MHz, for LO = 30 MHz, 470 MHz, 900 MHz and 2400 MHz, tone output power is -11.6 dBFS/tone, for LO = 3500 MHz and 5800 MHz, tone output power is -6.6 dBFS/tone
30 MHz			90		dBm	
470 MHz			89		dBm	
900 MHz			85		dBm	
2400 MHz			68		dBm	
3500 MHz			73		dBm	
5800 MHz			67		dBm	
Low Power Receiver ADCs						
Wideband	IIP2 _{WB}					0 dB receiver attenuation, f_{1dB} of the TIA = 20 MHz, two continuous wave tones at 17 MHz and 18 MHz, for LO = 50 MHz, tone output power is -11.6 dBFS/tone, for all other LOs, tone output power is -8.1 dBFS/tone
50 MHz			70		dBm	
470 MHz			74		dBm	
900 MHz			72		dBm	
2400 MHz			65		dBm	
3500 MHz			59		dBm	
5800 MHz			60		dBm	
Narrow-Band	IIP2 _{NB}					0 dB receiver attenuation, f_{3dB} of the first-order TIA = 4 MHz, two continuous wave tones at 1.0061 MHz and 2.0061 MHz, for LO = 30 MHz, 470 MHz, 900 MHz and 2400 MHz, tone output power is -11.6 dBFS/tone, for LO = 3500 MHz and 5800 MHz, tone output power is -6.6 dBFS/tone
30 MHz			82		dBm	
470 MHz			84		dBm	
900 MHz			81		dBm	
2400 MHz			70		dBm	
3500 MHz			71		dBm	
5800 MHz			67		dBm	
THIRD-ORDER INPUT INTERMODULATION INTERCEPT POINT, DIFFERENCE PRODUCT						
High Performance Receiver ADCs						
Wideband	IIP3 _{WB}					0 dB receiver attenuation, f_{1dB} of the TIA = 20 MHz, two continuous wave tones at 17 MHz and 18 MHz, for LO = 50 MHz, tone output power is -11.6 dBFS/tone, for all other LOs, tone output power is -8.1 dBFS/tone
50 MHz			22		dBm	
470 MHz			26		dBm	
900 MHz			27		dBm	
2400 MHz			28		dBm	
3500 MHz			26		dBm	
5800 MHz			25		dBm	
Narrow-Band	IIP3 _{NB}					0 dB receiver attenuation, for LO = 30 MHz, second-order TIA is used and f_{1dB} of the TIA = 7 MHz, for all others, first-order TIA is used and f_{1dB} of the

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
30 MHz			31		dBm	TIA = 4 MHz, two continuous wave tones at 1.0061 MHz and 2.0061 MHz, for LO = 30 MHz and 900 MHz, tone output power is -15.1 dBFS/tone, for LO = 470 MHz and 2400 MHz, tone output power is -13.6 dBFS/tone, for LO = 3500 MHz, tone output power is -12.6 dBFS/tone, for LO = 5800 MHz, tone output power is -14 dBFS/tone
470 MHz			33		dBm	
900 MHz			29		dBm	
2400 MHz			26		dBm	
3500 MHz			27		dBm	
5800 MHz			23		dBm	
Low Power Receiver ADCs						
Wideband	IIP3 _{WB}					0 dB receiver attenuation, f _{1dB} of the TIA = 20 MHz, two continuous wave tones at 17 MHz and 18 MHz, for LO = 50 MHz, tone output power is -11.6 dBFS/tone, for all other LOs, tone output power is -8.1 dBFS/tone
50 MHz			21		dBm	
470 MHz			22		dBm	
900 MHz			22		dBm	
2400 MHz			21		dBm	
3500 MHz			23		dBm	
5800 MHz			20		dBm	
Narrow-Band	IIP3 _{NB}					0 dB receiver attenuation, for LO = 30 MHz, second-order TIA is used and f _{1dB} of the TIA = 7 MHz, for all others, first-order TIA is used and f _{1dB} of the TIA = 4 MHz, two continuous wave tones at 1.0061 MHz and 2.0061 MHz, for LO = 30 MHz and 900 MHz, tone output power is -15.1 dBFS/tone, for LO = 470 MHz and 2400 MHz, tone output power is -13.6 dBFS/tone, for LO = 3500 MHz, tone output power is -12.6 dBFS/tone, for LO = 5800 MHz, tone output power is -14 dBFS/tone
30 MHz			23		dBm	
470 MHz			23		dBm	
900 MHz			21		dBm	
2400 MHz			22		dBm	
3500 MHz			26		dBm	
5800 MHz			21		dBm	
THIRD-ORDER HARMONIC DISTORTION	HD3					
High Performance Receiver ADCs						
Wideband	HD3 _{WB}					-20 dBm input power continuous wave tone at 5.6 MHz at maximum gain at Rx input port, f _{1dB} of the TIA = 20 MHz, HD3 product at 16.8 MHz
50 MHz			-84		dBc	
470 MHz			-74		dBc	
900 MHz			-82		dBc	
2400 MHz			-92		dBc	
3500 MHz			-93		dBc	
5800 MHz			-89		dBc	
Narrow-Band	HD3 _{NB}					-20 dBm input power continuous wave tone at 2.1 kHz at maximum gain at Rx input port, f _{1dB} of the TIA = 2 MHz, HD3 product at 6.3 kHz
30 MHz			-102		dBc	
470 MHz			-97		dBc	
900 MHz			-89		dBc	
2400 MHz			-79		dBc	
3500 MHz			-80		dBc	

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
5800 MHz	HD3 _{WB}	-72	dBc	-20 dBm input power continuous wave tone at 5.6 MHz at maximum gain at Rx input port, f_{1dB} of the TIA = 20 MHz, HD3 product at 16.8 MHz		
Low Power Receiver ADCs						
Wideband						
50 MHz						
470 MHz						
900 MHz						
2400 MHz						
3500 MHz						
5800 MHz						
Narrow-Band						
30 MHz	HD3 _{NB}	-108	dBc	-20 dBm input power continuous wave tone at 2.1 kHz at maximum gain at Rx input port, f_{1dB} of the TIA = 2 MHz, HD3 product at 6.3 kHz		
470 MHz						
900 MHz						
2400 MHz						
3500 MHz						
5800 MHz						
SECOND-ORDER HARMONIC DISTORTION						
High Performance Receiver ADCs	HD2			-20 dBm input power continuous wave tone at 5.6 MHz at maximum gain at Rx input port, f_{1dB} of the TIA = 20 MHz, HD2 product at 11.2 MHz		
Wideband						
50 MHz						
470 MHz						
900 MHz						
2400 MHz						
3500 MHz						
5800 MHz						
Narrow-Band						
30 MHz						
470 MHz	HD2 _{NB}	-91	dBc	-20 dBm input power continuous wave tone at 2.1 kHz at maximum gain at Rx input port, f_{1dB} of the TIA = 2 MHz, HD2 product at 4.2 kHz		
900 MHz						
2400 MHz						
3500 MHz						
5800 MHz						
Low Power Receiver ADCs						
Wideband	HD2 _{WB}			-20 dBm input power continuous wave tone at 5.6 MHz at maximum gain at Rx input port, f_{1dB} of the TIA = 20 MHz, HD2 product at 11.2 MHz		
50 MHz						
470 MHz						
900 MHz						
2400 MHz						
3500 MHz						
5800 MHz						
Narrow-Band	HD2 _{NB}	-82	dBc	-20 dBm input power continuous wave tone at 2.1 kHz at maximum gain at Rx input port, f_{1dB} of the TIA = 2 MHz, HD2 product at 4.2 kHz		
30 MHz						
470 MHz						
30 MHz	HD2 _{WB}	-71	dBc	-20 dBm input power continuous wave tone at 5.6 MHz at maximum gain at Rx input port, f_{1dB} of the TIA = 20 MHz, HD2 product at 11.2 MHz		
470 MHz						

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
900 MHz			-90		dBc	
2400 MHz			-81		dBc	
3500 MHz			-80		dBc	
5800 MHz			-70		dBc	
IMAGE REJECTION WITH INITIALIZATION CALIBRATION AND HARDWARE TRACKING ONLY						
High Performance Receiver ADCs						
Wideband						Software QEC disabled, 40 MHz receiver bandwidth, maximum receiver gain index, -20 dBm input power continuous wave tone at 5.6 MHz
50 MHz			84		dBc	
470 MHz			83		dBc	
900 MHz			82		dBc	
1900 MHz			81		dBc	
3500 MHz			82		dBc	
5800 MHz			78		dBc	
Narrow-Band						25 kHz receiver bandwidth, maximum receiver gain index, -20 dBm input power continuous wave tone at 2100 kHz
30 MHz			102		dBc	
470 MHz			96		dBc	
900 MHz			95		dBc	
2400 MHz			92		dBc	
3500 MHz			89		dBc	
5800 MHz			86		dBc	
Low Power Receiver ADCs						Software QEC disabled, 40 MHz receiver bandwidth, maximum receiver gain index, -20 dBm input power continuous wave tone at 5.6 MHz
Wideband						
50 MHz			87		dBc	
470 MHz			90		dBc	
900 MHz			86		dBc	
1900 MHz			84		dBc	
3500 MHz			82		dBc	
5800 MHz			75		dBc	
Narrow-Band						25 kHz receiver bandwidth, maximum receiver gain index, -20 dBm input power continuous wave tone at 2100 kHz
30 MHz			99		dBc	
470 MHz			98		dBc	
900 MHz			98		dBc	
2400 MHz			93		dBc	
3500 MHz			89		dBc	
5800 MHz			87		dBc	
RECEIVER INPUT LO LEAKAGE AT MAXIMUM GAIN						Leakage decreased dB for dB with attenuation for the first 12 dB
50 MHz			-66		dBm	
470 MHz			-66		dBm	
900 MHz			-66		dBm	
2400 MHz			-66		dBm	
3500 MHz			-62		dBm	
5800 MHz			-60		dBm	
SIGNAL ISOLATION						

仕様

表 2. レシーバ (Rx1A および Rx1B) (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Tx1 to Rx1A or Rx1B Signal Isolation						Isolation between Tx and Rx port, isolation changes dB for dB with Rx gain
30 MHz			100		dB	
470 MHz			85		dB	
900 MHz			78		dB	
2400 MHz			77		dB	
3500 MHz			62		dB	
5800 MHz			64		dB	
Rx1A to Rx1B Signal Isolation						
30 MHz			99		dB	
470 MHz			97		dB	
900 MHz			90		dB	
2400 MHz			86		dB	
3500 MHz			84		dB	
5800 MHz			70		dB	

¹ 連続時間型 $\Sigma\Delta$ ADC の性質により、入力信号電力の制限はデジタル出力では 0dBFS に一致しません。パイプライン ADC のハード・クリッピング特性とは異なり、これらのコンバータは、入力が最大レベルに近づくとソフト・オーバーロードの動作を示します。

内部 LO、外部 LO、デバイス・クロック

表 3. 内部 LO、外部 LO、デバイス・クロック

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
LO						
Frequency Step				2.2	Hz	For 38.4 MHz DEV_CLK ¹ , use the equation $DEV_CLK / ((2^{23} - 15) \times 2)$ to calculate, assuming the LO divider is 2
Reference Spurs			-80		dBc	LO < 1 GHz, PLL bandwidth = 300 kHz
LO WITH HIGH PERFORMANCE MODE						
Integrated Phase Noise						Integrated from 100 Hz to 50 MHz
30 MHz LO			0.008		°RMS	PLL bandwidth = 300 kHz
470 MHz LO			0.04		°RMS	PLL bandwidth = 300 kHz
900 MHz LO			0.08		°RMS	PLL bandwidth = 300 kHz
2400 MHz LO			0.22		°RMS	PLL bandwidth = 300 kHz
3500 MHz LO			0.27		°RMS	PLL bandwidth = 300 kHz
5800 MHz LO			0.6		°RMS	PLL bandwidth = 300 kHz
Phase Noise						DEV_CLK = 38.4 MHz, typical performance
30 MHz LO			See Figure 354			PLL bandwidth = 300 kHz
470 MHz LO			See Figure 355			PLL bandwidth = 300 kHz
900 MHz LO			See Figure 356			PLL bandwidth = 300 kHz
2400 MHz LO			See Figure 357			PLL bandwidth = 300 kHz
3500 MHz LO			See Figure 358			PLL bandwidth = 300 kHz
5800 MHz LO			See Figure 359			PLL bandwidth = 300 kHz
LO PHASE SYNCHRONIZATION						
Initial Phase Synchronization Accuracy			3		Degrees	
EXTERNAL LO INPUT						
Input Frequency						Input frequency must be 2x or higher than the desired frequency for the LO frequency (f_{LO}), a 1x multiplier is available for an LO range from 500 MHz to 1 GHz

仕様

表 3. 内部 LO、外部 LO、デバイス・クロック (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Input Signal Power	f_{EXTLO}	60		12000	MHz	50 Ω matching at the source
Input Signal Differential Phase Balance		-6	0	+6	dBm	Do not exceed 20 degrees to ensure adequate quadrature error correction
Input Signal Differential Amplitude Balance				1	dB	
Input Signal Duty Cycle				2.5	%	
Input Impedance				100	Ω	Differential, see the ADRV9001 System Development User Guide for more information
REFERENCE CLOCK (DEV_CLK_IN SIGNAL)						
Differential Mode						
Frequency Range		10		1000	MHz	
Signal Level		0.2		0.4	V p-p	AC-coupled, for optimal spurious performance and to meet the specified PLL performance parameters, use a 400 mV p-p (800 mV p-p differential) input clock.
Single-Ended Mode						
Frequency Range		10		80	MHz	
Signal Level		0.2		1	V p-p	AC-coupled, for optimal spurious performance and to meet the specified PLL performance parameters, use a 1 V p-p input clock.
REFERENCE CLOCK (XTAL)						
Frequency Range		20		80	MHz	
CLOCK OUTPUT (DEV_CLK_OUT SIGNAL)						
Frequency Range		10		80	MHz	

¹ DEV_CLK は、デバイスのクロック周波数レートです。

デジタル・インターフェースおよび補助コンバータ

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
AUXILIARY ADC CONVERTERS					
Resolution		10		Bits	
Input Voltage					
Minimum		0.05		V	
Maximum		0.95		V	
AUXILIARY DAC CONVERTERS					
Resolution		12		Bits	
Output Voltage					
Minimum		0.05		V	
Maximum		VDDA_1P8 ¹ - 0.05		V	
Drive Capability		10		mA	
DIGITAL SPECIFICATIONS (CMOS SSI SIGNALS)					
Logic Inputs					
Input Voltage					
High Level	VDIGIO_1P8 × 0.65		VDIGIO_1P8 + 0.18	V	

仕様

表 4. (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Low Level	-0.30		VDIGIO_1P8 × 0.35	V	
Logic Outputs					
Output Voltage					
High Level	VDIGIO_1P8 - 0.45			V	
Low Level		10	0.45	V	
Drive Capability				mA	
DIGITAL SPECIFICATIONS (DIGITAL GPIO SIGNALS)					
Logic Inputs					
Input Voltage					
High Level	VDIGIO_1P8 × 0.65		VDIGIO_1P8 + 0.18	V	
Low Level	-0.30		VDIGIO_1P8 × 0.35	V	
Logic Outputs					
Output Voltage					
High Level	VDIGIO_1P8 - 0.45			V	
Low Level		10	0.45	V	
Drive Capability				mA	
DATAPORT SPECIFICATIONS (LVDS SSI, MCS+ and MCS-)					
Logic Inputs					
Input Voltage Range	825		1675	mV	Each differential input in the pair
Input Differential Voltage Threshold	-100		+100	mV	
Receiver Differential Input Impedance		100		Ω	Internal termination enabled
Logic Outputs					
Output Voltage					
High Level					
Low Level	1000		1390	mV	
Differential Offset		300		mV	
		1200		mV	
			17	mA	Drivers are shorted to ground, there is no internal termination available, an off-chip 100 Ω termination is required
Output Current			4.1	mA	Drivers are shorted together
Clock Signal Duty Cycle	45	50	55	%	500 MHz
Output Rise and Fall Time		0.371		ns	300 mV p-p swing
DIGITAL SPECIFICATIONS (ANALOG GPIO SIGNALS)					
Logic Inputs					
Input Voltage					
High Level	VDAA_1P8 × 0.65		VDAA_1P8 + 0.18	V	
Low Level	-0.30		VDAA_1P8 × 0.35	V	
Logic Outputs					
Output Voltage					
High Level	VDAA_1P8 - 0.45			V	

仕様

表 4. (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Low Level Drive Capability			0.45	V	
		10		mA	

¹ VDDA_1P8 は、VCONV_1P8、VAGPIO_1P8、VANA2_1P8、VANA1_1P8 を含むすべての 1.8V アナログ電源を指します。

電源仕様

表 5.

Parameter	Min	Typ	Max	Unit
SUPPLY CHARACTERISTICS				
VDDA_1P0 ¹ Analog Supplies	0.975	1.0	1.025	V
VDD_1P0 ² Digital Supply	0.95	1.0	1.05	V
VDDA_1P3 ³ Analog Supplies	1.267	1.3	1.33	V
VDDA_1P8 Analog Supplies	1.71	1.8	1.89	V
VDD_1P8 ⁴ Digital Supply	1.71	1.8	1.89	V

¹ VDDA_1P0 は、内部低ドロップアウト (LDO) レギュレータをバイパスして動作するすべての 1.0V アナログ電源を指します。内部 LDO レギュレータをバイパスできる電源ドメインには、VRFL02_1P0、VRFL01_1P0、VRXILO_1P3、VCONV_1P3、VTXILO_1P3 などがあります。

² VDD_1P0 は、VDIG_1P0 を含むすべての 1.0V デジタル電源を指します。

³ VDDA_1P3 は、VRFVCO2_1P3、VRFVCO1_1P3、VANA2_1P3、VANA1_1P3、VCLKSYN_1P3、VRFSYN2_1P3、VRFSYN1_1P3、VAUXSYN_1P3、VRXILO_1P3、VCLKVCO_1P3、VAUXVCO_1P3、VTXILO_1P3、VCONV_1P3 を含むすべての 1.3V アナログ電源を指します。

⁴ VDD_1P8 は、VDIGIO_1P8 を含むすべての 1.8V デジタル電源を指します。

仕様

消費電流の推定値（代表値）

表 6～表 8 では、VDDA_1P0 1.0V 外部電源ドメインは使用していません。以下に記載のすべてのモードにおいて、ADRV9005 は、オンチップの 1.0V アナログ電源ドメインを生成するために内部 LDO レギュレータを使用して動作しています。

スリープ・モード

表 6. デジタル・モバイル無線 (DMR) CMOS SSI

ADRV9005 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
Receiver, Transmitter, Clock PLL, and LDO Regulator Powered Down, Internal Microprocessor Active, CMOS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	18.9	8.2	9.7	1.3	0.049
Receiver, Transmitter, Clock PLL, LDO Regulator, and Internal Microprocessor Powered Down, CMOS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	2.3	6.9	9.7	1.3	0.031

TDD の動作

表 7. DMR、4 個の外部 LO、LO = 470MHz、低消費電力モード・クロック PLL、プロセッサ・クロック分周器 = 4、CMOS SSI

ADRV9005 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver Low Power ADC, Low IF, 12.5 kHz Receiver Bandwidth, 24 kSPS Data Rate, Receiver QEC Enabled, QEC Engine Active, and Transmitter Powered Down	Not used	92	171	26	3	0.367
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 12.5 kHz Transmitter Bandwidth, 96 kSPS Data Rate, Direct Modulation (DM) Mode, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver Powered Down	Not used	62	257	100	3	0.582
1 × Transmitter RF Attenuation = 6 dB, Full-Scale Continuous Wave 12.5 kHz Transmitter Bandwidth, 96 kSPS Data Rate, DM Mode, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver Powered Down	Not used	62	257	58	3	0.506

仕様

表 8. LTE40、1 トランスマッタ 1 レシーバ (1T1R)、LO = 2.5GHz、高性能クロック PLL、LVDS SSI

ADRV9005 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver Low Power ADC Low Rate, 40 MHz Receiver Bandwidth, 61.44 MSPS Data Rate, Receiver QEC Enabled, QEC Engine Active, and Transmitter in Primed State	Not used	258	406	39	28	0.906
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	140	486	143	28	1.080
1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	141	486	66	28	0.942
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Enabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking is Duty Cycled (Practical Scenario)	Not used	232	754	156	28	1.543
1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Enabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking is Duty Cycled (Practical Scenario)	Not used	231	755	79	28	1.405

FDD の動作

送信チャンネルは有効化、40MHz のトランスマッタ帯域幅、61.44MSPS のデータ・レート、トランスマッタの内部 LO = 2.4GHz、送信 QEC は無効化、QEC エンジンは停止、LVDS SSI。受信チャンネルは有効化、40MHz のレシーバ帯域幅、61.44MSPS のデータ・レート、レシーバの内部 LO = 2.5GHz、高性能クロック PLL、高性能レシーバの ADC は低レート、受信 QEC は無効化、QEC エンジンは停止。低消費電力 ADC を使用すると、レシーバ・チャンネルあたり約 110mW だけ消費電力が減少します。補助 DAC または補助 ADC は有効化されていません。

表 9. FDD モード

ADRV9005 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver, 1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave	Not used	300	817	190	48	1.791
1 × Receiver, 1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave	Not used	300	815	111	48	1.644

仕様

タイミング仕様

表 10. タイミング仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SPI TIMING					
t_{CP}	28		22	ns	SPI_CLK period, 3-wire mode
t_{MP}	10		ns	ns	SPI_CLK period, 4-wire mode
t_{SC}	3		ns	ns	SPI_CLK pulse width
t_{HC}	0		ns	ns	SPI_EN setup to first SPI_CLK rising edge
t_s	2		ns	ns	Last SPI_CLK falling edge to SPI_EN hold
t_H	0		ns	ns	SPI_DIO data input setup to SPI_CLK
t_{CO}	3	15	ns	ns	SPI_DIO data input hold to SPI_CLK
t_{HZM}	3	10	ns	ns	SPI_CLK falling edge to output data delay (3-wire mode)
t_{HZS}	t_H	t_{CO}	ns	ns	SPI_CLK falling edge to output data delay (4-wire mode)
	0	t_{CO}	ns	ns	Bus turnaround time after the baseband processor drives the last address bit
					Bus turnaround time after the ADRV9005 drives the last address bit, not shown in Figure 2
DIGITAL TIMING ¹					
TX1_ENABLE Pulse Width	10			μs	
RX1_ENABLE Pulse Width	10			μs	
TX1_ENABLE Valid Data		2		μs	
RX1_ENABLE Valid Data		2		μs	
DIGITAL DATA TIMING (LVDS SSI)					
TX1_DCLK_IN±, RX1_DCLK_OUT± and TX1_DCLK_OUT± Clock Period	2			ns	Zero on-chip lane skew and an adjustable delay of ±300 ps available per lane
TX1_DCLK_IN±, RX1_DCLK_OUT± and TX1_DCLK_OUT± Pulse Width	1			ns	500 MHz
Transmitter Data					
TX1_IDATA_IN± or TX1_QDATA_IN or TX1_STROBE_IN± Setup to TX1_DCLK_IN±	0.22			ns	
TX1_IDATA_IN± or TX1_QDATA_IN± or TX1_STROBE_IN± Hold to TX1_DCLK_IN±	0.39			ns	
Receiver Data					
RX1_DCLK_OUT± to RX1_IDATA_OUT± or RX1_QDATA_OUT± or RX1_STROBE_OUT± Delay			0.2	ns	DC-coupled
DIGITAL DATA TIMING (CMOS-SSI)					
TX1_DCLK_IN±, RX1_DCLK_OUT± and TX1_DCLK_OUT± Clock Period	12.5			ns	80 MHz
TX1_DCLK_IN±, RX1_DCLK_OUT± and TX1_DCLK_OUT± Pulse Width	6.25			ns	
Transmitter Data					
TX1_DATA_IN± or TX1_STROBE_IN± Setup to TX1_DCLK_IN±	2			ns	
TX1_DATA_IN± or TX1_STROBE_IN± Hold to TX1_DCLK_IN±	2			ns	
Receiver Data					
RX1_DCLK_OUT± to RX1_DATA_OUT± or RX1_STROBE_OUT± Delay			4.5	ns	DC-coupled
MULTICHP SYNCHRONIZATION (MCS) TIMING					
LVDS Setup			0.62	ns	
LVDS Hold			0	ns	

仕様

表 10. タイミング仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CMOS Setup		1		ns	
CMOS Hold		3		ns	

¹ TX1_ENABLE および RX1_ENABLE はチャンネルの動作を有効化／無効化する信号です。

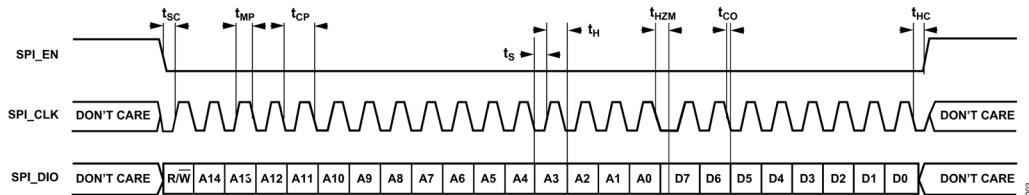


図 2. パラメータのラベルを付した 3 線式 SPI タイミング (SPI 読出し)

絶対最大定格

表 11. 絶対最大定格

Parameter	Rating
VDDA_1P0 to VSSA	-0.2 V to +1.2 V
VDDA_1P3 to VSSA	-0.2 V to +1.5 V
VDDA_1P8 to VSSA	-0.3 V to +2.2 V
VDD_1P0 to VSSD	-0.2 V to +1.2 V
VDD_1P8 to VSSD	-0.3 V to +2.2 V
Input Current to Any Pin Except Supplies	± 10 mA
Maximum Input Power into RF Ports	See Table 12 for limits vs. survival time
Junction Temperature Range	-40°C to +110°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 12. RF ポートへの最大入力電力と寿命の関係

RF Port Input Power, Continuous Wave Signal (dBm)	Lifetime		
	30 dB of Attenuation from Maximum Gain	0 dB of Attenuation from Maximum Gain	
7	>10 years	>10 years	
10	>10 years	20000 hours	
20	>10 years	14 hours	
23	>10 years	110 minutes	
25	>7 years	60 minutes	

リフロー・プロファイル

ADRV9005 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD20 の基準に従っています。最大リフロー温度は 260°C です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 13 に仕様規定されている熱抵抗値は、(特に指定のない限り) JEDEC 仕様に基づいて計算されており、JESD51-12 に従って使用します。放熱強化技術 (PCB、ヒートシンク、空気流など) を使用すると、熱抵抗が改善されます。

θ_{JA} は、最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。 θ_{JC_TOP} は、ジャンクションから、パッケージ・ケース上面までの熱抵抗です。 θ_{JB} は、ジャンクションから基板までの熱経路を定量化したものです。 Ψ_{JC} は、ジャンクションからケースへの、単一の直接的な経路ではなく複数の熱経路からなる電力を測定した値です。また、 Ψ_{JB} は、ジャンクションから基板へ向かうこの電力を測定したものです。

表 13. 热抵抗値^{1,2}

Package Type	θ_{JA}	θ_{JC_TOP}	θ_{JB}	Ψ_{JC}	Ψ_{JB}	Unit
BC-196-16	18.21	0.04	3.96	0.02	3.63	°C/W

¹ 試験では、100 μ m の熱界面材料 (TIM) を使用しています。TIM は 3.6W/mK と仮定しています。

² 放熱強化技術 (PCB、ヒート・シンク、空気の流れなど) を使用し、熱抵抗値を改善しています。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRV9005 の ESD 定格

表 14. ADRV9005、196 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	350	C1
Excluding AUXADC_2	500	C2A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

ADRV9005														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSSA	VSSA	EXT_LO2+	EXT_LO2-	VRFVC02_1P3	VRFLO2_1P0	MODEA	RBIAS	VRFLO1_1P0	VRFVC01_1P3	EXT_LO1-	EXT_LO1+	VSSA	VSSA
B	VSSA	VSSA	VSSA	VSSA	VSSA	VRFVC02_1P0	AUXADC_2	AUXADC_1	VRFVC01_1P0	VSSA	VSSA	VSSA	VSSA	RX1A-
C	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VANA1_1P3	VANA1_1P0	VSSA	RX1B-	RX1B+	VSSA	RX1A+
D	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	MCS+	MCS-	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
E	VSSA	VSSA	AGPIO_2	VRFSYN2_1P3	VCLKSYN_1P3	VSSA	DEV_CLK_IN+	DEV_CLK_IN-	VSSA	VAUXSYN1_1P3	VRFSYN1_1P3	AGPIO_0	VRX1LO_1P3	VRX1LO_1P0
F	VSSA	VSSA	VSSA	AGPIO_4	AGPIO_3	VSSA	VSSA	VSSA	VSSA	AGPIO_1	AGPIO_10	VSSA	VSSA	VSSA
G	VSSA	VSSA	VSSA	AGPIO_5	VCLKVCO_1P3	AGPIO_6	VCONV_1P8	VAGPIO_1P8	AGPIO_8	VAUXVCO_1P3	AGPIO_11	VTX1LO_1P3	VSSA	TX1+
H	VSSA	VANA2_1P8	VSSA	AUXADC_3	VCLKVCO_1P0	AGPIO_7	VCONV_1P0	VCONV_1P3	AGPIO_9	VAUXVCO_1P0	AUXADC_0	VTX1LO_1P0	VANA1_1P8	TX1-
J	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
K	SPI_CLK	SPI_DIO	DNC	VSSA/TESTCK+	VSSA/TESTCK-	DGPIO_0	DGPIO_1	DGPIO_2	DGPIO_3	DGPIO_4	DGPIO_5	RX1_EN	RESETB	GP_INT
L	SPI_EN	SPI_DO	DNC	DGPIO_6	DGPIO_7	DGPIO_8	VDIG_1P0	VDIG_1P0	DGPIO_9	DGPIO_10	DGPIO_11	TX1_EN	MODE	DEV_CLK_OUT
M	DNC	DNC	DNC	DNC	DGPIO_15	DGPIO_14	VDIGIO_1P8	VDIG_0P9	DGPIO_12/TX1_DCLK_OUT-	DGPIO_13/TX1_DCLK_OUT+	RX1_DCLK_OUT+	RX1_DCLK_OUT-	RX1_IDAT_A_OUT+	RX1_IDAT_A_OUT-
N	DNC	DNC	DNC	DNC	DNC	DNC	VSSD	VSSD	TX1_DCLK_IN-	TX1_DCLK_IN+	RX1_QDATA_OUT+	RX1_QDATA_OUT-	RX1_STROBE_OUT+	RX1_STROBE_OUT-
P	VSSD	DNC	DNC	DNC	DNC	DNC	DNC	TX1_IDATA_IN-	TX1_IDATA_IN+	TX1_QDATA_IN+	TX1_QDATA_IN-	TX1_STROBE_IN-	TX1_STROBE_IN+	VSSD

■ RF PORTS ■ POWER 1.8V ■ DIGITAL GPIO
 ■ ANALOG GND ■ POWER 1.3V ■ ANALOG GPIO
 ■ DIGITAL GND ■ POWER 1.0V ■ MULTIFUNCTION GPIO
 ■ SPI, ENABLES, RESET, MODE, DEV_CLK_OUT
 ■ SYNCHRONOUS SERIAL INTERFACE PORTS
 ■ AUX ADC

03

図 3. ピン配置

表 15. ピン機能の説明

ピン番号	タイプ	記号	説明
A1, A2, A13, A14, B1 to B5, B10 to B13, C1 to C7, C10, C13, D1 to D6, D9 to D14, E1, E2, E6, E9, F1 to F3, F6 to F9, F12 to F14, G2, G3 G13, H3, J1 to J14 A3, A4	Input	VSSA	アナログ・グラウンド (VSSA)。
	Input	EXT_LO2+, EXT_LO2-	差動外部 LO 入力 1 (LO1)。外部 LO1 に EXT_LO2+ および EXT_LO2- を使用する場合は、入力周波数を必要キャリア周波数の 2 倍以上とする必要があります。500MHz~1GHz の LO 範囲では、1 倍の倍増器が使用できます。使用しない場合、EXT_LO2+ および EXT_LO2- は VSSA に接続します。
A5	Input	VRFVC02_1P3	RF 外部 LO 入力 2 (LO2) の VCO と LO 生成回路用の 1.3V 内部 LDO レギュレータ入力電源。VRFVC02_1P3 は電源ノイズに敏感です。
A6	Input and output	VRFLO2_1P0	RF LO2 生成回路用の 1.0V 内部電源ノード。VRFVC02_1P3 入力で動作する内部 LDO レギュレータを使用する場合は、VRFLO2_1P0 を VRFVC02_1P0 に接続し、4.7μF のコンデンサでバイパスします。VRFVC02_1P3 で動作する内部 LDO レギュレータを使用しない場合は、1.0V 電源を VRFLO2_1P0 に接続します。
A7	Input	MODEA	MODEA を使用すると、ブート・アップ・オプションを DEV_CLK_IN± 入力および DEV_CLK_OUT 出力に設定できます。DEV_CLK_IN± ピンで差動クロック・レシーバを有効化するには、MODEA を VSSA に接続します。

ピン配置およびピン機能の説明

表 15. ピン機能の説明（続き）

ピン番号	タイプ	記号	説明
A8	Input	RBIAS	DEV_CLK_IN+でシングルエンド・クロック、または、DEV_CLK_IN±ピンの両方で水晶発振器を使用する場合は、MODEA をどの VSSA よりも高い電圧に接続します。RBIAS と VSSA（アナログ・グラウンド）の間に、4.99kΩ の抵抗を接続してください。
A9	Input and output	VRFL01_1P0	RF LO1 生成回路用の 1.0V 内部電源ノード。VRFVCO1_1P3 入力で動作する内部 LDO レギュレータを使用する場合は、VRFL01_1P0 を VRFVCO1_1P0 に接続し、4.7μF のコンデンサでバイパスします。VRFVCO1_1P3 で動作する内部 LDO レギュレータを使用しない場合は、1.0V 電源を VRFL01_1P0 に接続します。
A10	Input	VRFVCO1_1P3	RF LO1 の VCO と LO 生成回路用の 1.3V 内部 LDO レギュレータ入力電源。VRFVCO1_1P3 は電源ノイズに敏感です。
A11, A12	Input	EXT_LO1-, EXT_LO1+	差動外部 LO 入力 2。外部 LO2 に EXT_LO1+ および EXT_LO1- を使用する場合は、入力周波数を必要キャリア周波数の 2 倍以上とする必要があります。500MHz～1GHz の LO 範囲では、1 倍の遅倍器が使用できます。使用しない場合、EXT_LO1+ および EXT_LO1- は VSSA に接続します。
B6	Output	VRFVCO2_1P0	RF LO2 の VCO 回路用 1.0V 内部電源ノード。VRFVCO2_1P3 入力で動作する内部 LDO レギュレータを使用する場合は、この VRFVCO2_1P0 を VRFL02_1P0 に接続し、4.7μF のコンデンサでバイパスします。
B7	Input	AUXADC_2	補助 ADC 入力マルチプレクサへの入力 2。使用しない場合、AUXADC_2 は接続しないでください。
B8	Input	AUXADC_1	補助 ADC 入力マルチプレクサへの入力 1。使用しない場合、AUXADC_1 は接続しないでください。
B9	Output	VRFVCO1_1P0	RF LO1 の VCO 回路用 1.0V 内部電源ノード。VRFVCO1_1P3 入力で動作する内部 LDO レギュレータを使用する場合は、VRFVCO1_1P0 を VRFL01_1P0 に接続し、4.7μF のコンデンサでバイパスします。
B14, C14	Input	RX1A-, RX1A+	Rx1 の差動入力 A。使用しない場合、RX1A- および RX1A+ は VSSA に接続します。
C8	Input	VANA1_1P3	Tx1 および Rx1 のベースバンド回路、TIA、トランスマッタ GM、ベースバンド・フィルタ用の 1.3V 内部 LDO レギュレータ入力電源。VANA1_1P3 は電源ノイズに敏感です。
C9	Input and output	VANA1_1P0	Tx1 および Rx1 のベースバンド回路、TIA、トランスマッタ GM、ベースバンド・フィルタ用の 1.0V 内部電源ノード。通常動作では、VANA1_1P0 には何も接続しません。
C11, C12	Input	RX1B-, RX1B+	Rx1 の差動入力 B。使用しない場合、RX1B- および RX1B+ は VSSA に接続します。
D7, D8	Input	MCS+, MCS-	マルチチップ同期リファレンス入力。使用しない場合、MCS+ および MCS- は VSSA に接続します。
E3, E12, F4, F5, F10, F11, G4, G6, G9, G11, H6, H9	Input and output	AGPIO_xx	VAGPIO_1P8 の 1.8V 電源を基準とする GPIO 信号。ポールの位置と AGPIO_xx 信号名の対応については表 16 を参照してください。一部の AGPIO_xx ピンは補助 DAC 出力としても機能します。AGPIO_xx ピンと補助 DAC 信号の間のマッピングについては、表 16 を参照してください。使用しない場合、AGPIO_xx ピンは接続しないでください。
E4	Input	VRFSYN2_1P3	RF LO2 のシンセサイザ用 1.3V 電源。VRFSYN2_1P3 は電源ノイズに敏感です。
E5	Input	VCLKSYN_1P3	クロック・シンセサイザ用 1.3V 電源。VCLKSYN_1P3 は電源ノイズに敏感です。
E7, E8	Input	DEV_CLK_IN+, DEV_CLK_IN-	デバイス・クロック入力。DEV_CLK_IN± は、差動動作、シングルエンド動作、または外部水晶発振器に接続した動作が可能です。シングルエンド・モードの場合、クロック信号は DEV_CLK_IN+ ピンに印加し、DEV_CLK_IN- ピンには何も接続しないでください。
E10	Input	VAUXSYN_1P3	補助シンセサイザ用 1.3V 電源。VAUXSYN_1P3 は電源ノイズに敏感です。
E11	Input	VRFSYN1_1P3	RF LO1 のシンセサイザ用 1.3V 電源モニタ。VRFSYN1_1P3 は電源ノイズに敏感です。
E13	Input	VRX1LO_1P3	Rx1 LO のバッファおよびミキサー用 1.3V 内部 LDO レギュレータ入力電源。内部 LDO レギュレータを使用しない場合は、1.0V 電源を VRX1LO_1P3 に接続します。VRX1LO_1P3 は電源ノイズに敏感です。
E14	Output	VRX1LO_1P0	Rx1 LO のバッファおよびミキサー用 1.0V 内部電源ノード。VRX1LO_1P0 は電源ノイズに敏感です。 4.7μF のコンデンサを使用して VRX1LO_1P0 をバイパスします。 接続不可。
G1, H1, K3, L3, M1 to M4, N1 to N6, P2 to P7	DNC	DNC	
G5	Input	VCLKVCO_1P3	クロック LO の VCO と LO 生成回路用の 1.3V 内部 LDO レギュレータ入力電源。VCLKVCO_1P3 は電源ノイズに敏感です。
G7	Input	VCONV_1P8	Tx1 DAC および Rx1 ADC 用の 1.8V 電源。
G8	Input	VAGPIO_1P8	補助 DAC、補助 ADC、AGPIO 信号用 1.8V 電源。
G10	Input	VAUXVCO_1P3	補助 LO の VCO と LO 生成回路用の 1.3V 内部 LDO レギュレータ入力電源。VAUXVCO_1P3 は電源ノイズに敏感です。

ピン配置およびピン機能の説明

表 15. ピン機能の説明（続き）

ピン番号	タイプ	記号	説明
G12	Input	VTX1LO_1P3	Tx1 LO のバッファ、アップコンバータ、LO 遅延用の 1.3V 内部 LDO レギュレータ入力電源。内部 LDO レギュレータを使用しない場合は、1.0V 電源を VTX1LO_1P3 に接続します。VTX1LO_1P3 は電源ノイズに敏感です。
G14, H14	Output	TX1+, TX1-	トランスマッタ・チャンネル 1 の差動出力。使用しない場合、TX1+および TX1- は接続しないでください。
H2	Input	VANA2_1P8	内部リファレンス用の 1.8V 電源。
H4	Input	AUXADC_3	補助 ADC 入力マルチプレクサへの入力 3。使用しない場合、AUXADC_3 は接続しないでください。
H5	Output	VCLKVCO_1P0	クロック LO の VCO と LO 生成回路用 1.0V 内部電源ノード。4.7 μ F のコンデンサを使用して VCLKVCO_1P0 をバイパスします。
H7	Output	VCONV_1P0	レシーバ ADC およびトランスマッタ DAC 用 1.0V 内部電源ノード。4.7 μ F のコンデンサを使用して VCONV_1P0 をバイパスします。
H8	Input	VCONV_1P3	レシーバ ADC およびトランスマッタ DAC 用 1.3V 内部 LDO レギュレータ入力電源。内部 LDO レギュレータを使用しない場合は、1.0V 電源を VCONV_1P3 に接続します。VCONV_1P3 は電源ノイズに敏感です。
H10	Output	VAUXVCO_1P0	補助 LO の VCO と LO 生成回路用 1.0V 内部電源ノード。4.7 μ F のコンデンサを使用して VAUXVCO_1P0 をバイパスします。
H11	Input	AUXADC_0	補助 ADC 入力マルチプレクサへの入力 0。使用しない場合、AUXADC_0 は接続しないでください。
H12	Output	VTX1LO_1P0	Tx1 LO のバッファ、アップコンバータ、LO 遅延用 1.0V 内部電源。通常動作では、VTX1LO_1P0 には何も接続しません。
H13	Input	VANA1_1P8	Rx1 ミキサー、Rx1 TIA、Tx1 LPF、水晶発振器、DEV_CLK 回路、内部リファレンス用の 1.8V 電源。
K1	Input	SPI_CLK	シリアル・データ・バスのクロック入力。
K2	Input and output	SPI_DIO	4 線式モードのシリアル・データ入力または 3 線式モードの入出力。
K4	Input	VSSA/TESTCK+	通常動作には VSSA/TESTCK+ を VSSA に接続します。
K5	Input	VSSA/TESTCK-	通常動作には VSSA/TESTCK- を VSSA に接続します。
K6 to K11, L4 to L6, L9 to L11	Input and output	DGPIO_xx	デジタル GPIO。VDIGIO_1P8 は DGPIO_xx に 1.8V を供給します。ピン位置と DGPIO_xx 信号名の対応については、表 17 を参照してください。使用しない場合、DGPIO_xx は接続しないでください。
K12	Input	RX1_EN	Rx1 のイネーブル入力。使用しない場合、RX1_EN は接続しないでください。
K13	Input	RESETB	アクティブ・ローのチップ・リセット。
K14	Output	GP_INT	汎用デジタル割込み出力信号。使用しない場合、GP_INT は接続しないでください。
L1	Input	SPI_EN	アクティブ・ローのシリアル・データ・バスのチップ・セレクト。
L2	Output	SPI_DO	シリアル・データ出力。SPI 3 線式モードで使用しない場合、SPI_DO は接続しないでください。
L7, L8	Input	VDIG_1P0	1.0V デジタル・コア。VDIG_1P0 ピンは相互に接続します。VDIG_1P0 ピンを別の電源ドメインに接続するには、幅の広いバターンを使用します。リザーバ・コンデンサをチップの近くに配置してください。
L12	Input	TX1_EN	トランスマッタ・チャンネル 1 のイネーブル入力。使用しない場合、TX1_EN は接続しないでください。
L13	Input	MODE	ジョイント・テスト・アクション・グループ (JTAG) バウンダリ・スキャン・ピン。詳細については表 17 を参照してください。使用しない場合、MODE を VSSA に接続します。
L14	Output	DEV_CLK_OUT	シングルエンド・デバイスのクロック出力。DEV_CLK_OUT は、DEV_CLK 信号またはそれを分周したものをベースバンド IC に供給します。使用しない場合、DEV_CLK_OUT は接続しないでください。
M5	Input and output	DGPIO_15	デジタル GPIO 15。VDIGIO_1P8 が 1.8V を DGPIO_15 に供給します。使用しない場合、DGPIO_15 は接続しないでください。
M6	Input and output	DGPIO_14	デジタル GPIO 14。VDIGIO_1P8 が 1.8V を DGPIO_14 に供給します。使用しない場合、DGPIO_14 は接続しないでください。
M7	Input	VDIGIO_1P8	データ・ポート・インターフェース (CMOS SSI および LVDS SSI モード)、SPI 信号、制御入出力信号、GPIO インターフェース用の 1.8V 電源入力。
M8	Output	VDIG_0P9	デジタル回路用 1.0V 内部電源ノード。4.7 μ F のコンデンサを使用して VDIG_0P9 をバイパスします。
M9	Input and output	DGPIO_12/TX1_DCLK_OUT-	デジタル GPIO 12。VDIGIO_1P8 は、DGPIO_12/TX1_DCLK_OUT- に 1.8V を供給します。DGPIO_12/TX1_DCLK_OUT- のもう 1 つの機能は、LVDS SSI モードで負側リファレンス・クロック出力を Tx1 データ・ポートに供給することです。使用しない場合、DGPIO_12/TX1_DCLK_OUT- は接続しないでください。

ピン配置およびピン機能の説明

表 15. ピン機能の説明（続き）

ピン番号	タイプ	記号	説明
M10	Input and output	DGPIO_13/TX1_DCLK_OUT+	デジタル GPIO 13。VDIGIO_1P8 は、DGPIO_13/TX1_DCLK_OUT+に 1.8V を供給します。DGPIO_13/TX1_DCLK_OUT+のもう 1 つの機能は、LVDS SSI モードで正側リファレンス・クロック出力を Tx1 データ・ポートに供給することです。使用しない場合、DGPIO_13/TX1_DCLK_OUT+は接続しないでください。
M11	Output	RX1_DCLK_OUT+	LVDS SSI モードでは、RX1_DCLK_OUT+は Rx1 の正側データ・クロック出力です。CMOS SSI モードでは、RX1_DCLK_OUT+は Rx1 のデータ・クロック出力です。使用しない場合、RX1_DCLK_OUT+は接続しないでください。
M12	Output	RX1_DCLK_OUT-	LVDS SSI モードでは、RX1_DCLK_OUT-は Rx1 の負側データ・クロック出力です。CMOS SSI モードでは、RX1_DCLK_OUT-は使用しません。使用しない場合、RX1_DCLK_OUT-は接続しないでください。
M13	Output	RX1_IDATA_OUT+	LVDS SSI モードでは、RX1_IDATA_OUT+は、Rx1 の正側 I サンプル・データ出力または Rx1 の正側 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX1_IDATA_OUT+は Rx1 のデータ出力 1 です。
M14	Output	RX1_IDATA_OUT-	LVDS SSI モードでは、RX1_IDATA_OUT-は、Rx1 の負側 I サンプル・データ出力または Rx1 の負側 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX1_IDATA_OUT-は、Rx1 のデータ出力 0 または Rx1 の I および Q サンプル・データ出力です。
N7, N8, P1, P14	Input	VSSD	デジタル電源電圧（VSSD）。
N9	Input	TX1_DCLK_IN-	LVDS SSI モードでは、TX1_DCLK_IN-は Tx1 の負側データ・クロック入力です。CMOS SSI モードでは、TX1_DCLK_IN-は使用しません。使用しない場合、TX1_DCLK_IN-は接続しないでください。
N10	Input	TX1_DCLK_IN+	LVDS SSI モードでは、TX1_DCLK_IN+は Tx1 の正側データ・クロック入力です。CMOS SSI モードでは、TX1_DCLK_IN+は Tx1 のデータ・クロック入力です。使用しない場合、TX1_DCLK_IN+は接続しないでください。
N11	Output	RX1_QDATA_OUT+	LVDS SSI モードでは、RX1_QDATA_OUT+は Rx1 の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX1_QDATA_OUT+は Rx1 のデータ出力 3 です。使用しない場合、RX1_QDATA_OUT+は接続しないでください。
N12	Output	RX1_QDATA_OUT-	LVDS SSI モードでは、RX1_QDATA_OUT-は Rx1 の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX1_QDATA_OUT-は Rx1 のデータ出力 2 です。使用しない場合、RX1_QDATA_OUT-は接続しないでください。
N13	Output	RX1_STROBE_OUT+	LVDS SSI モードでは、RX1_STROBE_OUT+は Rx1 の正側ストローブ出力です。CMOS SSI モードでは、RX1_STROBE_OUT+は Rx1 のストローブ出力です。使用しない場合、RX1_STROBE_OUT+は接続しないでください。
N14	Output	RX1_STROBE_OUT-	LVDS SSI モードでは、RX1_STROBE_OUT-は Rx1 の負側ストローブ出力です。CMOS SSI モードでは、RX1_STROBE_OUT-は使用しません。使用しない場合、RX1_STROBE_OUT-は接続しないでください。
P8	Input	TX1_IDATA_IN-	LVDS SSI モードでは、TX1_IDATA_IN-は、負側の Tx1 I サンプル・データ出力または負側の Tx1 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX1_IDATA_IN-は、Tx1 のデータ入力 0 または Tx1 の I および Q サンプル・データ入力です。使用しない場合、TX1_IDATA_IN-は接続しないでください。
P9	Input	TX1_IDATA_IN+	LVDS SSI モードでは、TX1_IDATA_IN+は、正側の Tx1 I サンプル・データ出力または正側の Tx1 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX1_IDATA_IN+は Tx1 のデータ入力 1 です。使用しない場合、TX1_IDATA_IN+は接続しないでください。
P10	Input	TX1_QDATA_IN+	LVDS SSI モードでは、TX1_QDATA_IN+は Tx1 の正側 Q サンプル・データ入力です。CMOS SSI モードでは、TX1_QDATA_IN+は Tx1 のデータ入力 3 です。使用しない場合、TX1_QDATA_IN+は接続しないでください。
P11	Input	TX1_QDATA_IN-	LVDS SSI モードでは、TX1_QDATA_IN-は Tx1 の負側 Q サンプル・データ入力です。CMOS SSI モードでは、TX1_QDATA_IN-は Tx1 のデータ入力 2 です。使用しない場合、TX1_QDATA_IN-は接続しないでください。
P12	Input and output	TX1_STROBE_IN-	LVDS SSI モードでは、TX1_STROBE_IN-は Tx1 の負側ストローブ入力です。CMOS SSI モードでは、TX1_STROBE_IN-は Tx1 のリファレンス・データ・クロック出力です。使用しない場合、TX1_STROBE_IN-は接続しないでください。
P13	Input	TX1_STROBE_IN+	LVDS SSI モードでは、TX1_STROBE_IN+は Tx1 の正側ストローブ入力です。CMOS SSI モードでは、TX1_STROBE_IN+は Tx1 のストローブ入力です。使用しない場合、TX1_STROBE_IN+は接続しないでください。

代表的な性能特性

ADRV9005 は、12kHz～40MHz の信号帯域幅をサポートしています。1MHz の帯域幅が、狭帯域プロファイルと広帯域プロファイルを区別する境界です。信号帯域幅が 1MHz 未満の場合は、狭帯域プロファイルとみなされます。そうでない場合、広帯域プロファイルとみなされます。ADRV9005 の性能は、狭帯域と広帯域の両方のプロファイルについて測定されています。

広帯域

デバイス設定プロファイル：レシーバ = 40MHz の帯域幅、I/Q レート = 61.44MHz、トランスマッタ = 40MHz の帯域幅、I/Q レート = 61.44MHz、デバイス・クロック = 38.4MHz、すべての測定で内部 LO を使用。測定は公称電源電圧で行われています。特に指定のない限り、すべての RF 仕様は測定に基づくもので、これには PCB とマッチング回路の損失が含まれています。仕様はデバイスの全寿命にわたって適用されます。

50MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 50MHz に設定しています。

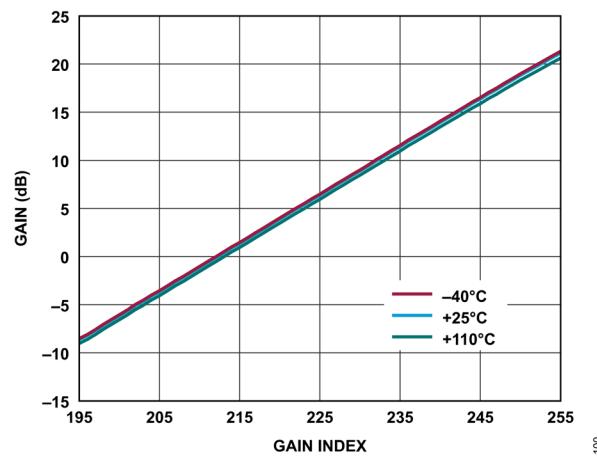


図 4. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

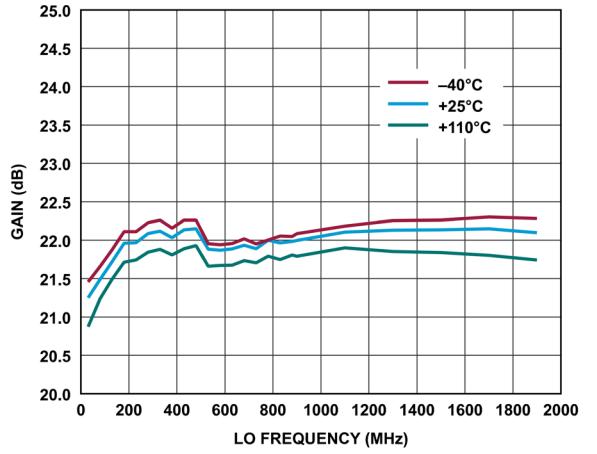


図 5. レシーバの絶対ゲイン（複素数）と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

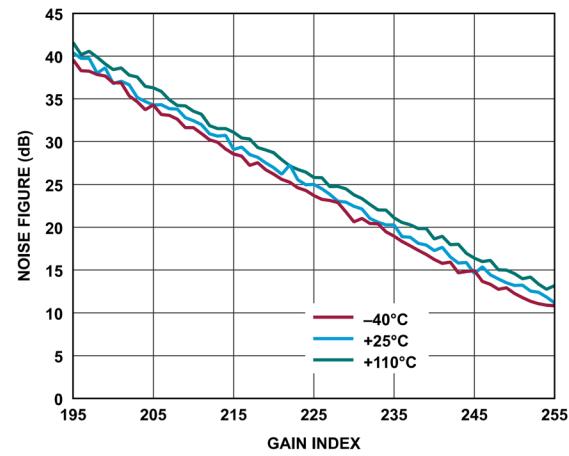


図 6. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

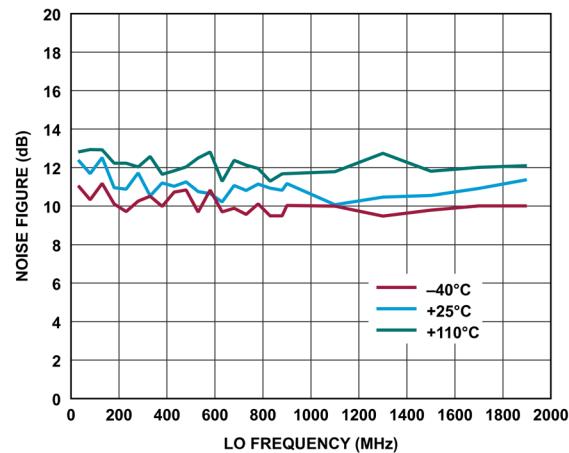


図 7. レシーバのノイズ指数と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

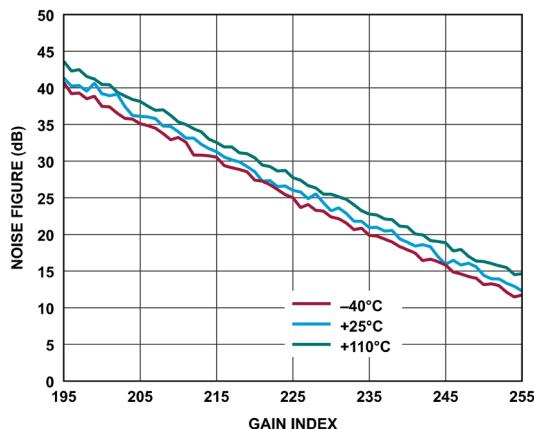


図 8. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

102

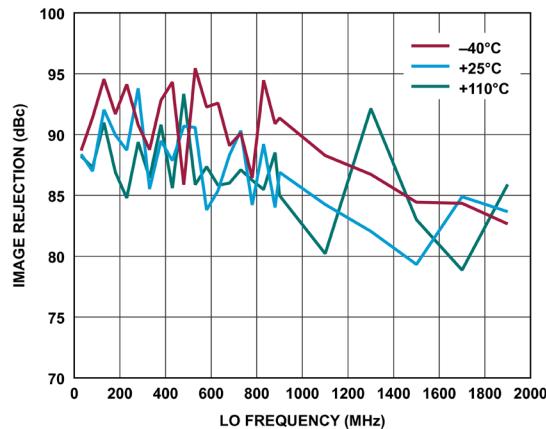


図 11. レシーバのイメージ除去と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力、
初期化キャリブレーションおよびハードウェア・トラッキング・
キャリブレーションのみ

131

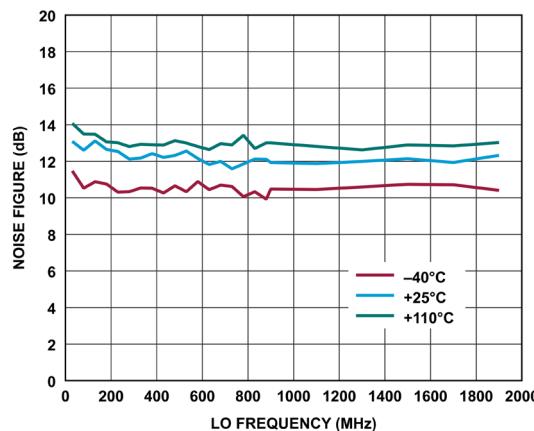


図 9. レシーバのノイズ指数と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

129

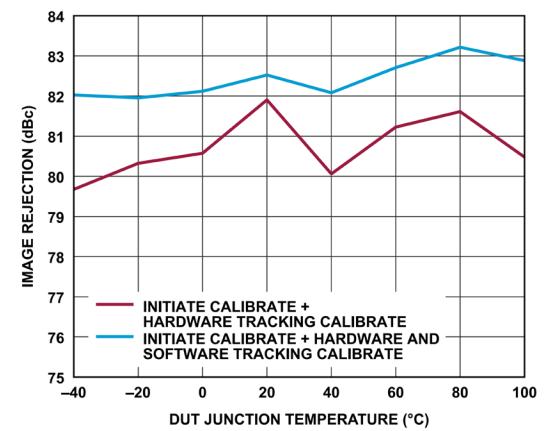


図 12. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -15.1\text{dBFS}$

660

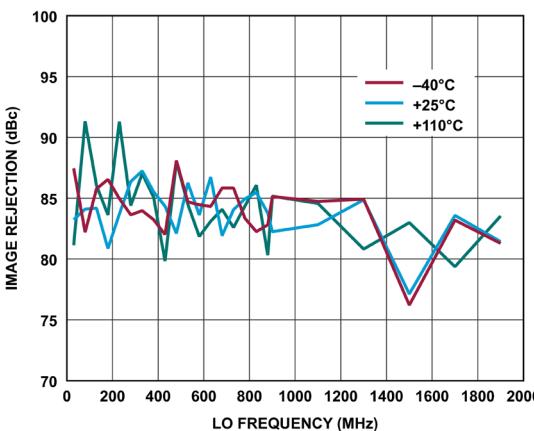


図 10. レシーバのイメージ除去と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
初期化キャリブレーションおよびハードウェア・トラッキング・
キャリブレーションのみ

130

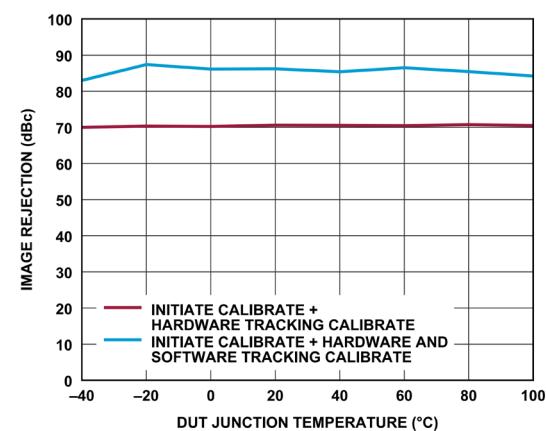


図 13. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -15.1\text{dBFS}$

661

代表的な性能特性

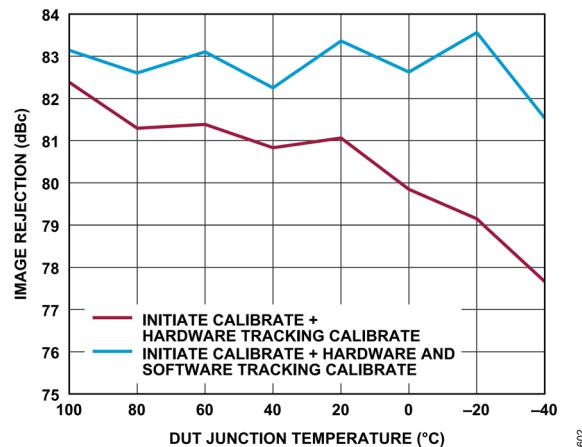


図 14. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -15.1\text{dBFS}$

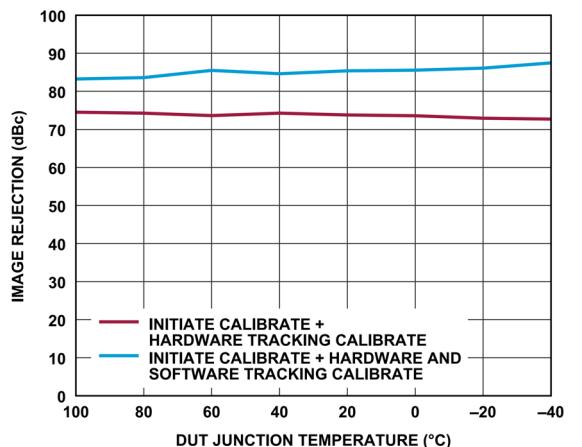


図 15. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -15.1\text{dBFS}$

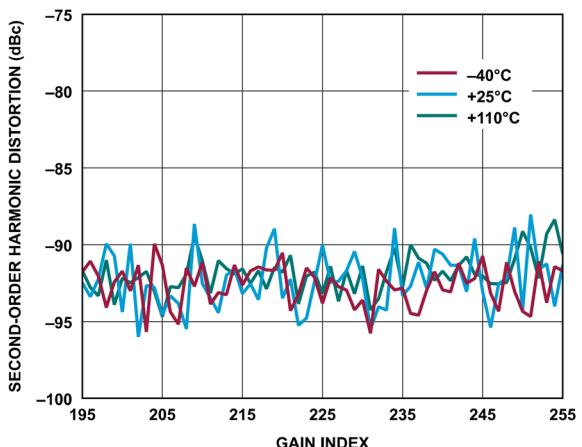


図 16. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

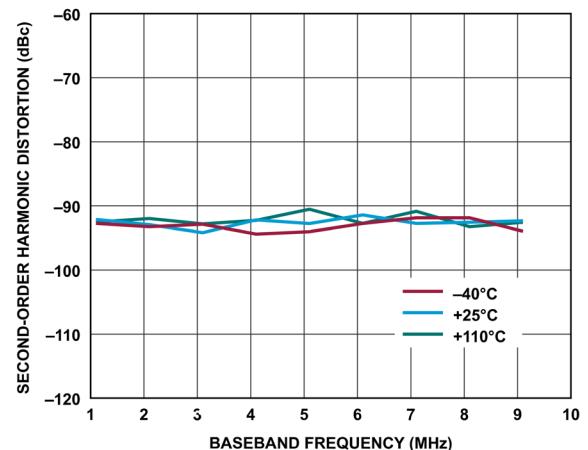


図 17. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

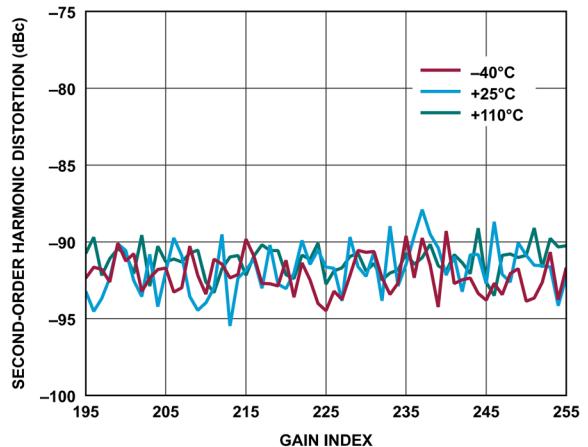


図 18. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

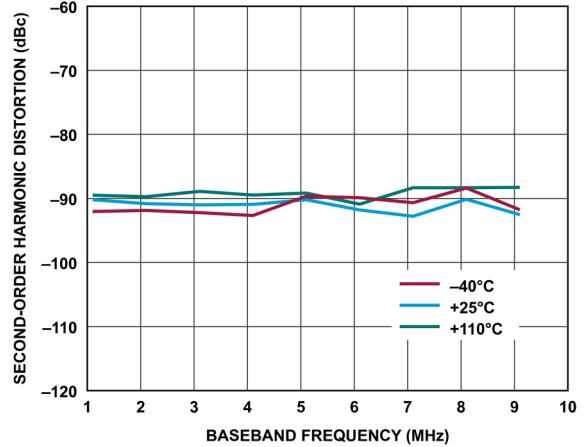


図 19. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

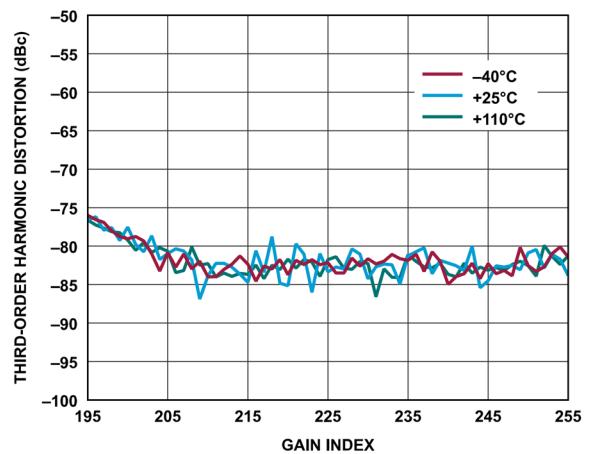


図 20. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

105

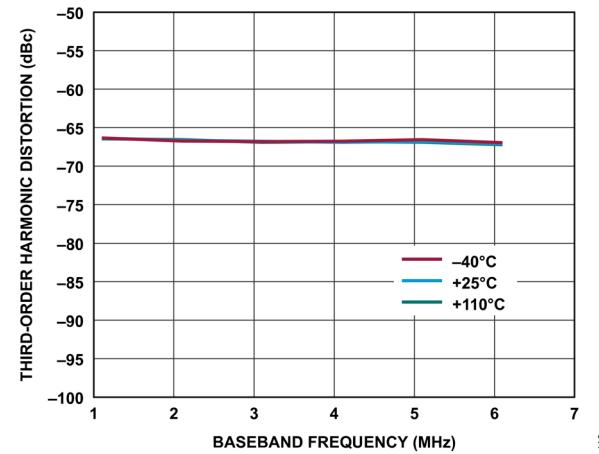


図 21. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

110

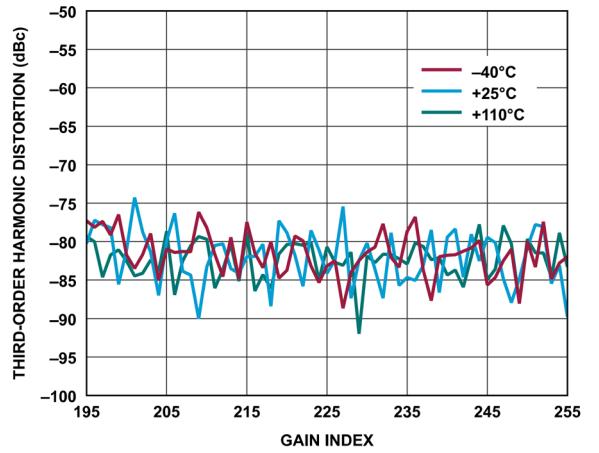


図 22. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

106

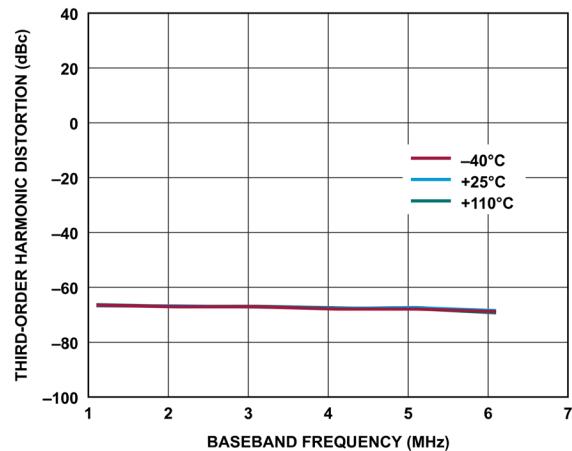


図 23. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

111

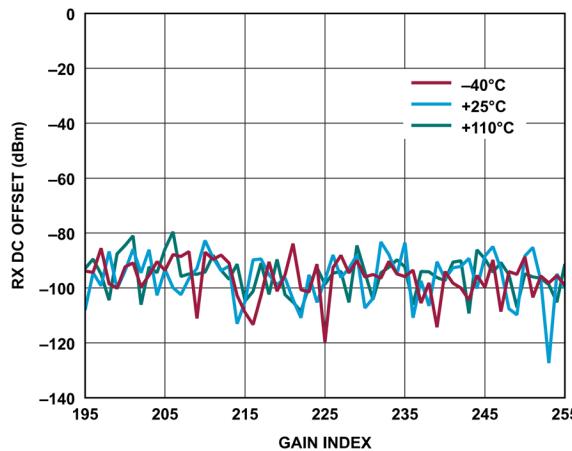


図 24. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

107

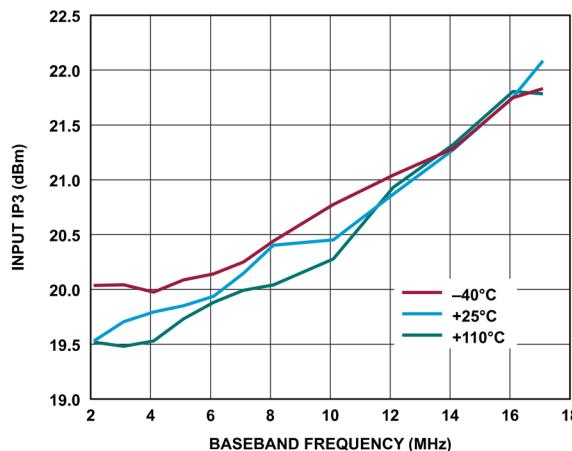


図 25. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

112

代表的な性能特性

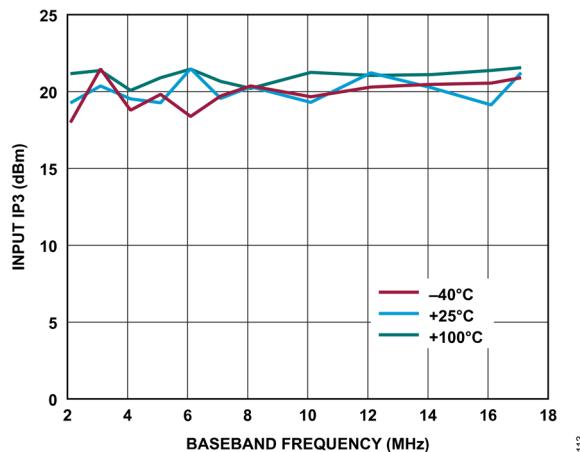


図 26. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

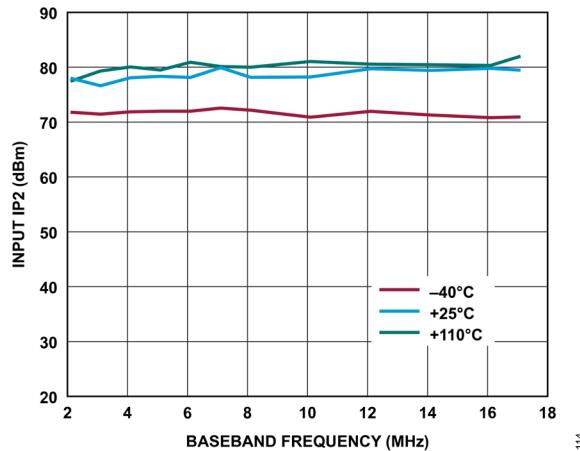


図 27. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

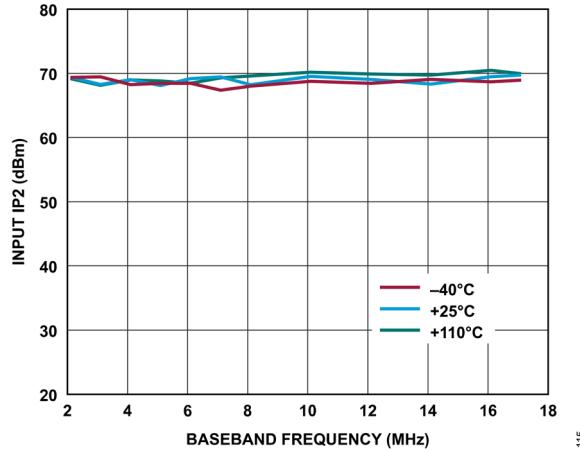


図 28. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

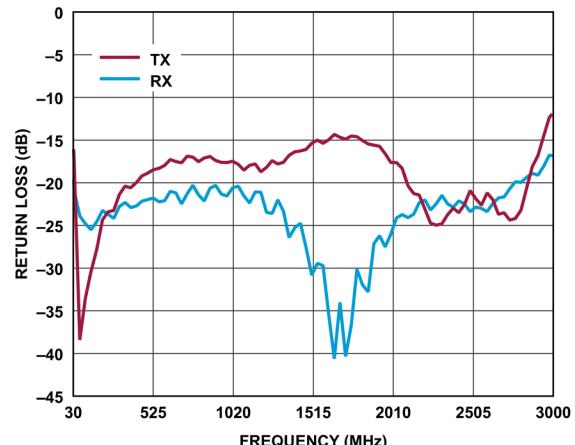


図 29. レシーバおよびトランシミッタのリターン・ロスと
周波数の関係 (LO = 30MHz～3GHz)

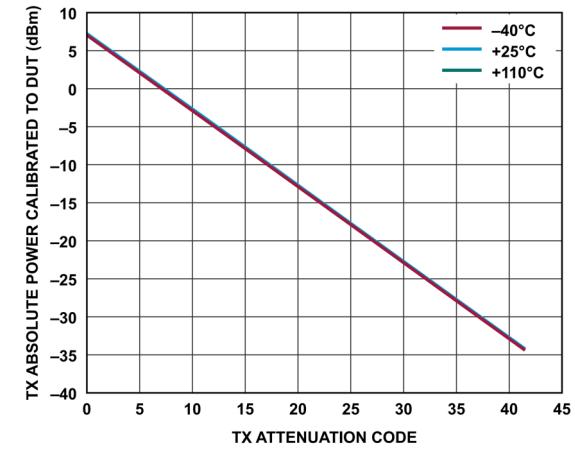


図 30. トランシミッタの DUT に対しキャリブレーションした
絶対電力とトランシミッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

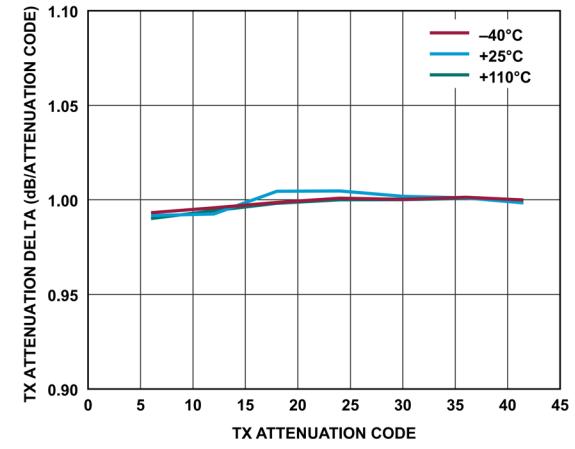


図 31. トランシミッタの減衰デルタとトランシミッタ減衰コード
の関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

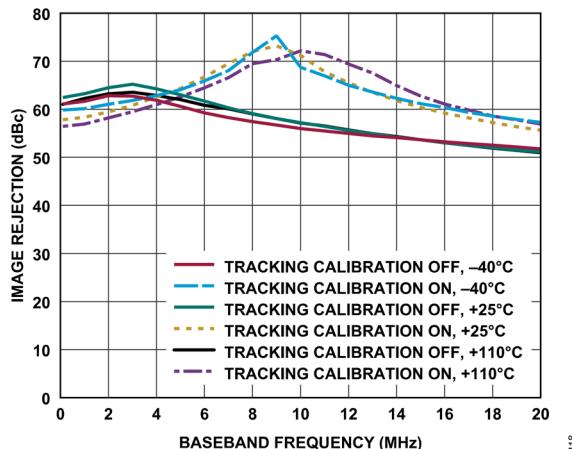


図 32. トランシミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランシミッタ減衰コード = 0

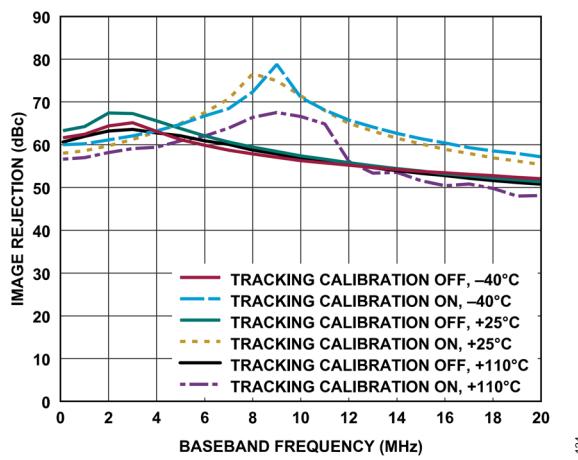


図 33. トランシミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランシミッタ減衰コード = 20

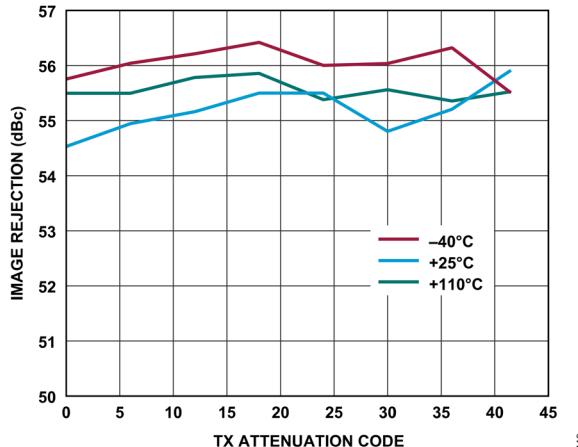


図 34. トランシミッタのイメージ除去とトランシミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

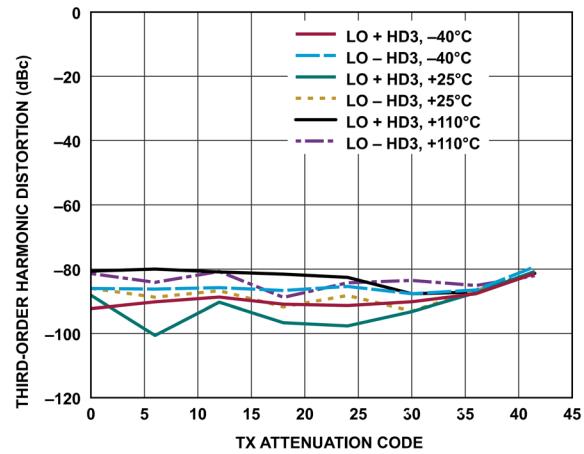


図 35. トランシミッタの3次高調波歪みとトランシミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

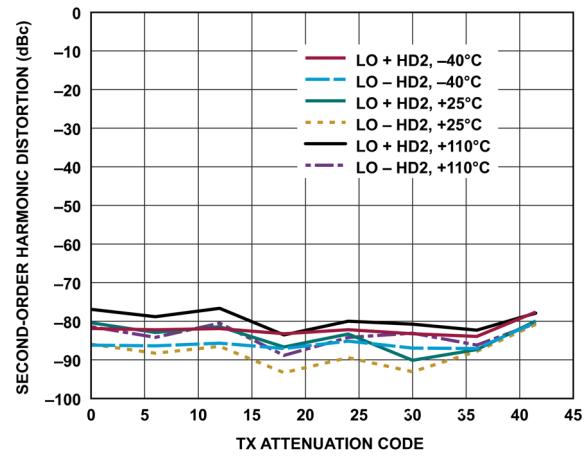


図 36. トランシミッタの2次高調波歪みとトランシミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

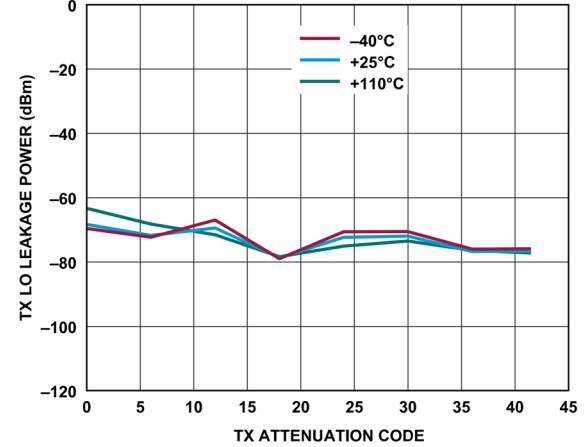


図 37. トランシミッタのLOリーク電力とトランシミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

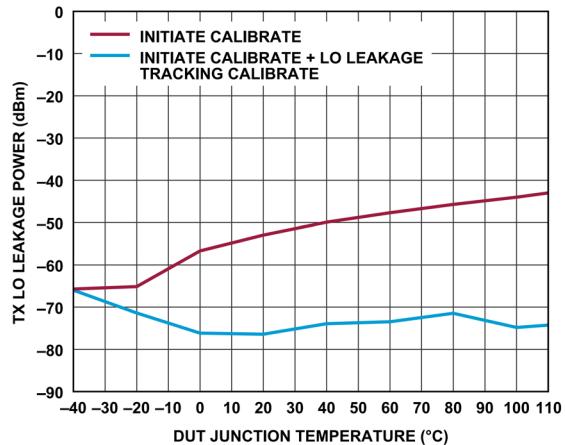


図 38. トランスマッタの LO リーク電力と DUT のジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

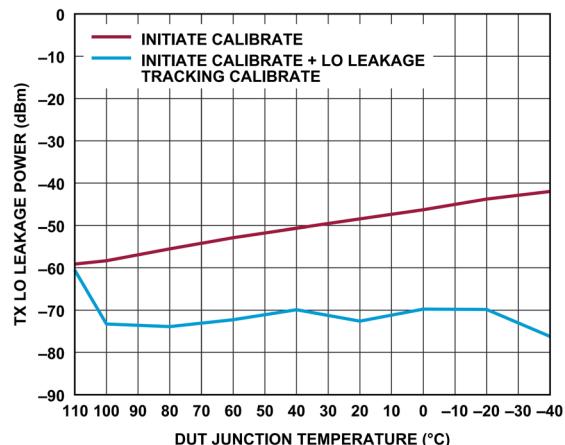


図 39. トランスマッタの LO リーク電力と DUT のジャンクション温度（ハイからロー）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

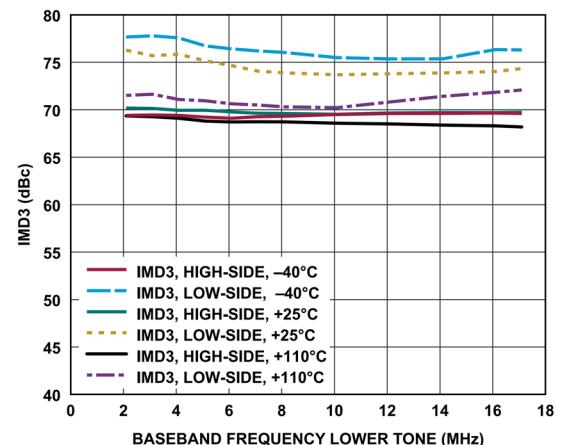


図 41. トランスマッタの 3 次相互変調歪み (IMD3) とベースバンド周波数の関係、トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、 f_2 = ベースバンド周波数 + 1MHz

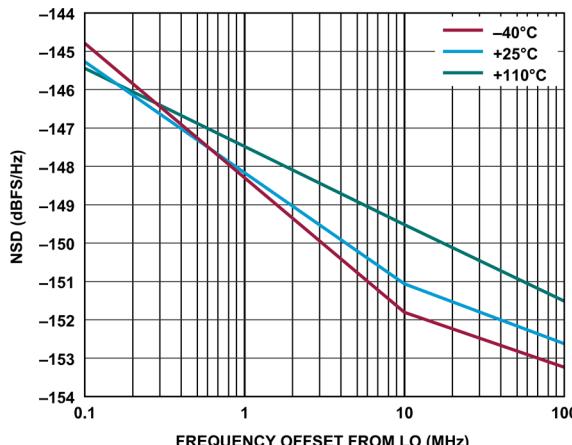


図 42. トランスマッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスマッタ・チャンネル = チャンネル 1

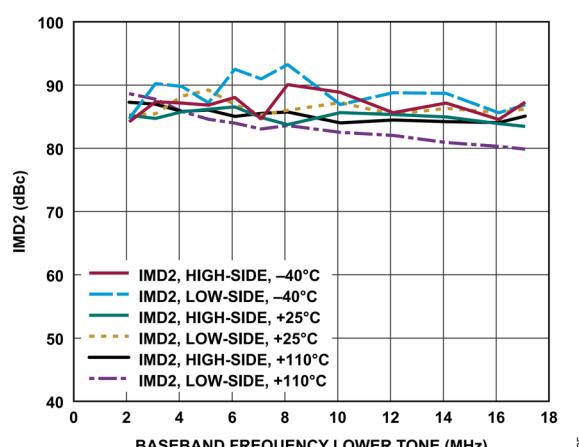


図 40. トランスマッタの 2 次相互変調歪み (IMD2) とベースバンド周波数の関係、トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、 f_2 = ベースバンド周波数 + 1MHz

代表的な性能特性

470MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 470MHz に設定されています。

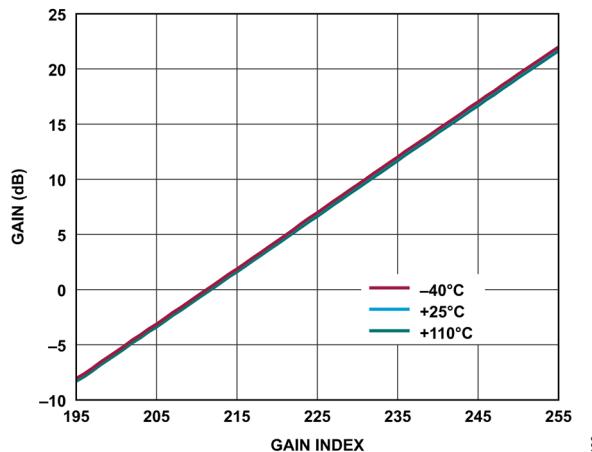


図 43. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

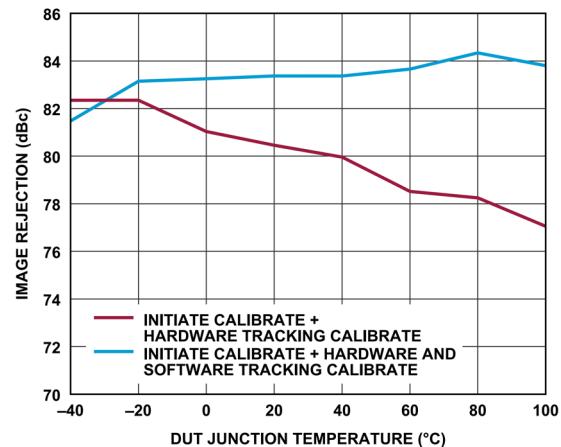


図 46. レシーバのイメージ除去と
DUT のジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1\text{dBFS}$

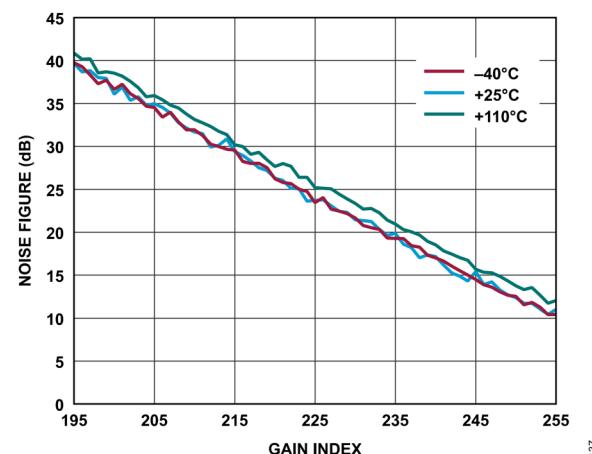


図 44. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

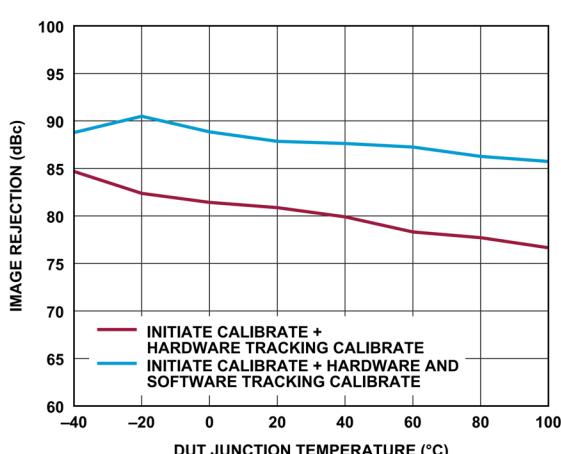


図 47. レシーバのイメージ除去と
DUT のジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1\text{dBFS}$

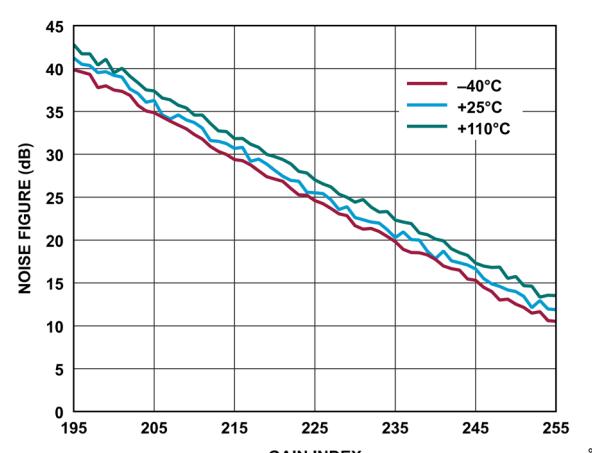


図 45. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

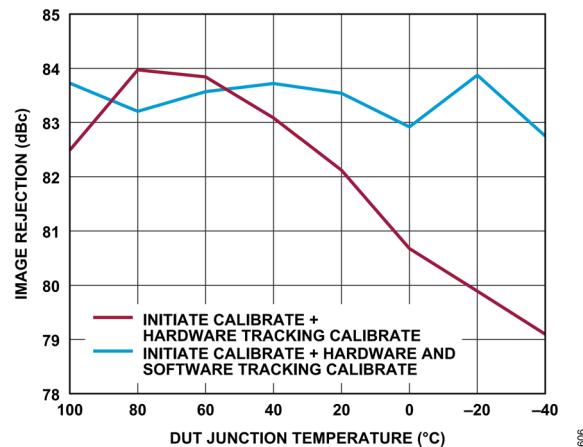


図 48. レシーバのイメージ除去と
DUT のジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1$ dBFS

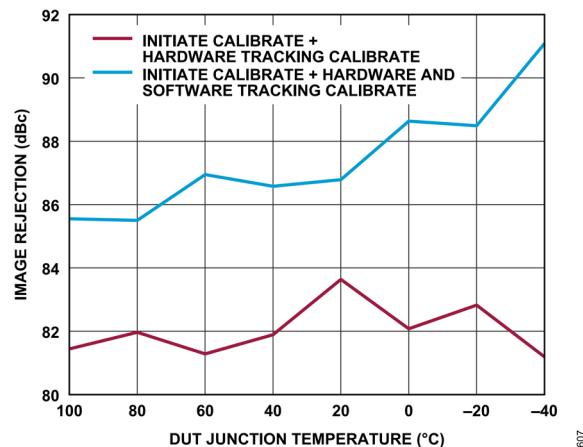


図 49. レシーバのイメージ除去と
DUT のジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1$ dBFS

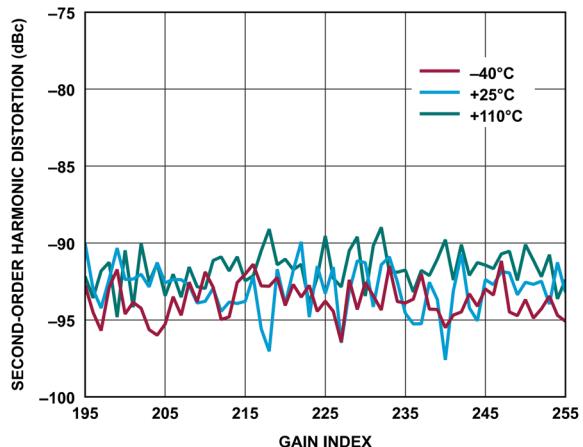


図 50. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

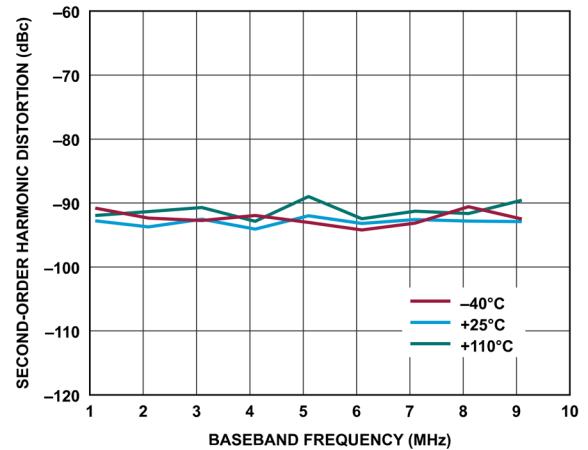


図 51. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

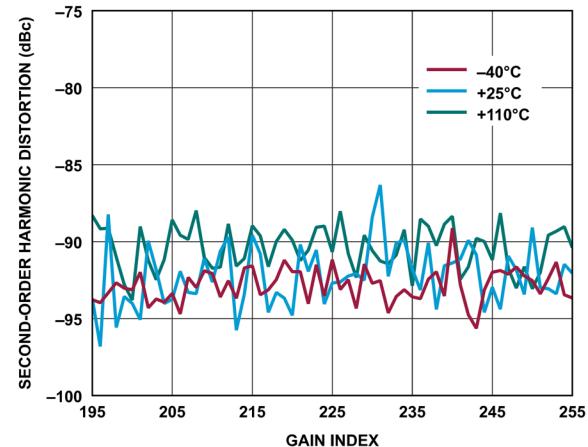


図 52. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

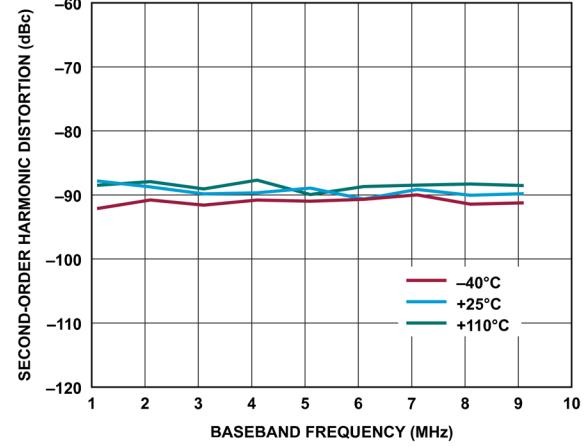


図 53. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

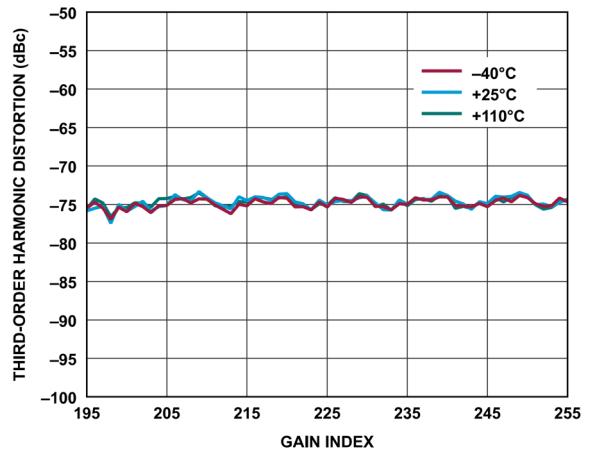


図 54. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

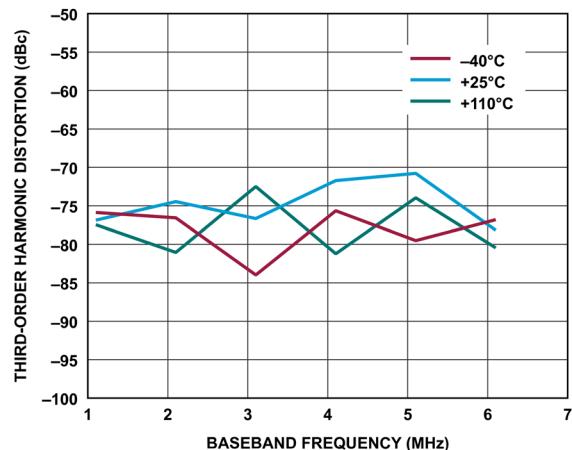


図 57. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

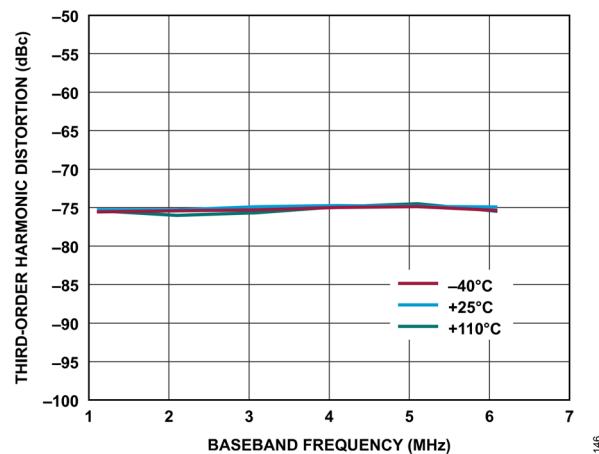


図 55. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

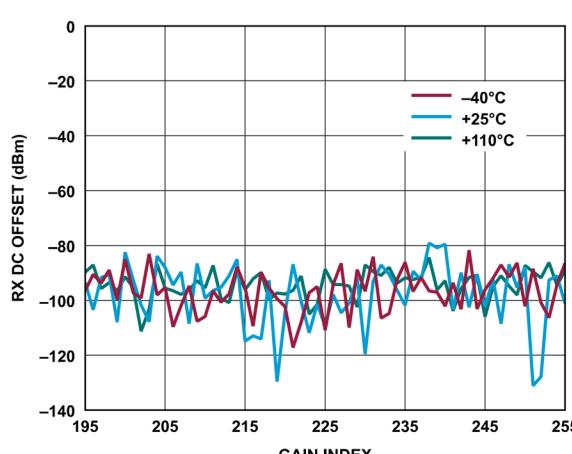


図 58. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

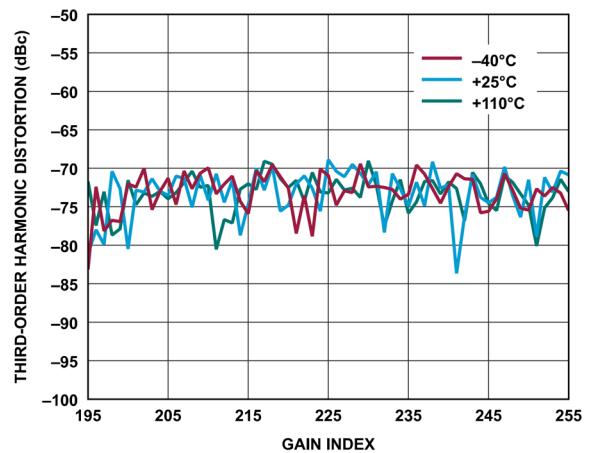


図 56. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

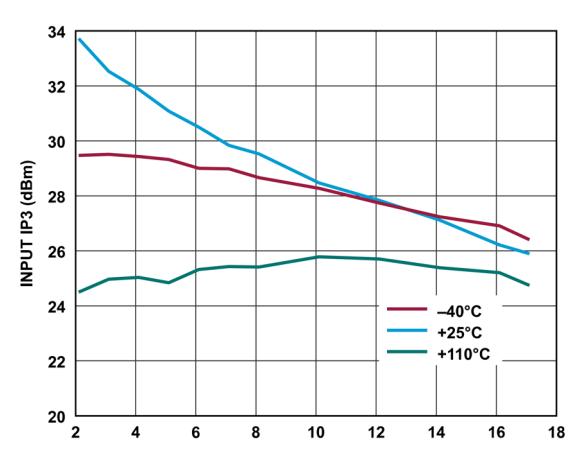


図 59. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

代表的な性能特性

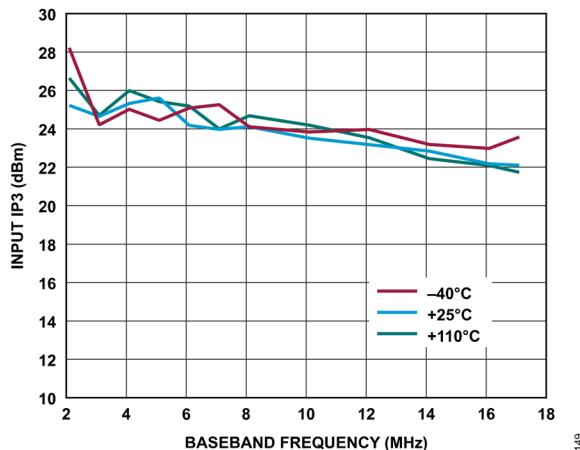


図 60. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

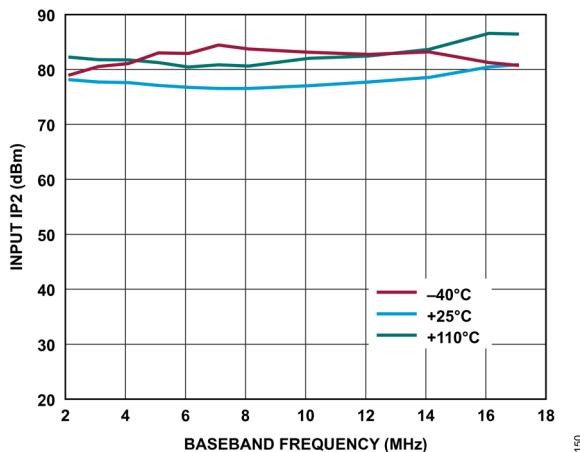


図 61. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

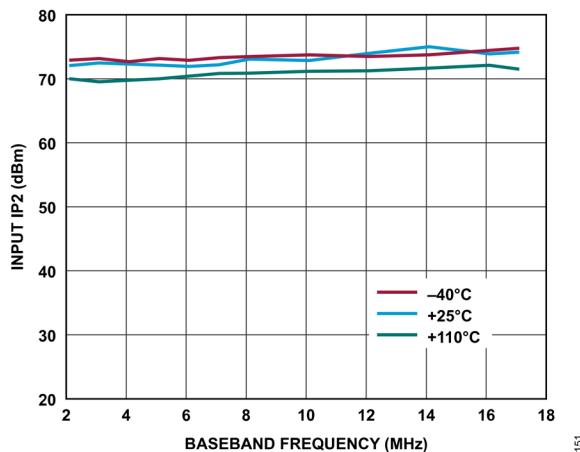


図 62. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

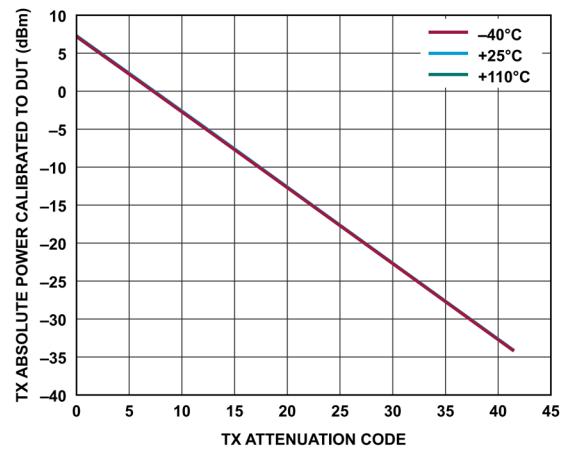


図 63. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

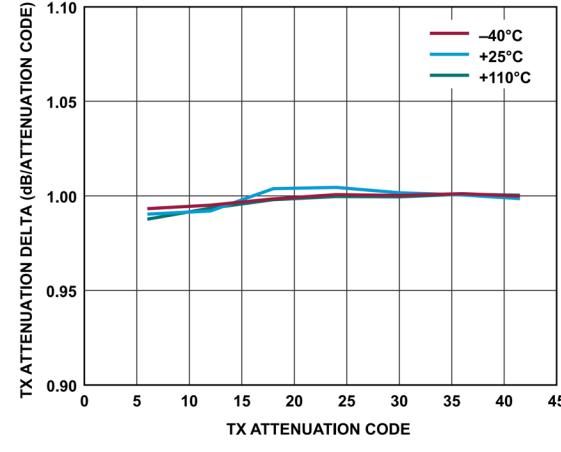


図 64. トランスマッタの減衰デルタとトランスマッタ減衰コード
の関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

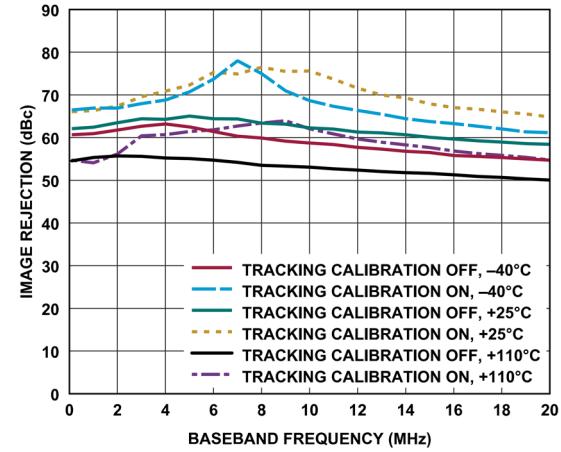


図 65. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 0

代表的な性能特性

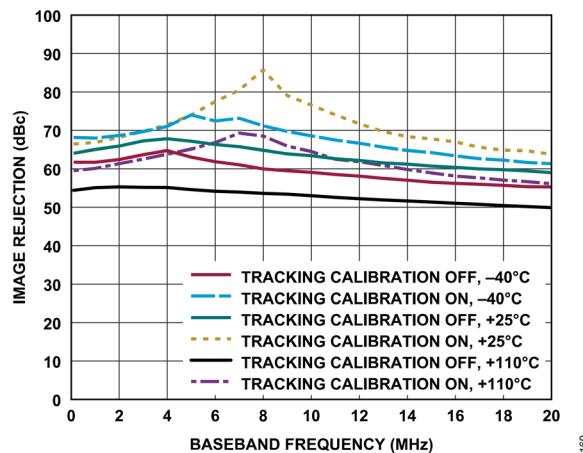


図 66. トランスマッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスマッタ減衰コード = 20

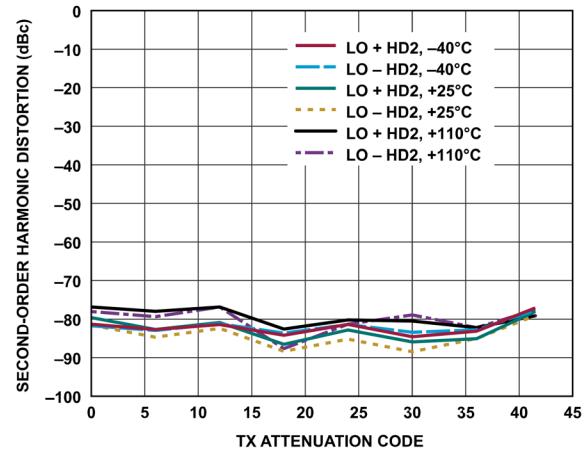


図 69. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

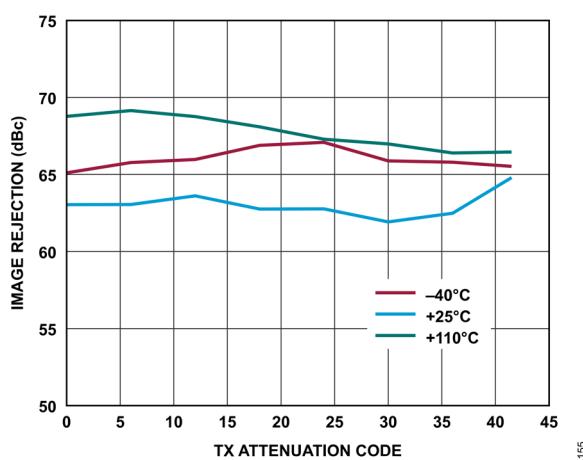


図 67. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

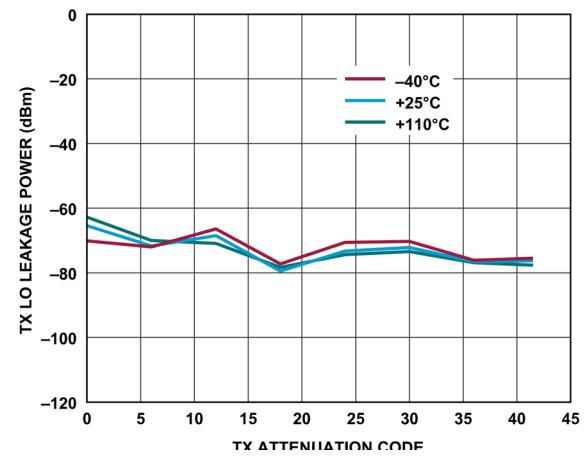


図 70. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

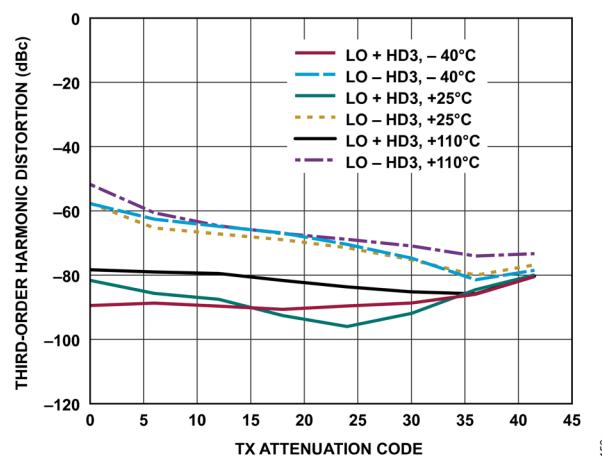


図 68. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

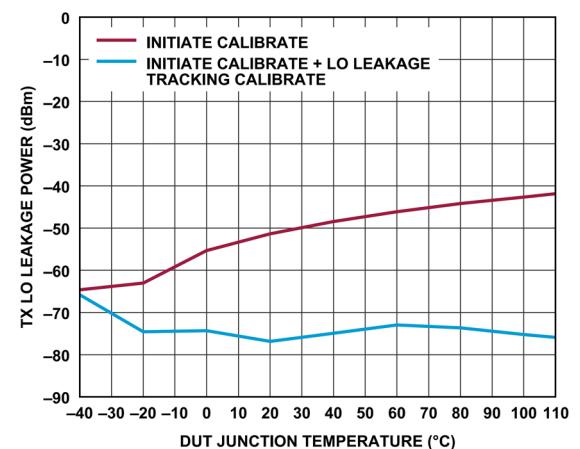


図 71. トランスマッタのLOリーク電力とDUTのジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

代表的な性能特性

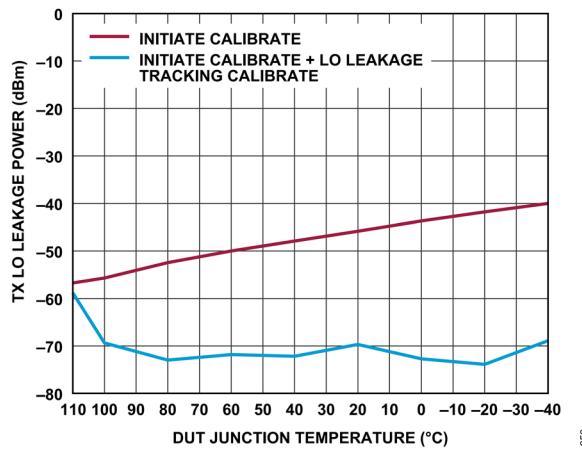


図 72. トランスマッタの LO リーク電力と DUT の
ジャンクション温度（ハイからロー）の関係、
ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、
減衰コード = 0

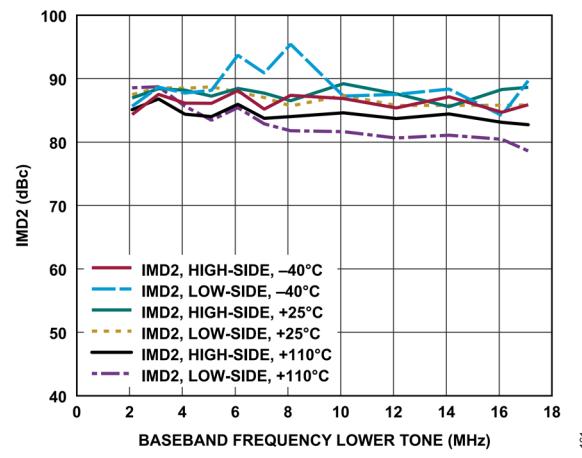


図 73. トランスマッタの IMD2 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

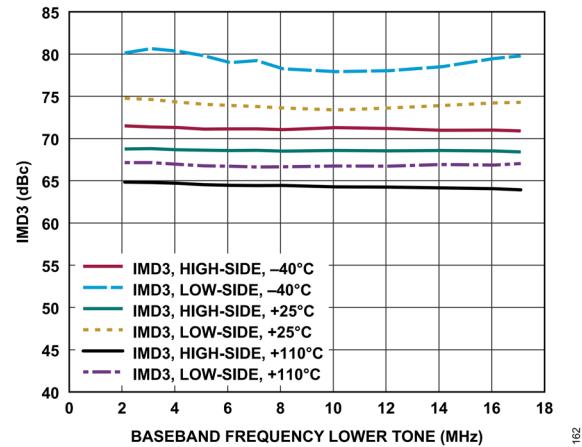


図 74. トランスマッタの IMD3 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

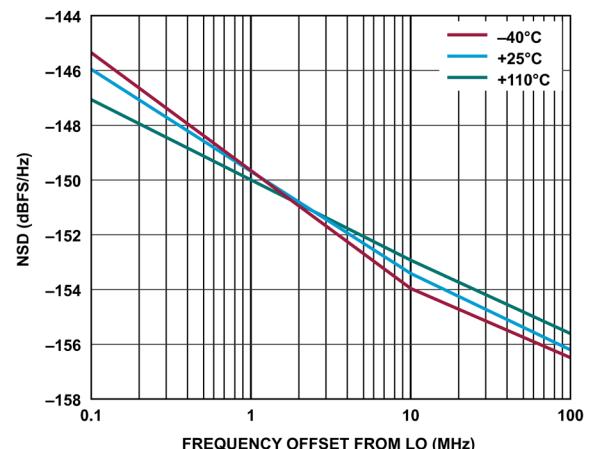


図 75. トランスマッタの NSD と LO からの周波数オフセットの
関係、ベースバンド周波数 = 5.6MHz、
トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

900MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 900MHz に設定されています。

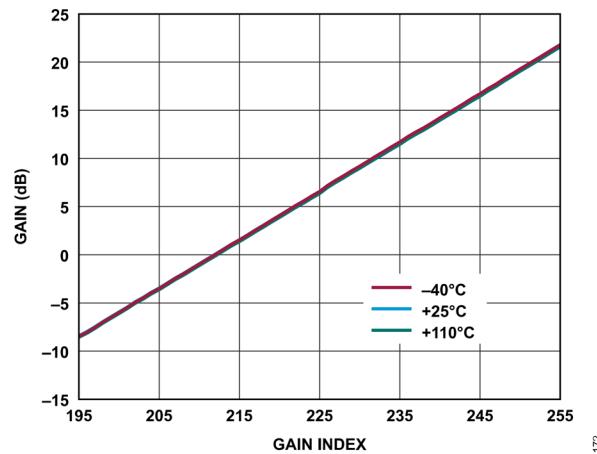


図 76. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

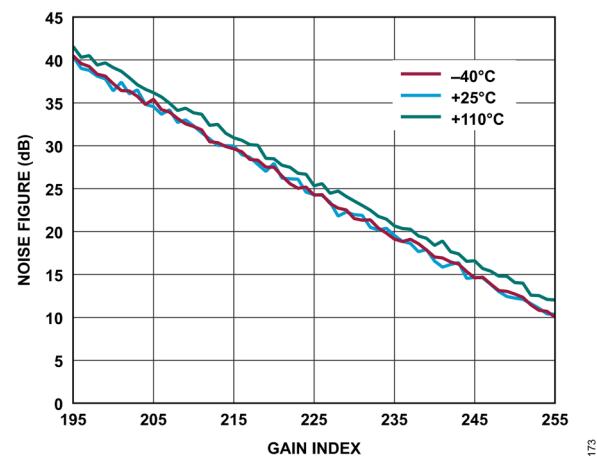


図 77. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

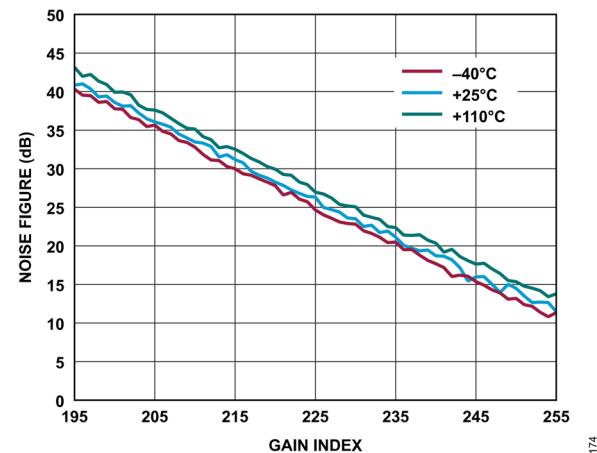


図 78. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

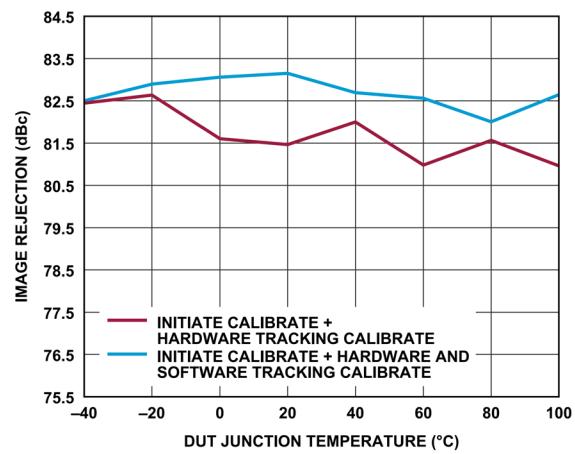


図 79. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1\text{dBFS}$

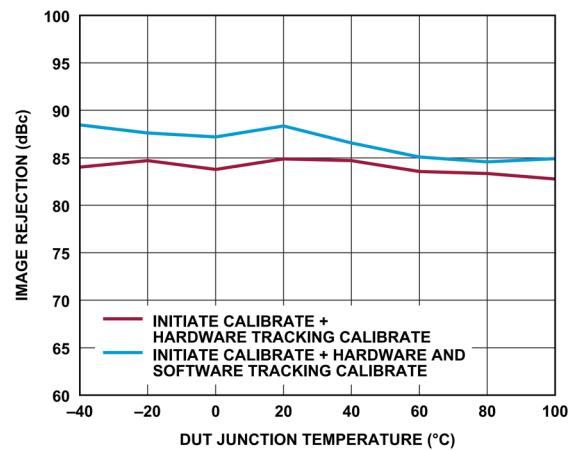


図 80. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1\text{dBFS}$

代表的な性能特性

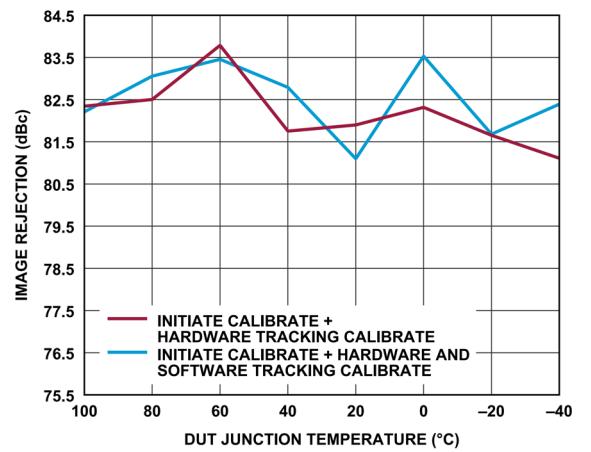


図 81. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1$ dBFS

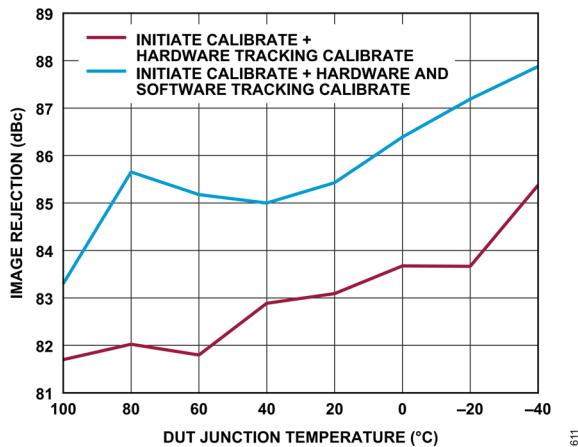


図 82. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1$ dBFS

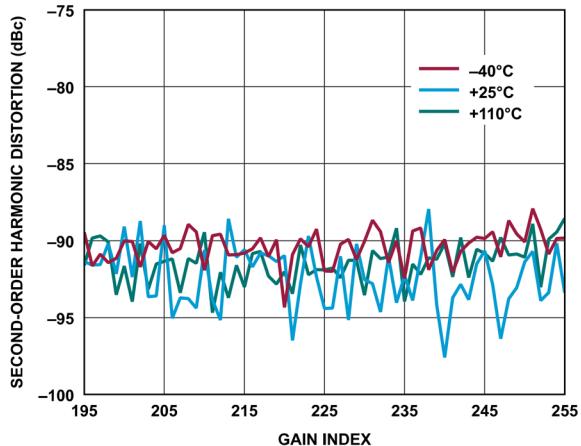


図 83. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

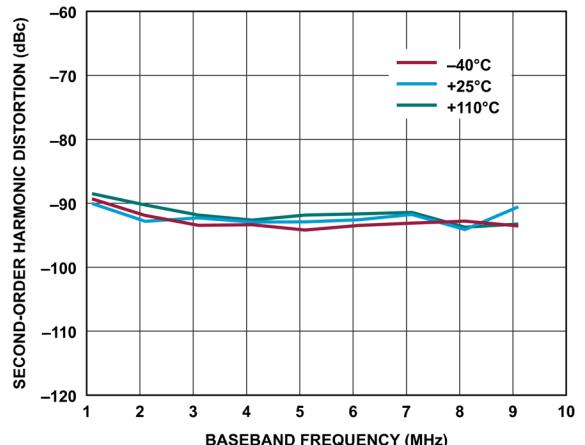


図 84. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

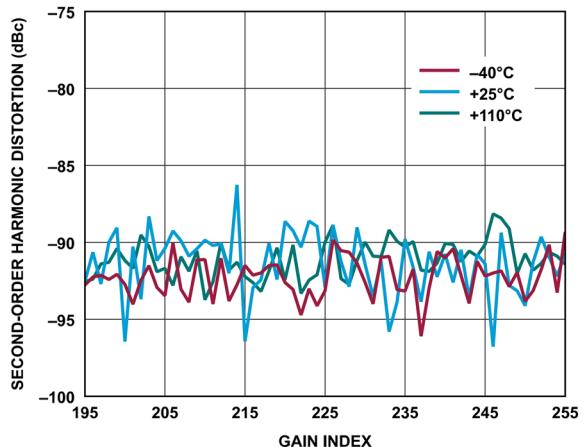


図 85. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

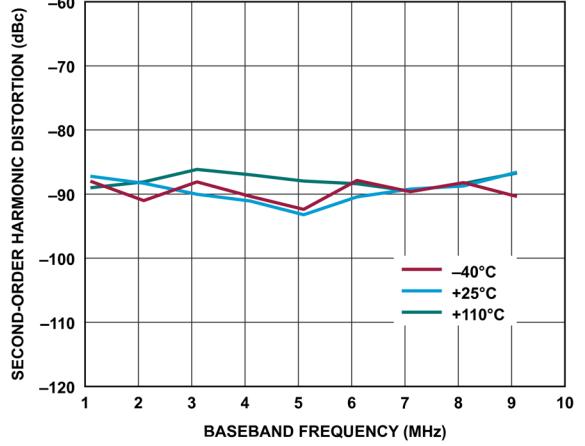


図 86. レシーバの 2 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

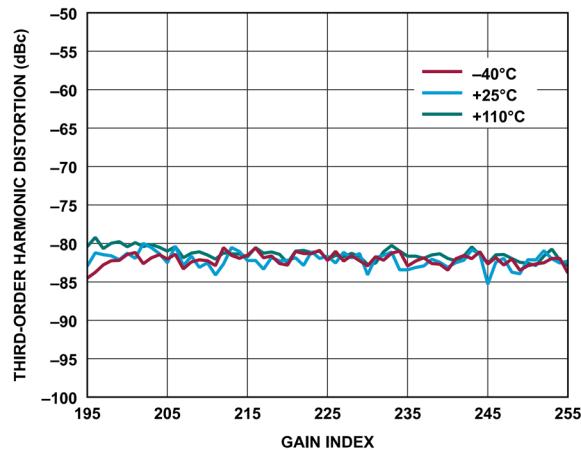


図 87. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

177

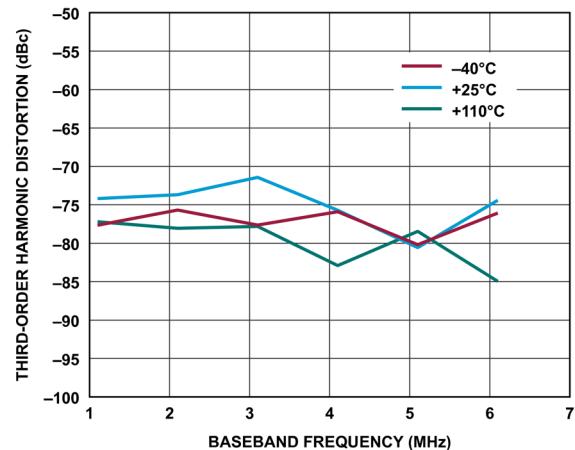


図 90. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 低消費電力

183

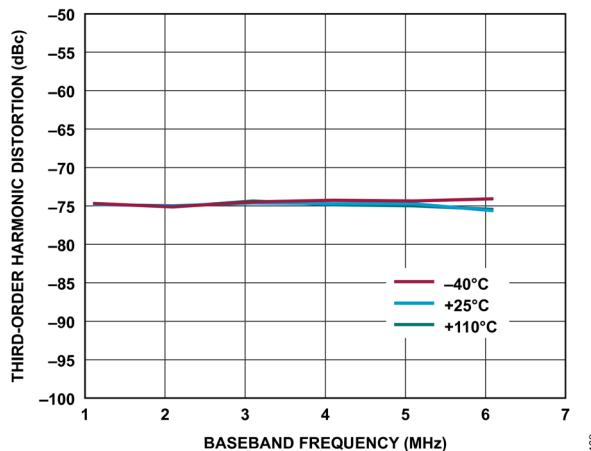


図 88. レシーバの 3 次高調波歪みとベースバンド周波数の関係、
ゲイン指数 = 255、ADC = 高性能

182

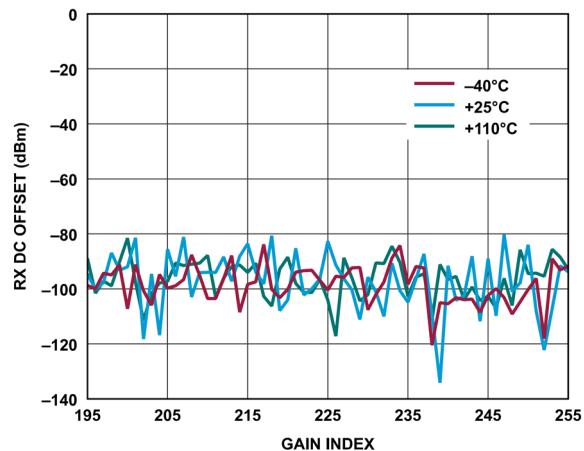


図 91. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

179

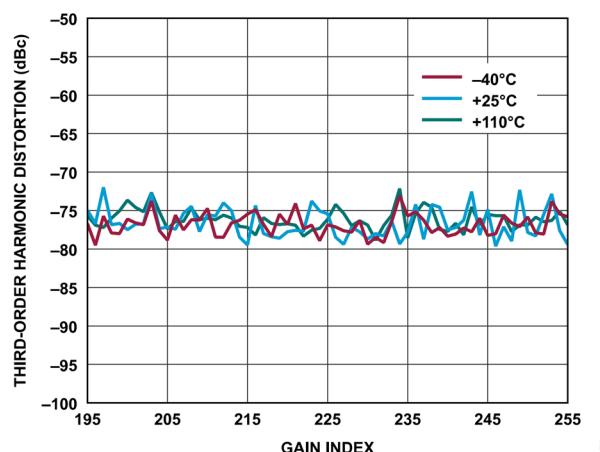


図 89. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

178

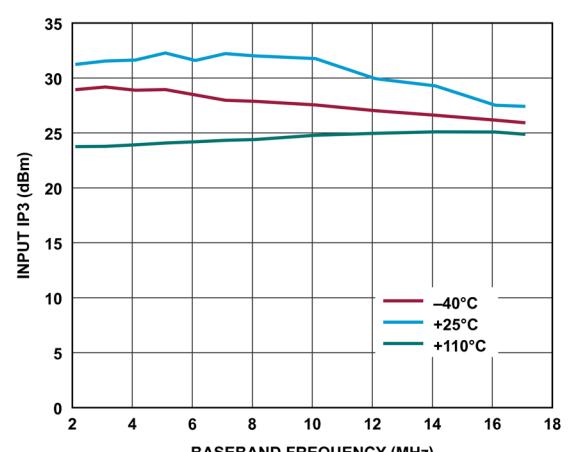


図 92. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

184

代表的な性能特性

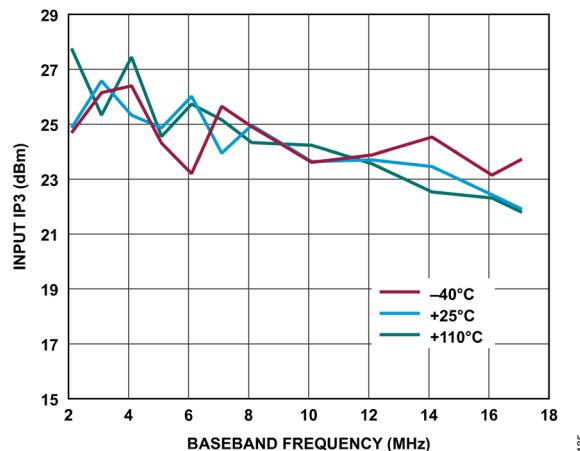


図 93. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

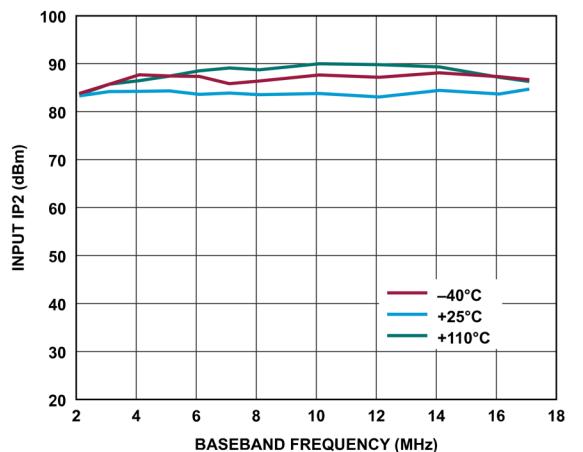


図 94. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

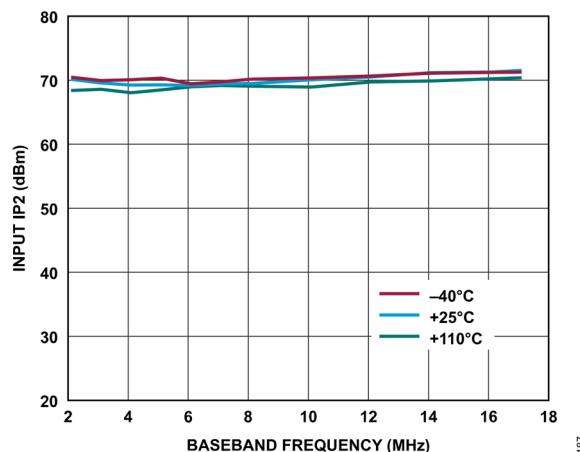


図 95. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

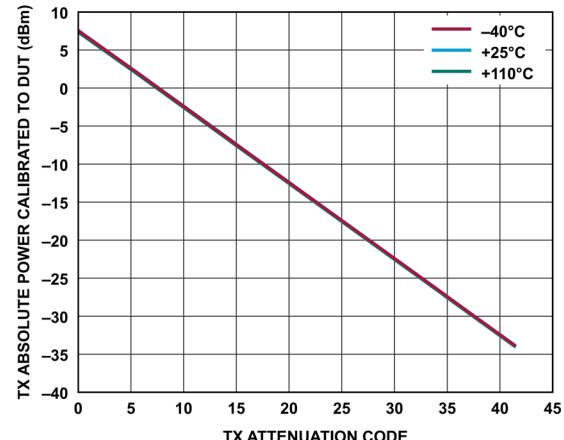


図 96. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

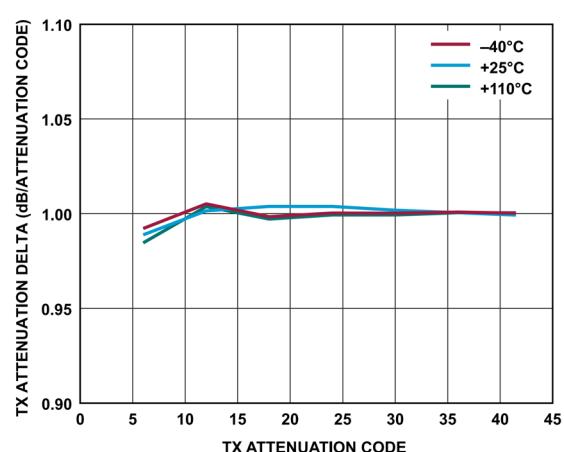


図 97. トランスマッタの減衰デルタとトランスマッタ減衰コード
の関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

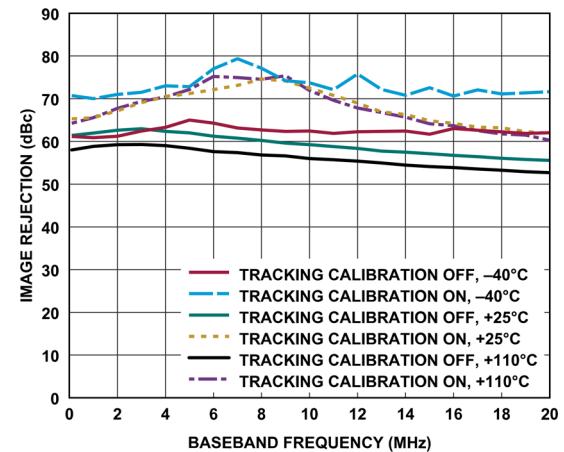


図 98. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 0

代表的な性能特性

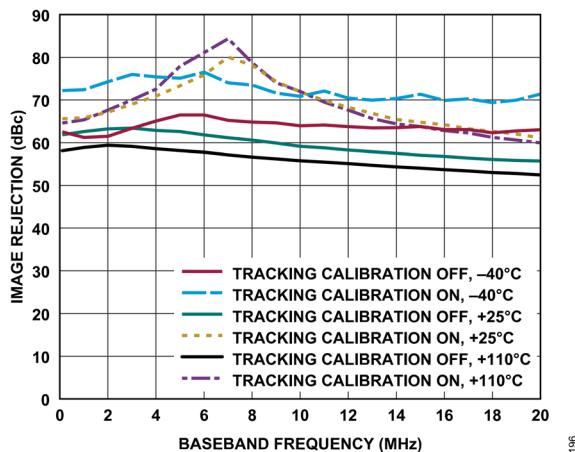


図 99. トランスマッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスマッタ減衰コード = 20

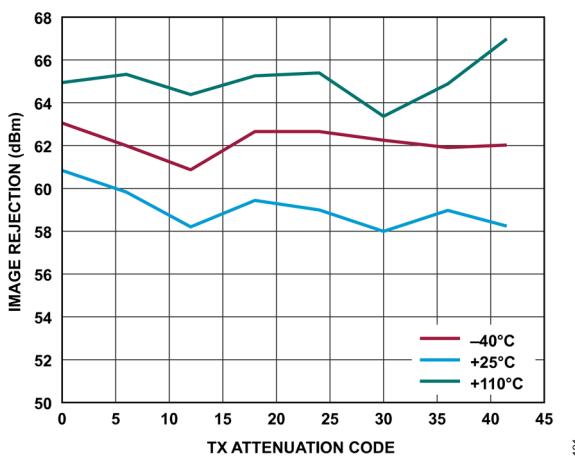


図 100. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

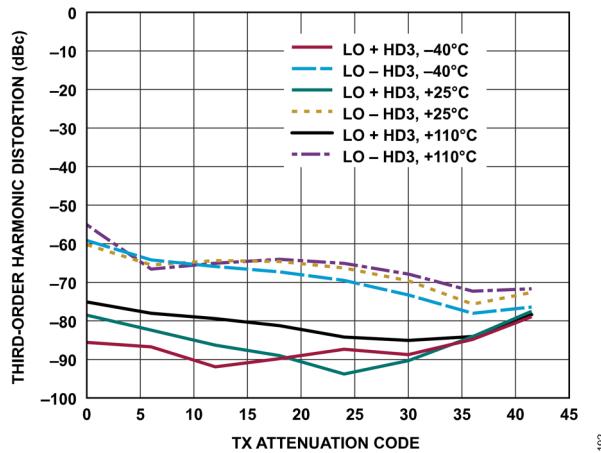


図 101. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

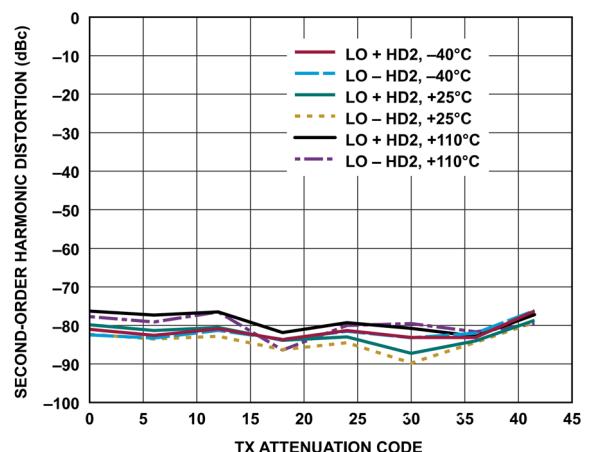


図 102. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

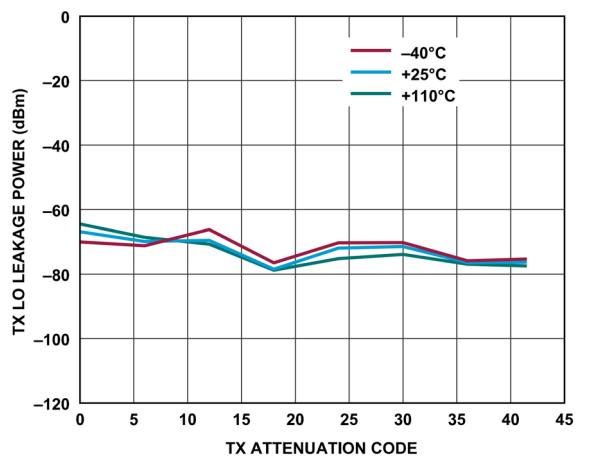


図 103. トランスマッタのLOリーク電力と減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

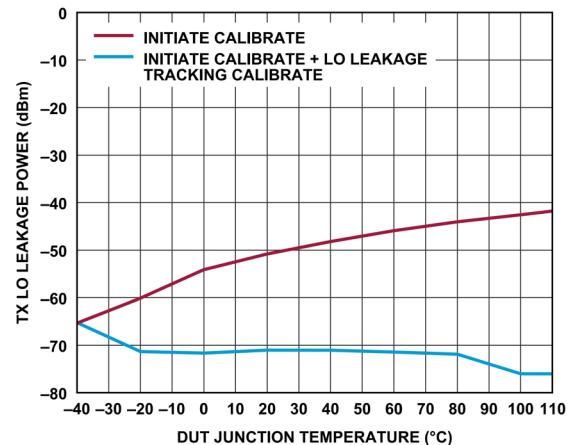


図 104. トランスマッタのLOリーク電力とDUTのジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

代表的な性能特性

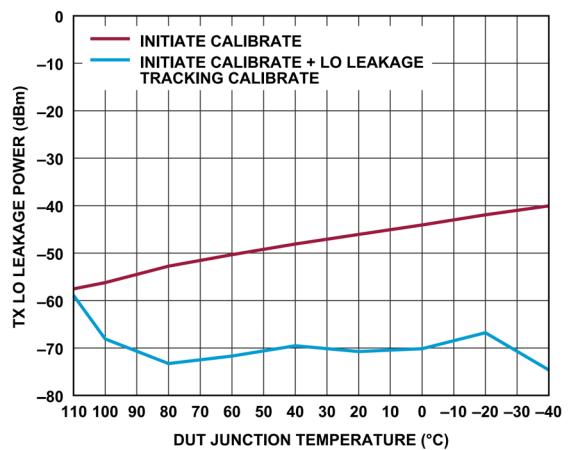


図 105. トランスマッタの LO リーク電力と DUT の
ジャンクション温度（ハイからロー）の関係、
ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、
減衰コード = 0

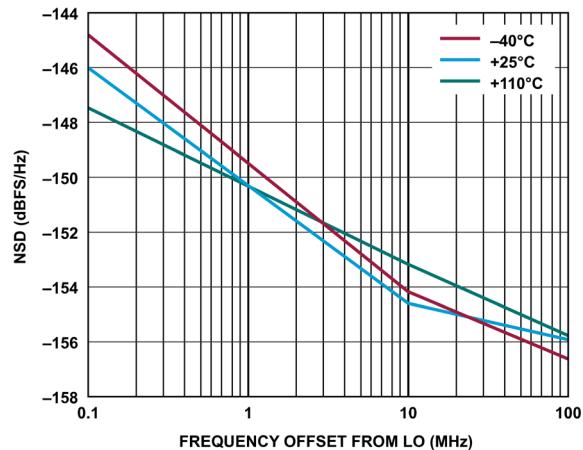


図 108. トランスマッタの NSD と LO からの周波数オフセットの
関係、ベースバンド周波数 = 5.6MHz、
トランスマッタ・チャンネル = Ch1

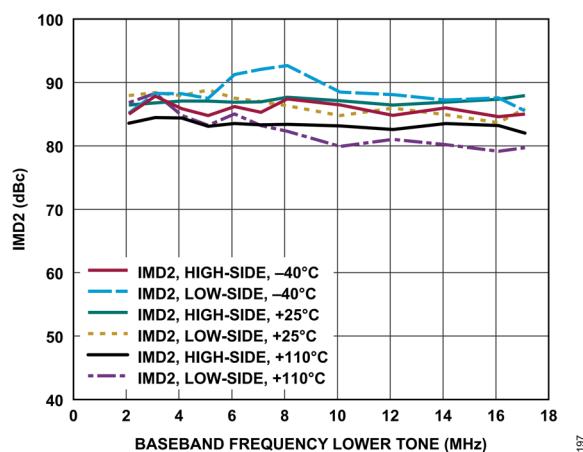


図 106. トランスマッタの IMD2 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

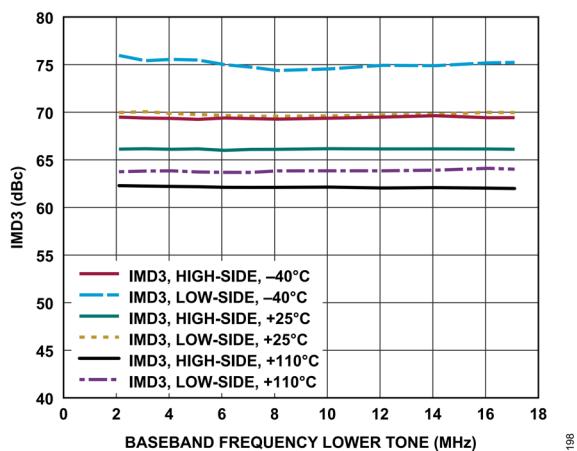


図 107. トランスマッタの IMD3 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

代表的な性能特性

2400MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 2400MHz に設定されています。

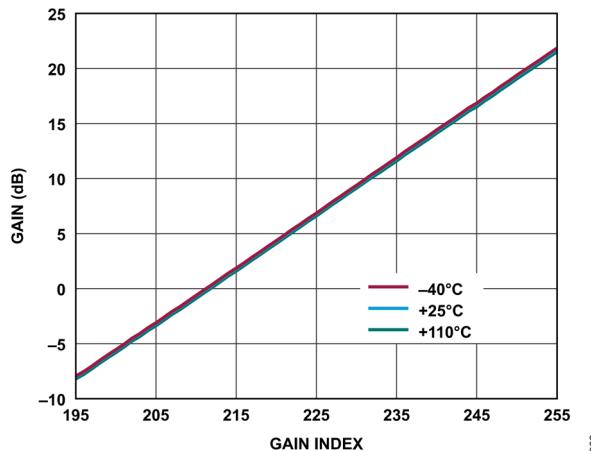


図 109. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6$ dBFS

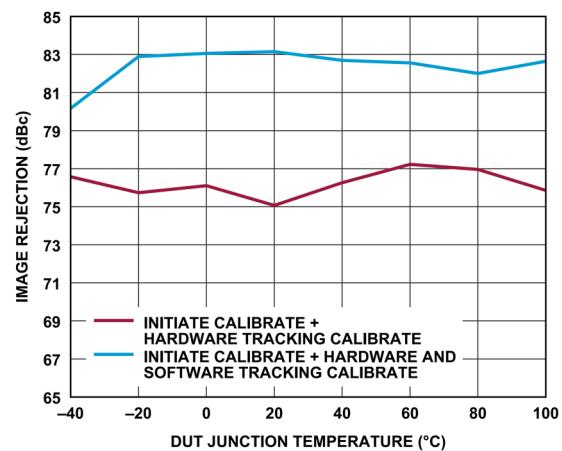


図 112. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1$ dBFS

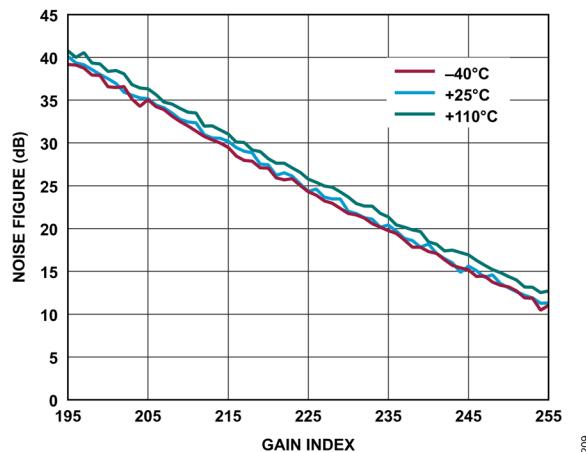


図 110. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

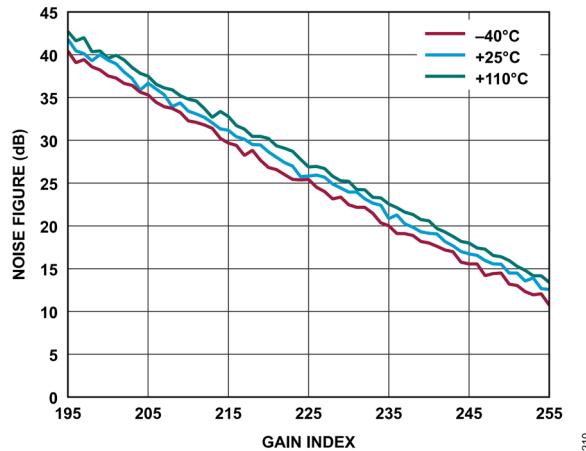


図 111. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

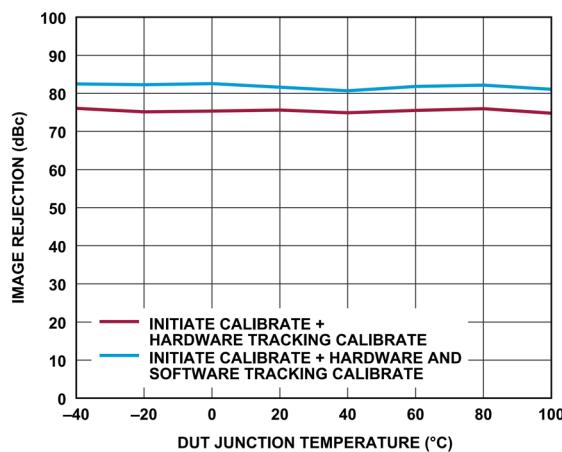


図 113. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1$ dBFS

代表的な性能特性

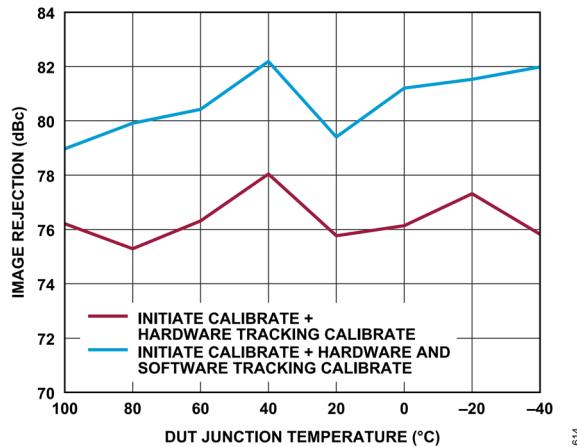


図 114. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1$ dBFS

614

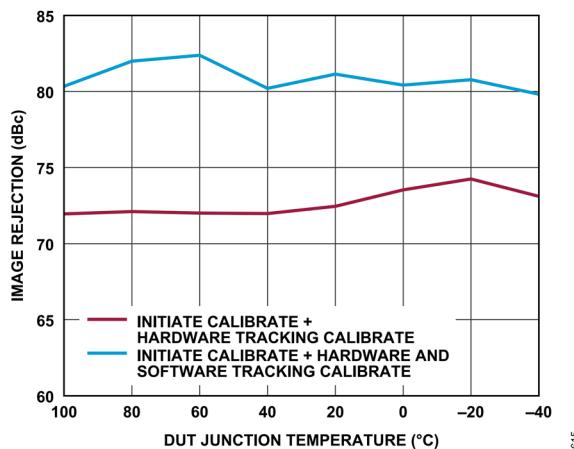
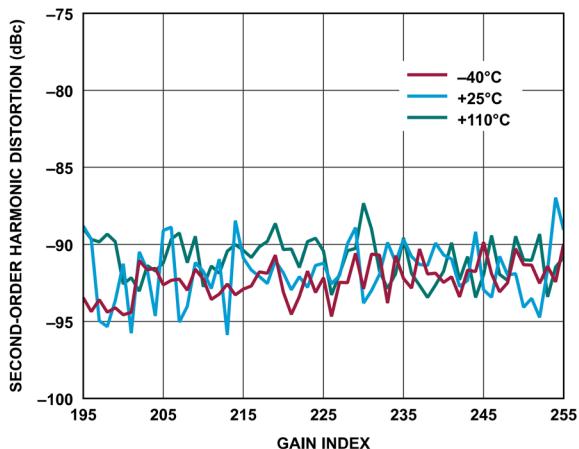


図 115. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1$ dBFS

615



211

図 116. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

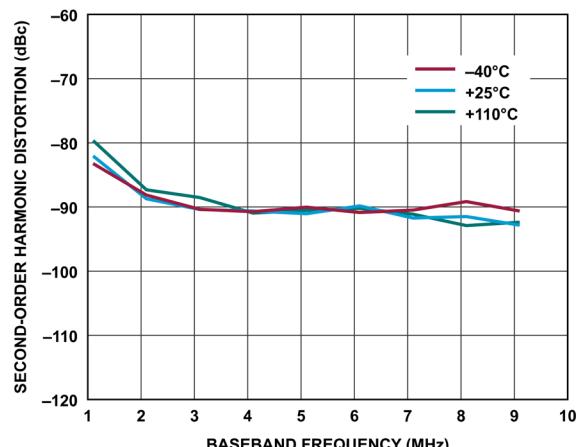
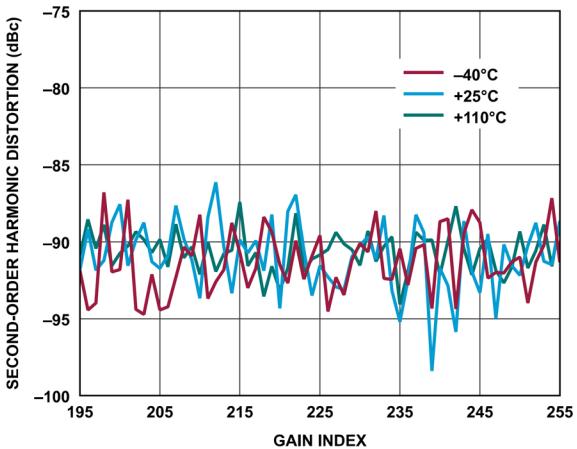


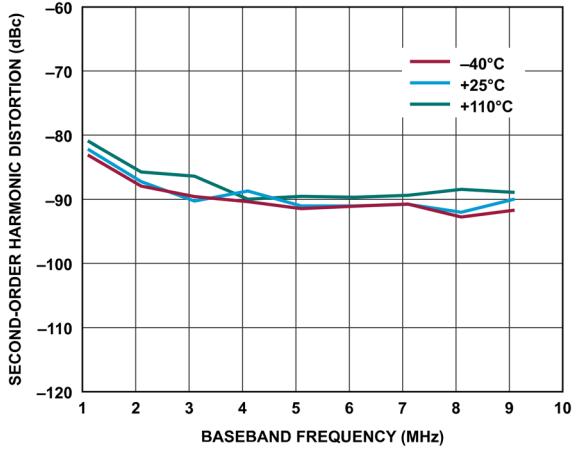
図 117. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

216



212

図 118. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力



217

図 119. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

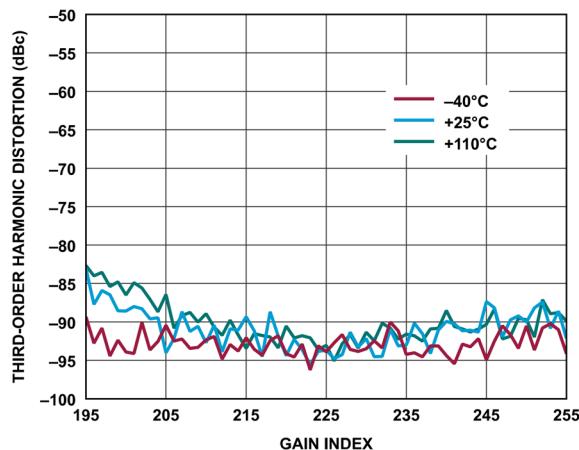


図 120. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

213

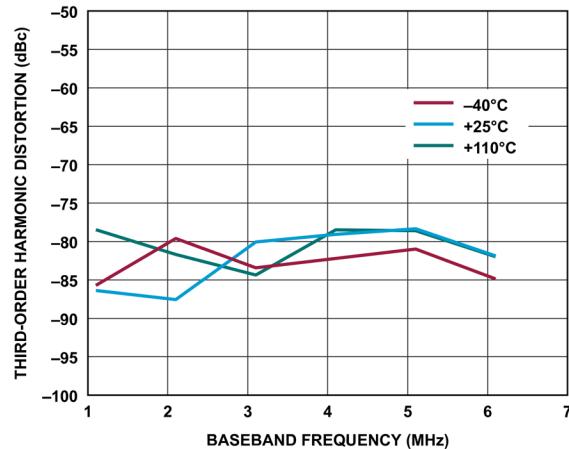


図 123. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

219

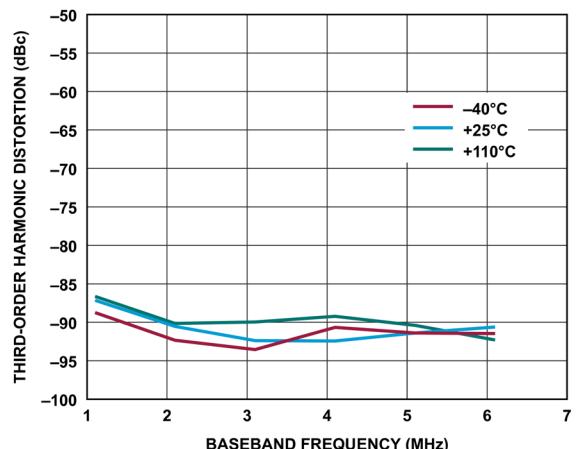


図 121. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

218

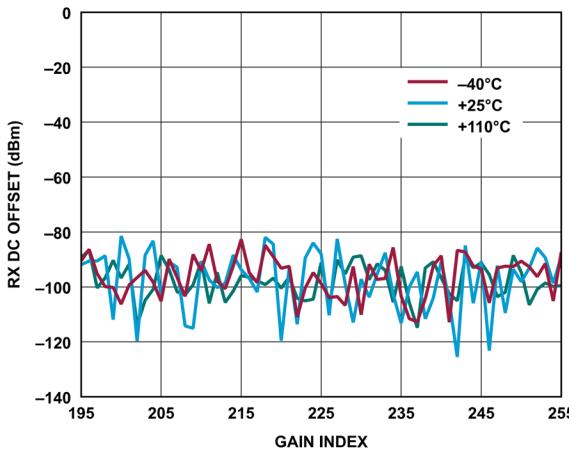


図 124. レシーバの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

215

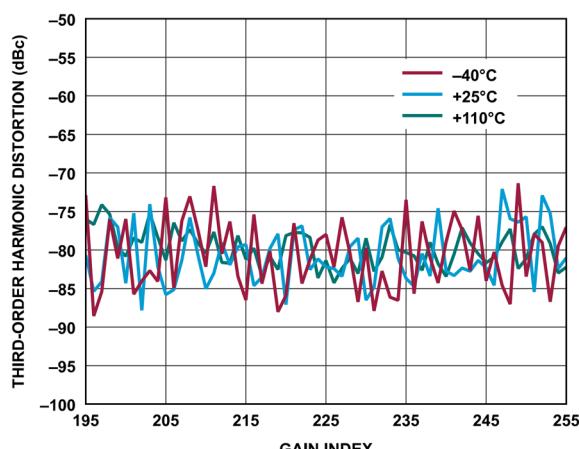


図 122. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

214

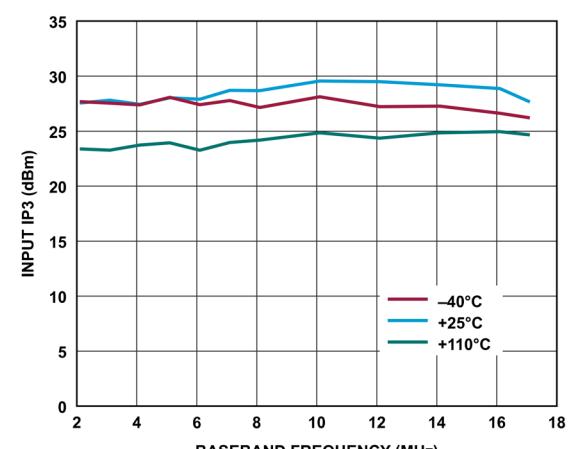


図 125. レシーバの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、f1 = ベースバンド周波数、f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

220

代表的な性能特性

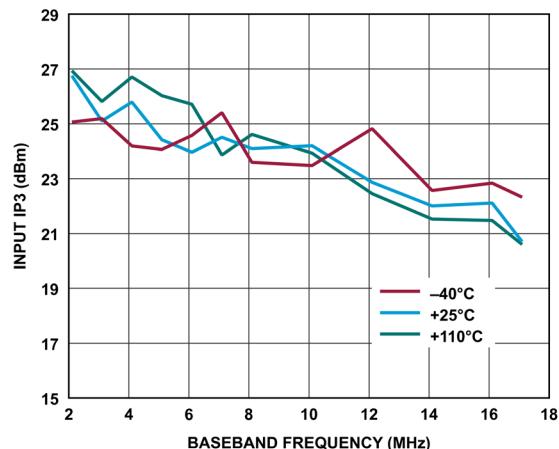


図 126. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

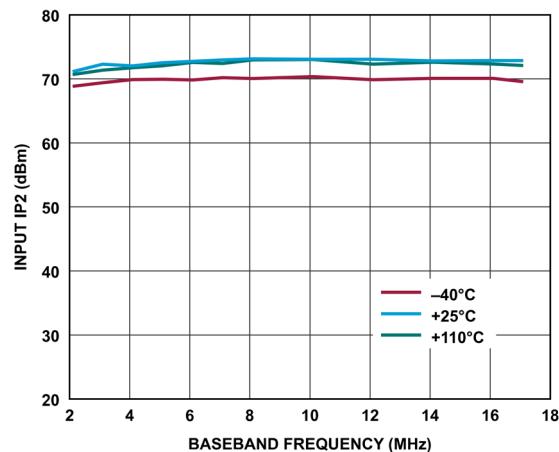


図 127. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

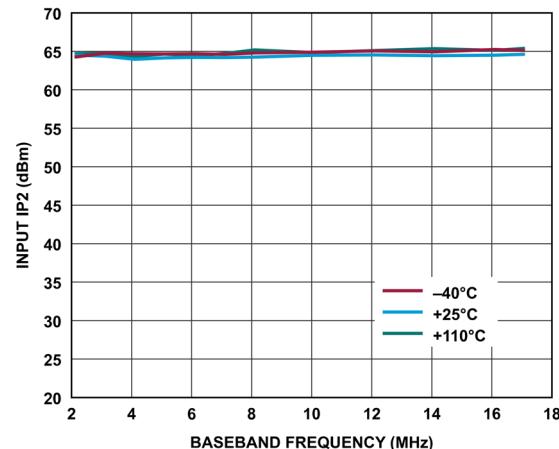


図 128. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

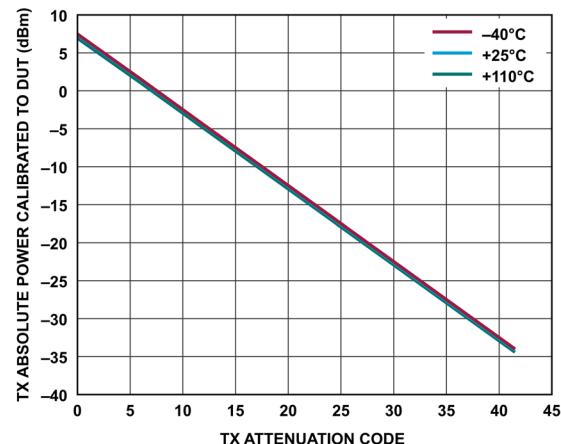


図 129. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

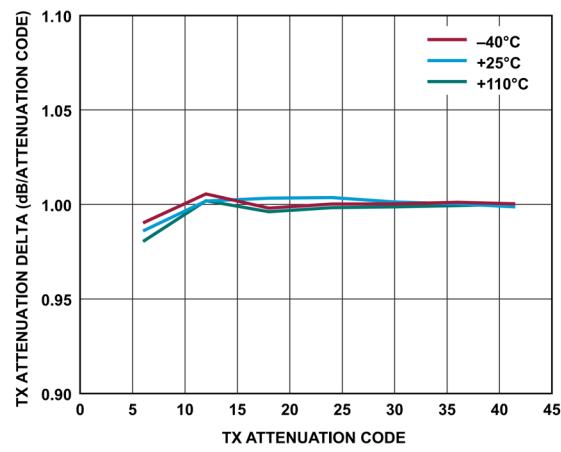


図 130. トランスマッタの減衰デルタとトランスマッタ減衰
コードの関係、ベースバンド周波数 = 18MHz、
バックオフ = 0.2dBFS

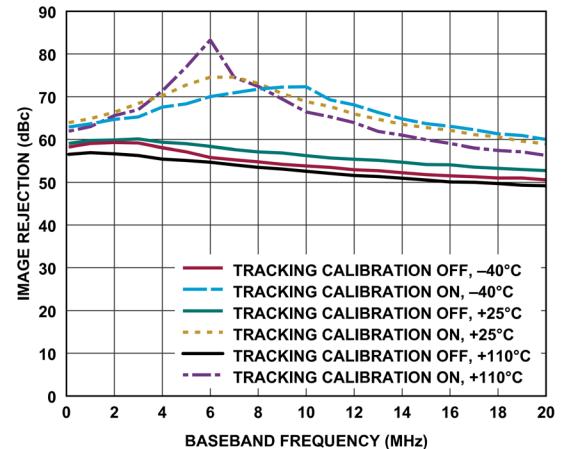


図 131. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 0

代表的な性能特性

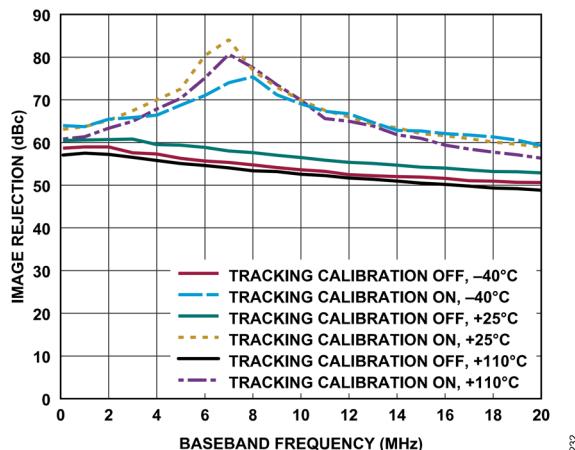


図 132. トランスマッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスマッタ減衰コード = 20

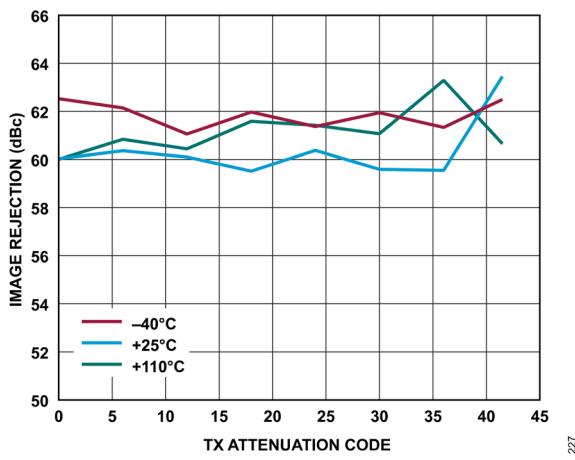


図 133. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

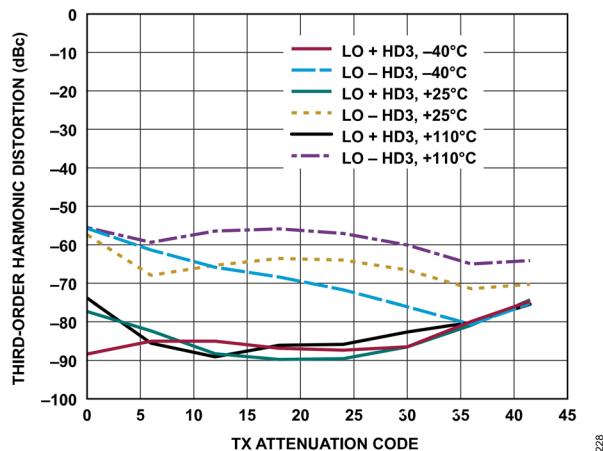


図 134. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

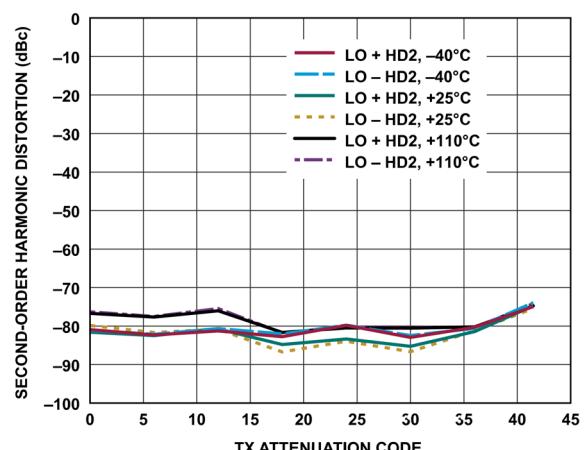


図 135. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

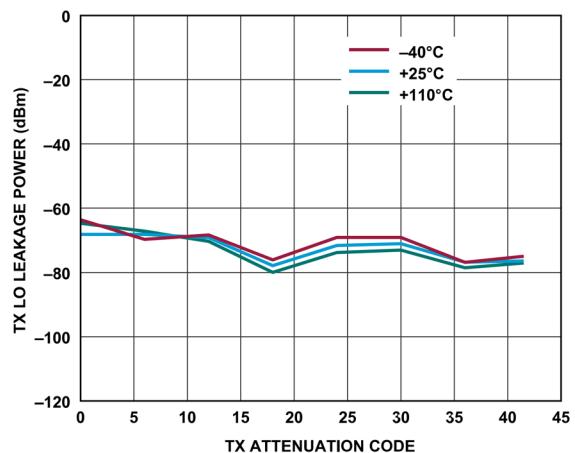


図 136. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

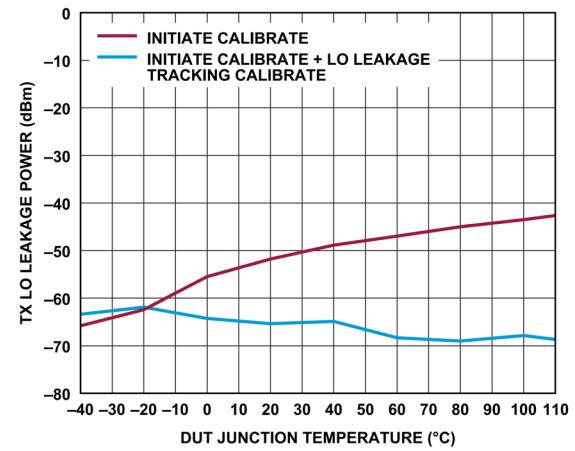


図 137. トランスマッタのLOリーク電力とDUTのジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

代表的な性能特性

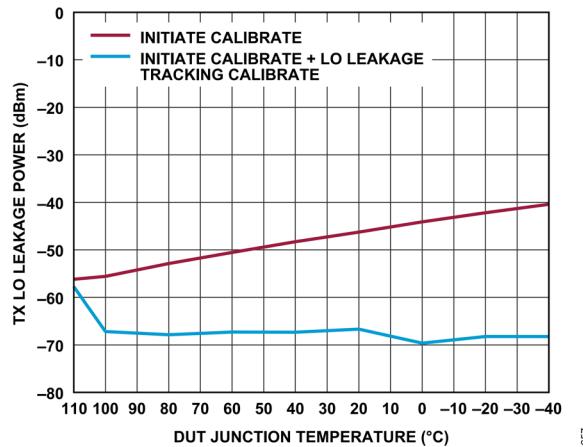


図 138. トランスマッタの LO リーク電力と DUT の
ジャンクション温度（ハイからロー）の関係、
ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、
減衰コード = 0

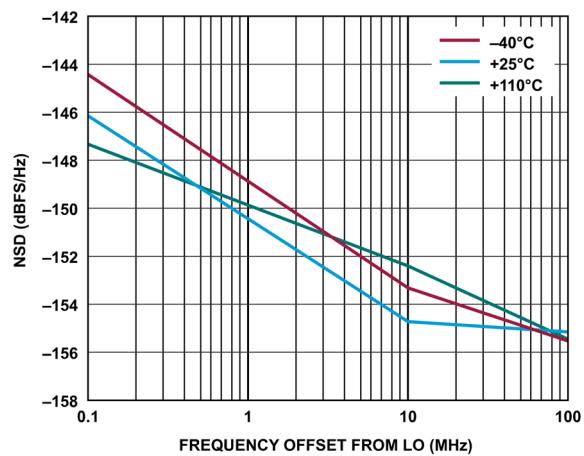


図 141. トランスマッタの NSD と LO からの周波数オフセットの
関係、ベースバンド周波数 = 5.6MHz、
トランスマッタ・チャンネル = Ch1

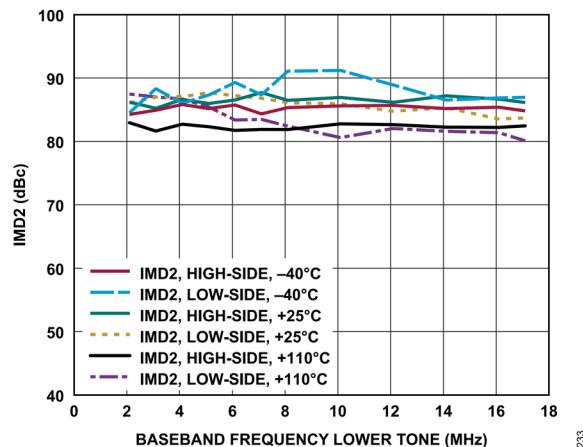


図 139. トランスマッタの IMD2 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

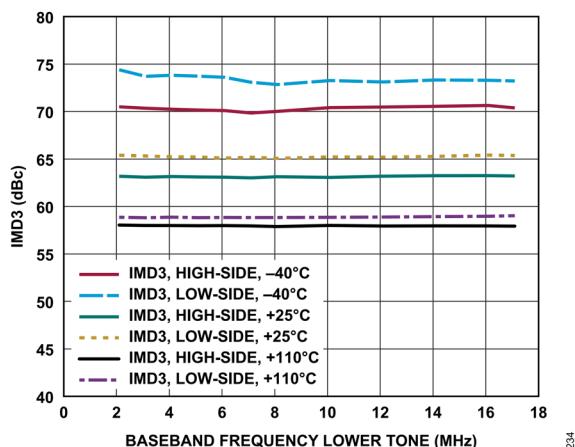


図 140. トランスマッタの IMD3 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

代表的な性能特性

3500MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 3500MHz に設定されています。

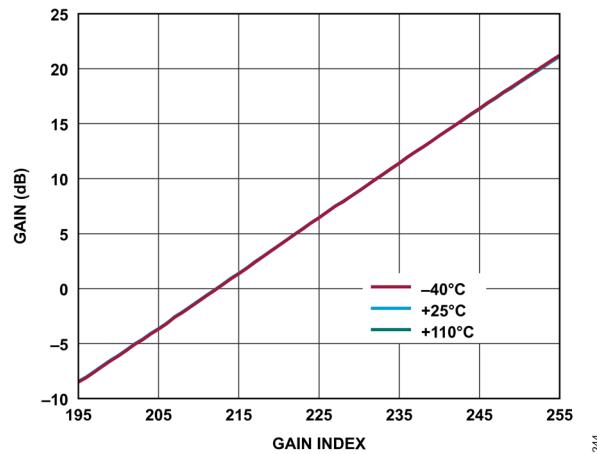


図 142. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、
ADC = 高性能、 $P_{OUT} = -9.6$ dBFS

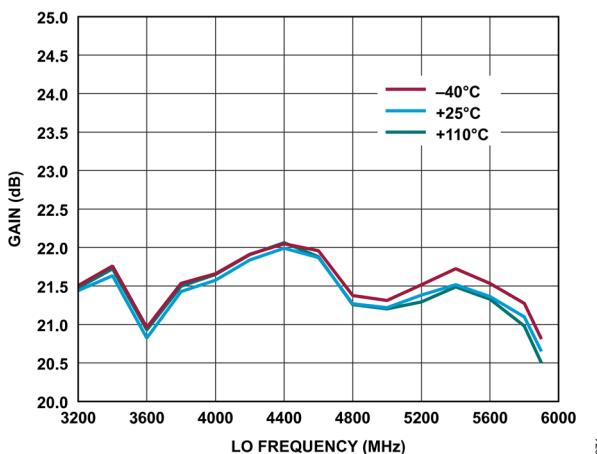


図 143. レシーバの絶対ゲイン（複素数）と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、
ADC = 高性能、 $P_{OUT} = -9.6$ dBFS

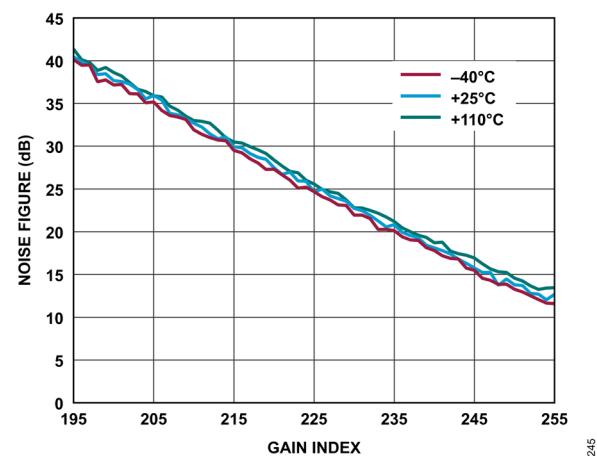


図 144. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

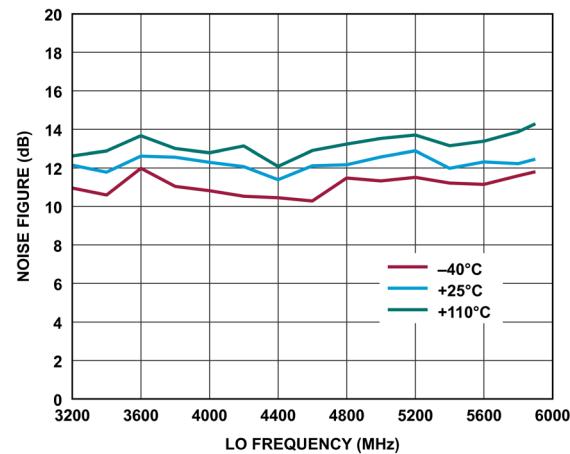


図 145. レシーバのノイズ指数と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

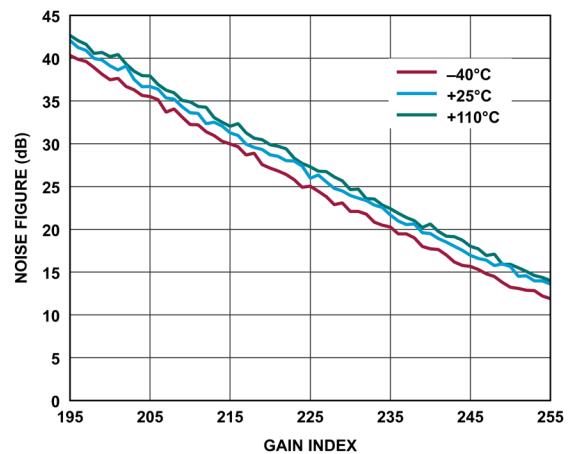


図 146. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

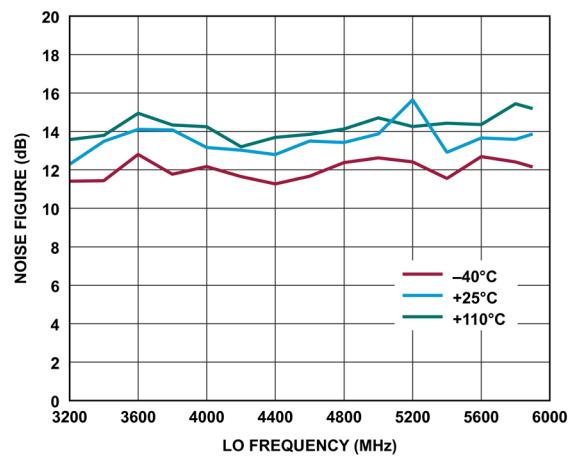


図 147. レシーバのノイズ指数と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

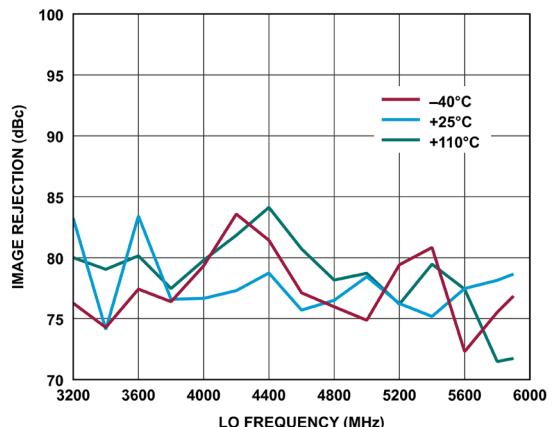


図 148. レシーバのイメージ除去と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
初期化キャリブレーションおよびハードウェア・トラッキング・
キャリブレーションのみ

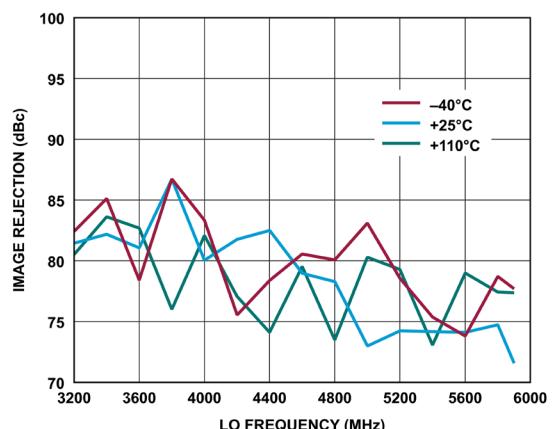


図 149. レシーバのイメージ除去と LO 周波数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力、
初期化キャリブレーションおよびハードウェア・トラッキング・
キャリブレーションのみ

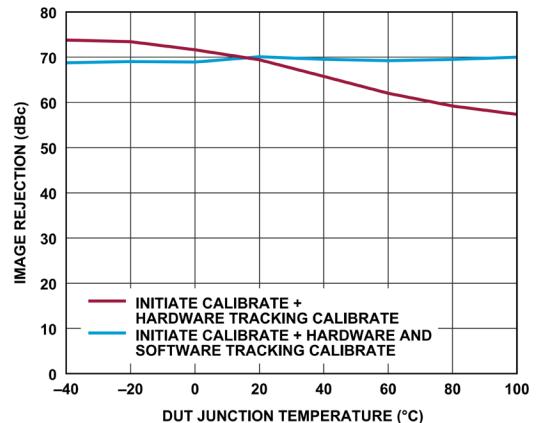


図 151. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 低消費電力、
 $P_{OUT} = -11.1\text{dBFS}$

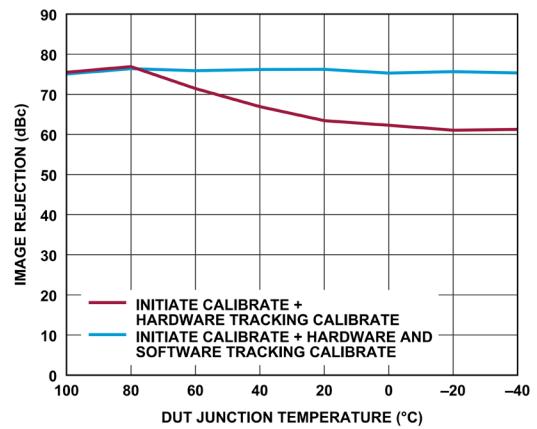


図 152. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 高性能、
 $P_{OUT} = -11.1\text{dBFS}$

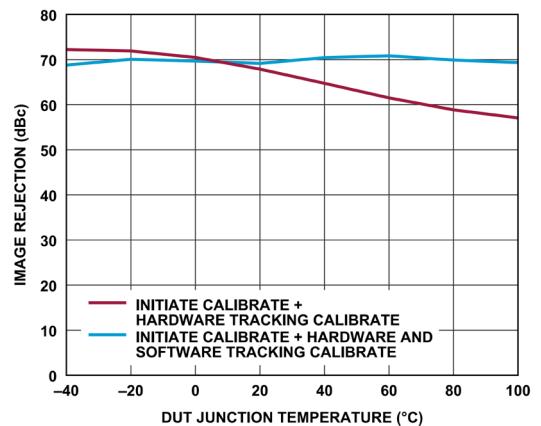


図 150. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 高性能、
 $P_{OUT} = -11.1\text{dBFS}$

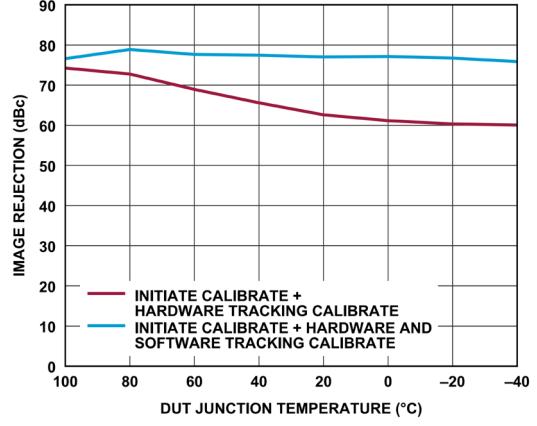


図 153. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 低消費電力、
 $P_{OUT} = -11.1\text{dBFS}$

代表的な性能特性

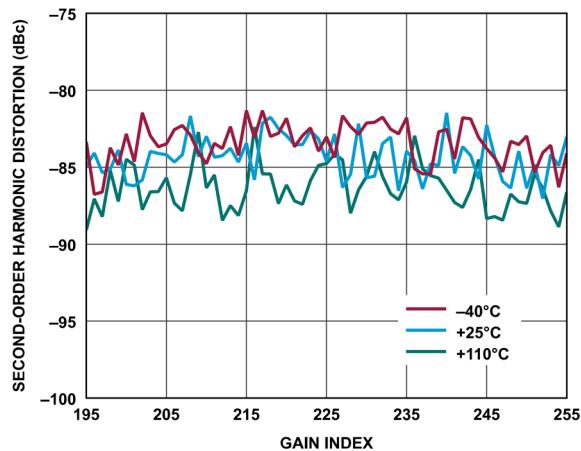


図 154. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

247

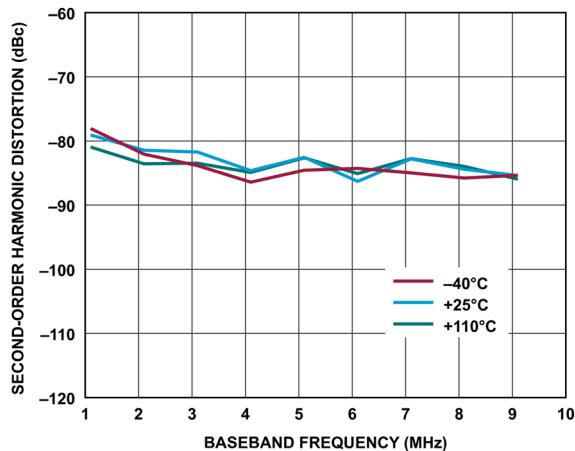


図 157. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

253

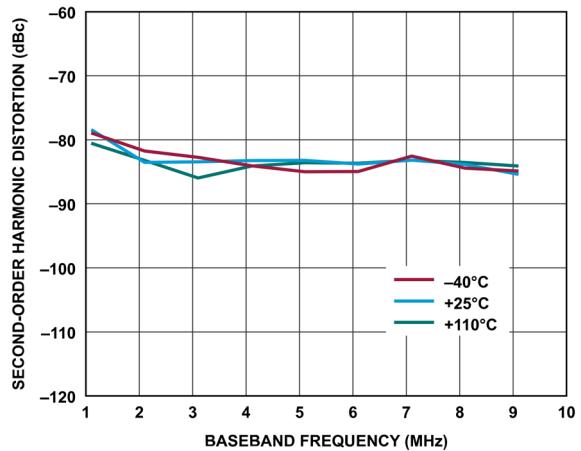


図 155. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

252

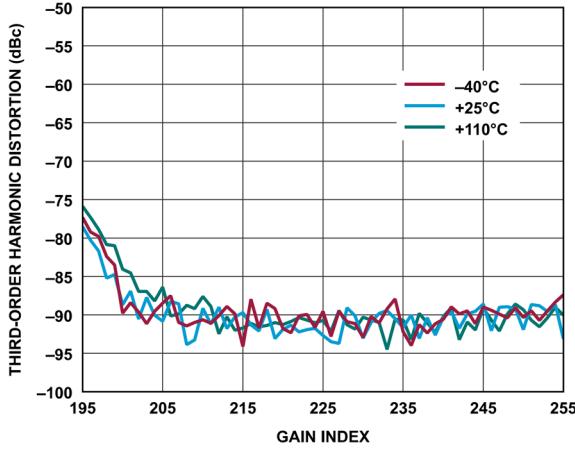


図 158. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

254

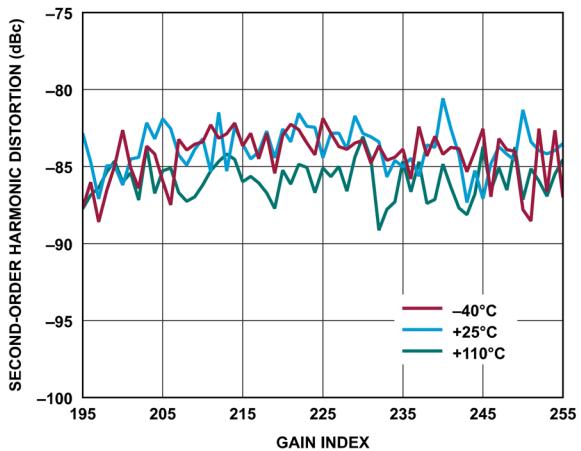


図 156. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

248

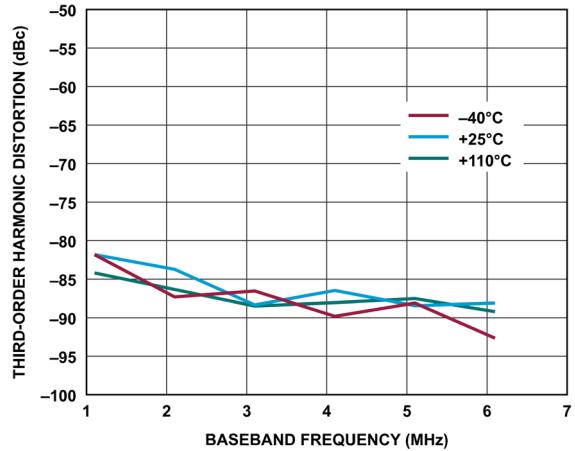


図 159. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

254

代表的な性能特性

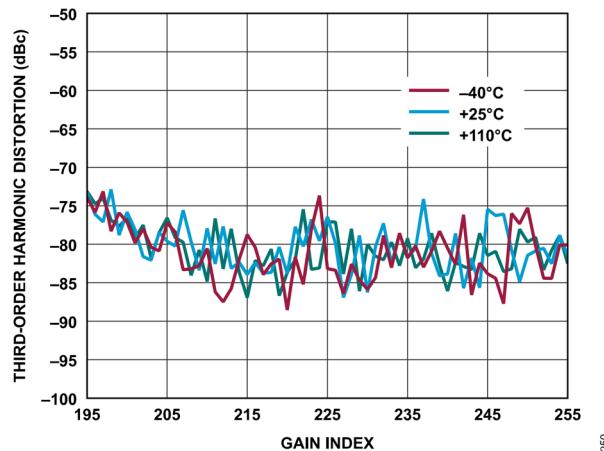


図 160. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

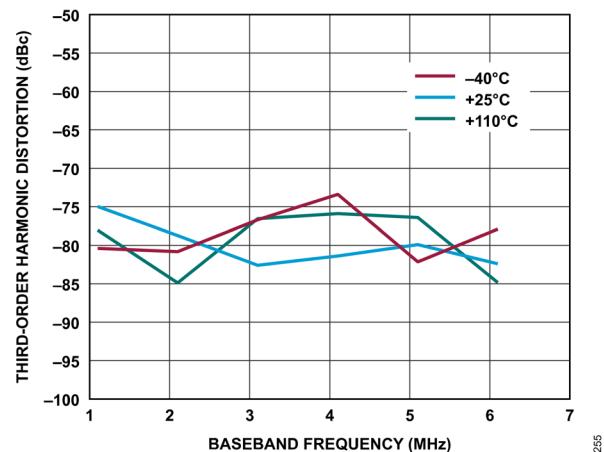


図 161. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

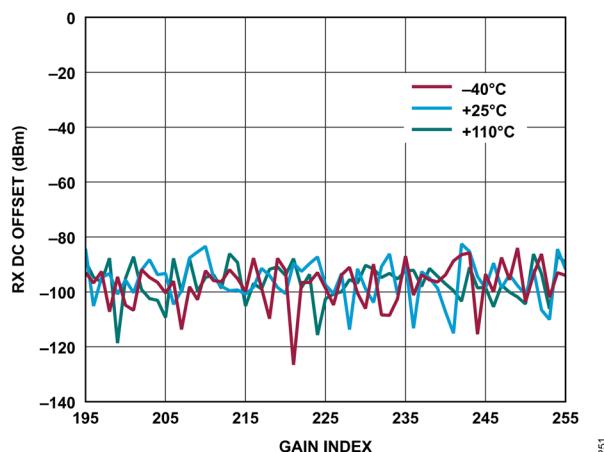


図 162. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

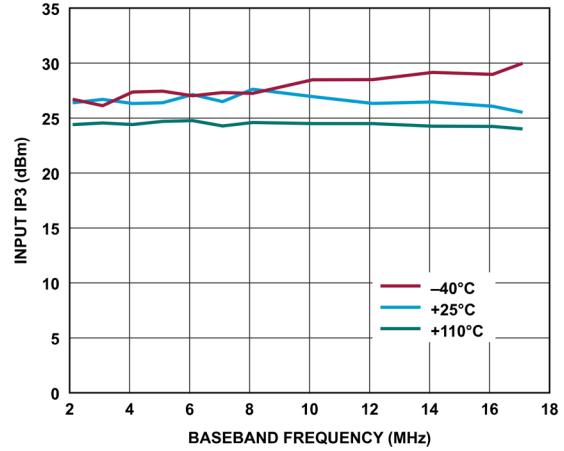


図 163. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

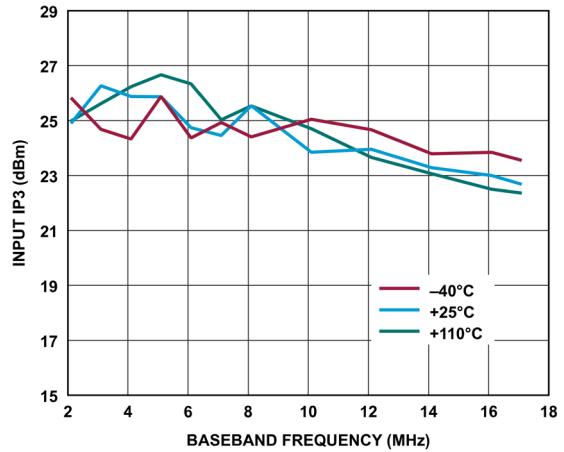


図 164. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

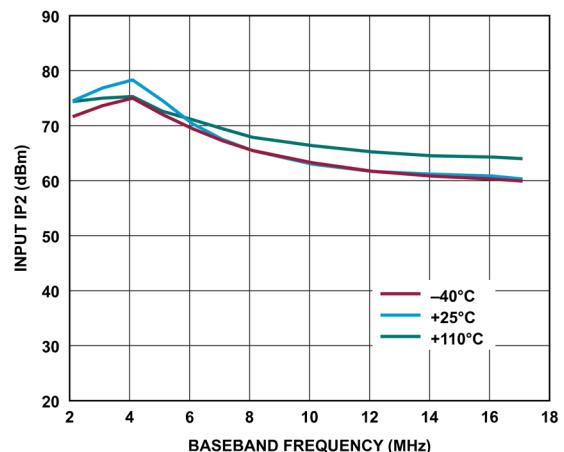


図 165. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

代表的な性能特性

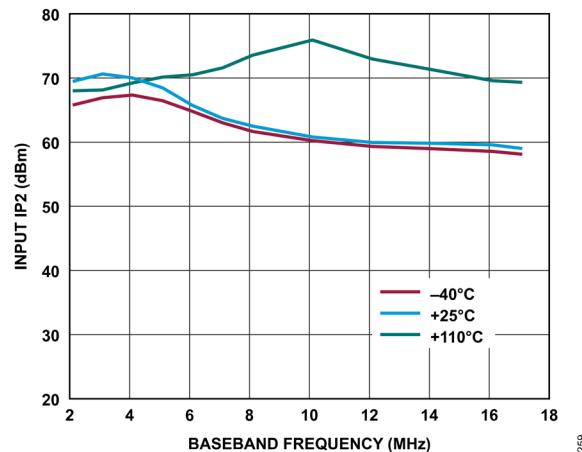


図 166. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

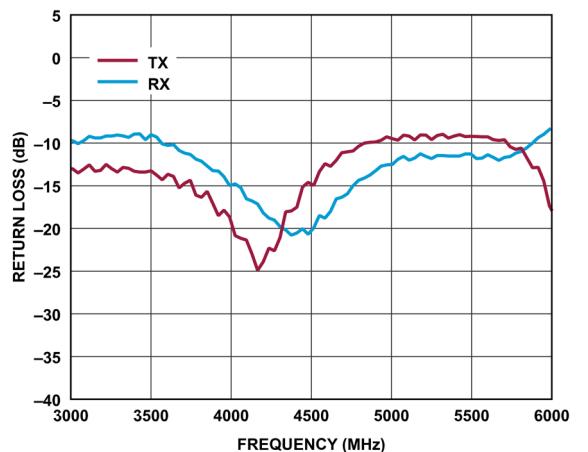


図 167. レシーバおよびトランスマッタのリターン・ロスと
周波数の関係 (LO = 3GHz~6GHz)

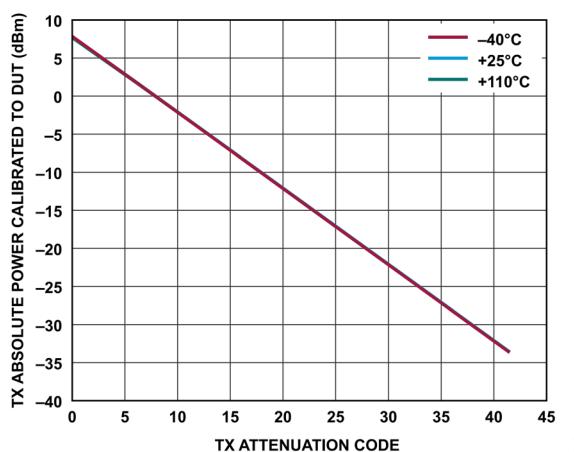


図 168. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

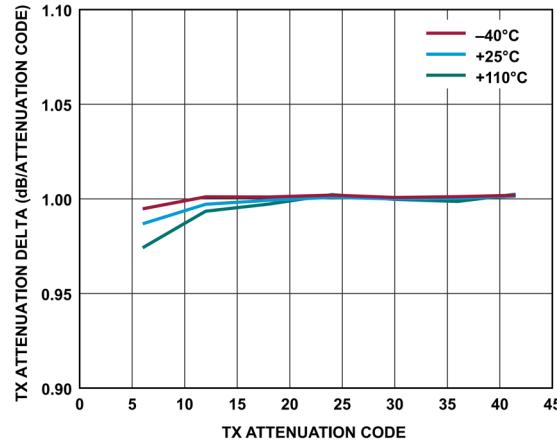


図 169. トランスマッタの減衰デルタとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

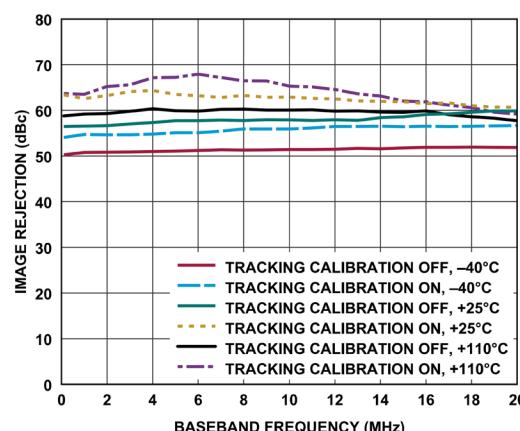


図 170. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 0

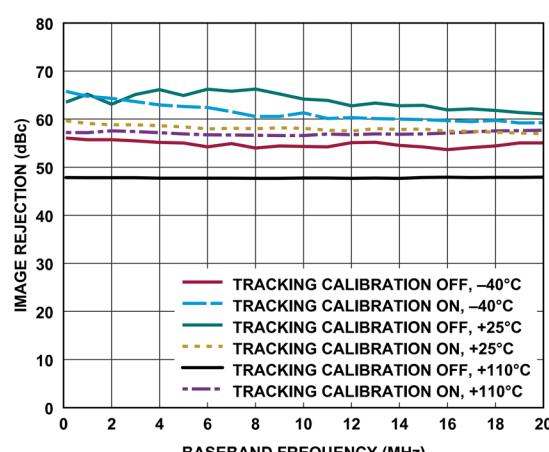


図 171. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 20

代表的な性能特性

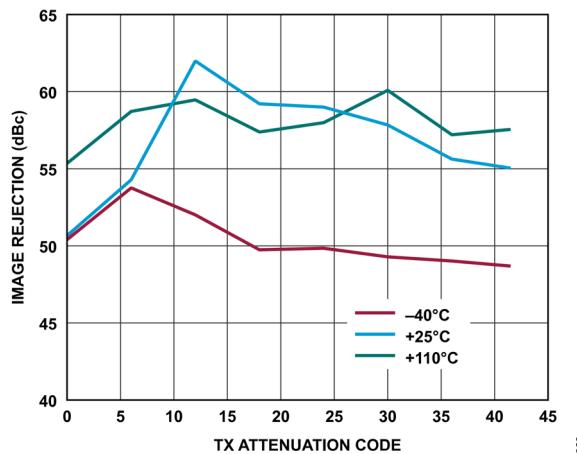


図 172. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

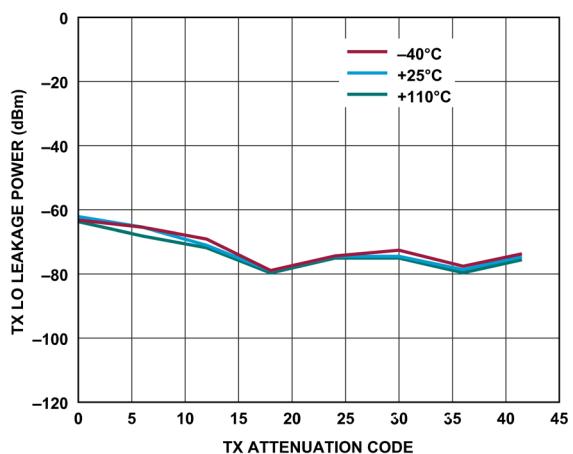


図 175. トランスマッタの LO リーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

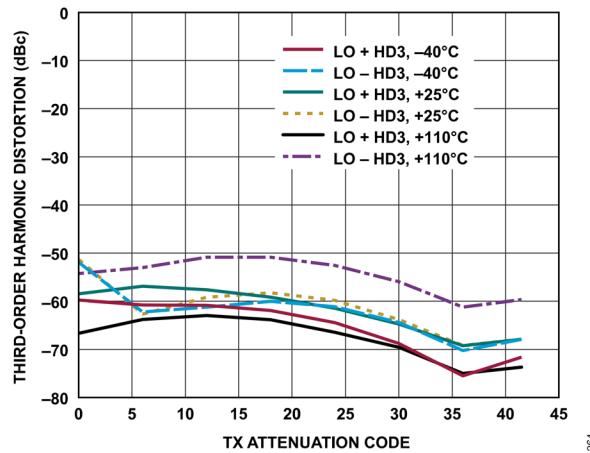


図 173. トランスマッタの 3 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

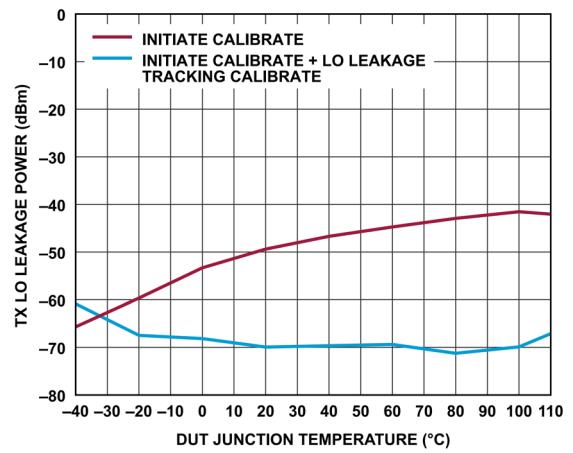


図 176. トランスマッタの LO リーク電力と DUT のジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

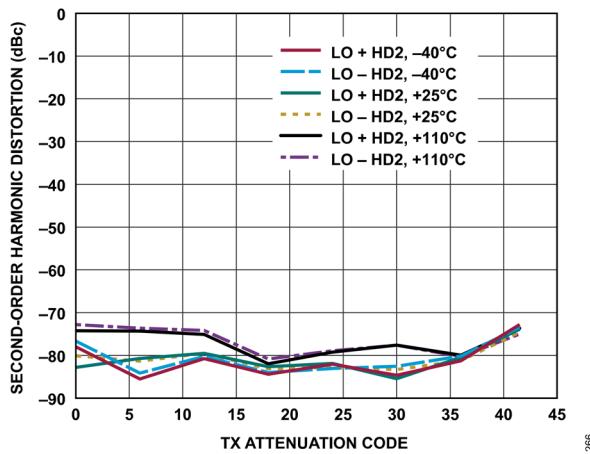


図 174. トランスマッタの 2 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

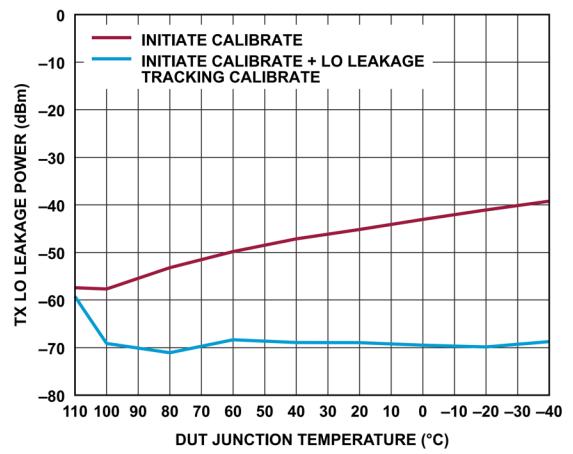


図 177. トランスマッタの LO リーク電力と DUT のジャンクション温度（ハイからロー）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

代表的な性能特性

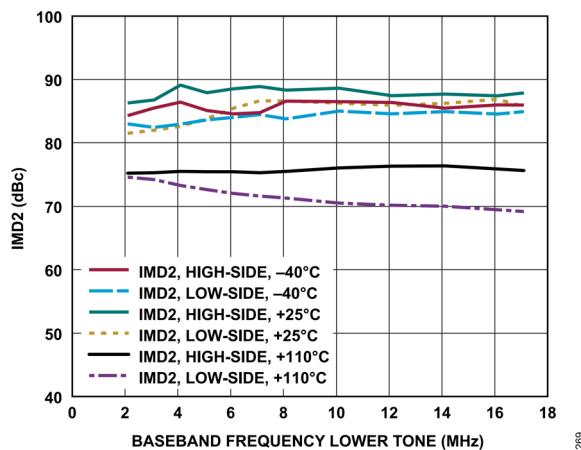


図 178. トランスマッタの IMD2 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

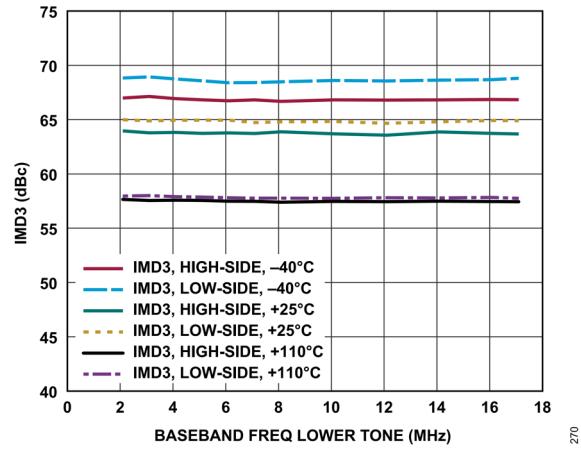


図 179. トランスマッタの IMD3 とベースバンド周波数の関係、
トランスマッタ減衰コード = 0、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz

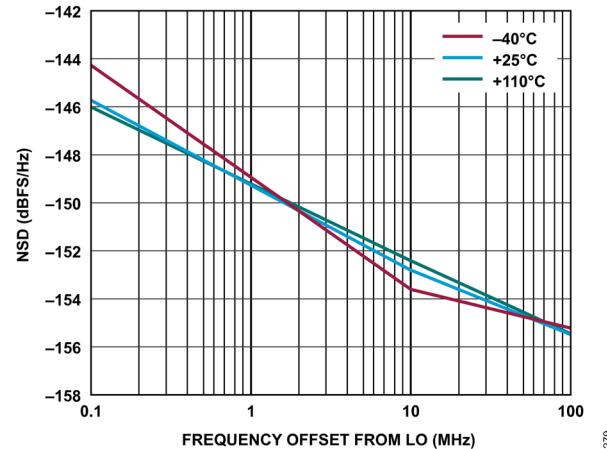


図 180. トランスマッタの NSD と LO からの周波数オフセットの
関係、ベースバンド周波数 = 5.6MHz、
トランスマッタ・チャンネル = Ch1

代表的な性能特性

5800MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 5800MHz に設定されています。

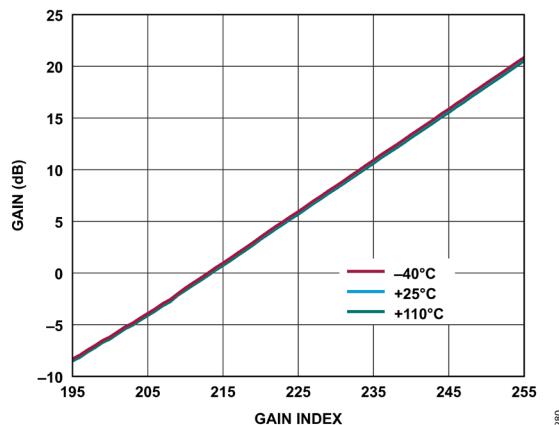


図 181. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

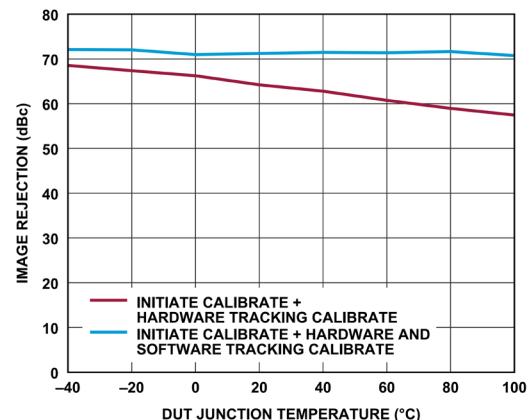


図 184. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 高性能、 $P_{OUT} = -11.1\text{dBFS}$

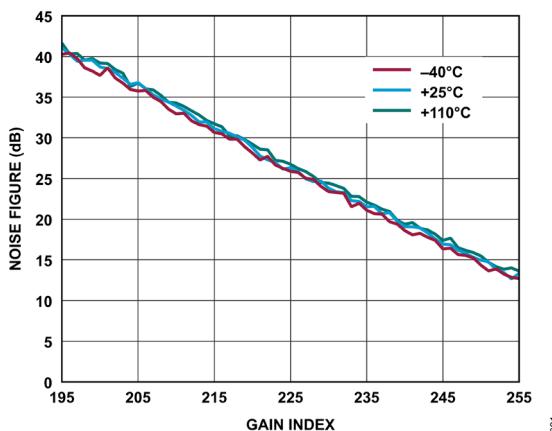


図 182. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

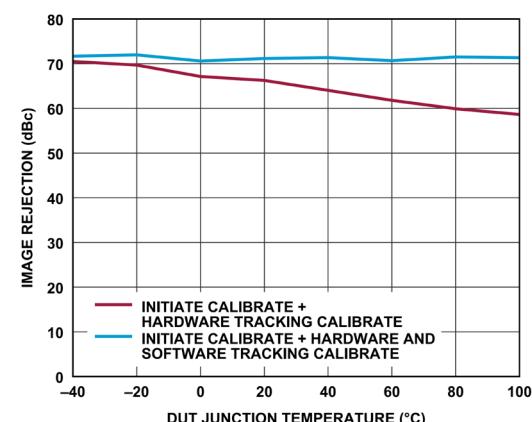


図 185. レシーバのイメージ除去と DUT の
ジャンクション温度（ローからハイ）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、
ADC = 低消費電力、 $P_{OUT} = -11.1\text{dBFS}$

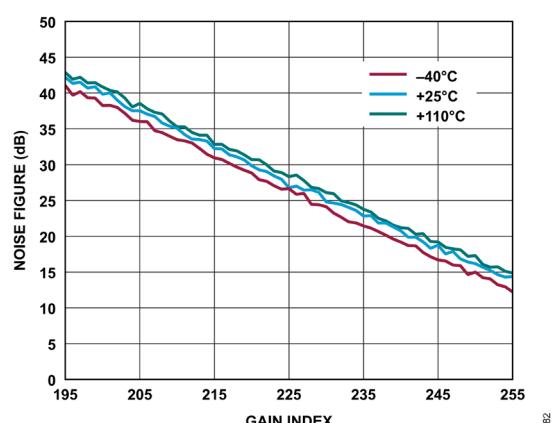


図 183. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

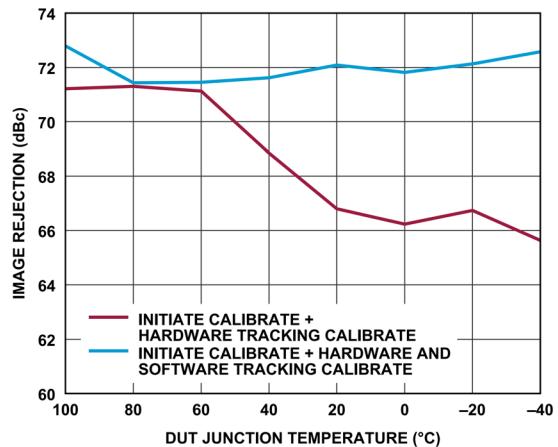


図 186. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 高性能、
 $P_{OUT} = -11.1\text{dBFS}$

622

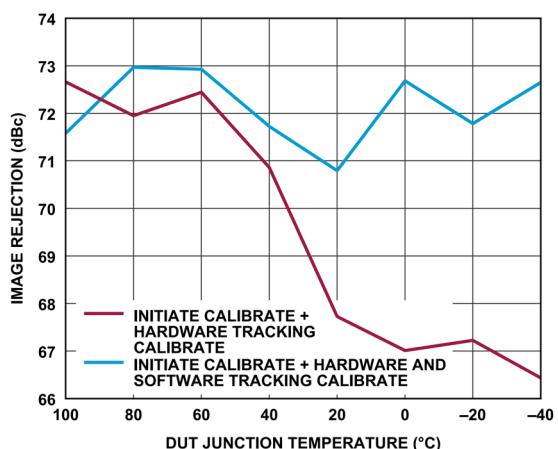


図 187. レシーバのイメージ除去と DUT の
ジャンクション温度（ハイからロー）の関係、
トーン 1 ベースバンド周波数 = -5.1MHz、
トーン 2 ベースバンド周波数 = 13.9MHz、ADC = 低消費電力、
 $P_{OUT} = -11.1\text{dBFS}$

623

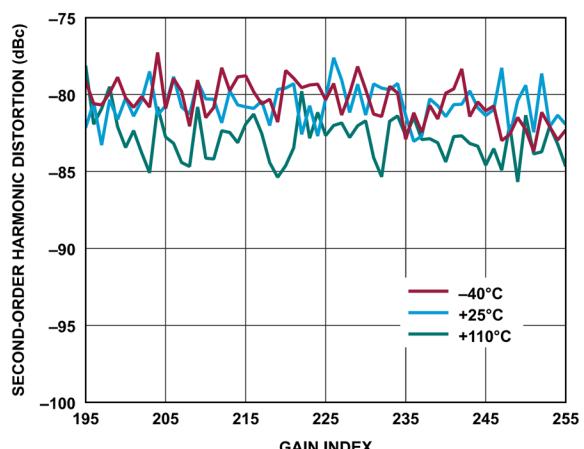


図 188. レシーバの 2 次高調波歪みとゲイン指標の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

283

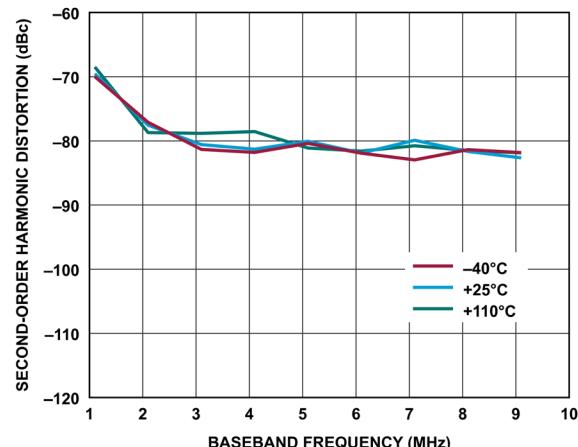


図 189. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指標 = 255、ADC = 高性能

288

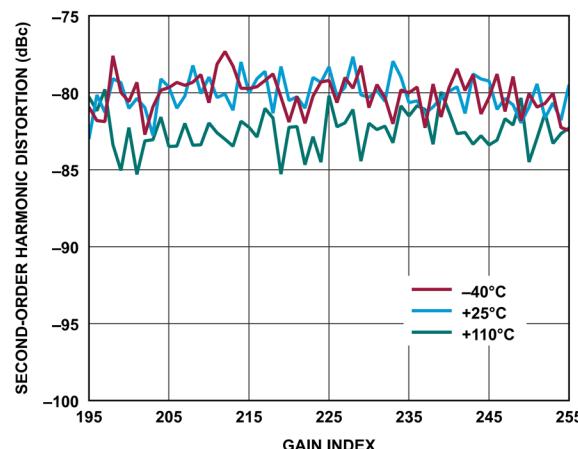


図 190. レシーバの 2 次高調波歪みとゲイン指標の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

284

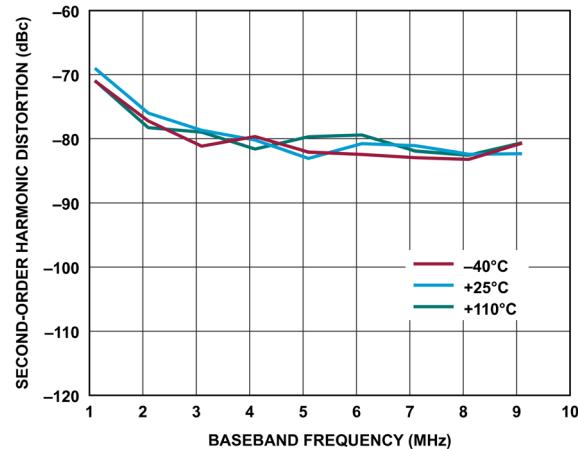


図 191. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指標 = 255、ADC = 低消費電力

289

代表的な性能特性

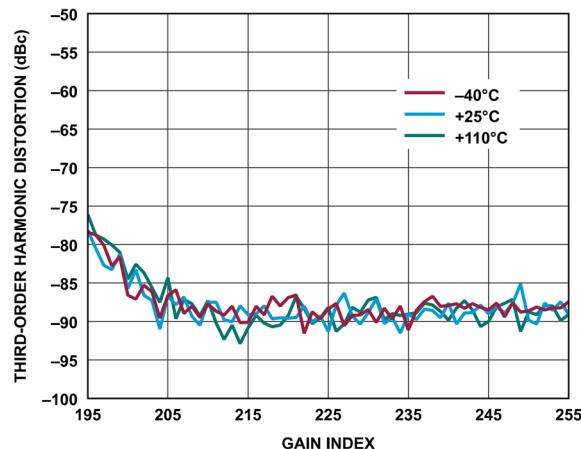


図 192. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

285

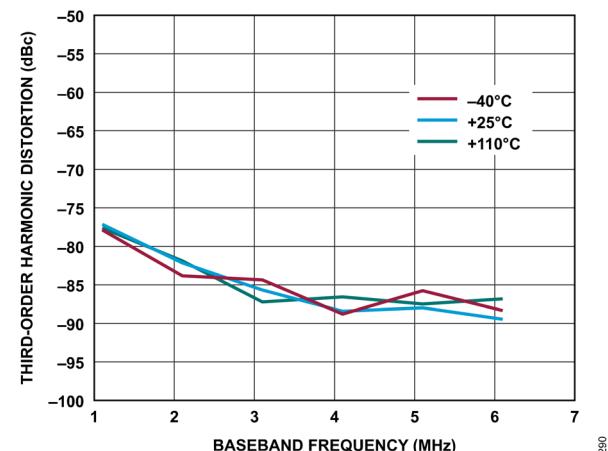


図 193. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

286

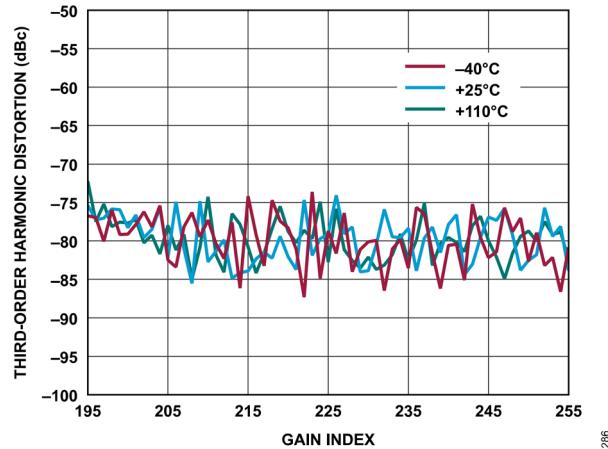


図 194. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

286

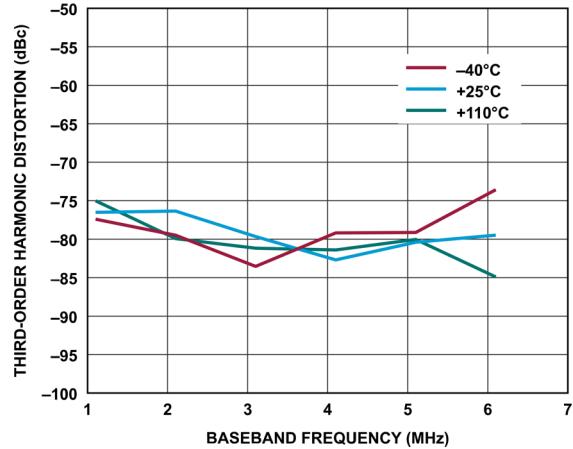


図 195. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

281

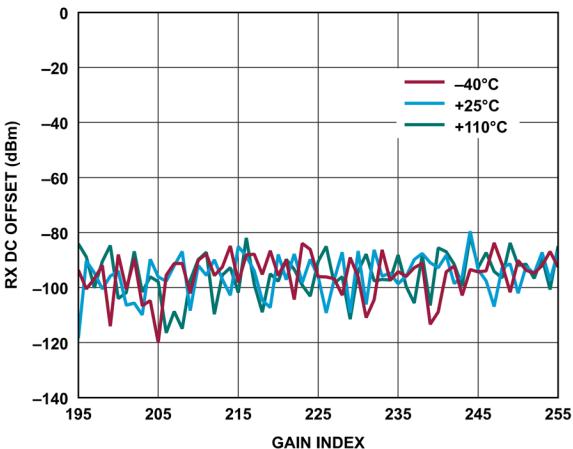


図 196. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 5.6MHz、ADC = 高性能

287

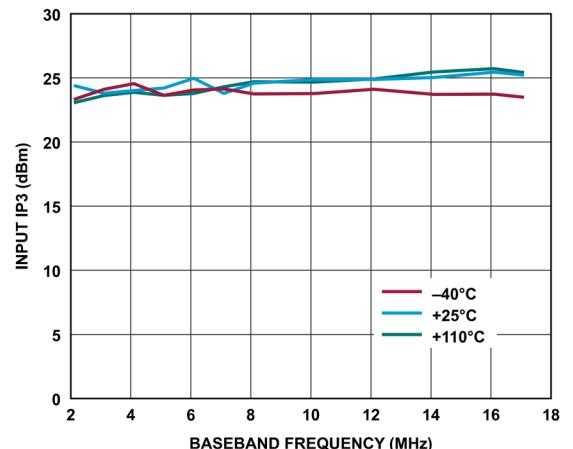


図 197. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、f1 = ベースバンド周波数、
f2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

282

代表的な性能特性

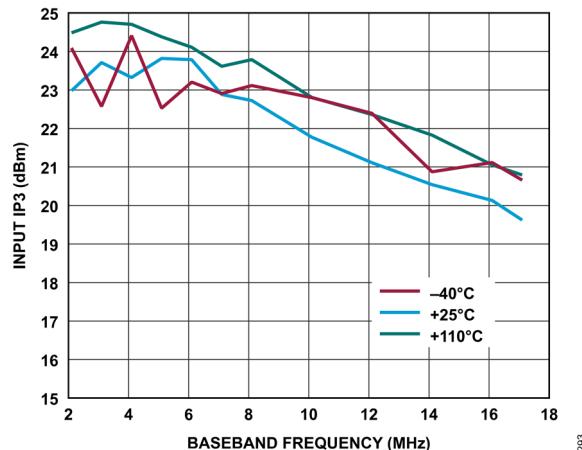


図 198. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

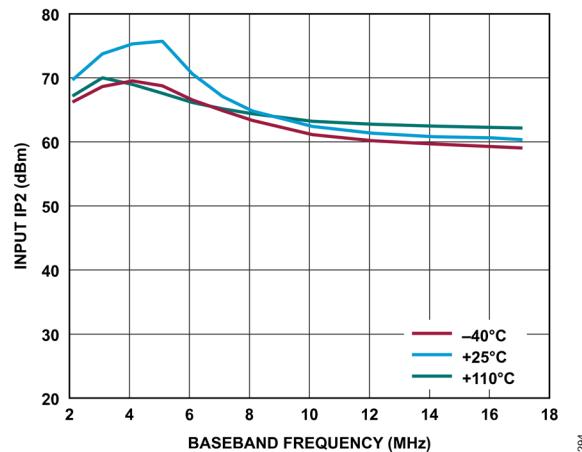


図 199. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

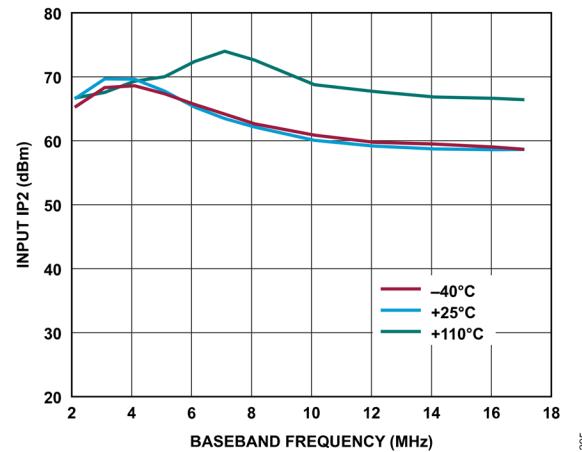


図 200. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数、
 f_2 = ベースバンド周波数 + 1MHz、ゲイン指數 = 255

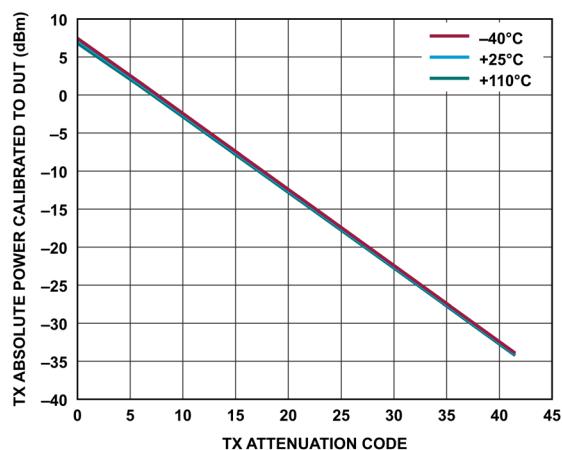


図 201. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

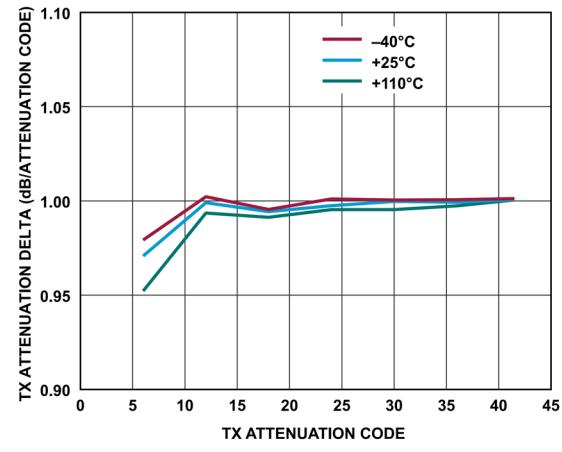


図 202. トランスマッタの減衰デルタとトランスマッタ減衰
コードの関係、ベースバンド周波数 = 18MHz、
バックオフ = 0.2dBFS

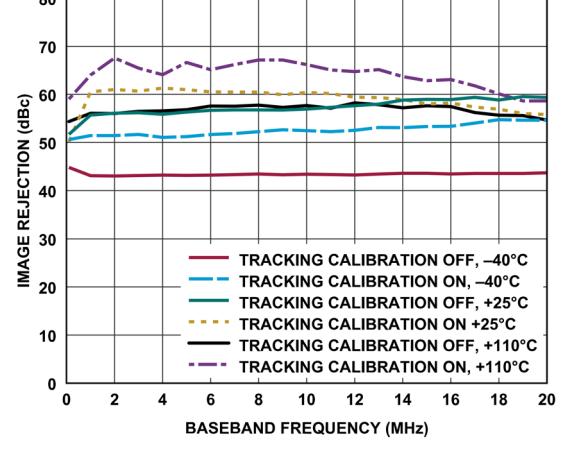


図 203. トランスマッタのイメージ除去とベースバンド周波数の
関係、トラッキング・キャリブレーション・オンと
トラッキング・キャリブレーション・オフの比較、
トランスマッタ減衰コード = 0

代表的な性能特性

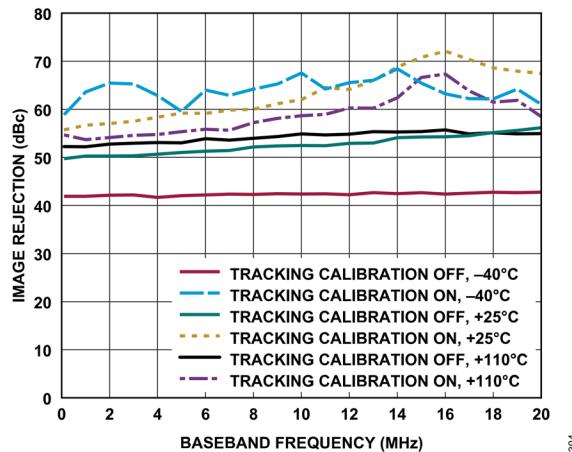


図 204. トランスマッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスマッタ減衰コード = 20

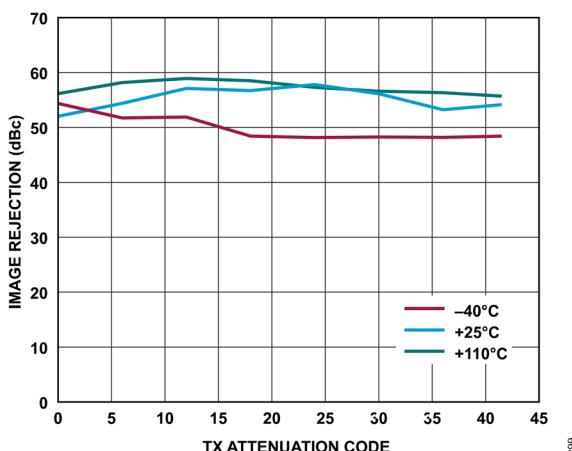


図 205. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

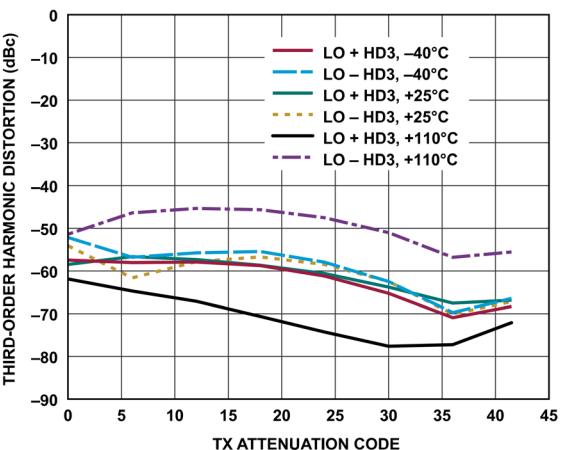


図 206. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

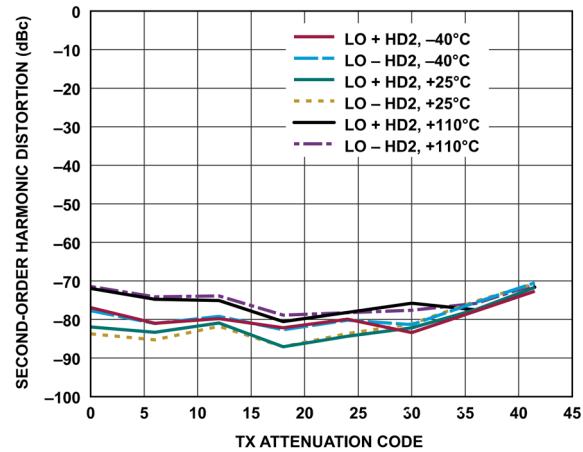


図 207. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

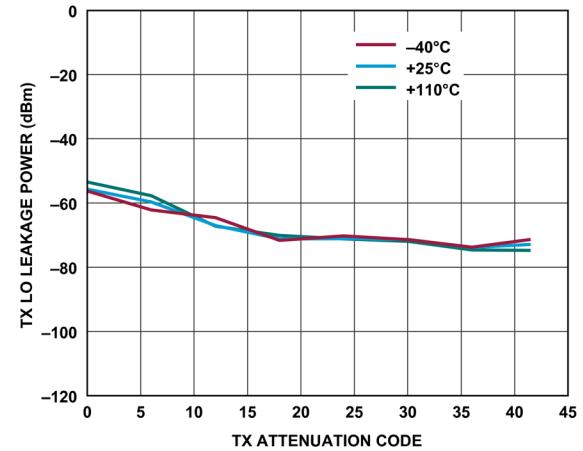


図 208. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

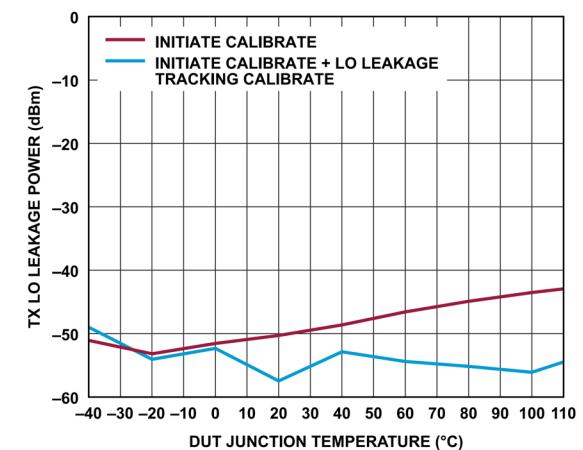
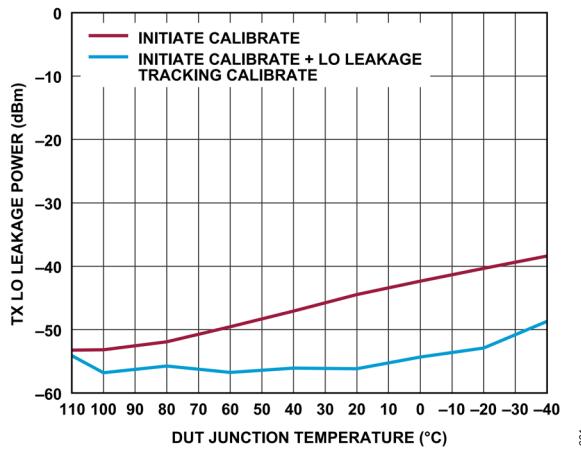
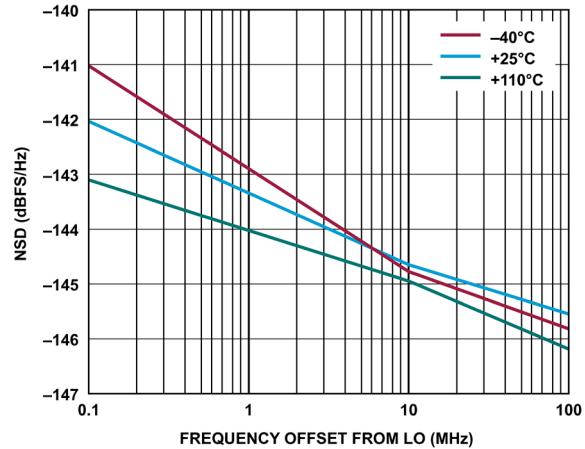


図 209. トランスマッタのLOリーク電力とDUTのジャンクション温度（ローからハイ）の関係、ベースバンド周波数 = 4MHz、バックオフ = 0.5dBFS、減衰コード = 0

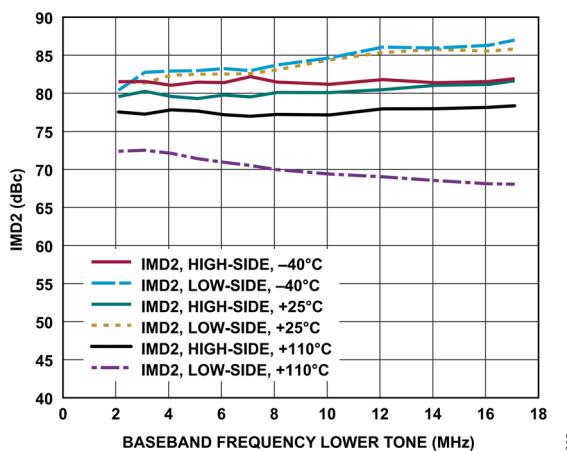
代表的な性能特性



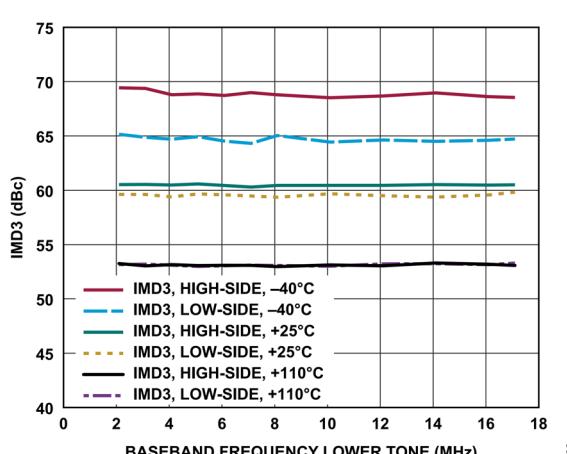
661



315



305



306

代表的な性能特性

狭帯域

デバイス構成プロファイル：レシーバ = 25kHz 帯域幅、レシーバ IF = 490kHz、I/Q レート = 144kHz、トランスマッタ = 25kHz 帯域幅、I/Q レート = 144kHz、デバイス・クロック = 38.4MHz、すべての測定で内部 LO を使用。測定は公称電源電圧で行われています。特に指定のない限り、すべての RF 仕様は測定に基づくもので、これには PCB とマッチング回路の損失が含まれています。仕様はデバイスの全寿命にわたって適用されます。

30MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 30MHz に設定しています。

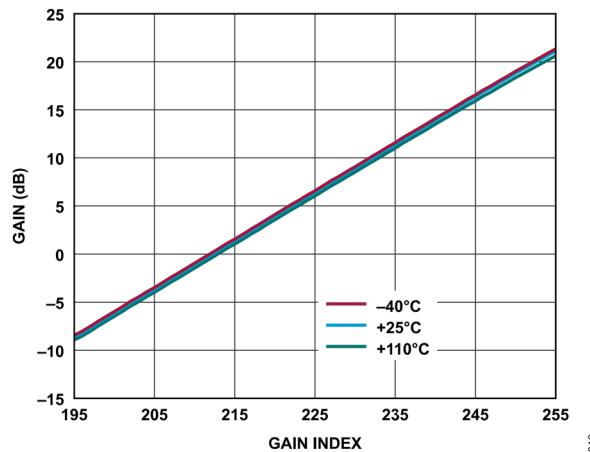


図 214. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

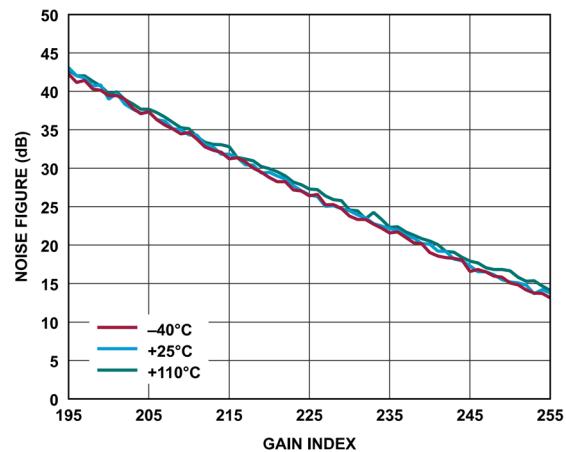


図 216. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

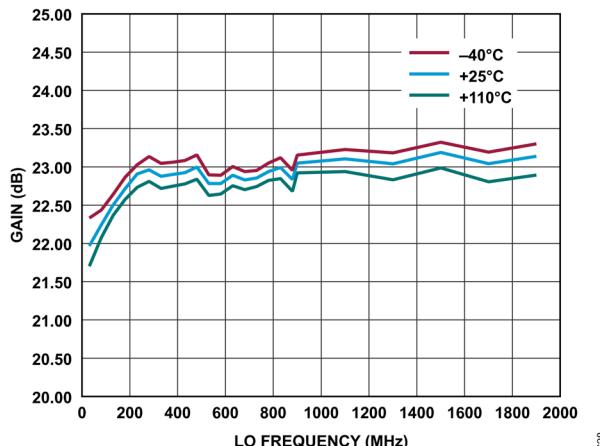


図 215. レシーバの絶対ゲイン（複素数）と LO 周波数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

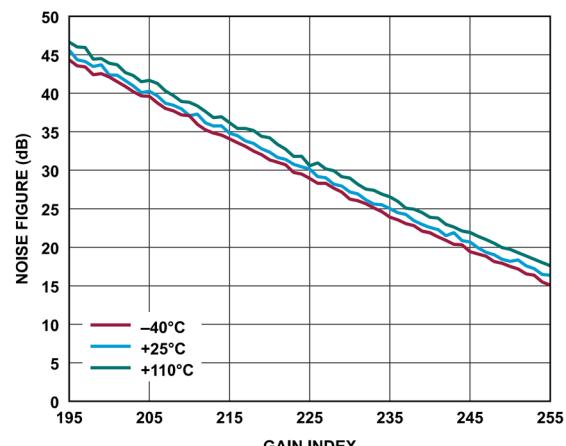


図 217. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

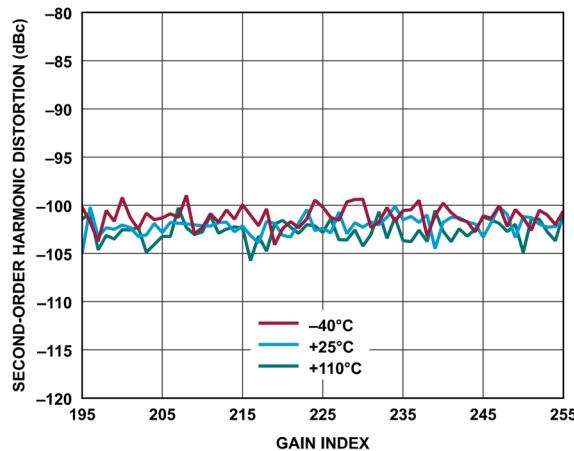


図 218. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

319

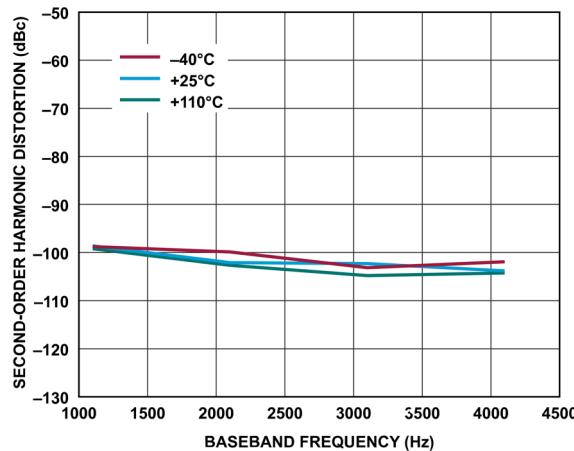


図 219. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

324

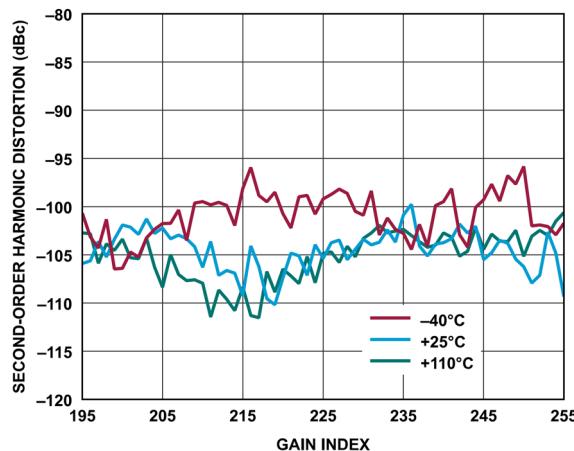


図 220. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

320

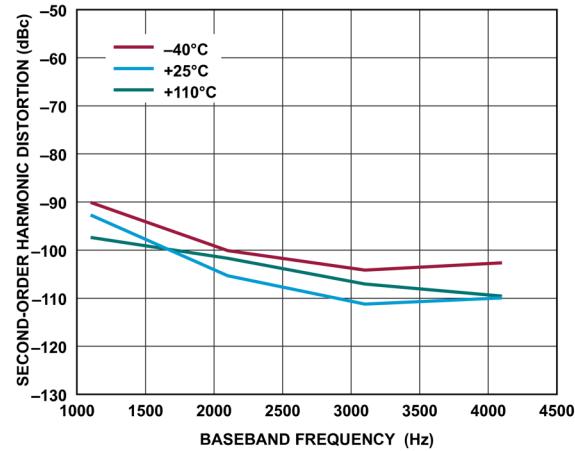


図 221. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

325

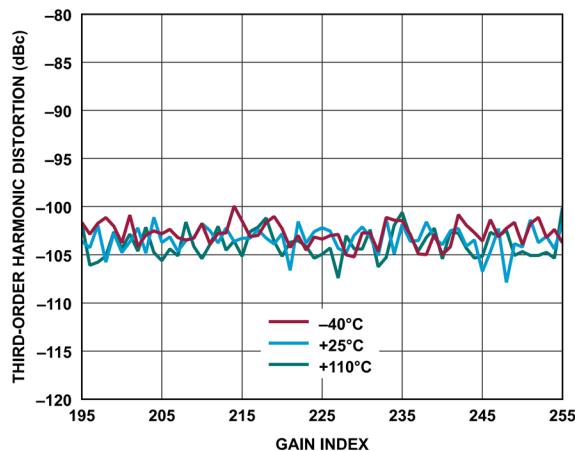


図 222. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

321

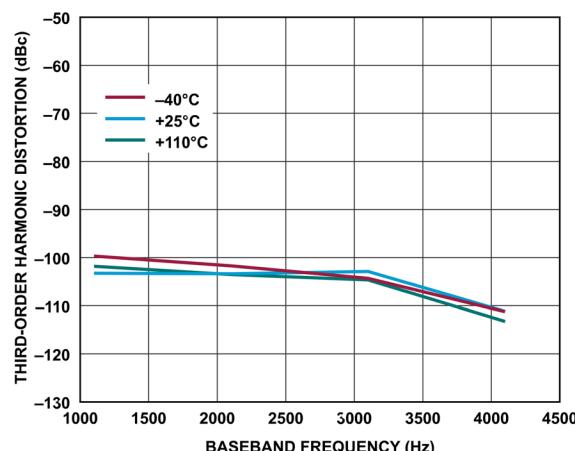


図 223. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

326

代表的な性能特性

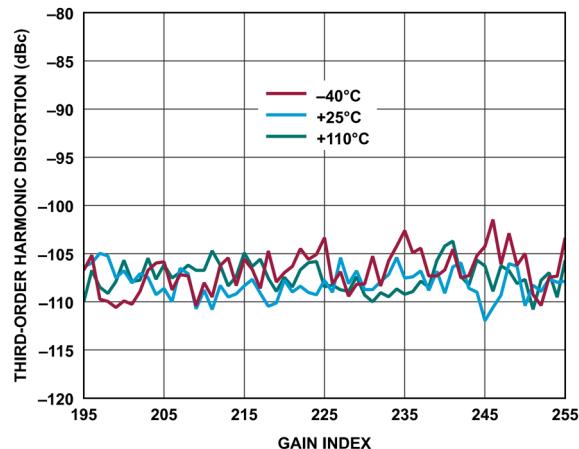


図 224. レシーバの 3 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

322

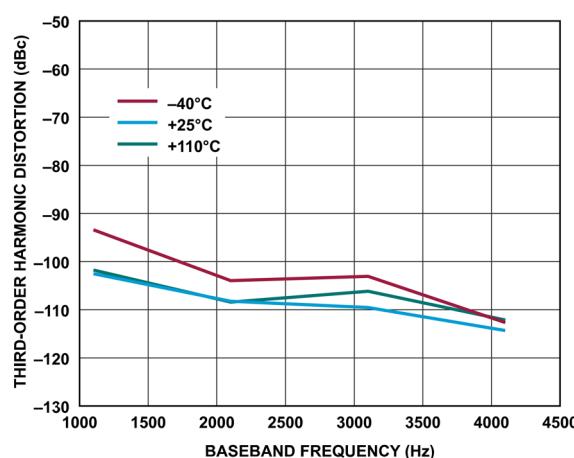


図 225. レシーバの 3 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 低消費電力

327

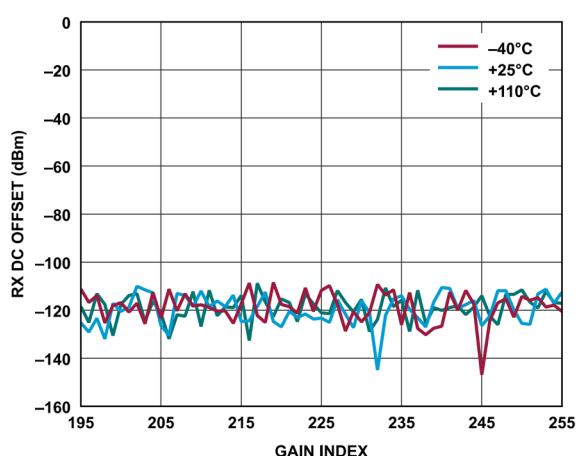


図 226. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

323

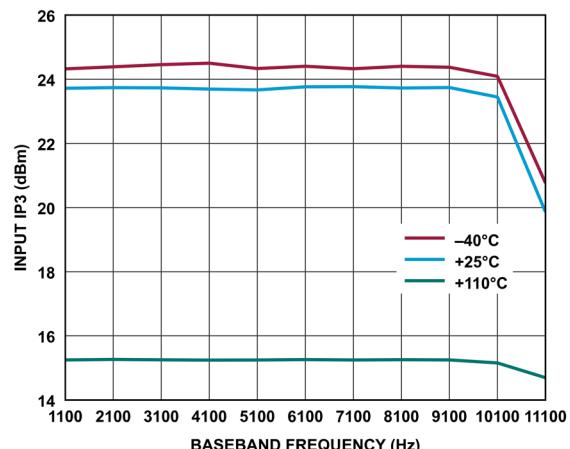


図 227. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、
f1 = ベースバンド周波数 + 1MHz、
f2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -15.1\text{dBFS}$
(-40°C および +25°C)、 $P_{OUT} = -18.1\text{dBFS}$ (+110°C)

624

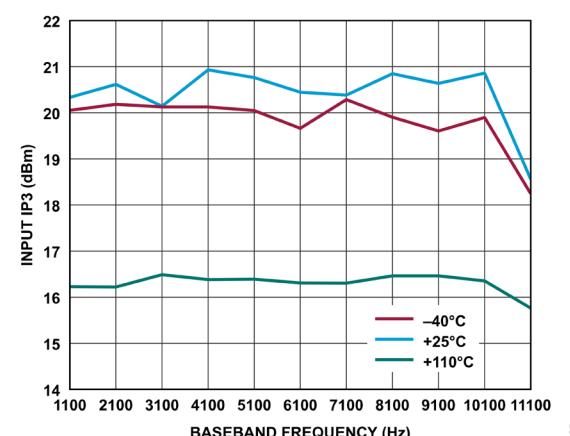


図 228. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、
f1 = ベースバンド周波数 + 1MHz、
f2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -15.1\text{dBFS}$
(-40°C および +25°C)、 $P_{OUT} = -18.1\text{dBFS}$ (+110°C)

625

代表的な性能特性

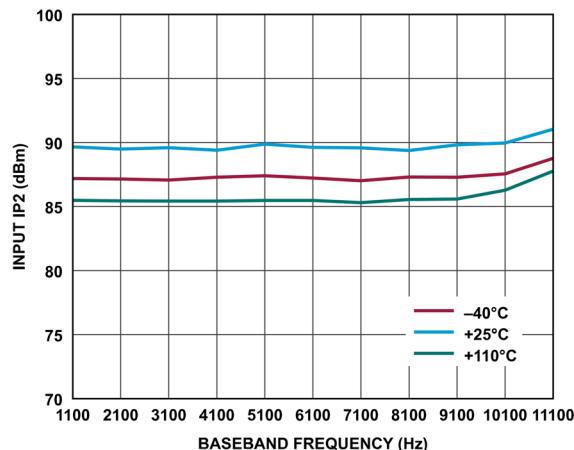


図 229. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -11.6\text{dBFS}$

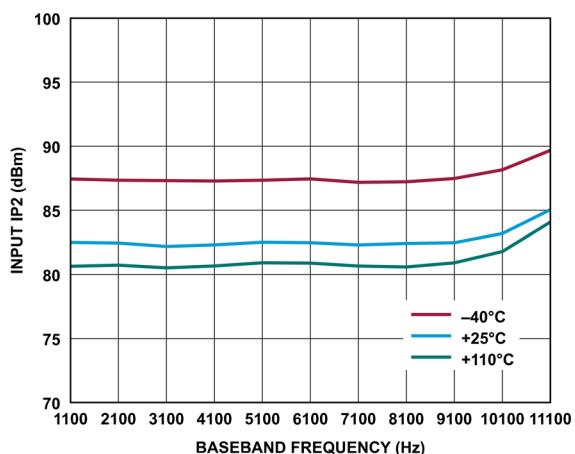


図 230. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -11.6\text{dBFS}$

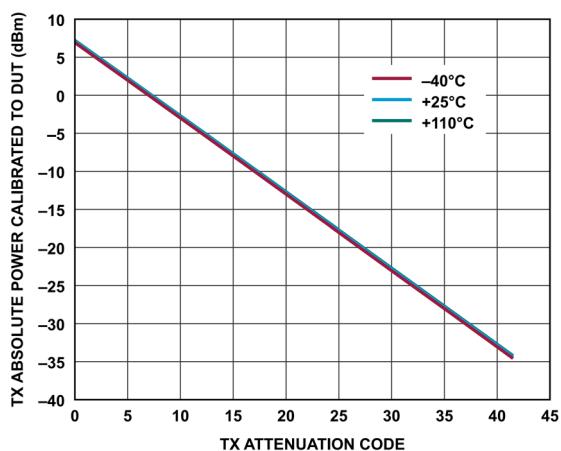


図 231. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

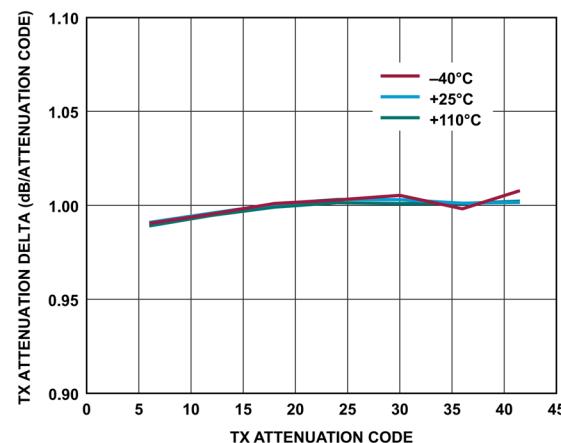


図 232. トランスマッタの減衰デルタとトランスマッタ減衰
コードの関係、ベースバンド周波数 = 2.1kHz、
バックオフ = 0.2dBFS

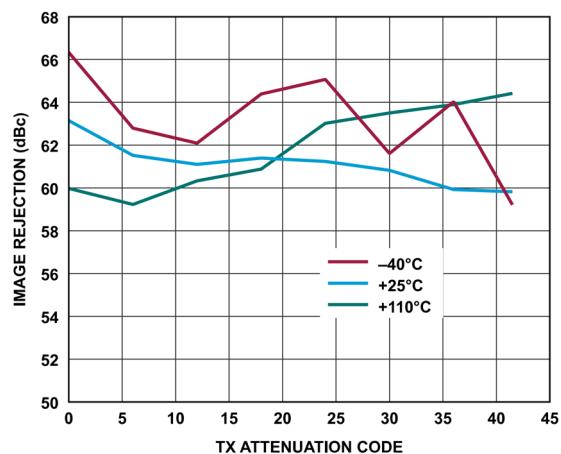


図 233. トランスマッタのイメージ除去とトランスマッタ減衰
コードの関係、ベースバンド周波数 = 2.1kHz、
バックオフ = 0.2dBFS

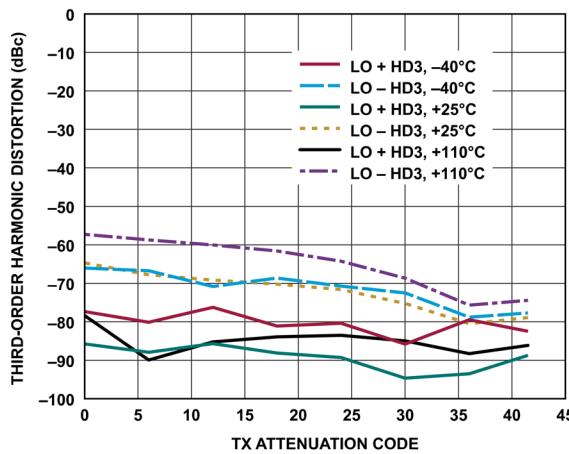


図 234. トランスマッタの 3 次高調波歪みとトランスマッタ減衰
コードの関係、ベースバンド周波数 = 2.1kHz、
バックオフ = 0.2dBFS、初期化キャリブレーションのみ

代表的な性能特性

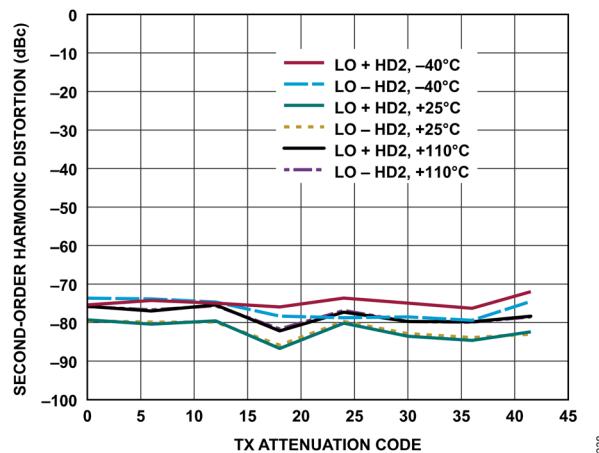


図 235. トランスマッタの 2 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

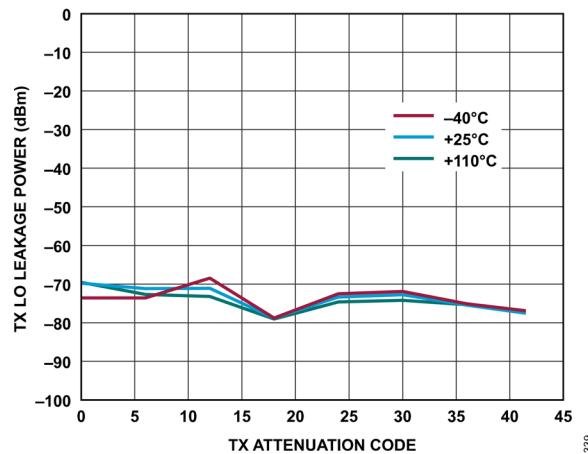


図 236. トランスマッタの LO リーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

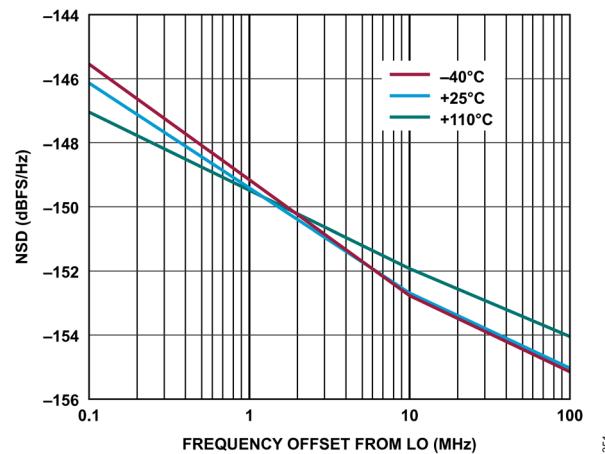


図 237. トランスマッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

470MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 470MHz に設定されています。

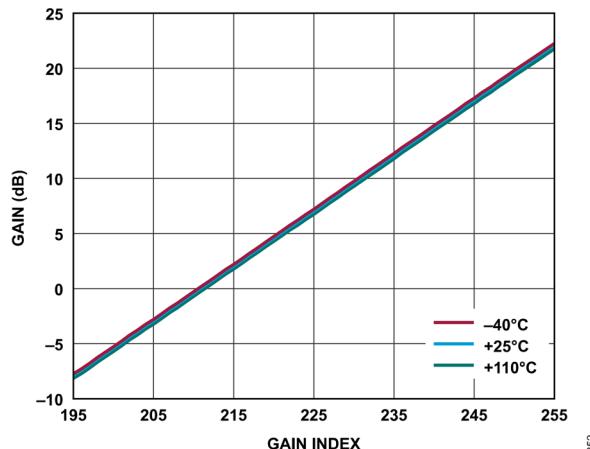


図 238. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{\text{OUT}} = -9.6\text{dBFS}$

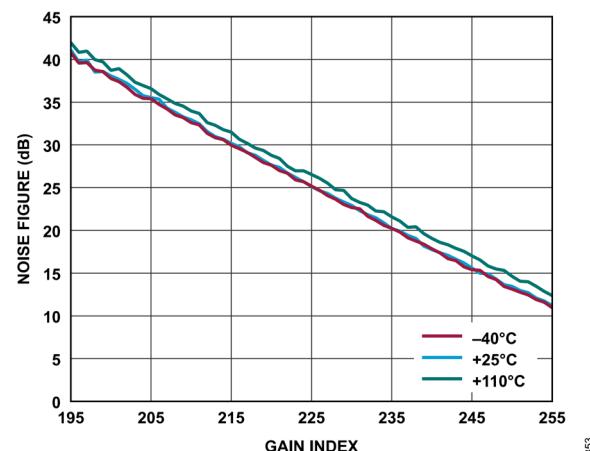


図 239. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

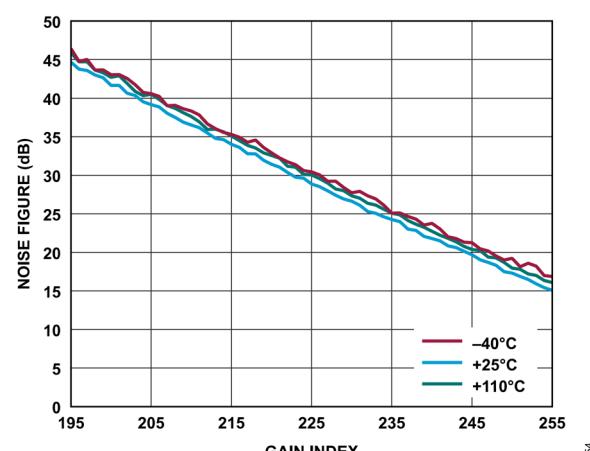


図 240. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

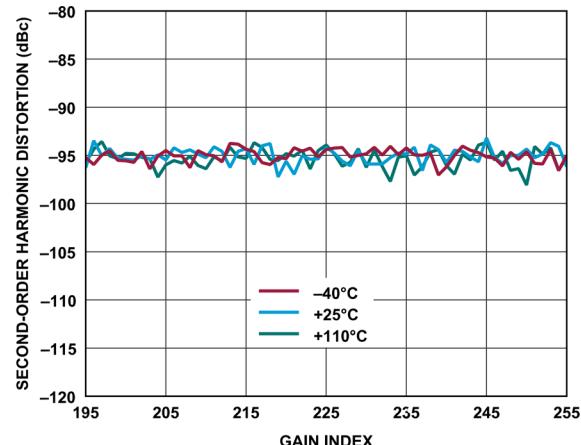


図 241. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

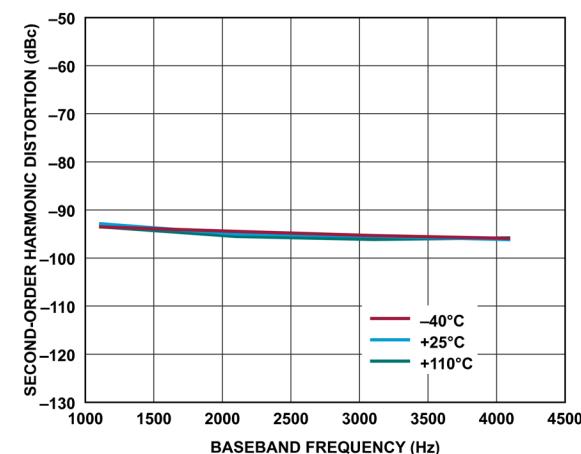


図 242. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

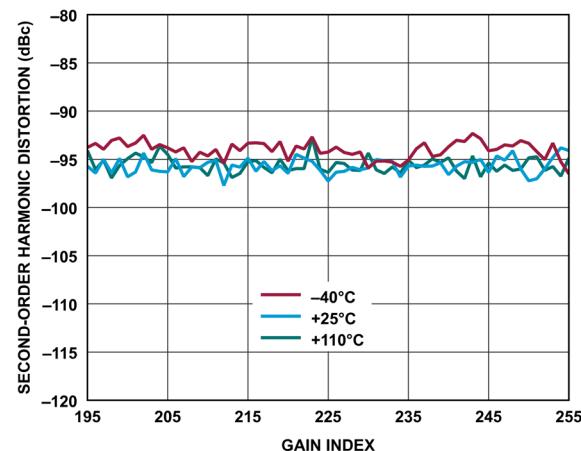


図 243. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

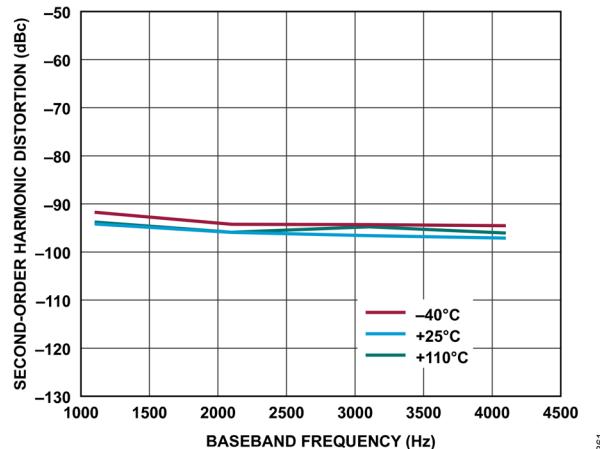


図 244. レシーバの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

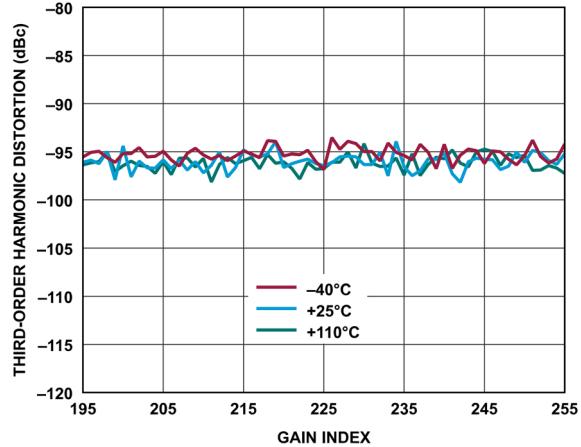


図 247. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

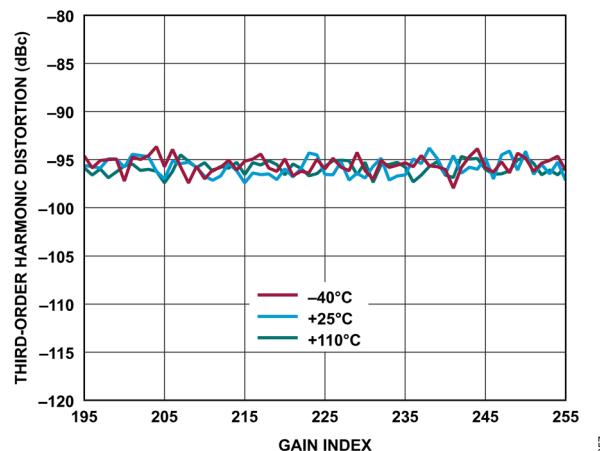


図 245. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

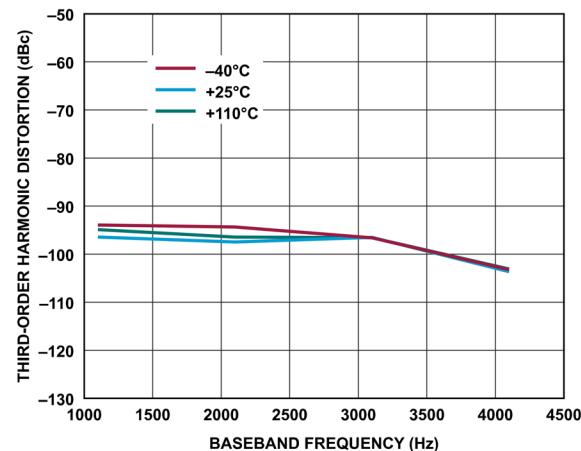


図 248. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

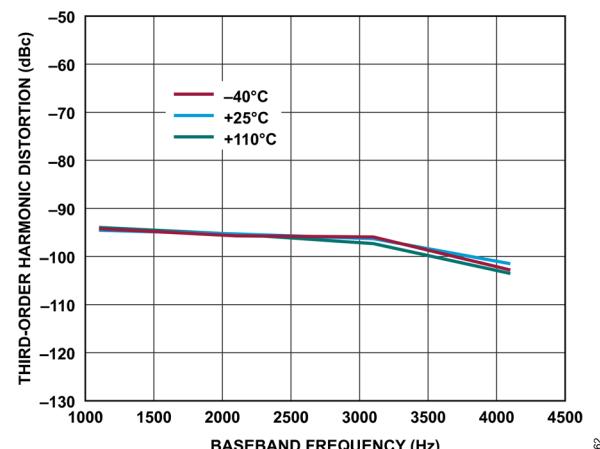


図 246. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

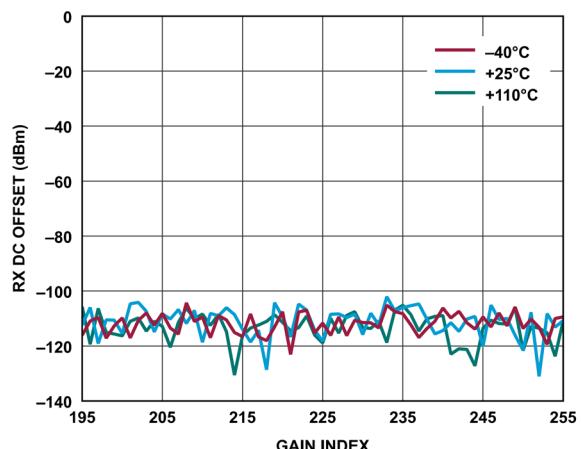


図 249. レシーバの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

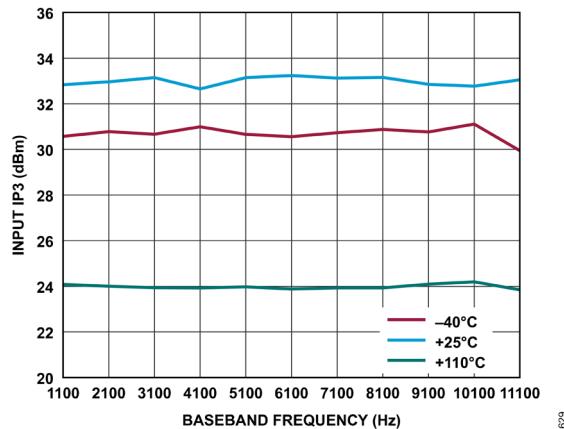


図 250. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -13.6dBFS$
(-40°C および +25°C)、 $P_{OUT} = -16.6dBFS$ (+110°C)

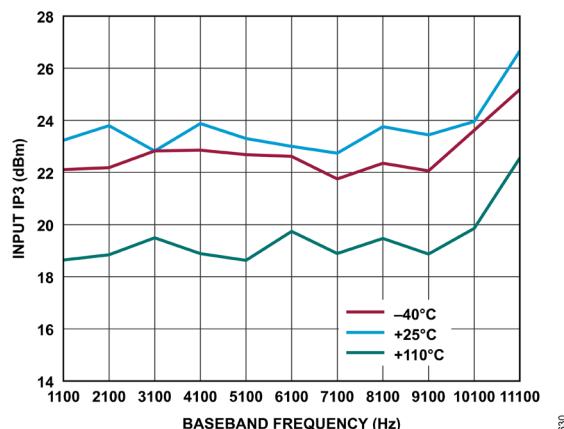


図 251. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -13.6dBFS$
(-40°C および +25°C)、 $P_{OUT} = -16.6dBFS$ (+110°C)

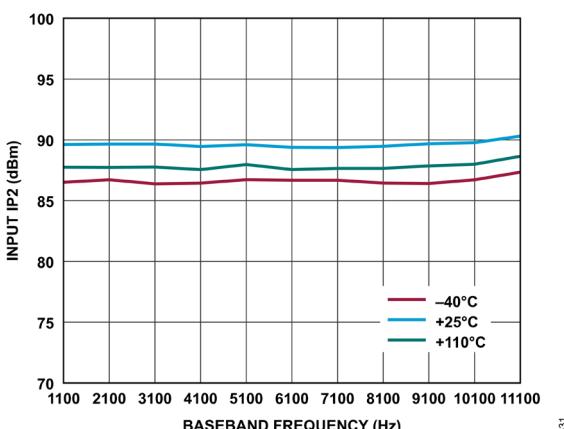


図 252. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -11.6dBFS$

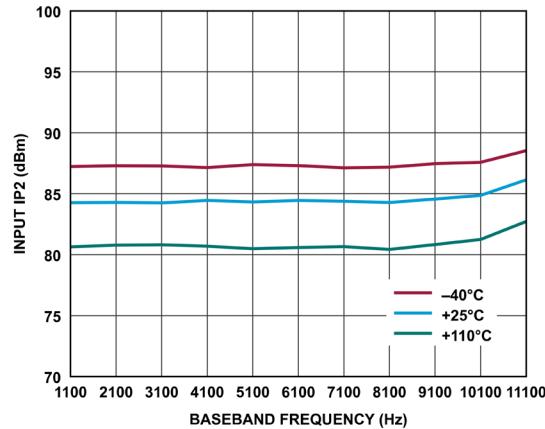


図 253. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指數 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -11.6dBFS$

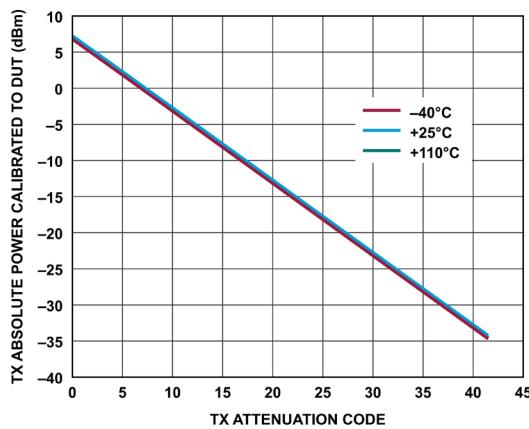


図 254. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

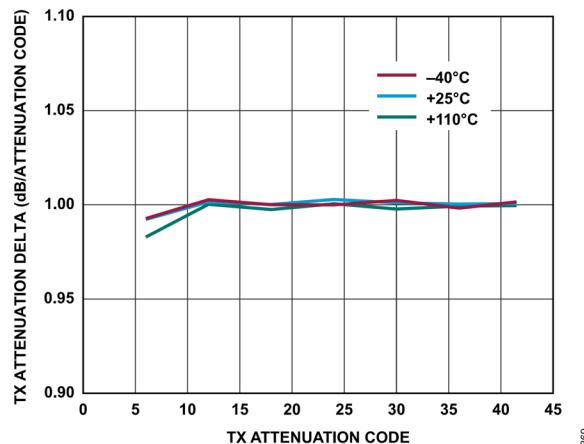


図 255. トランスマッタの減衰デルタとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

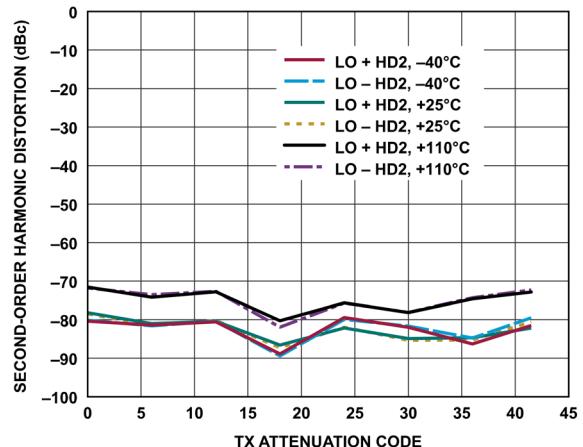


図 258. トランスマッタの 2 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

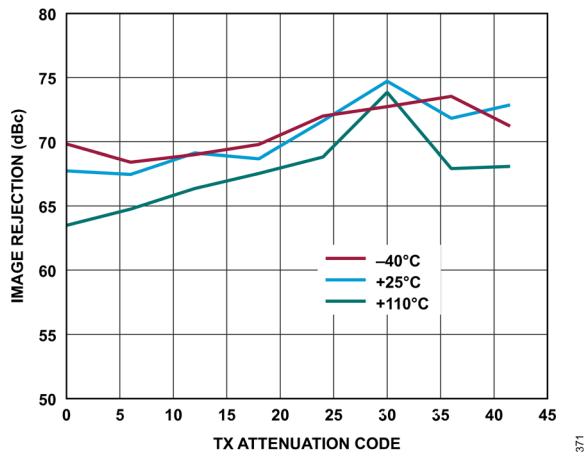


図 256. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

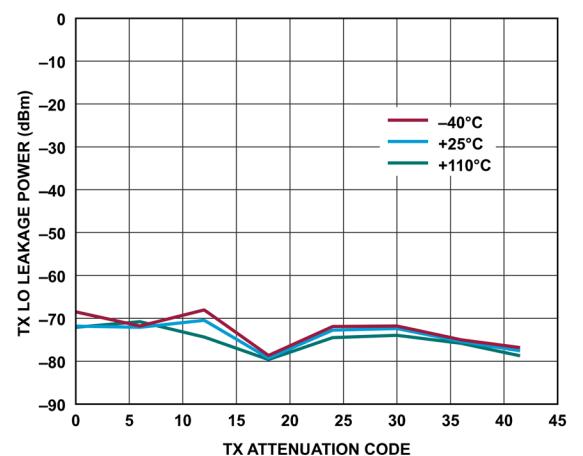


図 259. トランスマッタの LO リーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

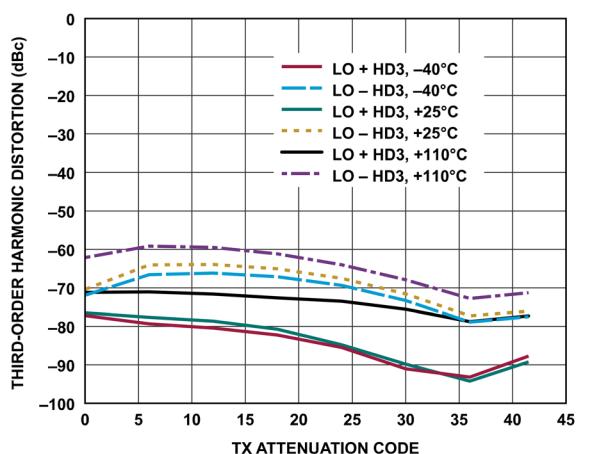


図 257. トランスマッタの 3 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

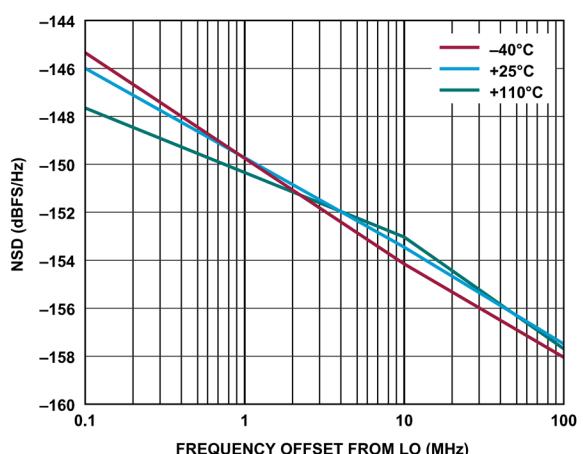


図 260. トランスマッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

900MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 900MHz に設定されています。

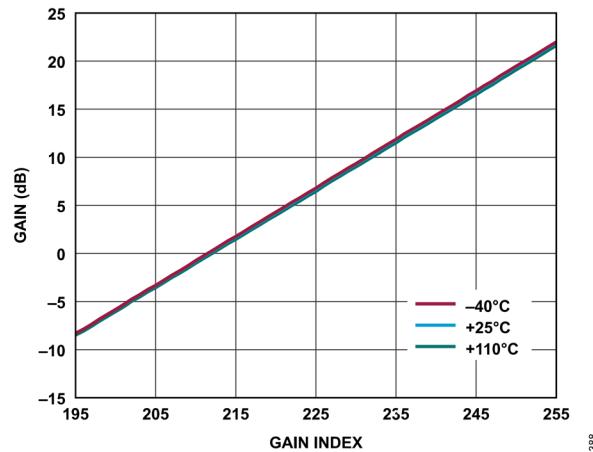


図 261. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{\text{OUT}} = -9.6\text{dBFS}$

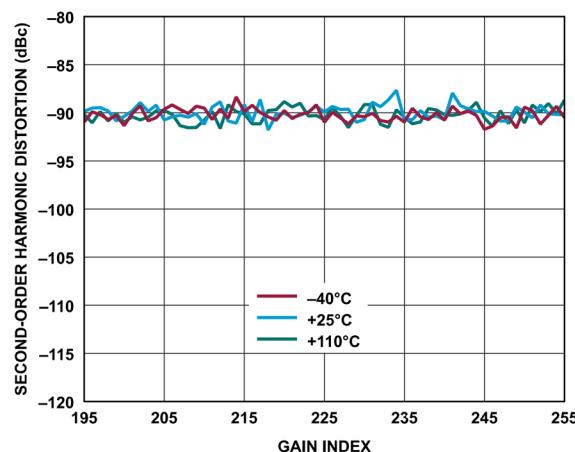


図 264. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

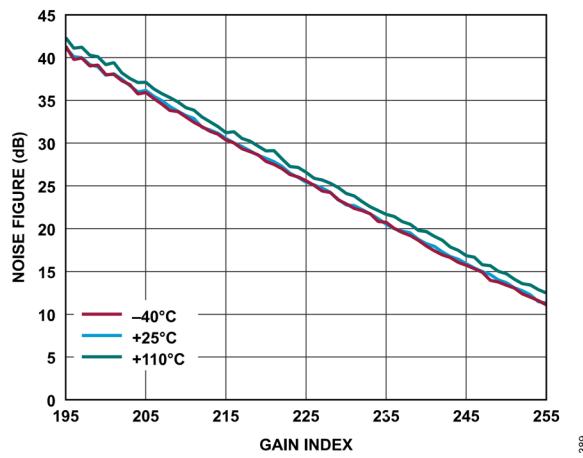


図 262. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

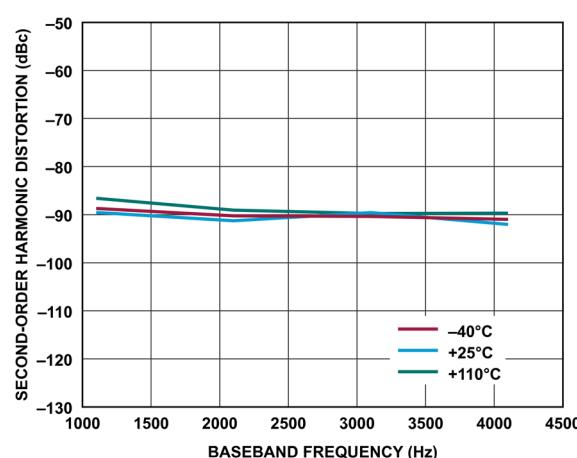


図 265. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

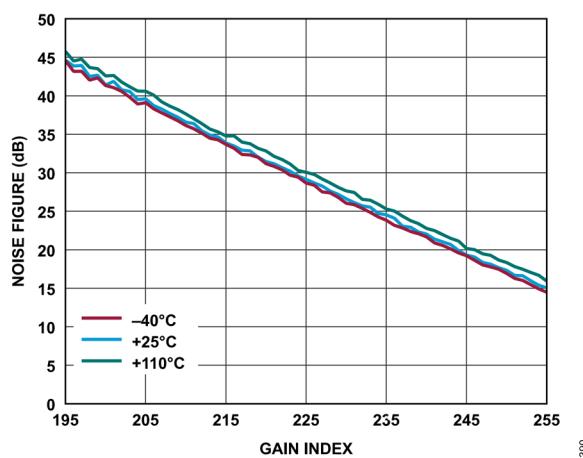


図 263. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

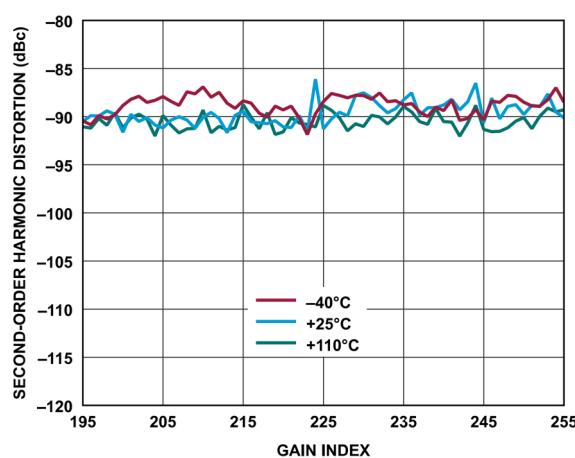


図 266. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

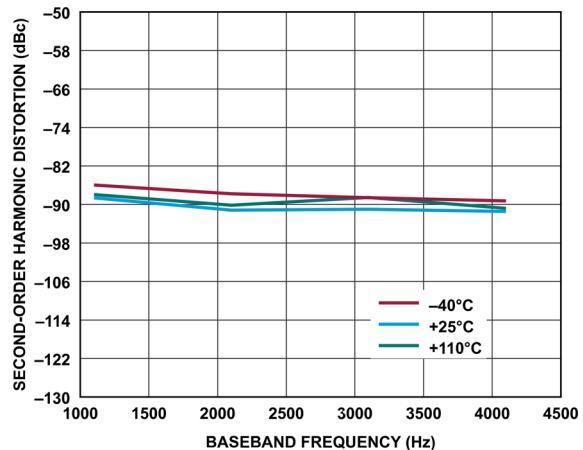


図 267. レシーバの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

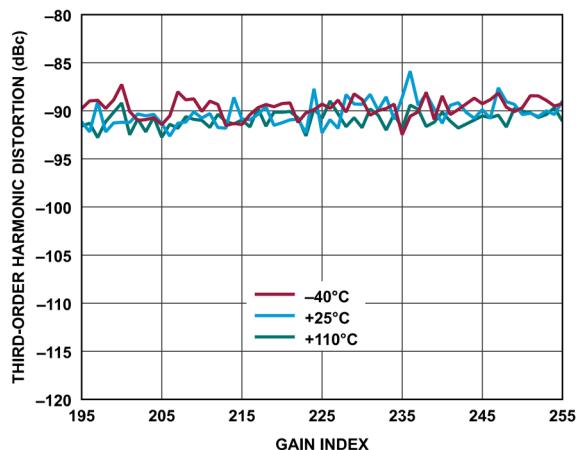


図 270. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

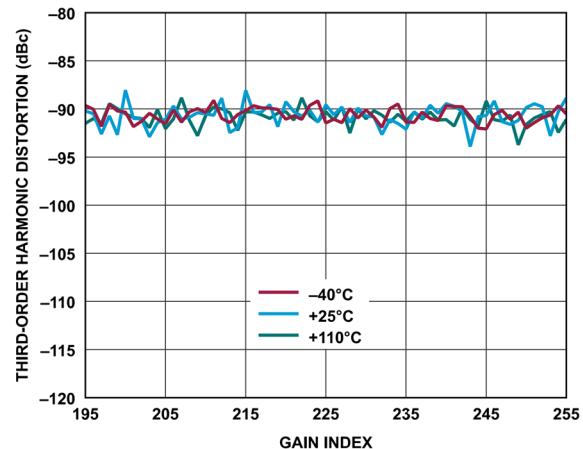


図 268. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

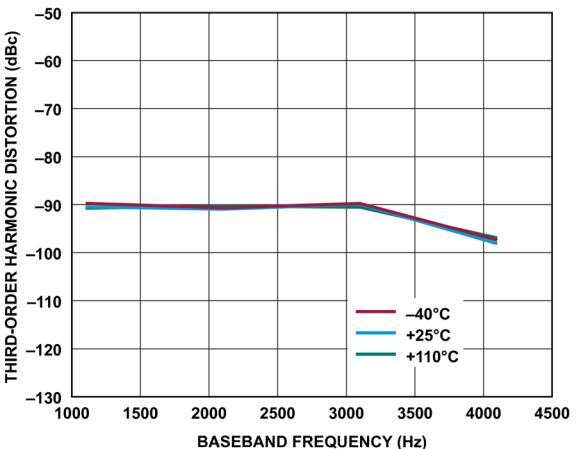


図 271. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

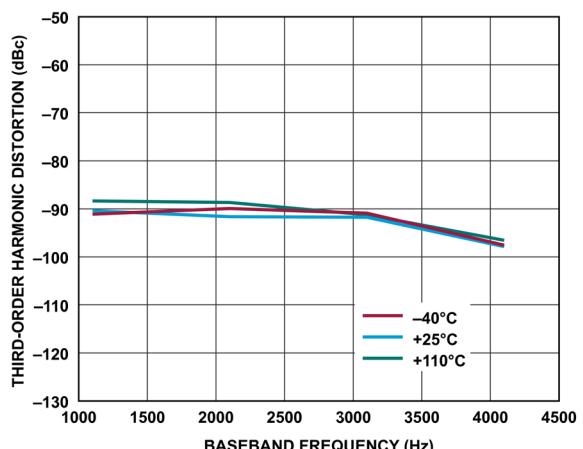


図 269. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

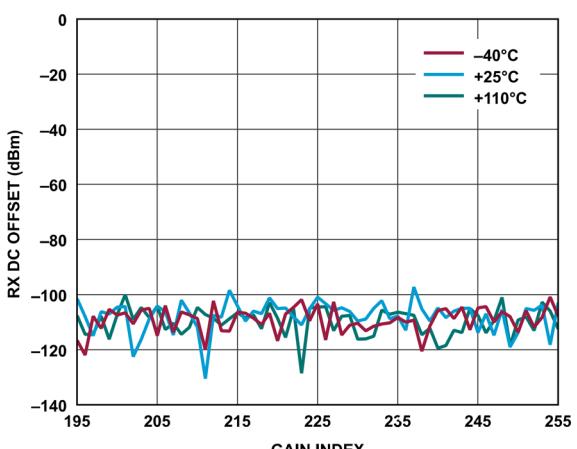


図 272. レシーバの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

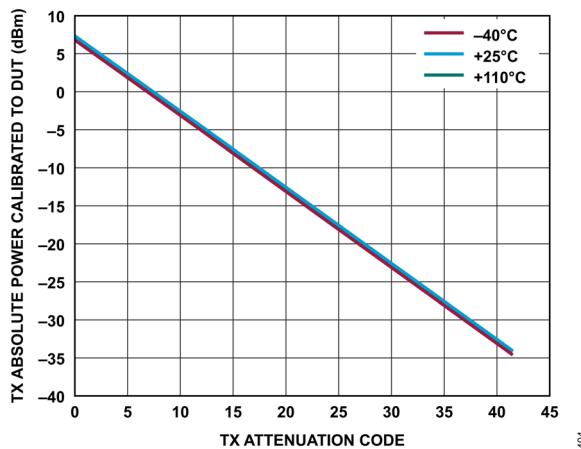


図 273. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

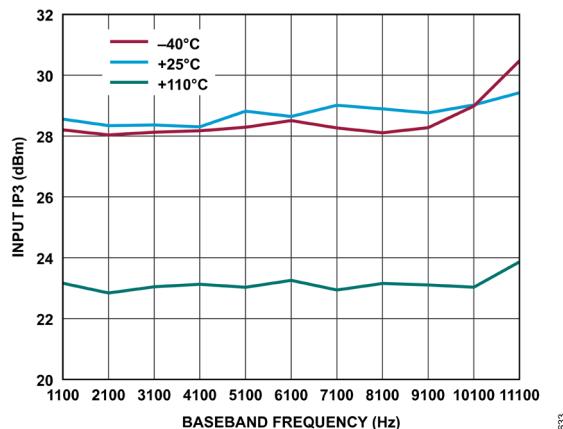


図 274. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -15.1dBFS$
(-40°C および +25°C)、 $P_{OUT} = -18.1dBFS$ (+110°C)

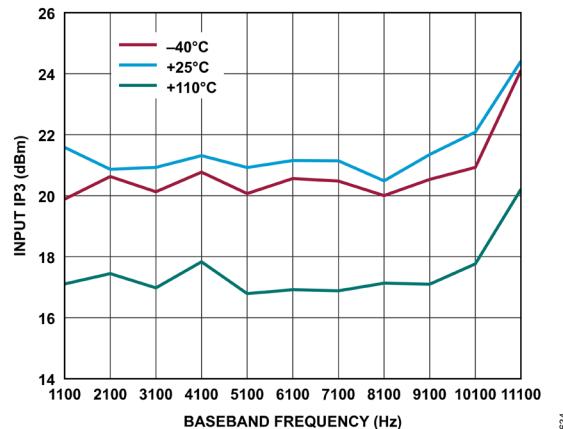


図 275. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -15.1dBFS$
(-40°C および +25°C)、 $P_{OUT} = -18.1dBFS$ (+110°C)

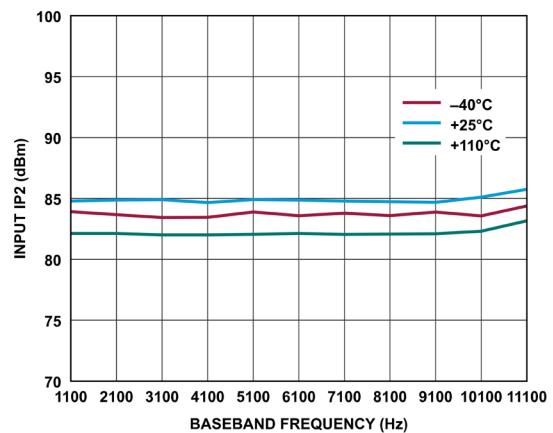


図 276. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -11.6dBFS$

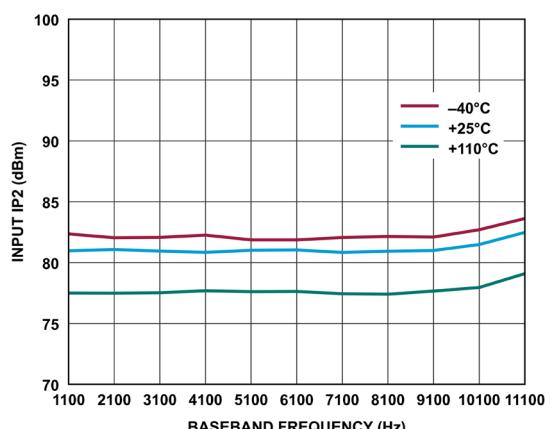


図 277. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -11.6dBFS$

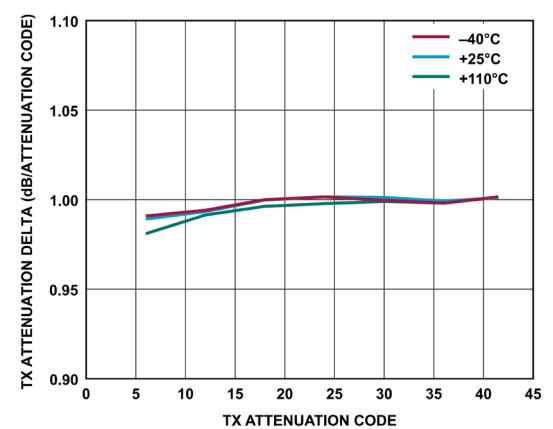


図 278. トランスマッタの減衰デルタと
トランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

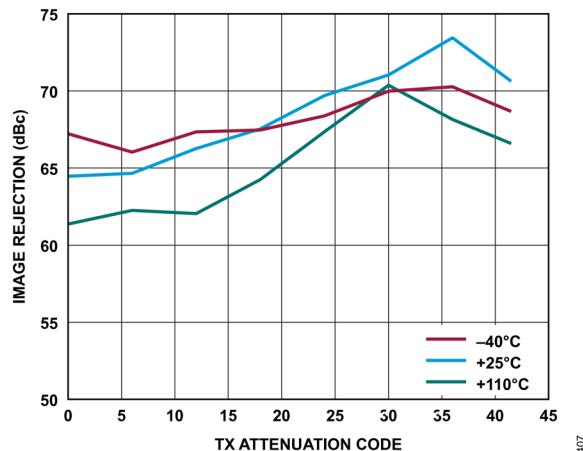


図 279. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

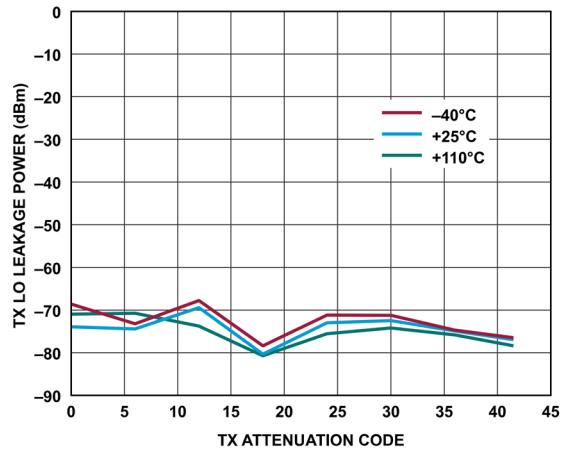


図 282. トランスマッタの LO リーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

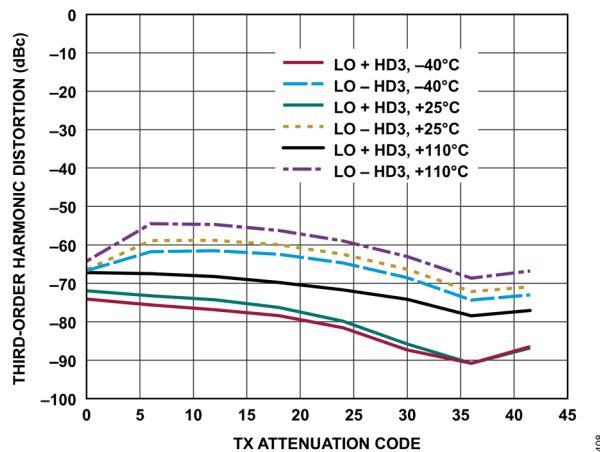


図 280. トランスマッタの 3 次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

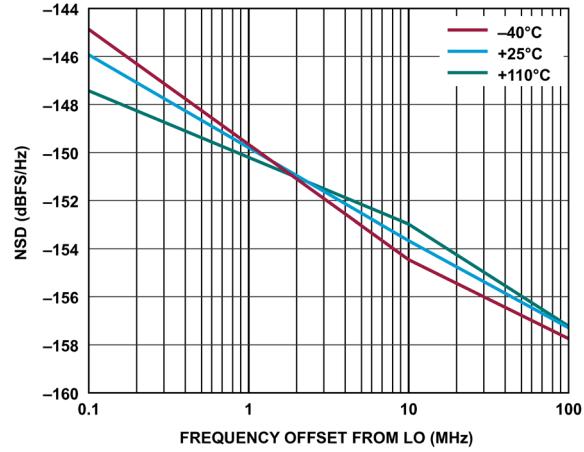


図 283. トランスマッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

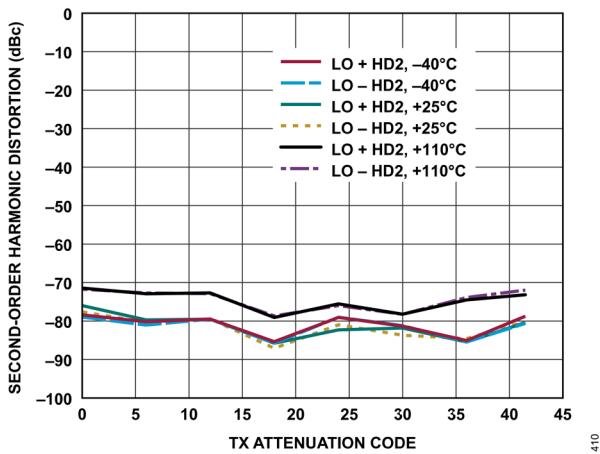


図 281. トランスマッタの HD2 とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

2400MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 2400MHz に設定されています。

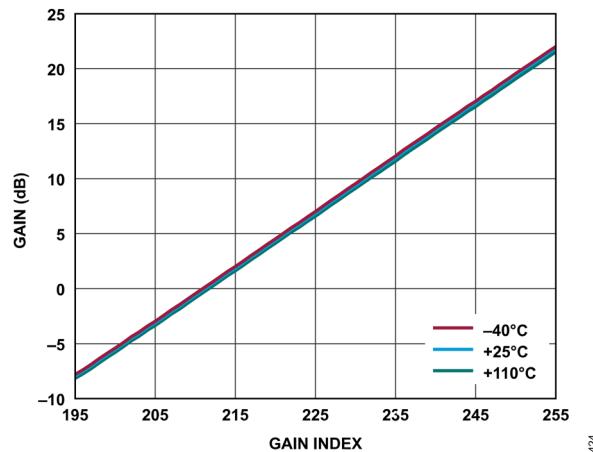


図 284. レシーバの絶対ゲイン (複素数) とゲイン指数の関係、
 ベースバンド周波数 = 2.1kHz、ADC = 高性能
 $P_{OUT} = -9.6\text{dBFS}$

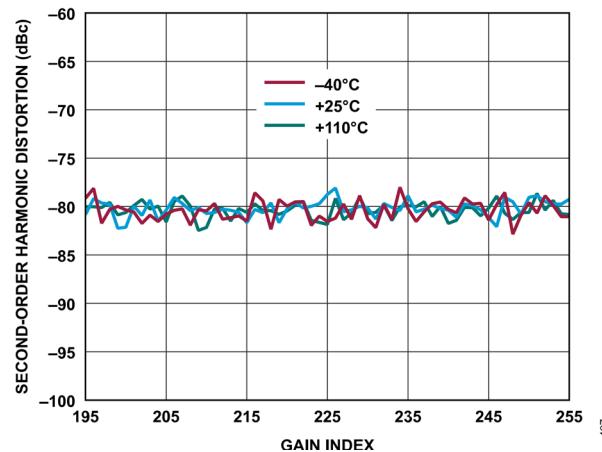


図 287. レシーバの 2 次高調波歪みとゲイン指数の関係、
 ベースバンド周波数 = 2.1kHz、ADC = 高性能

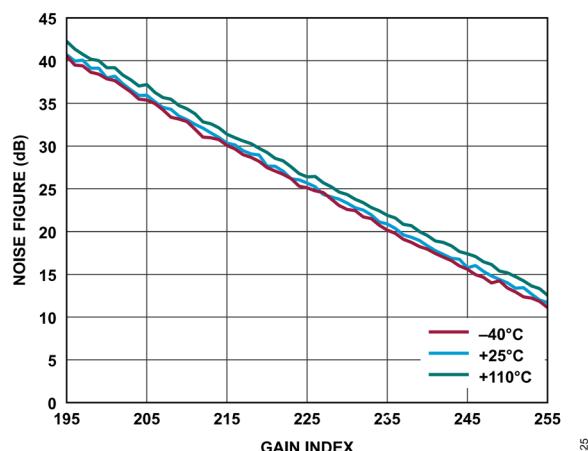


図 285. レシーバのノイズ指数とゲイン指数の関係、
 ベースバンド周波数 = 2.1kHz、ADC = 高性能

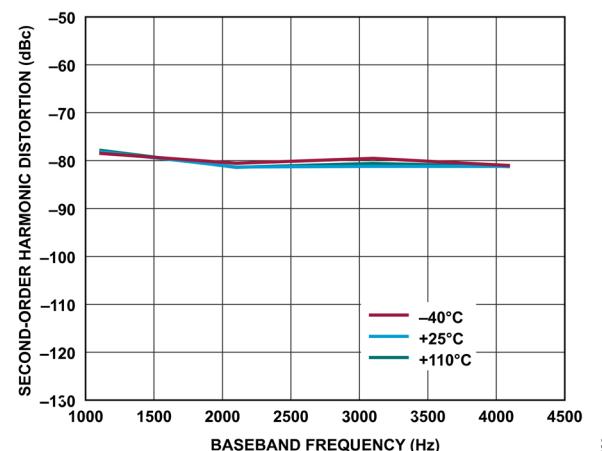


図 288. レシーバの 2 次高調波歪みとベースバンド周波数の
 関係、ゲイン指数 = 255、ADC = 高性能

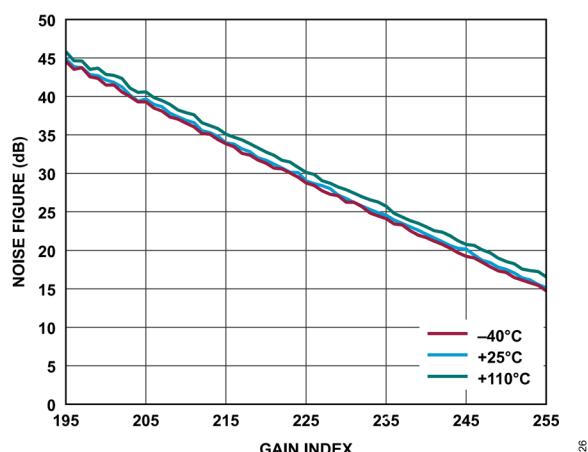


図 286. レシーバのノイズ指数とゲイン指数の関係、
 ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

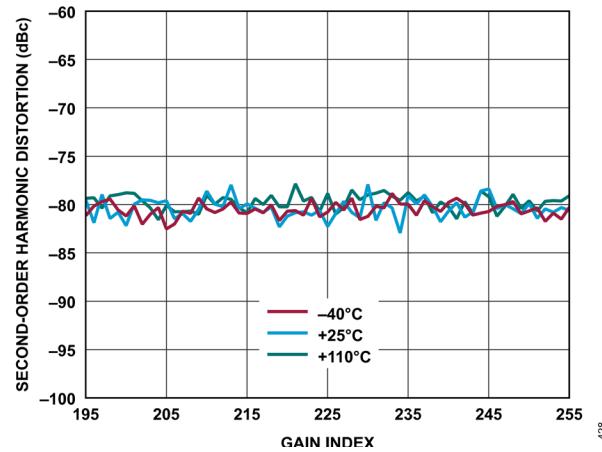


図 289. レシーバの 2 次高調波歪みとゲイン指数の関係、
 ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

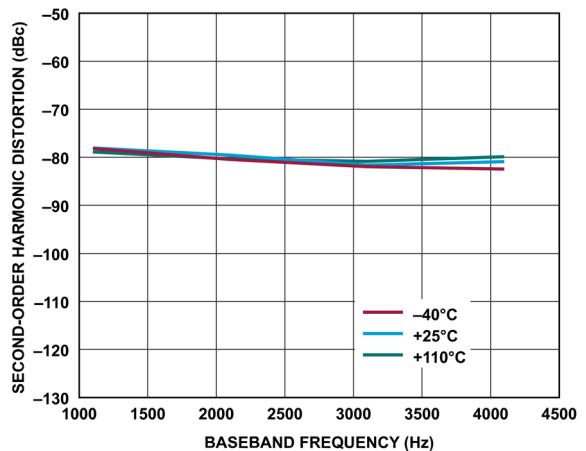


図 290. レシーバの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

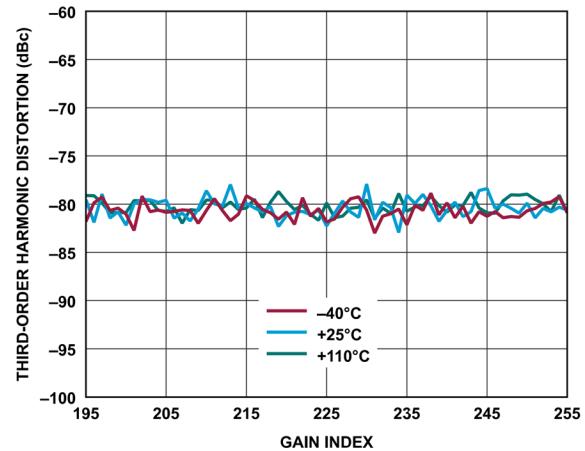


図 293. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

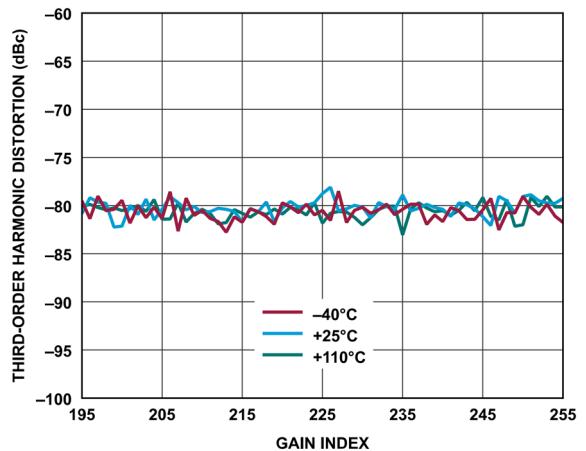


図 291. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

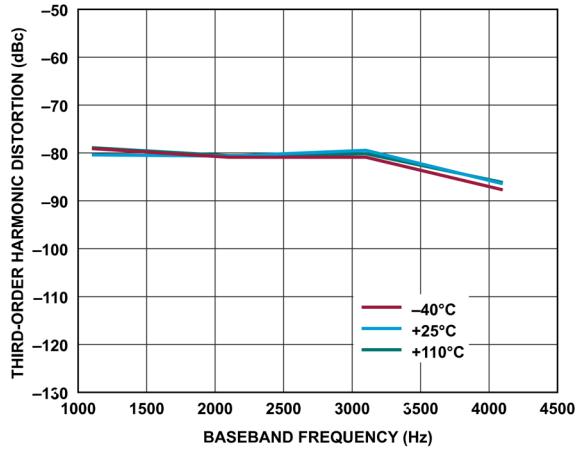


図 294. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

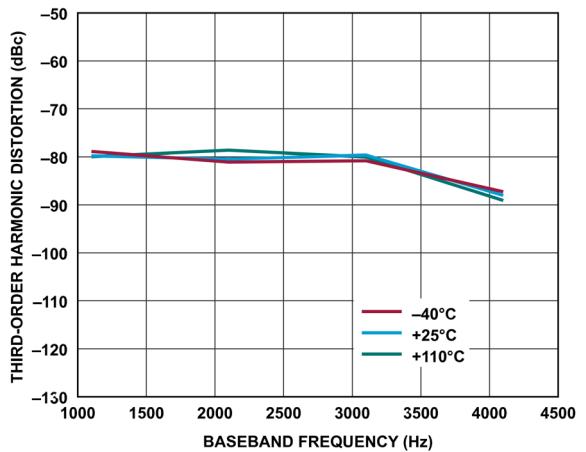


図 292. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

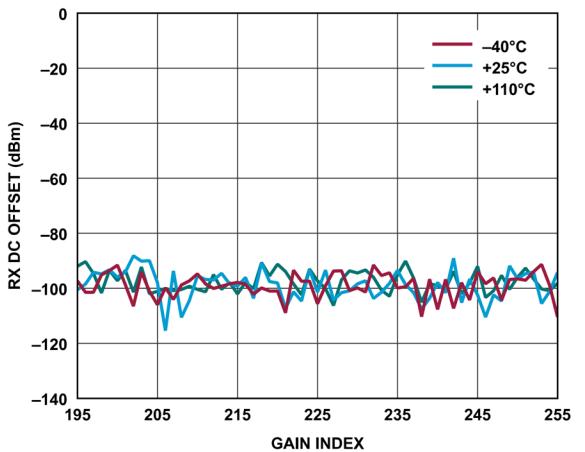


図 295. レシーバの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

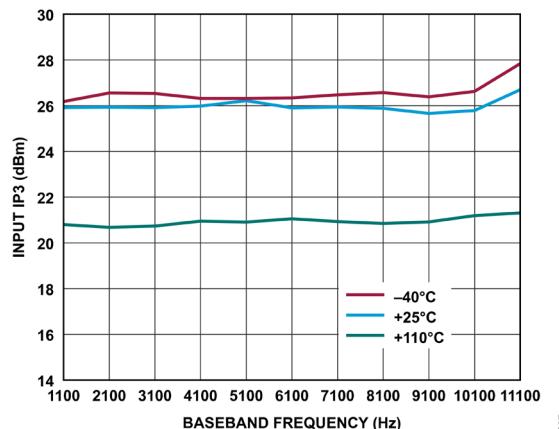


図 296. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -13.6\text{dBFS}$ (-40°C および
+25°C) 、 $P_{OUT} = -16.6\text{dBFS}$ (+110°C)

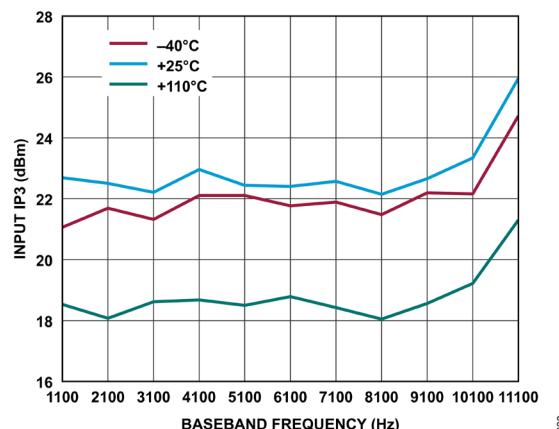


図 297. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -13.6\text{dBFS}$
(-40°C および +25°C) 、 $P_{OUT} = -16.6\text{dBFS}$ (+110°C)

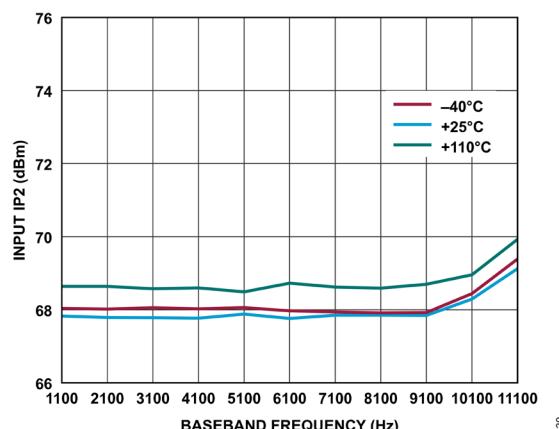


図 298. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -11.6\text{dBFS}$

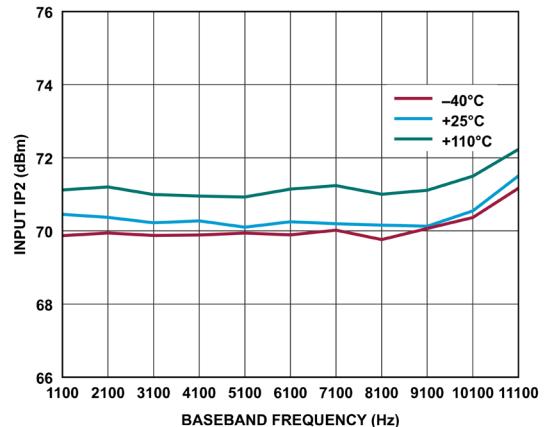


図 299. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{OUT} = -11.6\text{dBFS}$

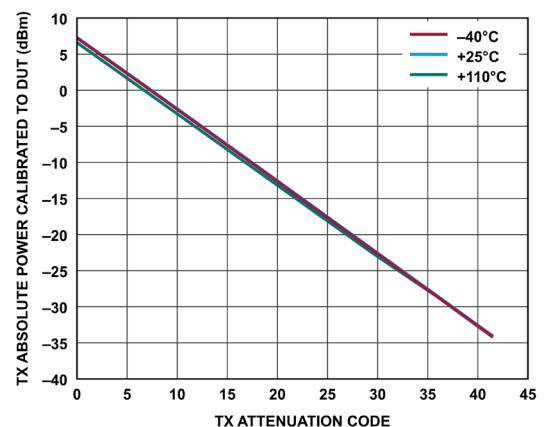


図 300. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

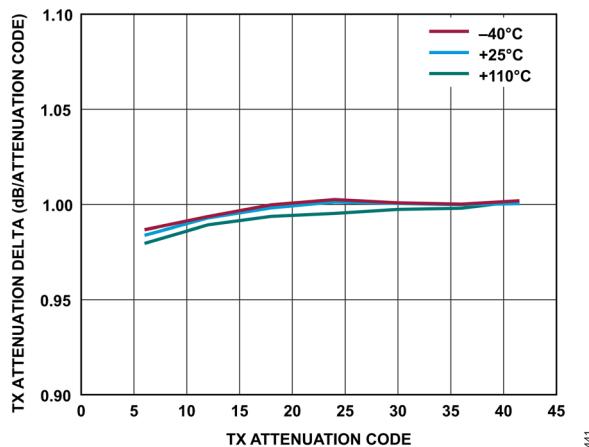


図 301. トランスマッタの減衰デルタとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

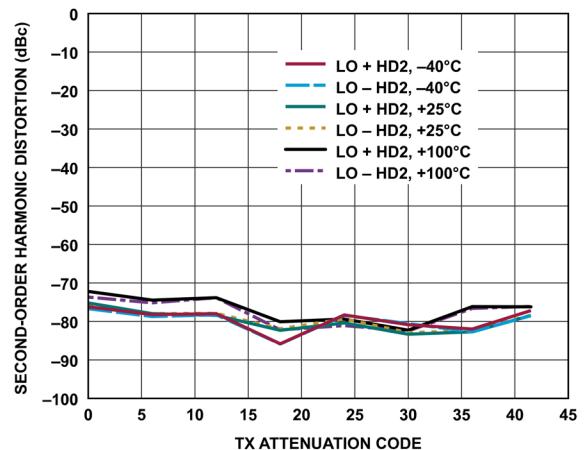


図 304. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

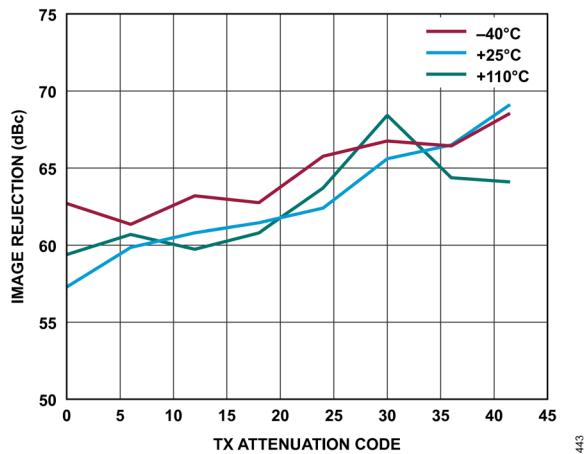


図 302. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

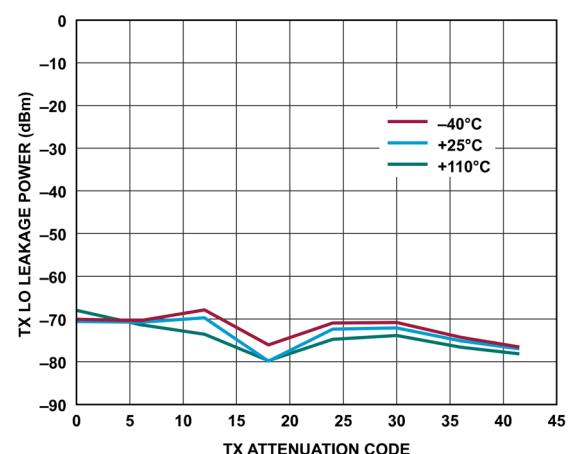


図 305. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

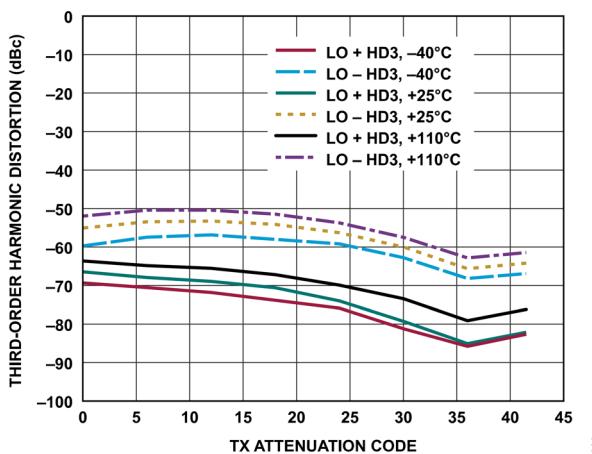


図 303. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

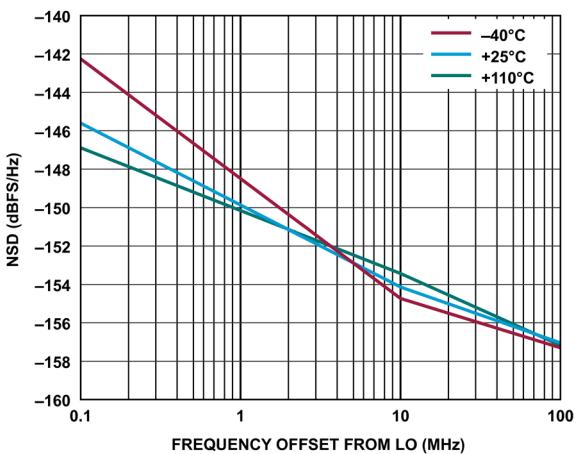


図 306. トランスマッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

3500MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 3500MHz に設定されています。

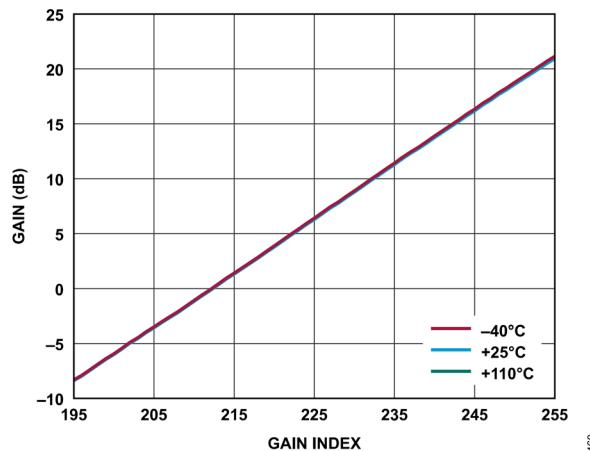


図 307. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

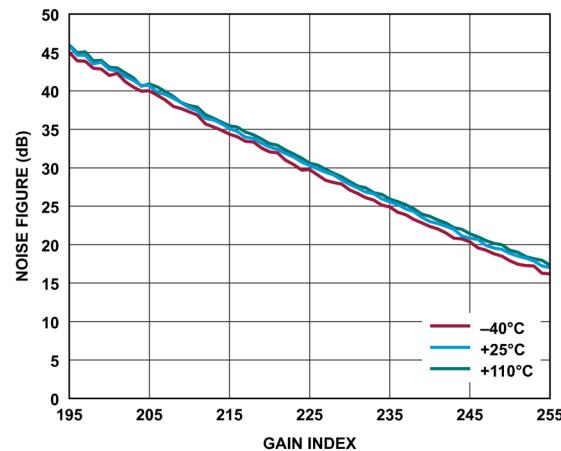


図 310. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

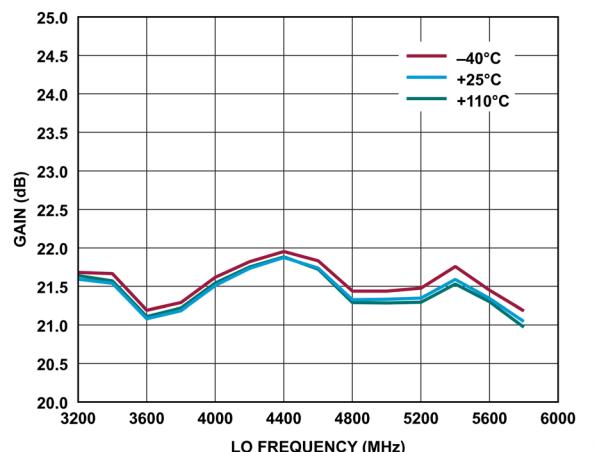


図 308. レシーバの絶対ゲイン（複素数）と LO 周波数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{OUT} = -9.6\text{dBFS}$

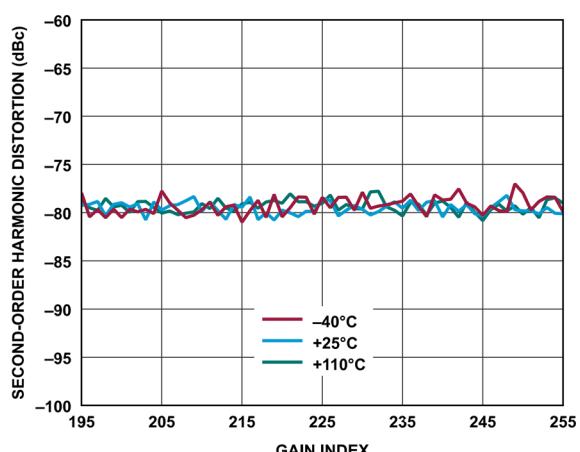


図 311. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

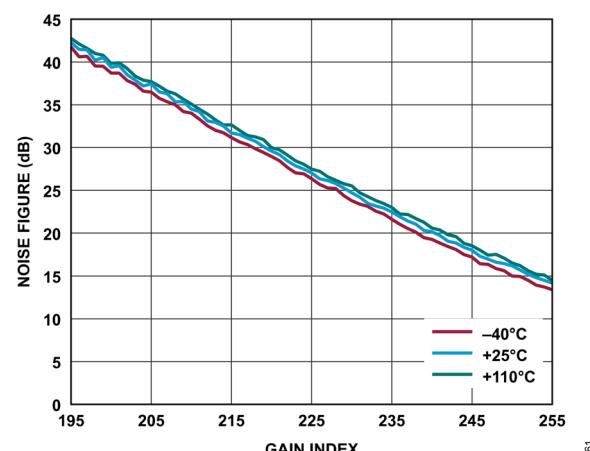


図 309. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

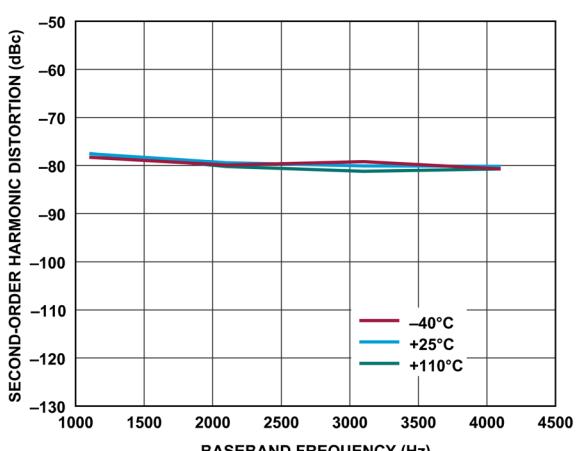


図 312. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

代表的な性能特性

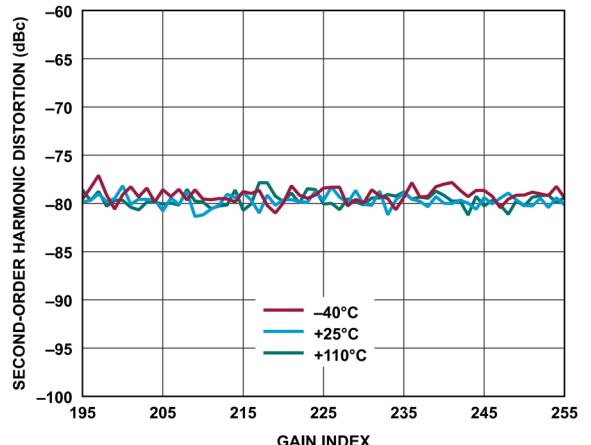


図 313. レシーバの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

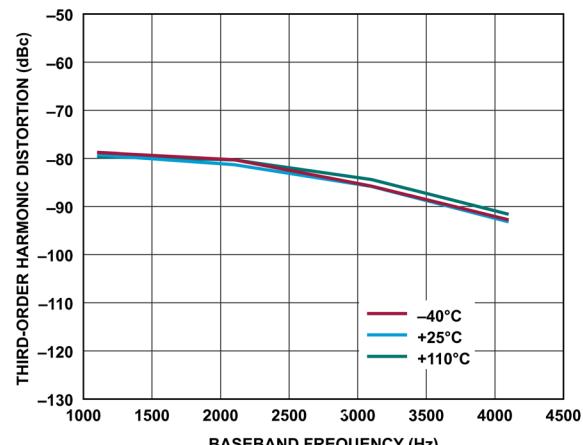


図 316. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

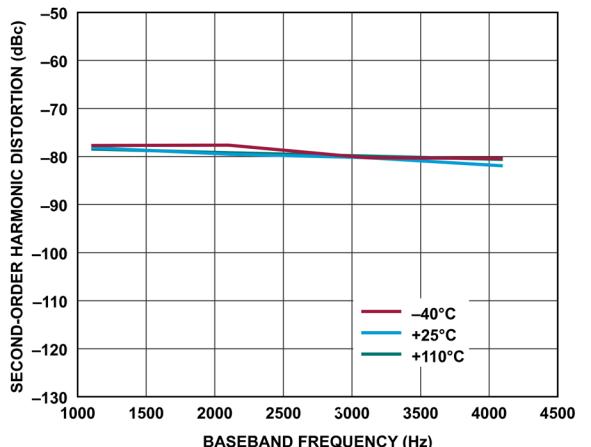


図 314. レシーバの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

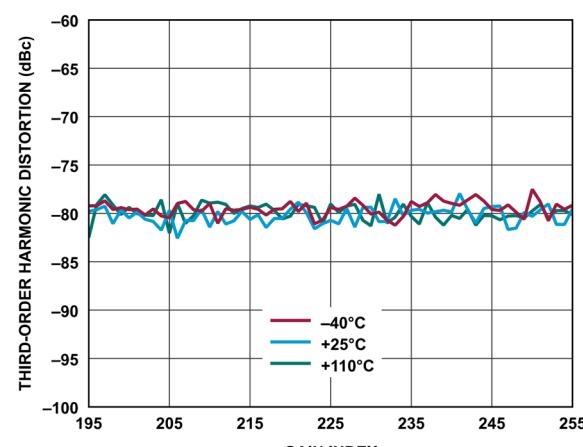


図 317. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

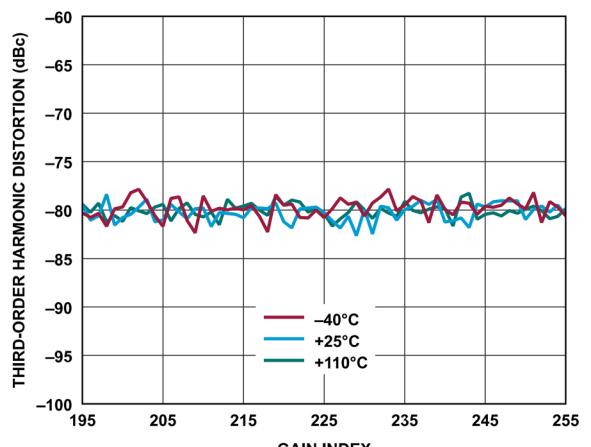


図 315. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

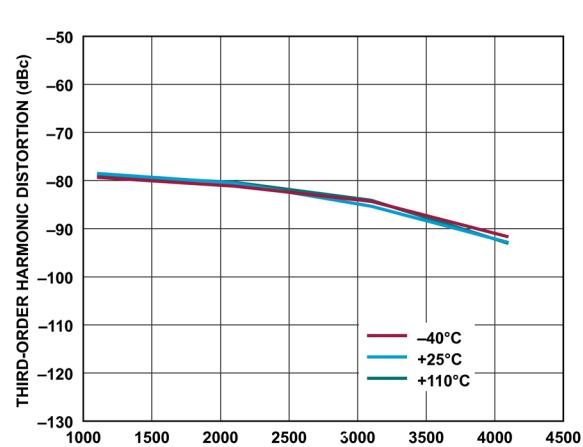


図 318. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

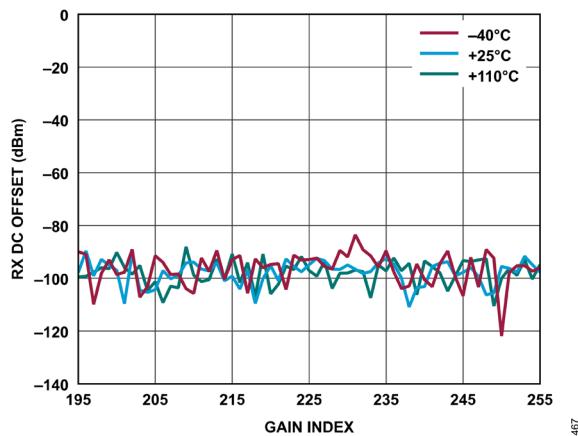


図 319. レシーバの DC オフセットとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

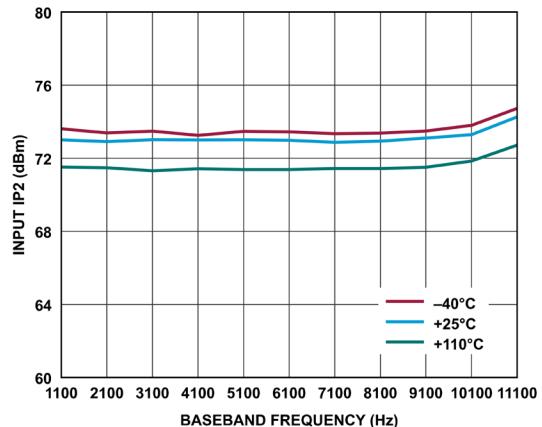


図 322. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -6.6dBFS$

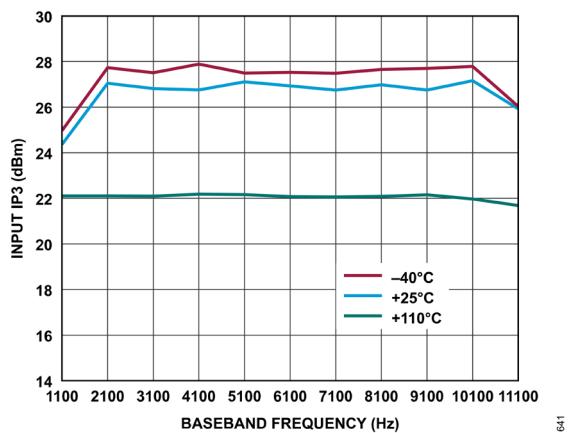


図 320. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -12.6dBFS$
(-40°C および +25°C)、 $P_{OUT} = -15.6dBFS$ (+110°C)

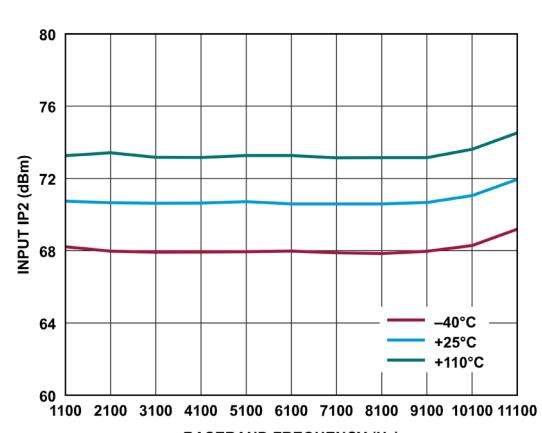


図 323. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -6.6dBFS$

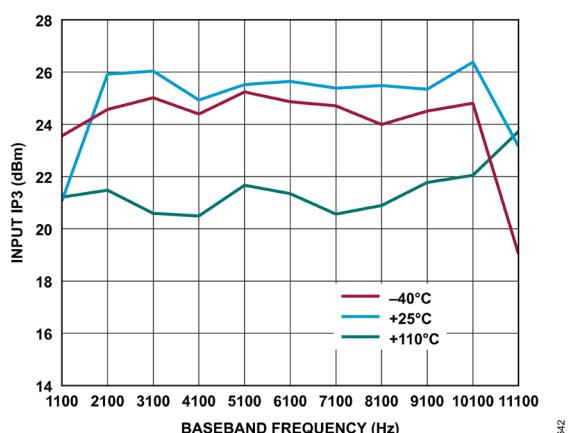


図 321. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4MHz$ の 1 次 TIA、 $P_{OUT} = -12.6dBFS$
(-40°C および +25°C)、 $P_{OUT} = -15.6dBFS$ (+110°C)

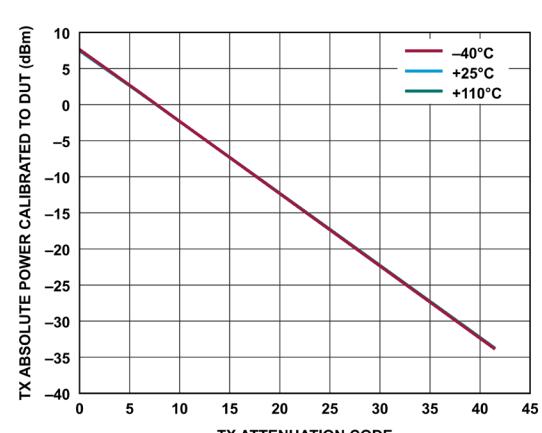


図 324. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

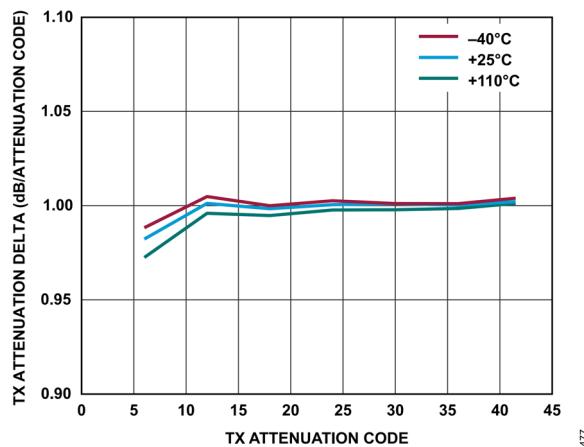


図 325. トランスマッタの減衰デルタとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

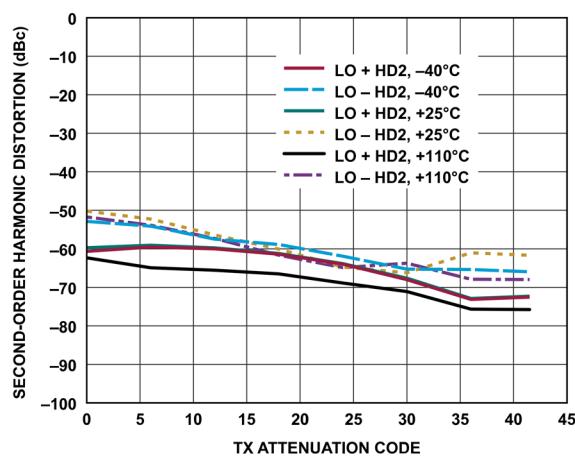


図 328. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

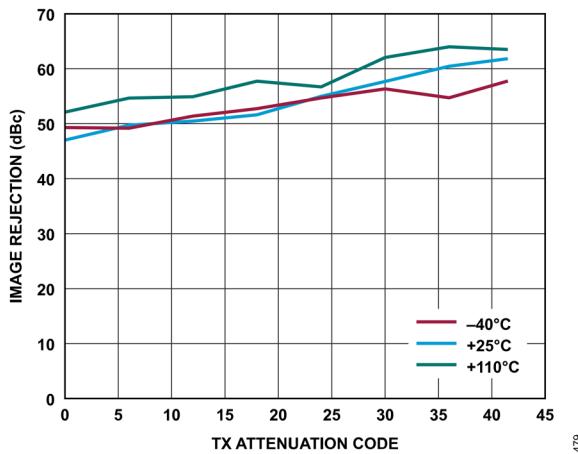


図 326. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

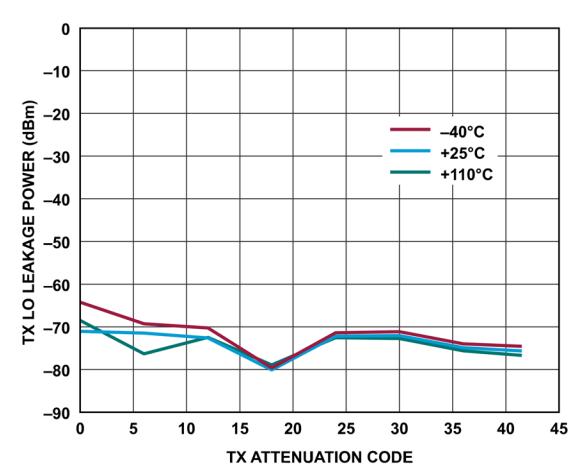


図 329. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

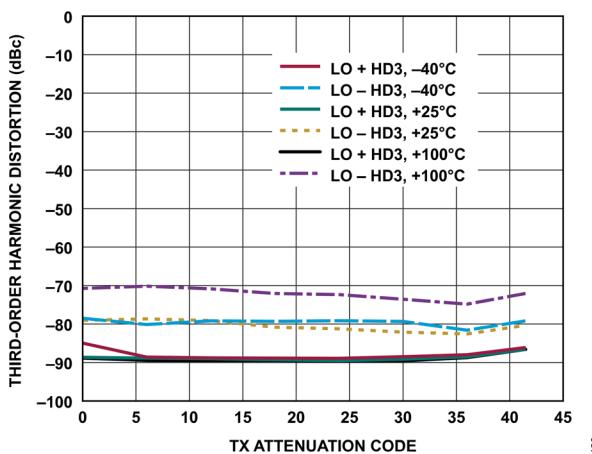


図 327. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

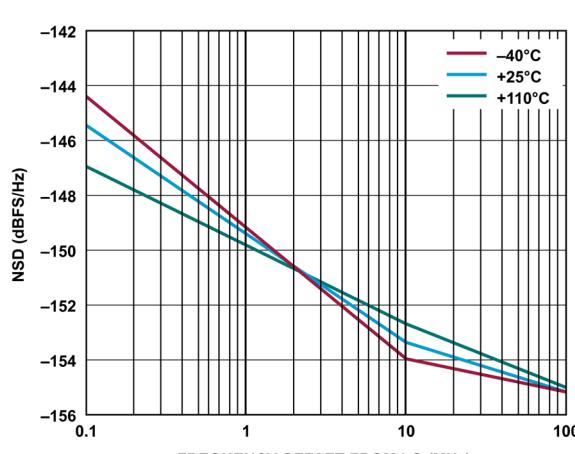


図 330. トランスマッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

5800MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 5800MHz に設定されています。

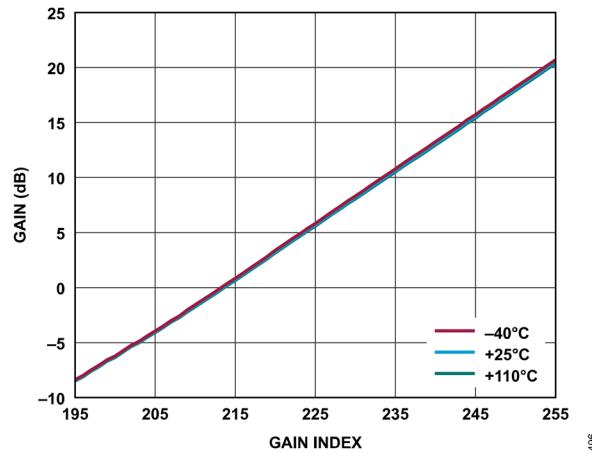


図 331. レシーバの絶対ゲイン（複素数）とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能、
 $P_{OUT} = -9.6$ dBFS

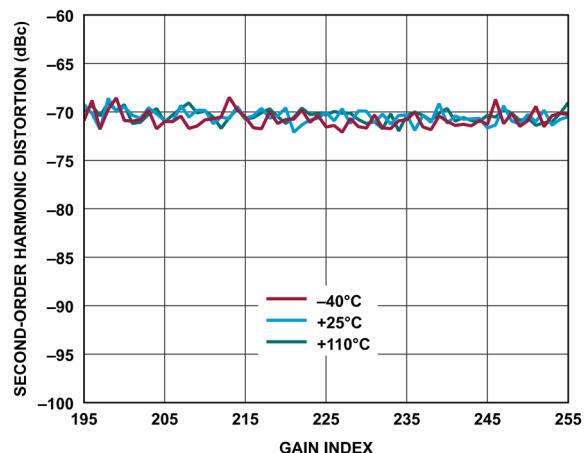


図 334. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

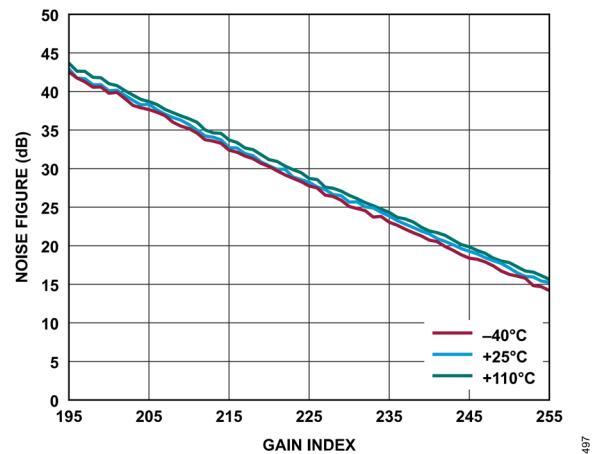


図 332. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 高性能

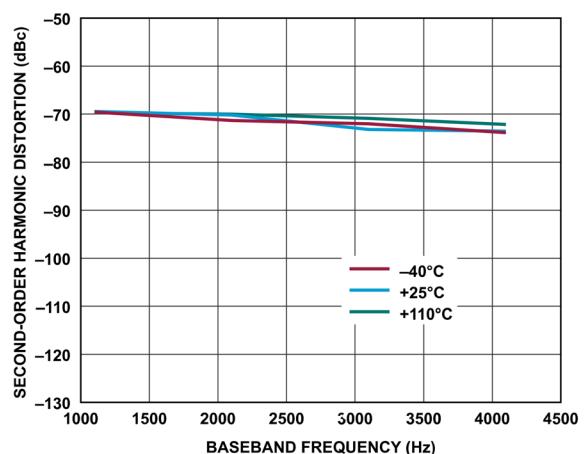


図 335. レシーバの 2 次高調波歪みとベースバンド周波数の
関係、ゲイン指数 = 255、ADC = 高性能

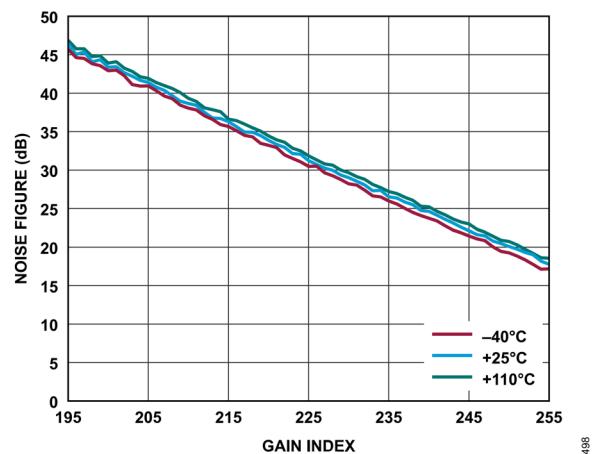


図 333. レシーバのノイズ指数とゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

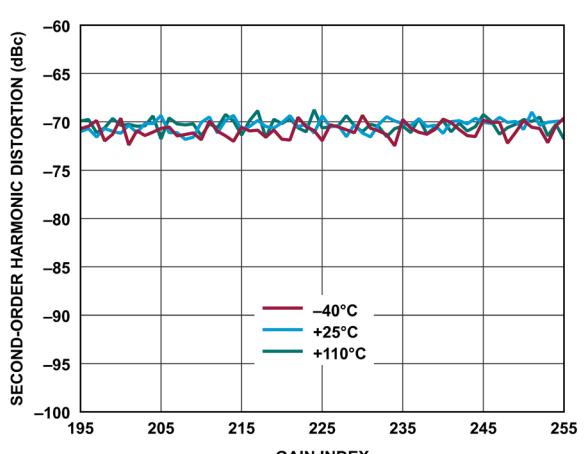


図 336. レシーバの 2 次高調波歪みとゲイン指数の関係、
ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

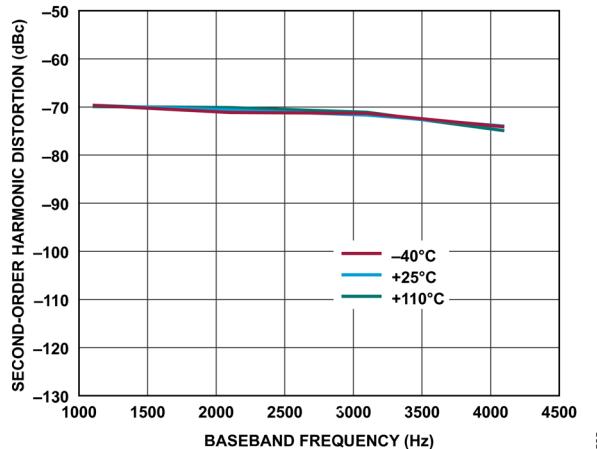


図 337. レシーバの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

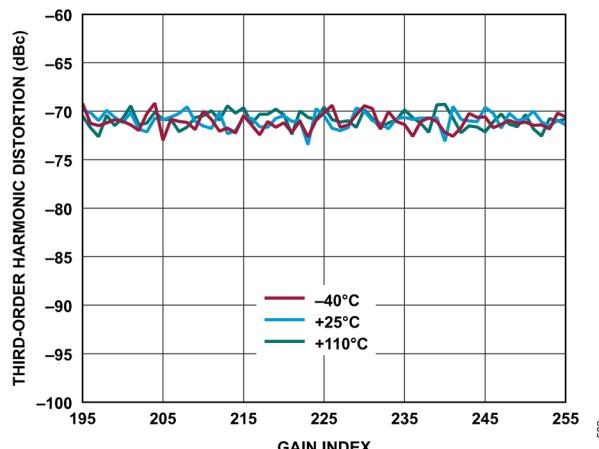


図 340. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

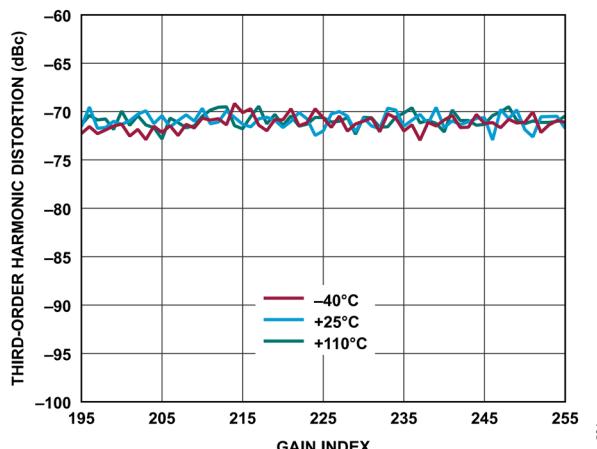


図 338. レシーバの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

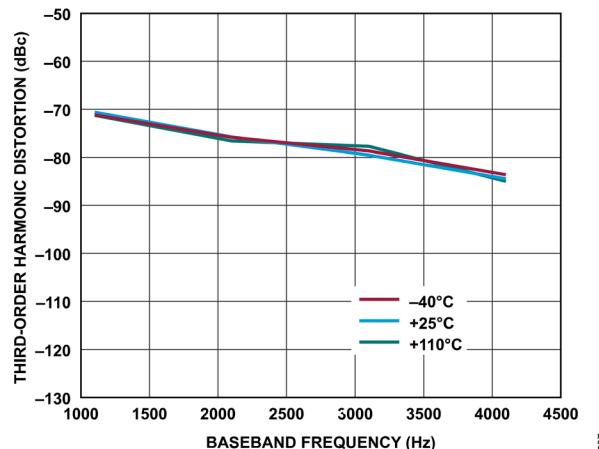


図 341. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

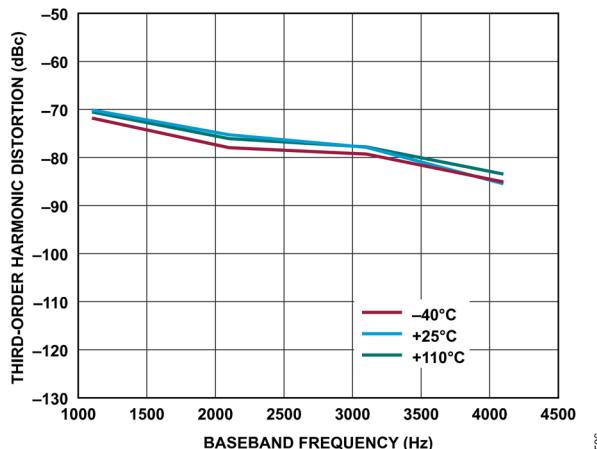


図 339. レシーバの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

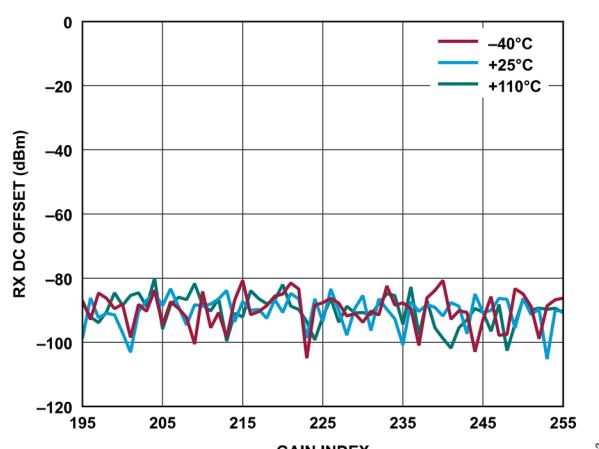


図 342. レシーバの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

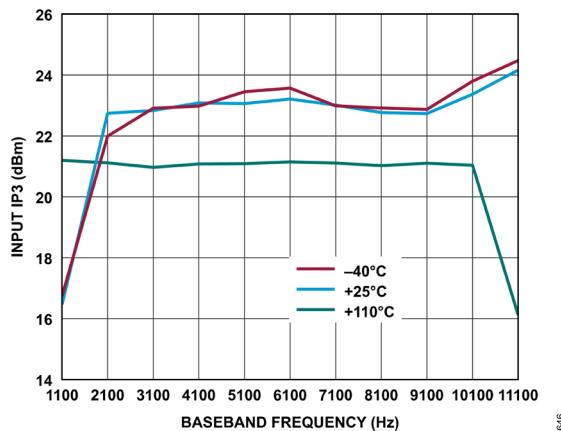


図 343. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -14\text{dBFS}$
(-40°C および $+25^{\circ}\text{C}$)、 $P_{\text{OUT}} = -12\text{dBFS}$ ($+110^{\circ}\text{C}$)

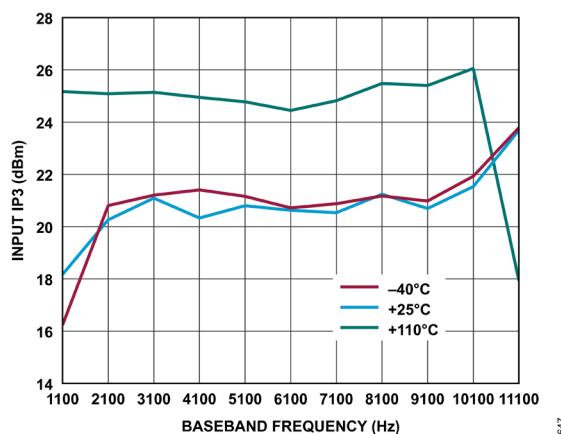


図 344. レシーバの入力 IP3 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{1dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -14\text{dBFS}$
(-40°C および $+25^{\circ}\text{C}$)、 $P_{\text{OUT}} = -12\text{dBFS}$ ($+110^{\circ}\text{C}$)

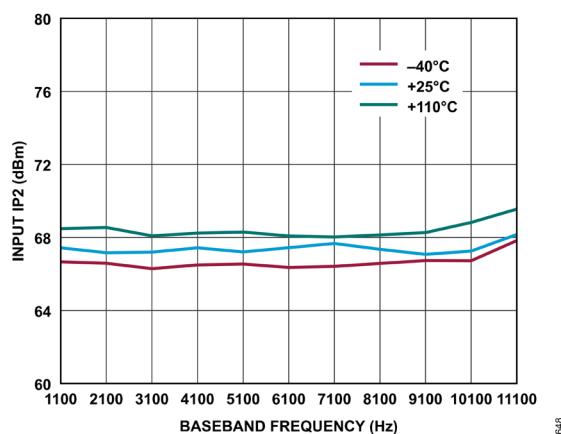


図 345. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 高性能、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -6.6\text{dBFS}$

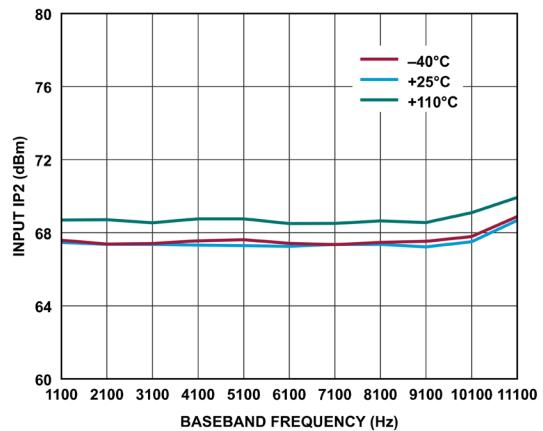


図 346. レシーバの入力 IP2 とベースバンド周波数の関係、
ADC = 低消費電力、 f_1 = ベースバンド周波数 + 1MHz、
 f_2 = ベースバンド周波数 + 2MHz、ゲイン指数 = 255、
 $f_{3dB} = 4\text{MHz}$ の 1 次 TIA、 $P_{\text{OUT}} = -6.6\text{dBFS}$

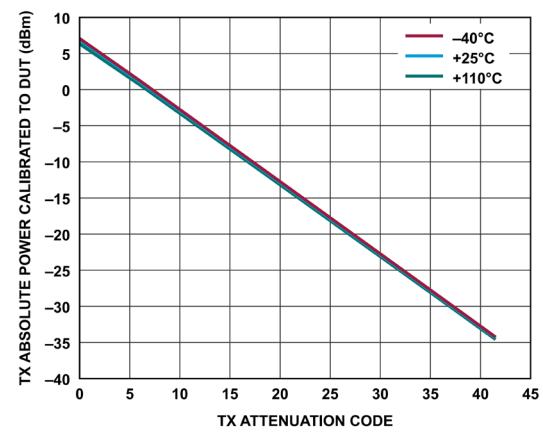


図 347. トランスマッタの DUT に対しキャリブレーションした
絶対電力とトランスマッタ減衰コードの関係、
ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

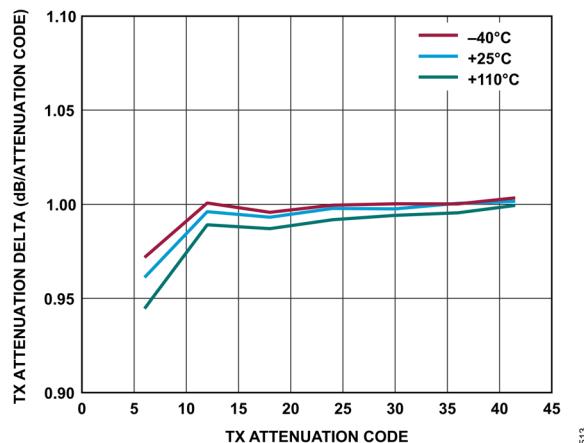


図 348. トランスマッタの減衰デルタとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

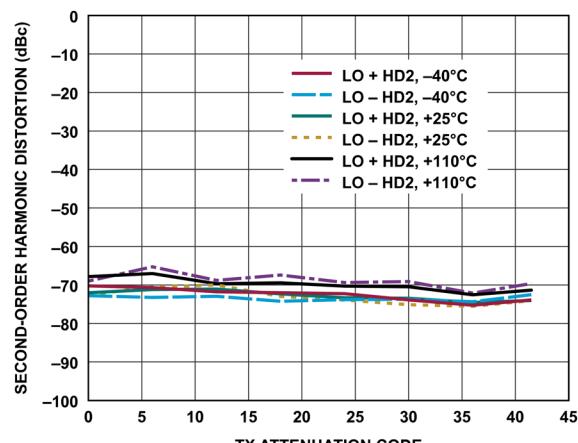


図 351. トランスマッタの2次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

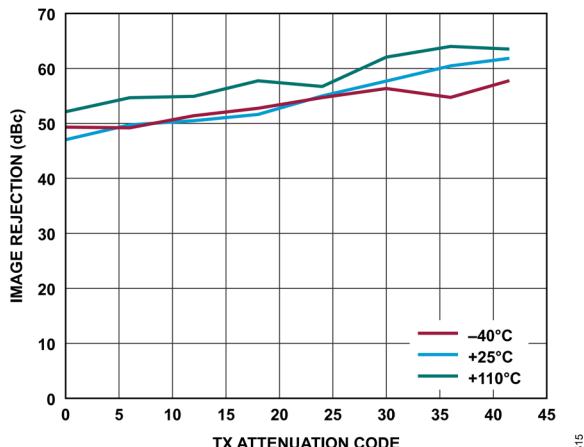


図 349. トランスマッタのイメージ除去とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

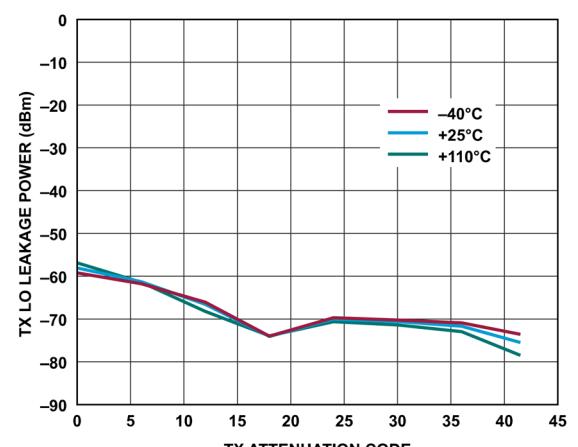


図 352. トランスマッタのLOリーク電力とトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

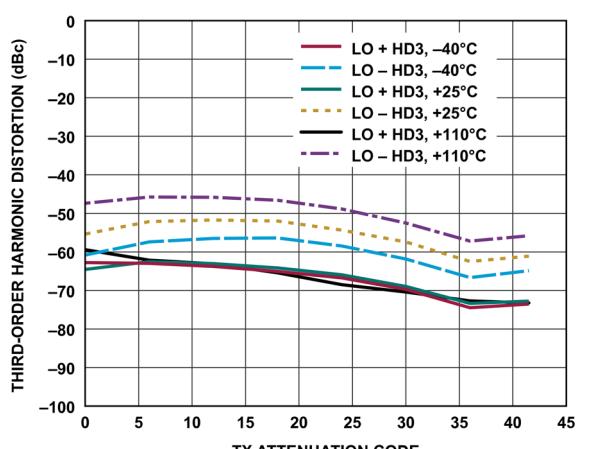


図 350. トランスマッタの3次高調波歪みとトランスマッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

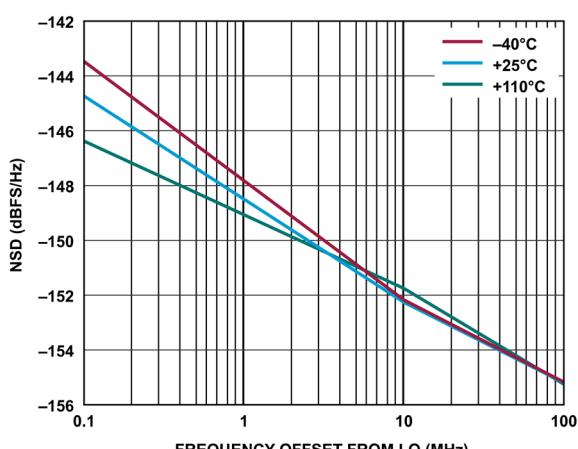


図 353. トランスマッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスマッタ・チャンネル = チャンネル 1

代表的な性能特性

位相ノイズ

PLL 带域幅 = 300kHz。DEV_CLK = 38.4MHz。IQ モードでの狭帯域プロファイルまたは広帯域プロファイル。リファレンス・クロックには、高性能、低ノイズの Wenzel タイプの発振器を使用しています。

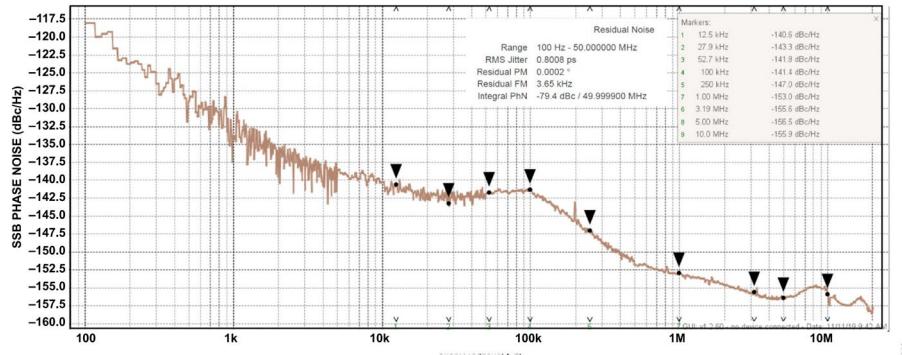


図 354. 内部局部発振器の位相ノイズ (30MHz の LO)

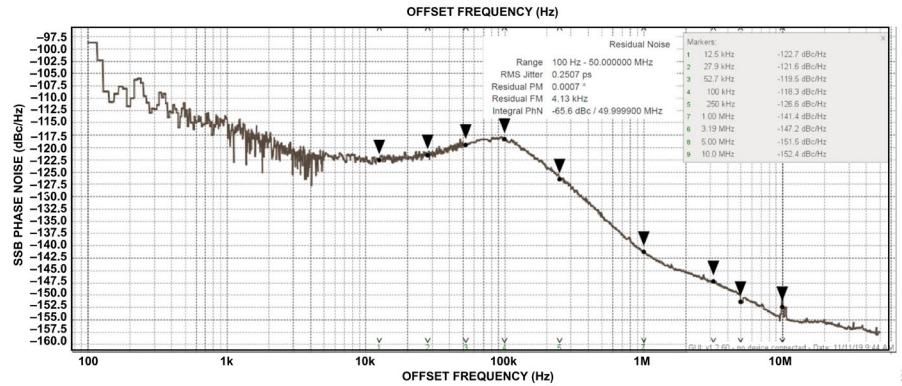


図 355. 内部局部発振器の位相ノイズ (470MHz の LO)

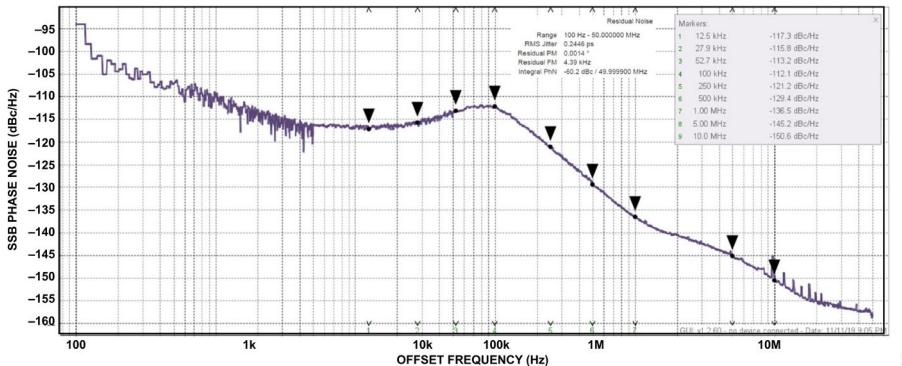
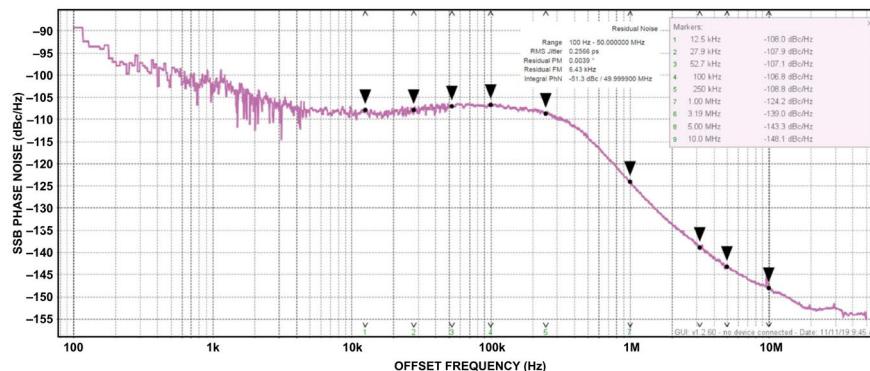


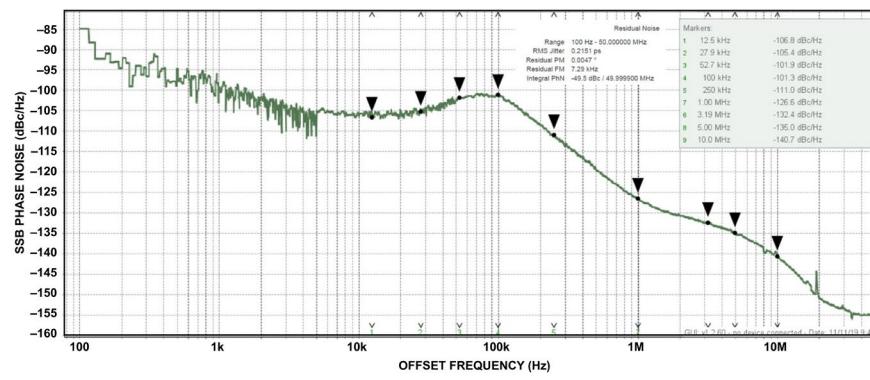
図 356. 内部局部発振器の位相ノイズ (900MHz の LO)

代表的な性能特性



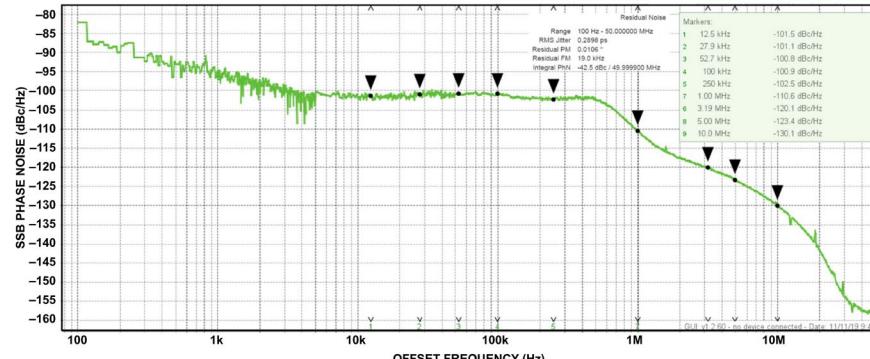
053

図 357. 内部局部発振器の位相ノイズ (2400MHz の LO)



054

図 358. 内部局部発振器の位相ノイズ (3500MHz の LO)



055

図 359. 内部局部発振器の位相ノイズ (5800MHz の LO)

動作原理

ADRV9005 は高集積の RF トランシーバで、幅広いアプリケーションに合わせて構成することができます。このデバイスは送信機能と受信機能を 1 つのデバイスで提供するために必要な RF ブロック、ミックスドシグナル・ブロック、およびデジタル・ブロックをすべて内蔵しています。プログラマビリティに優れているため、レシーバ・チャンネルとトランスマッタ・チャンネルを用いて、モバイル無線規格やセルラ規格を満たすことができます。

ADRV9005 には、LVDS および CMOS 同期シリアル・インターフェース (CSSI) を含むシリアル・インターフェース・リンクがあります。レシーバ・チャンネルとトランスマッタ・チャンネルはどちらも、フィールド・プログラマブル・ゲート・アレイ (FPGA) やその他の集積化ベースバンド・ソリューションに対し、ピン本数が少なく信頼性の高いインターフェースを提供します。

ADRV9005 は、DC オフセット、LO リーク、QEC に対し、内蔵のマイクロコントローラ・コアを使用して自己キャリブレーションを実行できるため、様々な温度や入力信号条件の下で高い性能レベルを維持できます。ファームウェアがデバイスに付属しているため、ユーザがかかわることなくすべてのキャリブレーションをスケジュール化できます。

トランスマッタ

ADRV9005 はダイレクト・コンバージョン・トランスマッタ・アーキテクチャを採用しています。このアーキテクチャは、

ダイレクト・コンバージョン・システムを実装するために必要なすべてのデジタル処理、ミックスド・シグナル、PLL、RF ブロックを提供する、1 つのチャンネルで構成されています。トランスマッタのデータ経路の概要については、図 360 を参照してください。

ADRV9005 では、完全にプログラマブルな 128 タップの FIR (有限インパルス応答) もオプションで使用できます。FIR 出力は、DAC に達する前に一連のインターポレーション・フィルタに送られます。これらのフィルタでは、追加のフィルタリングとデータ・レート・インターポレーションが行われます。各 DAC のサンプル・レートは調整可能で、直線性はフルスケールまで維持されます。

DAC 出力は、バースバンドのアナログ信号を生成します。I 信号と Q 信号にはまず、サンプリング・アーチファクトを除去するためのフィルタがかけられ、その後にアップコンバージョン・ミキサーへ送られます。ミキサー段では、I 信号と Q 信号が再び結合され、キャリア周波数に変調されて出力段に送られます。送信チェーンは、設計者が S/N 比 (SNR) を最適化する際の助けとなるように、高分解能の広い減衰調整範囲を備えています。

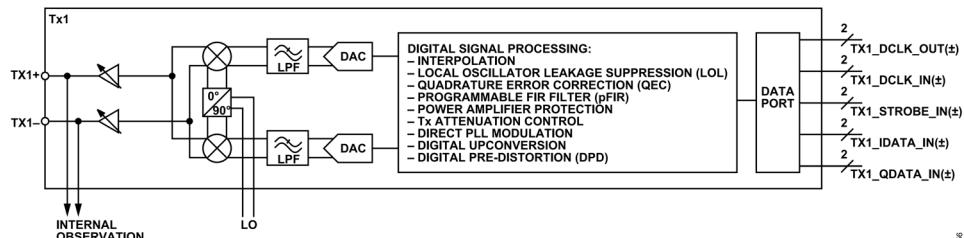


図 360. トランスマッタのアーキテクチャ

動作原理

レシーバ

図 361 に、ADRV9005 レシーバの簡略化したブロック図を示します。これは、完全統合型のダイレクト・コンバージョン、低 IF レシーバ・シグナル・チェーンです。レシーバ・サブシステムには、ゲイン制御のための抵抗性入力ネットワークとそれに続く電流モード・パッシブ・ミキサーがあります。ミキサーの出力電流は、トランシスインピーダンス・アンプによって電圧に変換され、その後デジタル化されます。また、高性能 $\Sigma\Delta$ ADC と低消費電力 ADC からなる 2 組の ADC があります。必要なフィルタリングとデシメーションを行うデジタル・ベースバンドが、これらの ADC の後に続きます。

1 つのリファレンス設計で異なるバンドに適応できるよう、レシーバには 2 つの RF 入力があります。ミキサーのアーキテクチャは、直線的で、本質的に広帯域幅です。そのため、インピーダンス・マッチングが容易です。レシーバ入力の差動入力インピーダンスは、 100Ω です。

ゲイン制御を行うために、プログラムされたゲイン指数マップが実装されています。このゲイン・マップは、様々なレシーバ・ブロック内に減衰を配分し、各パワー・レベルで最適な性能を実現します。ゲインの範囲は 34dB です。自動および手動のどちらのゲイン制御モードでも、追加のサポートが利用できます。

レシーバの LPF は、アンチエイリアス・フィルタリングを行い帯域外ブロッカの機能を向上するよう設定できます。ADRV9005 は、広帯域アーキテクチャのトランシーバで、ADC の高ダイナミック・レンジを基に、信号と干渉を同時に受信します。

レシーバの LPF によって提供されるフィルタリングにより、ADC のエイリアス・イメージは減衰されます。レシーバの LPF 特性は平坦で、クロースイン・ブロッカの除去を目的とするものではありません。ベースバンド・フィルタは 5MHz～50MHz のベースバンド帯域幅をサポートしています。

レシーバには 2 つの ADC ペアがあります。1 つのペアは高性能 $\Sigma\Delta$ ADC からなり、干渉許容度が最大です。もう一方のペアは、消費電力が極めて低い ADC で構成されています。ADC ペアを追加すると、消費電力と性能の間の兼ね合いをうまく取ることができます。

ADC 出力は、一連のデシメーション・フィルタと、追加的なデシメーションが設定された完全にプログラマブルな 128 タップの FIR フィルタによって、更にコンディショニングすることができます。各デジタル・フィルタ・ブロックのサンプル・レートは、それぞれのデシメーション係数の変更に合わせて自動調整され、必要な出力データ・レートを生成します。

低位相ノイズが要求される規格に対しては、ADRV9005 は低 IF モードで動作できます。ADRV9005 は、IF ダウン・コンバージョン・スキームと同様に、キャリアから信号オフセットを受け取ります。アナログ・レシーバ経路に続くデジタル NCO とミキサーは、IF 信号をベースバンドにダウン・コンバージョンできます。信号をベースバンドにダウン・コンバージョンすることで、データ・バスのサンプル・レートを下げることができます。ADRV9005 には、ハイサイドやローサイドのインジェクションについて、いかなる前提もありません。

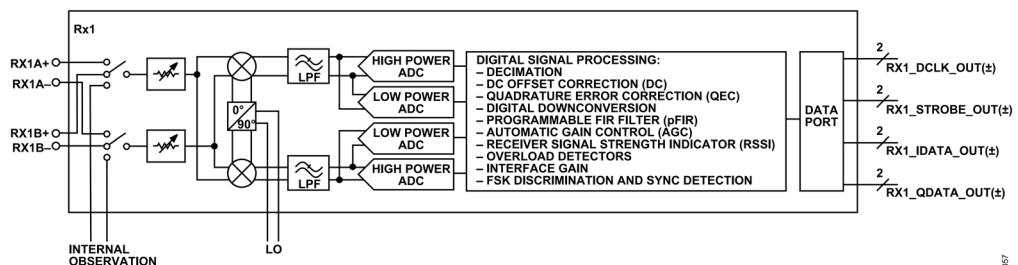


図 361. レシーバ・アーキテクチャ

動作原理

モニタ・モード

ADRV9005 レシーバ・シグナル・チェーンは、デューティ・サイクル検出およびスリープの方法で、無線チャンネルの信号レベルをモニタするように設定できます。モニタ・モードを使用すると、デジタル・ベースバンド・プロセッサは、ADRV9005 が信号を検出するまでパワーダウンできます。モニタ・モードにより、システム全体の電力の節約ができます。検出およびスリープ・モードのタイミングは完全にプログラマブルです。あるいは、ADRV9005 はモニタ・モードの間、ベースバンド・プロセッサで完全に制御することも可能です。

DPD

ADRV9005 には、完全に統合化された DPD 機能があり、パワー・アンプの応答の非直線性を補償するためにデジタル波形を変形できます。これによって、トランスマッタ・システムのパワー・アンプの出力を直線化できます。内部 DPD ブロックは、狭帯域信号および広帯域信号の両方に対し最適化されています。DPD のアクチュエータと係数計算エンジンは、どちらも内蔵されています。この機能は、受信チャンネルを使用してパワー・アンプの出力をモニタし、出力を直線化するために適切なプリディストーションを計算します。組み込まれた DPD 機能により、システムがパワー・アンプを飽和に近い状態で駆動できるようになり、直線性を維持しながら、より高い効率のパワー・アンプを実現することが可能になります。

オプザベーション・レシーバとしてのレシーバ

TDD アプリケーションでのトランスマッタ・タイム・スロットの間、通常は使用しないレシーバ入力を、トランスマッタ・オブザベーションを実行するために使用することができます。チャンネルは、オブザベーション・レシーバ時、TDD アプリケーションの Rx 部分の間に信号の受信を実行している場合と同様に動作します。

オブザベーション・レシーバ・チャンネルを使用する目的は、次のとおりです。

- トランスマッタ・チャンネルをモニタし、トランスマッタの局部発振器リーク (LOL) 補正とトランスマッタ QEC を実行する。
- パワー・アンプ出力後の信号レベルをモニタする。このデータは、完全統合型低消費電力 DPD ブロックによって使用することができます。統合化された DPD は、狭帯域信号と広帯域信号の両方に最適化されており、高効率パワー・アンプの直線化が可能になります。
- 外部ベースバンド・プロセッサでの更なるデータ処理のために、パワー・アンプ出力後の信号レベルをモニタする。

オブザベーション・レシーバ経路が DPD 動作のために使用されている場合は、DPD がサポートできるトランスマッタ信号の最大帯域幅には制限があります。例えば、DPD オブザベーション係数が 5 倍の場合、トランスマッタ信号の帯域幅は、DPD オブザベーション帯域幅の 1/5 に制限されます。ADRV9005 の内部 DPD ブロックを使用する場合、内部 DPD の最大オブザベーション帯域幅が 100MHz であるため、内部 DPD がサポートできる最大トランスマッタ帯域幅は 20MHz となります。外部 DPD を使用する場合は、最大 DPD オブザベーション帯域幅はトランスマッタとオブザベーション・レシーバの RF 帯域幅によって制限されます。デジタル・データ・ポートとベースバンド・プロセッサ間で送受信可能な最大 RF 帯域幅は 40MHz です。つまり、

ADRV9005 に外付けされた DPD がサポートできる最大トランスマッタ帯域幅は、8MHz となります。

クロック入力

リファレンス・クロック入力は低周波数クロックを提供し、ここからすべての ADRV9005 クロックが抽出されます。ADRV9005 には複数のリファレンス入力クロック・オプションがあります。このデバイスのリファレンス入力クロック・ピンは、DEV_CLK_IN±というピン名になっています。

最高性能を発揮するために、リファレンス・クロックは、外部ソースまたは外部水晶発振器から差動方式で駆動します。差動入力クロックが提供される場合、クロック信号は 10MHz~1GHz に限定された入力範囲で AC カップリングする必要があります。ADRV9005 では、クロック源として外部の水晶発振器 (XTAL) を使用することもできます、対応する水晶発振器の周波数範囲は 20MHz~80MHz です。外部水晶発振器の接続は DC カップリングする必要があります。

差動クロックが使用できない場合、シングルエンド、AC カップリングの 1V p-p (最大) CMOS 信号を DEV_CLK_IN+ピンに入力し、DEV_CLK_IN-ピンは接続しないままにします。このモードでの最大クロック周波数は 80MHz に制限されます。

シンセサイザ

ADRV9005 には 2 つの異なる PLL 経路があります。すなわち、高周波数 RF 経路のための RF PLL と、データ・コンバータのデジタルおよびサンプリング・クロックのためのベースバンド PLL です。

RF PLL

受信データ経路用に 1 つの専用 PLL を備え、送信データ経路用に 1 つの専用 PLL を備えるのではなく、デバイスに 2 つの RF PLL があり、どちらの PLL もレシーバ、トランスマッタ、または両方のパスのソースとなることができる、あるいはいずれのソースにもならない、という点で、ADRV9005 の PLL 構造は独特です。この柔軟性により、ADRV9005 は多用途性が必要とされる様々なアプリケーションに適合できます。

RF PLL は、内部 LO 信号と外部 LO 信号のどちらでも使用できます。内部 LO は、6.5GHz~13GHz の周波数範囲で調整可能なオンチップ VCO によって生成されます。VCO の出力は、アプリケーション・プログラミング・インターフェース (API) コマンドによってプログラム可能なフラクショナル N PLL を介して、外部リファレンス・クロックにフェーズ・ロックされます。VCO の出力は、同相および直交位相の LO 信号を 30MHz~6GHz の周波数範囲で生成するよう、周波数分周器を組み合わせることで調整されます。

または、外部 LO 信号を ADRV9005 の外部 LO 入力に加えて、RF 経路用に直交する LO 信号を生成することもできます。外部 LO 経路を選択する場合は、入力周波数範囲は 60MHz~12GHz となります。

PLL シンセサイザは、完全に統合された VCO およびループ・フィルタを含むフラクショナル N 設計です。TDD モードでは、LO の分配経路および送受信データ経路は、受信フレームおよび送信フレームに応じてオン/オフします。FDD モードでは、送信 PLL と受信 PLL は同時に動作できます。これらの PLL には外付け部品は不要です。RF LO 生成回路は、性能と消費電力の兼ね合いを取ることができます。

動作原理

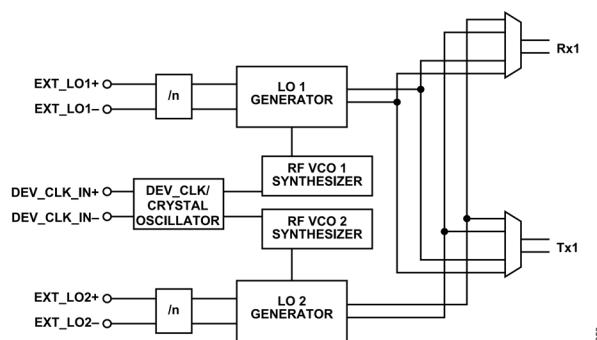


図 362. RF LO

ADRV9005 は、周波数滞留時間と遷移時間が主な相違点となっている様々な形態の高速周波数ホッピング (FFH) に対応します。RF PLL の位相ノイズと QEC および LOL アルゴリズム性能は、減少する周波数遷移時間の関数として低下します。FFH モードは、パワーアップ時にプリロードされているか、ユーザによって ADRV9005 にストリーミングされているホッピング周波数をサポートします。FFH モードでの周波数間のホッピングは、GPIO ピンを切り替えるか API コマンドを実行することでトリガできます。

ベースバンド PLL

ADRV9005 には、ベースバンド PLL シンセサイザがあり、ベースバンドとデータ・ポートに関するすべてのクロックを生成します。高性能ベースバンド PLL と低消費電力ベースバンド PLL 用の2つのオプションがあります。高性能ベースバンド PLL は、クロック生成に関して柔軟性が高いため、より広い範囲のサンプル・レートに対応できます。低消費電力ベースバンド PLL では、特定のサンプル・レートのサポートの点で制限がありますが、消費電力は少なくなります。高性能と低消費電力のどちらのベースバンド PLL も、システムのデータ・レート条件およびサンプル・レート条件に基づき自動的にプログラムされます。

SPI

ADRV9005 は、SPI を使ってベースバンド・プロセッサとの通信を行います。このインターフェースは、受信専用ポートと送信専用ポートを持つ4線式インターフェースとして設定するか、1つの双方向データ通信ポートを持つ3線式インターフェースとして設定することができます。このバスにより、ベースバンド・プロセッサは、単純なアドレス・データ・シリアル・バス・プロトコルを使って、すべてのデバイス制御パラメータを設定することができます。

書き込みコマンドは 24 ビット・フォーマットを使用します。最初のビットはバス転送の方向を設定します。次の 15 ビットは、データを書き込むアドレスを設定します。最後の 8 ビットには、特定のレジスター・アドレスへ転送されるデータが含まれます。読み出しコマンドも同様のフォーマットを使用します。異なるのは、最初の 16 ビットが SPI_DIO ピンで転送される点と、4 線式モードでは最後の 8 ビットが SPI_DO ピンを介して ADRV9005 から読み出され、3 線式モードでは SPI_DIO ピンを介して読み出される点です。

GPIO ピン

デジタル汎用入出力 (GPIO)

VDIGIO_1P8 電源を基準とする ADRV9005 の GPIO 信号は、デジタル回路とのインターフェースを目的とし、数多くの機能に対して設定できます。これらのピンの一部は、出力として設定された場合、リアルタイム信号としてベースバンド・プロセッサによって使用され、多数の内部設定や測定が可能となります。この設定により、ベースバンド・プロセッサはレシーバ性能を異なる状況でモニタできます。手動ゲイン・モード、キャリブレーション・フラグ、ステート・マシンの状態、および様々なレシーバ・パラメータに使われる信号は、これらのピンでモニタすることができる出力です。更に、一部のピンは入力として設定し、リアルタイムでのレシーバ・ゲイン設定やトランスマッタ減衰設定など、様々な機能に使用することができます。

アナログ汎用入出力 (AGPIO)

AGPIO ピンは、アナログ機能を実行するシステム・ブロックとのインターフェースを目的としています。VAGPIO_1P8 電源を基準とする AGPIO ピンは、ロー・ノイズ・アンプ (LNA) やデジタル・ステップ・アッテネータ (DSA) などの外付け部品に制御信号を供給します。選択された AGPIO ピンには、代替の補助 DAC 機能があります。ピン・マッピングの詳細については表 16 を参照してください。

補助コンバータ

補助 ADC 入力 (AUXADC_x)

ADRV9005 には、4 つの専用入力ピン (AUXADC_x) に接続された、対応する入力を持つ4つの補助 ADC があります。このブロックは部品を追加することなくシステムの電圧をモニタできます。補助 ADC は 10 ビットで、入力電圧範囲は 0.05V~0.95V です。有効化すると、補助 ADC はフリー・ランニング状態になります。API 機能を使用すると、ADC によってラッチされた最後の値を読み出すことができます。

動作原理

補助 DAC 出力 (AUXDAC_x)

ADRV9005 には、バイアス電圧、アナログ制御電圧、その他のシステム機能を提供できる、4 つの同一の補助 DAC (AUXDAC_x) があります。これらの補助 DAC (AUXDAC_0 ~ AUXDAC_3) は、表 16 に示すように、

AGPIO_xx ピンを使用してマルチプレクスできます。補助 DAC は 12 ビットで、約 0.05V～VDDA_1P8-0.05V の出力電圧範囲と 10mA の電流駆動能力があります。補助 DAC は、ADRV9005 にロードし専用の GPIO ピンの状態に基づいてトリガできる、ランプ・アップ・パターンとランプ・ダウン・パターンを生成できます。

表 16. ピン番号と AGPIO_xx の対応付けと AUXDAC_x

Pin Number	Primary Function	Alternate Function
E12	AGPIO_0	AUXDAC_0
F10	AGPIO_1	AUXDAC_1
E3	AGPIO_2	AUXDAC_2
F5	AGPIO_3	AUXDAC_3
F4	AGPIO_4	Not applicable
G4	AGPIO_5	Not applicable
G6	AGPIO_6	Not applicable
H6	AGPIO_7	Not applicable
G9	AGPIO_8	Not applicable
H9	AGPIO_9	Not applicable
F11	AGPIO_10	Not applicable
G11	AGPIO_11	Not applicable

動作原理

JTAG バウンダリ・スキャン

ADRV9005 は、JTAG バウンダリ・スキャンをサポートしています。JTAG インターフェース関連のデュアル機能ピンは 5 本あります。

これらのピンは、[表 17](#) に示すように、オンチップ・テスト・アクセス・ポートへアクセスするために使用します。JTAG 機能を有効にするには、[表 17](#) に示すように、GPIO_8 ピン～GPIO_11 ピンと MODE ピンを設定します。

表 17. ピン番号と GPIO_xx の対応付けと JTAG 機能

Pin Number	Primary Function	JTAG Function, Boundary Scan CMOS Mode	JTAG Function, Boundary Scan LVDS Mode
K6	GPIO_0	Not applicable	Not applicable
K7	GPIO_1	Not applicable	Not applicable
K8	GPIO_2	Not applicable	Not applicable
K9	GPIO_3	TDO	TDO
K10	GPIO_4	TRST	TRST
K11	GPIO_5	TDI	TDI
L4	GPIO_6	TMS	TMS
L5	GPIO_7	TCLK	TCLK
L6	GPIO_8	User sets to 0	User sets to 1
L9	GPIO_9	User sets to 0	User sets to 0
L10	GPIO_10	User sets to 0	User sets to 0
L11	GPIO_11	User sets to 0	User sets to 0
M9	GPIO_12/TX1_DCLK_OUT-	Not applicable	Not applicable
M10	GPIO_13/TX1_DCLK_OUT+	Not applicable	Not applicable
M6	GPIO_14	Not applicable	Not applicable
M5	GPIO_15	Not applicable	Not applicable
L13	MODE Pin	User sets to 1	User sets to 1

アプリケーション情報

電源シーケンス

ADRV9005 は、不要なパワーアップ電流を避けるために専用のパワーアップ・シーケンスを必要とします。最適なパワーオン・シーケンスでは、VDD_1P0 を最初にパワーアップします。VDD_1P0 電源の次には、VDDA_1P3 電源と VDDA_1P8 電源をパワーアップします。VDDA_1P0 を使用する場合、VDDA_1P0 は、VDDA_1P3 と VDDA_1P8 が有効化された後にパワーアップする必要があります。

ユーザーは、電力が安定した後 RESET をトグルしてから、設定を行なう必要があります。

デジタル・データ・インターフェース

ADRV9005 データ・インターフェースは、CMOS および LVDS の両方の電気的インターフェースをサポートします。CSSI は、狭い RF 信号帯域幅を対象とし、LVDS 同期シリアル・インターフェース (LSSI) は ADRV9005 の全 RF 帯域幅に対応できます。表 18 に概要を示します。詳細については ADRV9001 System Development User Guide を参照してください。

すべての信号レーンは両方の電気的インターフェースに対応しますが、両方のインターフェースの同時動作はサポートされていません。また、受信チャンネルと送信チャンネルにはそれぞれ、情報を転送するための一連の専用レーンがあります。受信チャンネルと送信チャンネルは、設計によって割り当てられたものとは異なる代替のポート配置に再構成することはできません。

CSSI

CSSI は、1 レーンのシリアル化されたデータと 4 レーンのデータの 2 つの動作モードに対応しています。どちらの場合も、CMOS 構成がサポートする最大クロック周波数は 80MHz です。

1 レーン・データ・モードの CSSI では、16 ビットの I データと 16 ビットの Q データ（合計 32 データ・ビット）が 1 つのレーンにシリアル化されています。図 363 に 1 レーン・データ・モードの CSSI の概要を図示します。

4 レーン・データ・モードの CSSI では、I および Q のデジタル・データが 4 つのデータ・レーンに広がっています。16 ビットの I データと 16 ビットの Q データが 8 ビットに分割され、4 つのデータ・レーンの 1 つに送られます。例えば、レーン 0 には I データの 8LSB ビット、レーン 1 には I データの 8MSB ビット、レーン 2 には Q データの 8LSB ビット、レーン 3 には Q データの 8MSB ビットが送られます。

4 レーン・データ・モードの CSSI は、フル・レート・クロックとダブル・データ・レート (DDR) クロックの両方をサポートします。DDR クロック・モードを使用すると、データを立上がりエッジと立下がりエッジの両方でラッチでき、これによって図 364 に示すように、利用可能な RF 帯域幅を 2 倍にすることができます。

CSSI 受信

受信 CMOS 構成では、1 レーン・モードの CSSI と 4 レーン・モードの CSSI の場合について説明したデータ・レーン条件に加え、ストローブ信号とクロック信号用に 2 つのシグナル・レーンを追加することが必要です。これによって、合計 3 つのシグナル・レーンが 1 レーン・データ・モードの CSSI で、また、合計 6 つのシグナル・レーンが 4 レーン・データ・モードの CSSI で使用できます。

RXx_DCLK_OUT は、データとストローブ出力信号を同期させる出力クロック信号です。RXx_STROBE_OUT は、シリアル・データ・ストリームの最初のビットを示すストローブ出力信号です。RXx_STROBE_OUT 信号は I および Q サンプルの開始を示すように設定できます。16 ビット・データ・サンプルの場合、RXx_STROBE_OUT 信号は、1 クロック・サイクルの間ハイとなり 31 クロック・サイクルの間ローになります。あるいは、RXx_STROBE_OUT 信号は、I データの期間はハイとなり Q データの期間はローになるように設定することもできます。この場合、16 ビット・データ・サンプルについては、RXx_STROBE_OUT 信号は、16 クロック・サイクル (I データ) の間ハイとなり 16 クロック・サイクル (Q データ) の間ローになります。

CSSI 送信

送信 CMOS 構成では、1 レーン・データ・モードの CSSI と 4 レーン・データ・モードの CSSI の場合について説明したデータ・レーン条件に加え、ストローブ、クロック入力、クロック出力用に 3 つのシグナル・レーンを追加することが必要です。これによって、合計 4 つのシグナル・レーンが 1 レーン・データ・モードの CSSI で、また、合計 7 つのシグナル・レーンが 4 レーン・データ・モードの CSSI で使用できます。

TXx_DCLK_IN は、ADRV9005 への入力クロックで、データ入力 (TXx_DATA_IN) とストローブ入力 (TXx_STROBE_IN) に同期します。TXx_STROBE_IN は、シリアル・データ・サンプルの最初のビットを示す入力信号です。受信経路と同様、送信ストローブには 2 つの設定オプションがあります。TXx_DCLK_OUT は ADRV9005 から外部ベースバンド・デバイスへの出力クロックで、TXx_DCLK_IN、TXx_STROBE_IN、TXx_DATA_IN の各信号を生成します。

LSSI

LSSI はより広い RF チャンネル帯域幅をサポートし、差動シグナル・ペアを必要とします。LSSI モードでは、2 つのデータ転送フォーマットがあります。すなわち、I データと Q データが 1 つの差動ペアでシリアル化されている 1 レーン・データ・モードと、I データおよび Q データが別々の差動ペアを占める 2 レーン・データ・モードです。1 レーン・データ・モードと 2 レーン・データ・モードのどちらを選択するかは、RF チャンネルの帯域幅によって決まります。ADRV9005 の最大 RF 帯域幅である 40MHz を確保するには、2 レーン・データ・モードの LSSI を選択します。どちらの場合も、LSSI 構成がサポートする最大クロック周波数は 491.52MHz で、クロック・タイプは DDR です。詳細は、図 365 を参照してください。

アプリケーション情報

表 18. ADRV9005 データ・ポートのインターフェース・モード

Interface Mode	Data Lanes per Channel	Serialization Factor per Data Lane	Maximum Data Lane Rate (MHz)	Maximum Clock Rate (MHz)	Maximum RF Bandwidth (MHz)	Sample Rate for I and Q Data (MHz)	Data Type ¹	Figure Reference
CSSI in 1-Lane Data	1	32	80	80	1.25	2.5	Normal	Figure 363
CSSI in 1-Lane Data	1	32	160	80	2.5	5	DDR	
CSSI in 4-Lane Data	4	8	80	80	5	10	Normal	
CSSI in 4-Lane Data	4	8	160	80	10	20	DDR	Figure 364
LSSI in 1-Lane Data	1	32	983.04	491.52	20	30.72	DDR	
LSSI in 2-Lane Data	2	16	983.04	491.52	40	61.44	DDR	Figure 365
LSSI in 2-Lane Data	2	12	737.28	368.64	40	61.44	DDR	

¹ 通常 (Normal) のデータ・タイプは、立上がりエッジでのデータを指します。DDR はダブル・データ・レートで、データは入力クロックの立上がりエッジと立下りエッジで使用できます。

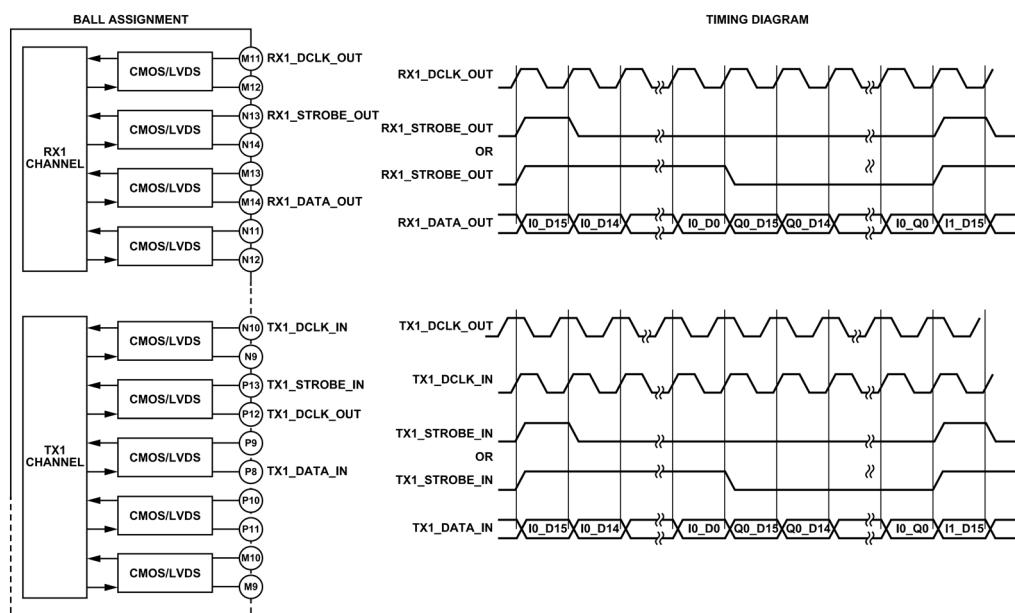
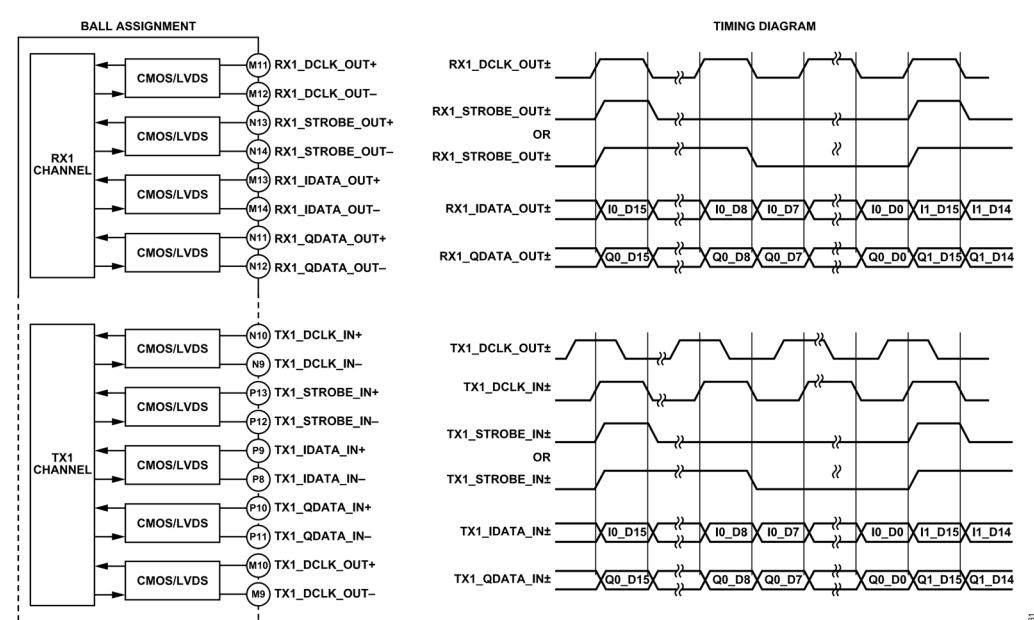
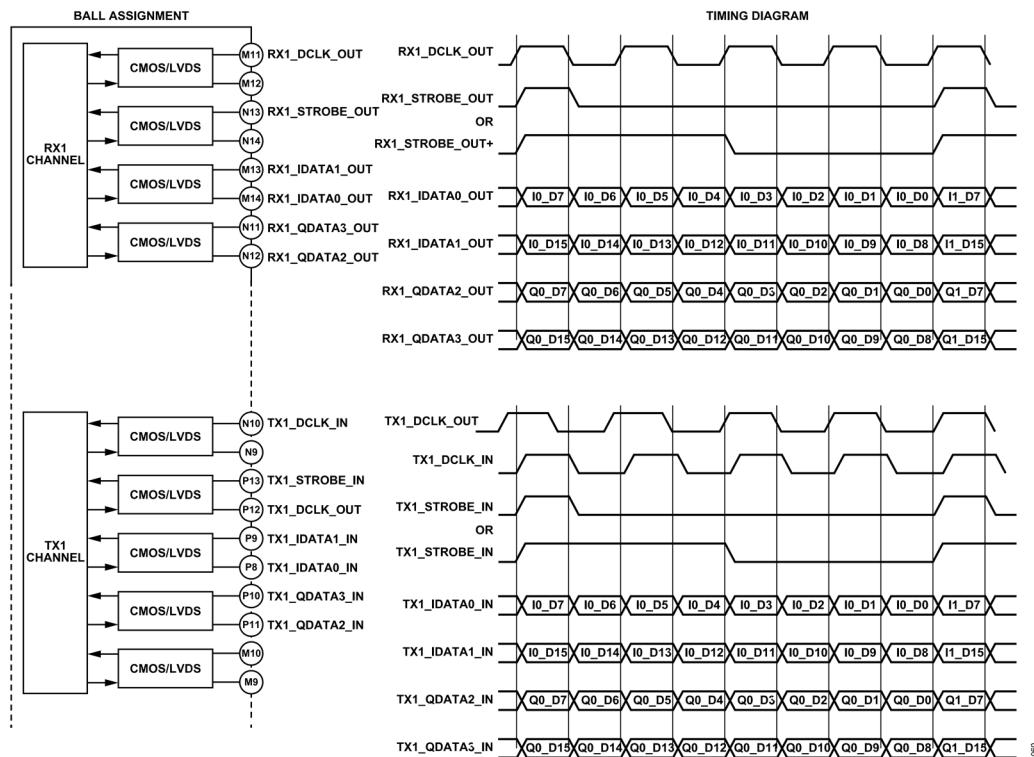
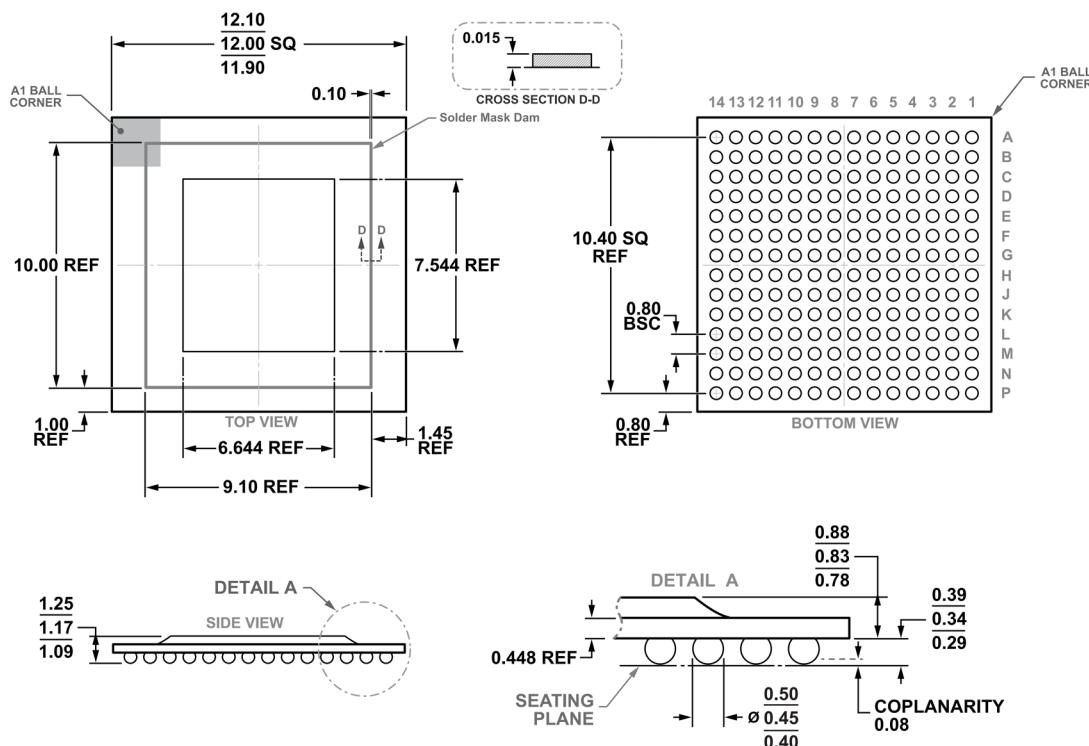


図 363. 1 レーン・データ・モードの CSSI

アプリケーション情報



外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-GGAB-1

図 366. 196 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-196-16)
寸法 : mm

PKG-40846

更新 : 2024 年 4 月 9 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRV9005BBCZ	-40°C to +85°C	196-Ball CSP_BGA (12 mm x 12 mm x 1.17 mm)	Tray, 189	BC-196-16
ADRV9005BBCZ-RL	-40°C to +85°C	196-Ball CSP_BGA (12 mm x 12 mm x 1.17 mm)	Reel, 1500	BC-196-16

¹ Z = RoHS 準拠製品。