

フリップチップ、シリコン・デジタル・アッテネータ、 1GHz~72GHz

特長

- ▶ 周波数範囲：1GHz~72GHz
- ▶ 減衰範囲：12dB（4dBのステップ・サイズ）
- ▶ 双方向動作
- ▶ 低挿入損失
 - ▶ 0.9dB（18GHzまで）
 - ▶ 1.3dB（40GHzまで）
 - ▶ 2.1dB（67GHzまで）
 - ▶ 3.0dB（72GHzまで）
- ▶ ステップ誤差（代表値）
 - ▶ ± 0.50 dB（55GHzまで）
 - ▶ ± 0.75 dB（72GHzまで）
- ▶ 高入力直線性
 - ▶ P0.1dB：24dBm以上（代表値）
 - ▶ IP3：45dBm以上（代表値）
- ▶ 大RF入力電力処理
 - ▶ 定常状態：24dBm
 - ▶ ホット・スイッチング：24dBm（最大値）
- ▶ 低周波数スプリアスなし
- ▶ パラレル・モード制御、CMOSおよびLVTTTLに対応
- ▶ RF振幅のセトリング・タイム（50%でトリガ制御されてから最終RF出力の0.1dBに達するまでの時間）：55ns
- ▶ 14ボール、1.940mm × 1.160mmの bumps付きベア・ダイで提供

アプリケーション

- ▶ 試験および計測器
- ▶ セルラ・インフラストラクチャ：5Gミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線機、超小型地球局（VSAT）

機能ブロック図

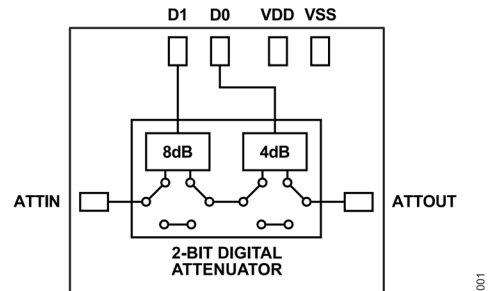


図 1. 機能ブロック図

概要

ADRF5476は、12dBの減衰範囲を4dBのステップ・サイズで制御する、2ビットのシリコン・デジタル・アッテネータです。

1GHz~72GHzで仕様規定され、72GHzで3.0dB未満の挿入損失と ± 0.75 dBのステップ誤差を実現します。双方向で動作でき、ATTINポートおよびATTOUTポートには、すべての状態に対し平均24dBm、ピーク24dBmのRF入力電力処理能力があります。

ADRF5476は、+3.3Vの正電源から+124 μ A、-3.3Vの負電源から-528 μ Aの電流を引き出します。本デバイスの制御は、相補型金属酸化膜半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTTL）に対応しています。

ADRF5476のRFポートは、50 Ω の特性インピーダンスに整合するように設計されています。

ADRF5476は、14ボール、1.940mm × 1.160mmの bumps付きベア・ダイで提供され、-40°C~+105°Cで動作します。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。※日本語版資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	挿入損失、反射損失、状態誤差、減衰、ステップ誤差、 相対位相.....	8
機能ブロック図.....	1	入力電力圧縮と3次インターセプト.....	10
概要.....	1	動作原理.....	11
仕様.....	3	電源.....	11
電気仕様.....	3	RF入出力.....	11
絶対最大定格.....	5	アプリケーション情報.....	12
熱抵抗.....	5	PCB設計のための推奨事項.....	13
パワー・ディレーティング曲線.....	5	ダイのアッセンブリ.....	14
静電放電（ESD）定格.....	5	外形寸法.....	15
ESDに関する注意.....	5	オーダー・ガイド.....	15
ピン配置およびピン機能の説明.....	6		
インターフェース回路図.....	7		

改訂履歴

1/2026—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω システムに対し、VDD = +3.3V、VSS = -3.3V、D0 = 0V または VDD、D1 = 0V または VDD、ケース温度 (T_{CASE}) = 25°C。

表 1. 電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
FREQUENCY RANGE		1		72	GHz	
INSERTION LOSS	10MHz to 18GHz		0.9		dB	
	18GHz to 40GHz		1.3		dB	
	40GHz to 55GHz		1.6		dB	
	55GHz to 67GHz		2.1		dB	
	6 GHz to 7 GHz		3.0		dB	
RETURN LOSS	ATTIN and ATTOUT, all attenuation states					
	10MHz to 18GHz		17		dB	
	18GHz to 40GHz		16		dB	
	40GHz to 55GHz		16		dB	
	55GHz to 67GHz		15		dB	
67GHz to 72GHz		15		dB		
ATTENUATION	Range	Between minimum and maximum attenuation states	12		dB	
	Step Size	Between any successive attenuation states	4		dB	
	Accuracy	Referenced to insertion loss state				
		10MHz to 18GHz		±(0.3 + 3% of state)		dB
		18GHz to 40GHz		±(0.5 + 5% of state)		dB
		40GHz to 55GHz		±(0.5 + 5% of state)		dB
		55GHz to 67GHz		±(0.5 + 5% of state)		dB
	67GHz to 72GHz		±(0.5 + 5% of state)		dB	
	Step Error	Between any successive state				
		10MHz to 18GHz		±0.20		dB
18GHz to 40GHz			±0.40		dB	
40GHz to 55GHz			±0.50		dB	
55GHz to 67GHz			±0.50		dB	
67GHz to 72GHz		±0.75		dB		
RELATIVE PHASE	Referenced to insertion loss state					
	10MHz to 18GHz		14		Degrees	
	18GHz to 40GHz		34		Degrees	
	40GHz to 55GHz		48		Degrees	
	55GHz to 67GHz		56		Degrees	
67GHz to 72GHz		57		Degrees		
SWITCHING CHARACTERISTICS	All attenuation states at an input power (P _{IN}) = 10dBm					
	Rise Time and Fall Time (t _{RISE} and t _{FALL})	10% to 90% of RF output	5		ns	
	On Time and Off Time (t _{ON} and t _{OFF})	50% triggered control to 90% of RF output	10		ns	
	RF Amplitude Settling Time	50% triggered control to 0.1dB of final RF output	55		ns	
		50% triggered control to 0.05dB of final RF output	70		ns	
	RF Phase Settling Time	f = 40 GHz				
		50% triggered control to 5° of final RF output	34		ns	
	50% triggered control to 1° of final RF output	40		ns		

仕様

表 1. 電気仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT LINEARITY ¹	1GHz to 72GHz				
0.1dB Power Compression (P0.1dB)			>24		dBm
1dB Power Compression (P1dB)			>24		dBm
Third-Order Intercept (IP3)	Two-tone input power = 10dBm per tone, $\Delta f = 1\text{MHz}$, all attenuation states		>45		dBm
DIGITAL CONTROL INPUTS	D1 and D0				
Voltage					
Low (V_{INL})		0		0.8	V
High (V_{INH})		1.2		3.3	V
Current					
Low (I_{INL})			-10		μA
High (I_{INH})			<1		μA
SUPPLY CURRENT					
Positive Supply Current (I_{DD})	VDD pin				
Bias Low	D1 and D0 = 0V		124		μA
Bias High	D1 and D0 = 3.3V		104		μA
Negative Supply Current (I_{SS})	VSS pin		-528		μA
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
VDD		3.15		3.45	V
VSS		-3.45		-3.15	V
Digital Control Voltage		0		VDD	V
RF Power ²	Frequency (f) = 3GHz to 72GHz, $T_{CASE} = 85^\circ\text{C}$, ³ all attenuation states				
Input at ATTIN and ATTOUT	Steady state, average			24	dBm
	Steady state, peak			24	dBm
	Hot switching, average			24	dBm
	Hot switching, peak			24	dBm
T_{CASE}		-40		+105	$^\circ\text{C}$

¹ 入力直線性能は、周波数の増加と共に低下します。² パワー・ディレーティングと周波数の関係については、[図 2](#)を参照してください。パワー・ディレーティングは ATTIN と ATTOUT のすべての電力仕様に適用できます。³ 105 $^\circ\text{C}$ での動作の場合、電力処理能力は $T_{CASE} = 85^\circ\text{C}$ での仕様から 3dB 低下します。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 2. 絶対最大定格

Parameter	Rating
Positive Supply Voltage	-0.3V to +3.6V
Negative Supply Voltage	-3.6V to +0.3V
Digital Control Input ¹	
Voltage	-0.3V to VDD + 0.3V
Current	3mA
RF Input Power ² (f = 3GHz to 72GHz, T _{CASE} = 85°C ³)	
Input at ATTIN and ATTOUT	
Steady State, Average	27dBm
Steady State, Peak	27dBm
Hot Switching, Average	27dBm
Hot Switching, Peak	27dBm
Temperature	
Junction (T _J)	135°C
Storage	-65°C to +150°C
Reflow	260°C
Continuous Power Dissipation (P _{DISS})	0.125W

¹ デジタル制御入力ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。

² パワー・ディレーティングと周波数の関係については、図 2 を参照してください。

³ 105°Cでの動作では、電力処理能力は T_{CASE} = 85°Cでの仕様から 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CD-14-1	200	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって求めています。熱伝達は、チャンネルからグラウンド・パッドを通して PCB までの熱伝導のみによるものとし、グラウンド・パッドは 85°C の動作温度に固定されています。

パワー・ディレーティング曲線

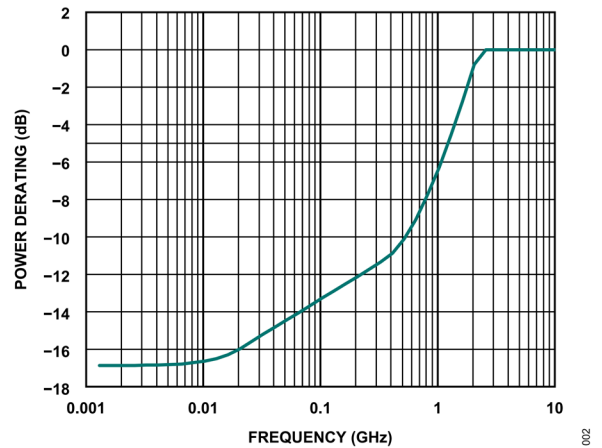


図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T_{CASE} = 85°C

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ADRF5476 の ESD 定格

表 4. ADRF5476、14 ボール BUMPED_CHIP

ESD Model	Withstand Threshold (V)
HBM	±750 for ATTIN and ATTOUT pins ±2000 for supply and digital control pins

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

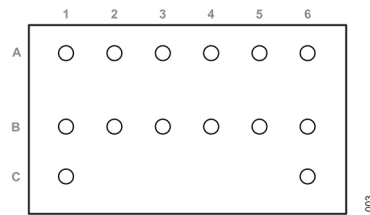


図 3. ピン配置（上面図、ボールは下側）

表 5. ピン機能の説明

ボール番号	記号	X 座標 (mm)	Y 座標 (mm)	説明
A1	GND	-0.750	+0.400	グラウンド。
A2	D1	-0.450	+0.400	8dB アッテネータ用パラレル制御入力。D1 ピンは、330kΩ の抵抗を用いて内部でプルアップされています。インターフェース回路図については図 4 を参照してください。
A3	D0	-0.150	+0.400	4dB アッテネータ用パラレル制御入力。この D0 ピンは、330kΩ の抵抗を用いて内部でプルアップされています。インターフェース回路図については図 4 を参照してください。
A4	VDD	+0.150	+0.400	正電源電圧。インターフェース回路図については図 5 を参照してください。
A5	VSS	+0.450	+0.400	負電源電圧。インターフェース回路図については図 6 を参照してください。
A6	GND	+0.750	+0.400	グラウンド。
B1	GND	-0.750	-0.050	グラウンド。
B2	GND	-0.450	-0.050	グラウンド。
B3	GND	-0.150	-0.050	グラウンド。
B4	GND	+0.150	-0.050	グラウンド。
B5	GND	+0.450	-0.050	グラウンド。
B6	GND	+0.750	-0.050	グラウンド。
C1	ATTIN	-0.750	-0.350	アッテネータ入力。ATTIN ピンは 0V に DC カップリングかつバイアスされており、また、50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 7 を参照してください。
C6	ATTOUT	+0.750	-0.350	アッテネータ出力。ATTOUT ピンは 0V に DC カップリングかつバイアスされており、また、50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 7 を参照してください。

ピン配置およびピン機能の説明

インターフェース回路図

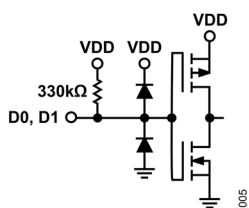


図 4. D0、D1 のインターフェース回路図

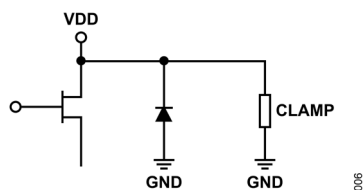


図 5. VDD ピンのインターフェース回路図

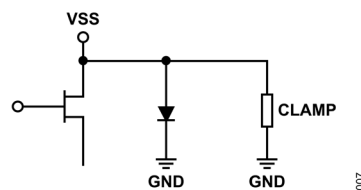


図 6. VSS ピンのインターフェース回路図

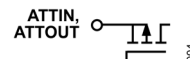


図 7. ATTIN、ATTOUT のインターフェース回路図

代表的な性能特性

挿入損失、反射損失、状態誤差、減衰、ステップ誤差、相対位相

特に指定のない限り、50Ωシステムに対し、VDD = +3.3V、VSS = -3.3V、D0 = 0V または VDD、D1 = 0V または VDD、T_{CASE} = 25°C。挿入損失、反射損失、アイソレーションは、グラウンド・シグナル (GS) プロブを用い、プローブ基板上で ATTIN ピンおよび ATTOUT ピンの近くで測定しています。

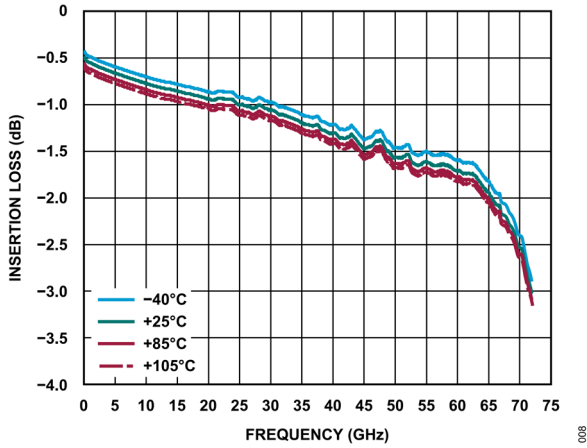


図 8. 様々な温度での挿入損失と周波数の関係

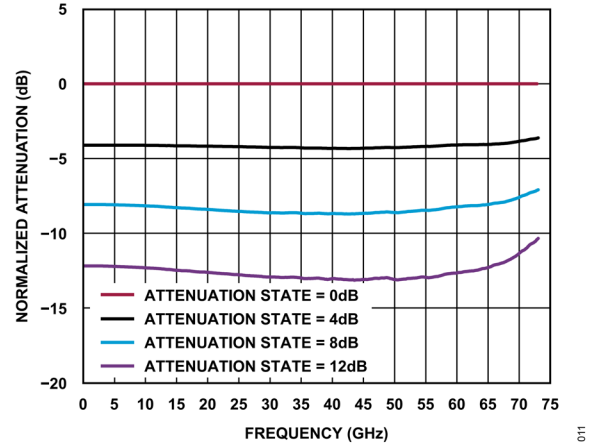


図 11. 全状態での規格化減衰量と周波数の関係

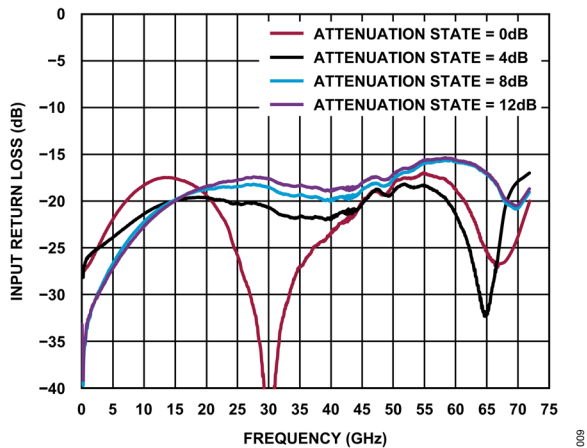


図 9. 全状態での入力反射損失と周波数の関係

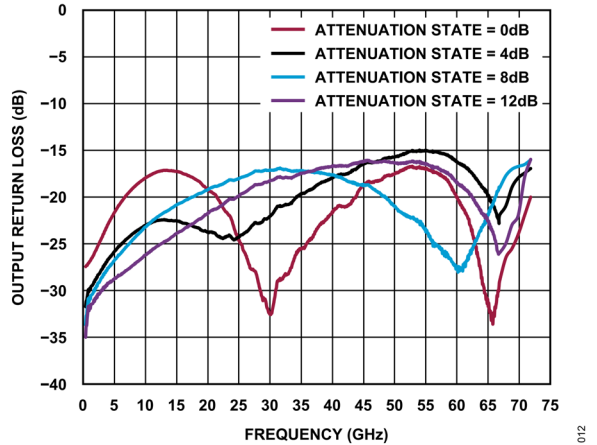


図 12. 全状態での出力反射損失と周波数の関係

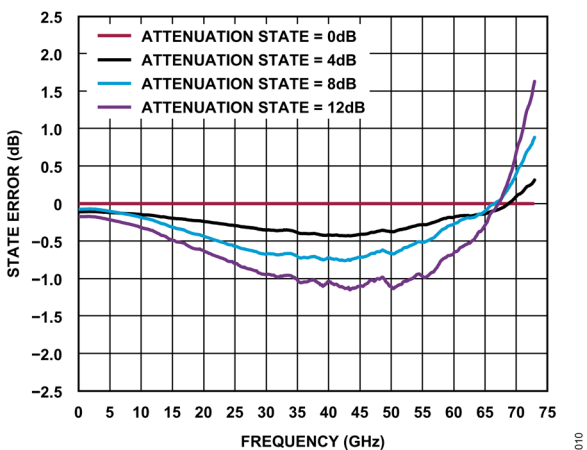


図 10. 全状態での状態誤差と周波数の関係

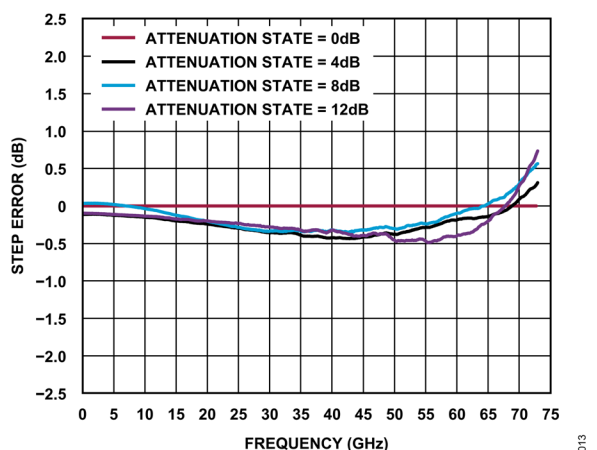


図 13. 全状態でのステップ誤差と周波数の関係

代表的な性能特性

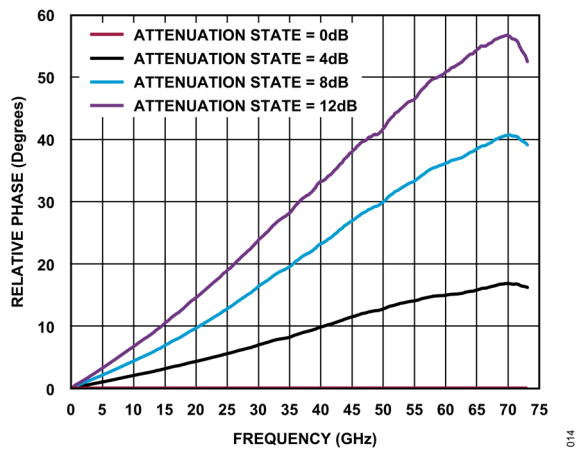


図 14. 全状態での相対位相と周波数の関係

代表的な性能特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ω システムに対し、VDD = +3.3V、VSS = -3.3V、D0 = 0V または VDD、D1 = 0V または VDD、T_{CASE} = 25°C。大信号性能パラメータは、コネクタ付きボード上で測定されています。

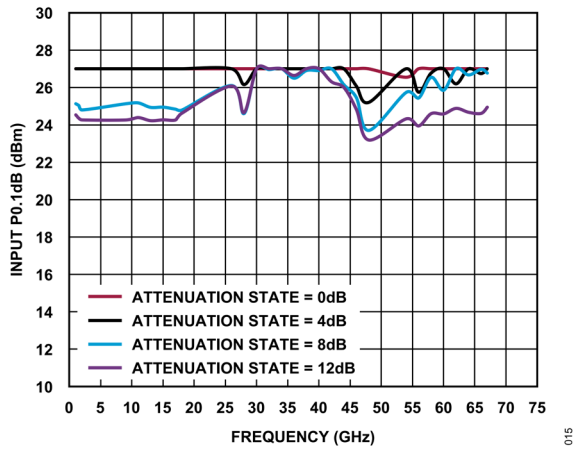


図 15. 全状態での入力 P0.1dB と周波数の関係

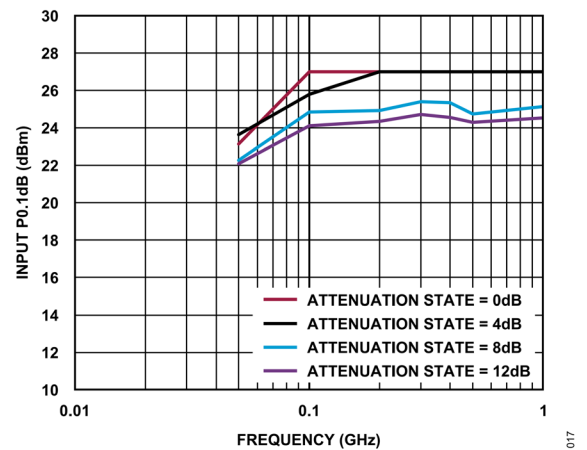


図 17. 全状態での入力 P0.1dB と周波数の関係 (低周波数の詳細)

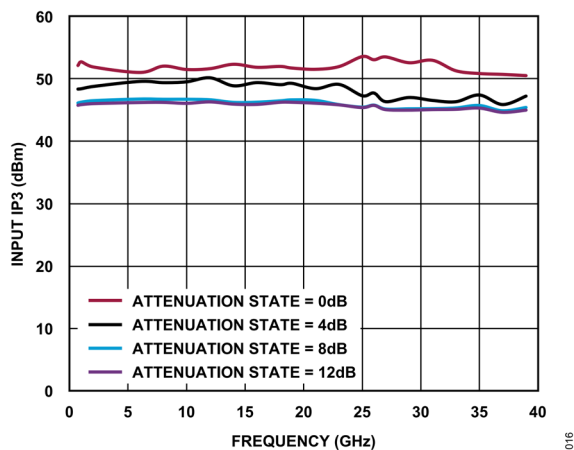


図 16. 全状態での入力 IP3 と周波数の関係

動作原理

ADRF5476 は、4dB のステップ・サイズで 12dB の減衰範囲を備えた 2 ビット固定のアッテネータ・アレイを内蔵しています。内蔵のドライバがアッテネータ・アレイのバラレル・モード制御を行います。

ADRF5476 には D0 と D1 の 2 つのデジタル制御入力があり、目的の減衰状態をバラレル・モードで選択できます。内部には 4dB のステージが 2 つあり、これらのステージは D0 ピンと D1 ピンで制御できます。

電源

ADRF5476 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス・コンデンサを接続することを推奨します。

パワーアップ・シーケンスは次のとおりです。

1. GND をグラウンドに接続します。
2. VDD と VSS に電源を投入します。ランプアップ中に VDD で電流トランジェントが発生しないように、VDD に電源を投入してから VSS に電源を投入します。
3. デジタル制御入力を印加します。デジタル制御入力間の相互の順序は重要ではありません。ただし、VDD への電源投入の前にデジタル制御入力に電源を投入すると、意図せぬ順方向バイアスの原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。この損傷を防ぐには、1kΩ の抵抗を直列接続して、デジタル制御ピンに流入する電流を制限します。
4. RF 入力信号を ATTIN と ATTOUT に印加します。

パワーダウン・シーケンスは、パワーアップ・シーケンスと逆の順序です。

RF 入出力

両 RF ポート (ATTIN および ATTOUT) は 0V に DC 結合しており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。RF ポートは内部で 50Ω に整合されています。

ADRF5476 は双方向動作に対応しています。ATTIN ポートと ATTOUT ポートの電力処理は同一です。表 1 に示した RF 電力入力の仕様を参照してください。

表 6. 推奨の真理値表

Digital Control Input		Attenuation State (dB)
D1	D0	
Low	Low	0 (reference)
Low	High	4
High	Low	8
High	High	12

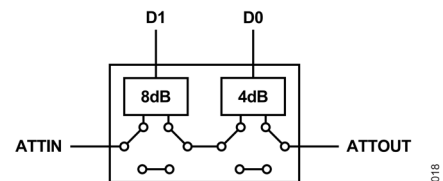


図 18. 推奨回路図

アプリケーション情報

ADRF5476 には、2つの電源ピン (VDD と VSS) と 2つの制御ピン (D1 と D2) があります。図 19 に、電源ピンへの外付け素子とその接続を示します。VDD、VSS、D1、D2 の各ピンは、100pF の多層セラミック・コンデンサでデカップリングされています。このデバイスのピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。RF ラインを 0V 以外の電圧でバイアスする場合、ATTIN ピンおよび ATTOUT ピンに接続する DC 阻止コンデンサを除き、バイアス用および動作用に他の部品を外付けする必要はありません。詳細については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

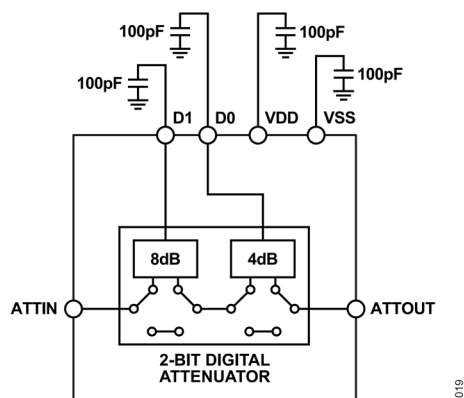


図 19. 推奨回路図

アプリケーション情報

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、特性インピーダンスが 50Ω の、PCB 上のコプレーナ導波路 (CPWG) に接合できるよう設計されています。図 20 に、150μm 厚の Megtron6 2×1080 R-5775G 誘電体材料を用いた CPWG リファレンス設計を示します。42μm の銅仕上げ厚さに対し、幅 300μm、ギャップ 300μm の RF パターンを使用しています。

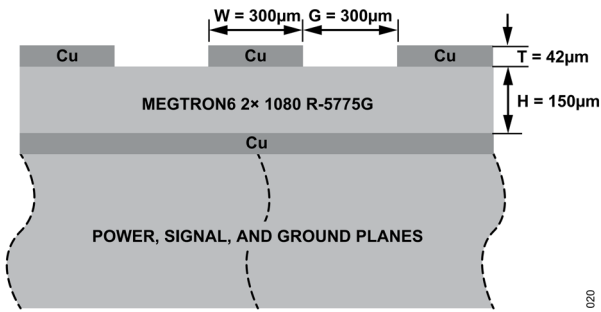


図 20. プローブ・ボードの層構成

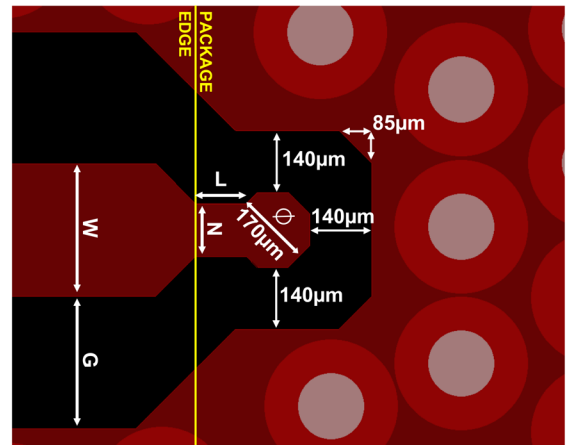


図 21. ATTIN ピンおよび ATTOUT ピンの推奨遷移

本デバイスの ATTIN ピンおよび ATTOUT ピンから 50Ω CPWG までの間の推奨レイアウトを図 21 に示します。信号パッドの直径は 170μm で、ここから広帯域チューニング用のネックが伸び、45° の角度のテーパで RF パターンに接続されています。様々な層構成に対して広帯域性能を実現するために最適化された ATTIN ピンおよび ATTOUT ピンの遷移を、表 7 に示します。異なる誘電体厚さや CPWG 設計を用いる代替 PCB 層構成の更なる推奨事項については、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

表 7. 様々な層構成に対する ATTIN ピンおよび ATTOUT ピンの推奨遷移

RF Stackup Height and Dielectric		RF Trace Dimensions		ADRF5476 Mnemonic	Transition Dimensions	
H (μm)	Er	W (μm)	G (μm)		N (μm)	L (μm)
85	3.02	180	250	All	120	250
100	3.34	200	225	All	120	200
115	3.40	225	250	All	120	170
125	3.00	250	225	All	170	170
150 ¹	3.40	300	300	All	170	170
175	3.16	360	245	All	170	170
190	3.00	425	225	All	170	170
200	3.55	425	275	All	170	170

¹ 設計リファレンスおよび一般的フットプリント。

アプリケーション情報

ダイのアッセンブリ

ADRF5476は、標準的なRoHS リフロー・アッセンブリ・プロセスおよびその温度プロファイルに対応しています。本デバイスは、その他の表面実装技術（SMT）部品と共に同じリフロー・サイクルで組み立てることができます。ただし、PCBは、ピック・アンド・プレース・プロセスに従って設計しなくてはなりません。

PCBの最上層である銅層は、最高のRF性能を発揮するよう設計されており、ハンダ・マスクとペースト・マスクの各層が最大のアッセンブリ歩留まりを実現できるよう設計されています。グラウンド・パッドは、ハンダ・マスク定義で描かれています。信号パッドは、パッド定義で描かれています。両方のパッドに同じハンダ・マスク設計とペースト・マスク設計を使用できます。

ADRF5476は、PCBにハンダ・ペーストを適用せずにアッセンブリすることもできます。ハンダ・ペーストを適用しない場合、ADRF5476をPCBに配置する前にフラックスに浸漬する必要があります。

ハンダ・ペーストを使用したリフロー・アッセンブリ

信号ピンおよびATTINピンとATTOUTピンには175 μm の四角形のハンダ・マスク開口が推奨され、GNDピンには150 μm の四角形のハンダ・マスク開口が推奨されます。ハンダ・マスクの厚さは50 μm を超えないようにしてください。ペースト・マスクは直径150 μm の円形です。2ミルの厚さのステンシルを用い、アパーチャを縮小しないことにより、最適なペースト・マスクの印刷ができます。本デバイスは、ピック・アンド・プレース・プロセスにおいて、フラックス浸漬は不要です。

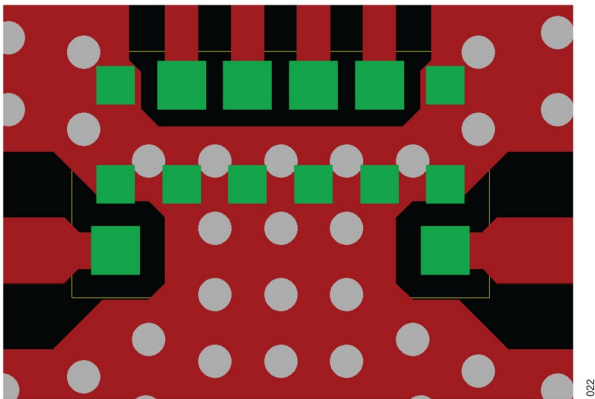


図 22. ハンダ・ペーストに推奨されるフットプリント

フラックス浸漬を伴うリフロー・アッセンブリ

直径が130 μm の円形のハンダ・マスク開口を推奨します。ハンダ・マスクの厚さは50 μm を超えないようにしてください。ハンダ・ペーストは塗布しません。基板に配置する前に本デバイスをフラックスに浸漬します。

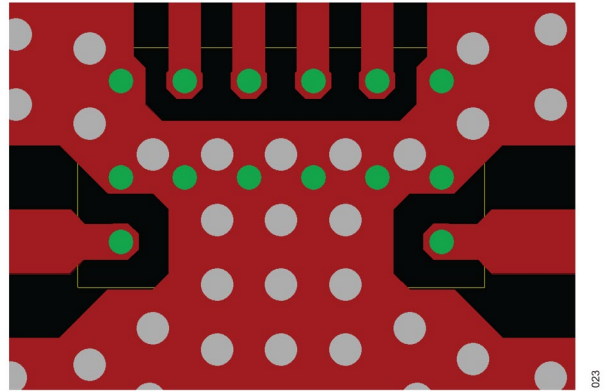


図 23. フラックス浸漬アッセンブリに推奨されるフットプリント

アッセンブリの耐久性

本デバイスは、バンプ付きダイです。バンプは、銅（Cu）ピラーとその上部にメッキした錫（Sn）および銀（Ag）のハンダ・キャップで構成されており、これが、リフローでの実装の際に本デバイスとPCBの相互接続を形成します。ユーザ・ハードウェアの最終的なアッセンブリにおける異種材料間の熱機械的な性質の違いが原因となり温度上昇と共にストレスが蓄積され、それによって、相互接続構造およびハンダ接合の完全性が損なわれます。ADRF5476は、0.75mm厚のラミネートPCBにマウントし、ハンダ・ペースト・リフローを用いてアンダーフィル材料を適用せずにアッセンブリした状態で、2300回の温度サイクルに対するJESD22-A104条件J(0-100C)でのJEDEC JED47L要件を満たしています。ユーザは、最終用途の要件に整合する環境条件に合わせてハードウェアの適格性を評価する必要があります。PCBの性質や設計の相違、温度サイクル数、ソーク時間、ドウェル時間の変動、温度範囲の変化などが熱機械的な結果に影響する可能性があるためです。なお、適切なアンダーフィル材を用いると、相互接続構造やハンダ接合部に加わるストレスが低減することにより、デバイス・アッセンブリの信頼性が大幅に向上します。

外形寸法

Package Drawing Option	Package Type	Package Description
CD-14-1	BUMPED_CHIP	14-Ball Bumped Bare Die Sales

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packaging Quantity	Package Option
ADRF5476BCDZ	-40°C to +105°C	14-Ball Bumped Bare Die Sales [BUMPED_CHIP]	Cut-Tape, 1 to 500	CD-14-1
ADRF5476BCDZ-R7	-40°C to +105°C	14-Ball Bumped Bare Die Sales [BUMPED_CHIP]	Reel, 500	CD-14-1

¹ Z = RoHS 適合製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。

