

フリップチップ、シリコン SPDT スイッチ、1GHz~90GHz

特長

- ▶ 周波数範囲：1GHz~90GHz
- ▶ 低挿入損失
 - ▶ 40GHz まで 1.2dB（代表値）
 - ▶ 67GHz まで 1.7dB（代表値）
 - ▶ 90GHz まで 3.0dB（代表値）
- ▶ 高アイソレーション
 - ▶ 40GHz まで 42dB（代表値）
 - ▶ 67GHz まで 40dB（代表値）
 - ▶ 90GHz まで 30dB（代表値）
- ▶ 高入力直線性
 - ▶ P0.1dB：24dBm（代表値）
 - ▶ IP3：45dBm（代表値）
- ▶ 大 RF 入力電力処理
 - ▶ スルー・パス：24dBm（最大値）
 - ▶ ホット・スイッチング：21dBm（最大値）
- ▶ 低周波数スプリアスなし
- ▶ CMOS/LVTTL に対応
- ▶ 高速スイッチングのオン時間とオフ時間（50% V_{CTRL} から RF 出力 90% まで）：15ns
- ▶ RF セトリング・タイム、0.1dB（50% V_{CTRL} から最終 RF 出力の 0.1dB まで）：35ns
- ▶ 単電源動作機能（ $V_{DD} = 3.3V$ 、 $V_{SS} = 0V$ ）
- ▶ 30 ボール、1.56mm × 2.04mm のパンプ付きベア・ダイで提供

アプリケーション

- ▶ 試験および計測器
- ▶ セルラ・インフラストラクチャ：5G ミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線機、超小型地球局（VSAT）

機能ブロック図

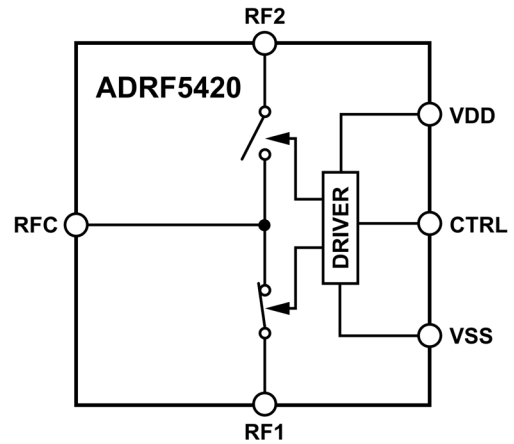


図 1. 機能ブロック図

概要

ADRF5420 は、シリコン・プロセスで製造される反射型 SPDT スイッチです。このスイッチは、挿入損失は 3.0dB、アイソレーションは 30dB より良好な性能を保って 1GHz~90GHz で動作します。ADRF5420 は、スルー・パスで 24dBm、ホット・スイッチングで 21dBm の RF 入力電力を処理できます。

ADRF5420 には、+3.3V の正電源で 130 μ A、-3.3V の負電源で 490 μ A の電流が流れます。相補型金属酸化膜半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTL）互換の制御機能を備えています。

更に、ADRF5420 は正単電源電圧（ V_{DD} ）を印加し、負電源電圧（ V_{SS} ）をグラウンドに接続した状態でも動作できます。小信号性能は維持されますが、スイッチング特性、直線性、電力処理性能は低下します。詳細は、表 2 を参照してください。

ADRF5420 の RF ポートは、50 Ω の特性インピーダンスに整合するように設計されています。ADRF5420 は 30 ボール、1.56mm × 2.04mm のパンプ付きベア・ダイで提供され、-40°C~+105°C で動作します。

目次

特長.....	1	インターフェース回路図.....	7
アプリケーション.....	1	代表的な性能特性.....	8
機能ブロック図.....	1	挿入損失、リターン・ロス、アイソレーション.....	8
概要.....	1	入力電力圧縮と3次インターセプト.....	9
仕様.....	3	動作原理.....	10
電気仕様.....	3	RF入出力.....	10
単電源動作.....	4	電源.....	10
絶対最大定格.....	5	アプリケーション情報.....	11
熱抵抗.....	5	PCB設計のための推奨事項.....	12
パワー・ディレーティング曲線.....	5	ダイのアッセンブリ.....	13
静電放電（ESD）定格.....	5	外形寸法.....	14
ESDに関する注意.....	5	オーダー・ガイド.....	14
ピン配置およびピン機能の説明.....	6		

改訂履歴

1/2026—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω システムに対し、V_{DD} = +3.3V、V_{SS} = -3.3V、制御電圧 (V_{CTRL}) = 0V または V_{DD}、ケース温度 (T_{CASE}) = 25°C。

表 1. 電気仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		1		90	GHz
INSERTION LOSS						
Between RFC and RF1 and RF2 (On)		100MHz to 18GHz		0.9		dB
		18GHz to 40GHz		1.2		dB
		40GHz to 55GHz		1.5		dB
		55GHz to 67GHz		1.7		dB
		67GHz to 90GHz		3.0		dB
RETURN LOSS						
RFC and RF1 and RF2 (On)		100MHz to 18GHz		18		dB
		18GHz to 40GHz		16		dB
		40GHz to 55GHz		15		dB
		55GHz to 67GHz		15		dB
		67GHz to 90GHz		10		dB
ISOLATION						
Between RFC and RF1/RF2		100MHz to 18GHz		47		dB
		18GHz to 40GHz		40		dB
		40GHz to 55GHz		40		dB
		55GHz to 67GHz		40		dB
		67GHz to 90GHz		30		dB
		Between RF1 and RF2				
		100MHz to 18GHz		49		dB
		18GHz to 40GHz		42		dB
		40GHz to 55GHz		43		dB
		55GHz to 67GHz		40		dB
		67GHz to 90GHz		30		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t _{RISE} , t _{FALL}	10% to 90% of RF output		5		ns
On and Off Time	t _{ON} , t _{OFF}	50% V _{CTRL} to 90% of RF output		15		ns
RF Settling Time 0.1dB		50% V _{CTRL} to 0.1dB of final RF output		35		ns
INPUT LINEARITY ¹						
0.1dB Power Compression	P0.1dB	1GHz to 67GHz		24		dBm
Third-Order Intercept	IP3	Two-tone input power = 14dBm each tone, Δf = 1MHz		45		dBm
SUPPLY CURRENT		VDD and VSS pins				
Positive Supply Current	I _{DD}			130		μA
Negative Supply Current	I _{SS}			490		μA
DIGITAL CONTROL INPUTS		CTRL pin				
Voltage						
Low	V _{INL}		0		0.8	V
High	V _{INH}		1.2		3.3	V
Current						
Low and High	I _{INL} , I _{INH}			<1		μA

仕様

表 1. 電気仕様（続き）

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
RECOMMENDED OPERATING CONDITIONS						
Supply Voltage						
Positive	V_{DD}		3.15		3.45	V
Negative	V_{SS}		-3.45		-3.15	V
Digital Control Voltage	V_{CTRL}		0		V_{DD}	V
RF Input Power ²	P_{IN}	$f = 3\text{GHz to } 70\text{GHz}$, $T_{CASE} = 85^\circ\text{C}$ ³				
Through Path		RF signal is applied to RFC or through connected RF1 and RF2			24	dBm
Hot Switching		RF signal is present at RFC while switching between RF1 and RF2			21	dBm
Case Temperature	T_{CASE}		-40		+105	°C

¹ 周波数に対する入力直線性については、図 13～図 16 を参照してください。

² パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

³ 105°Cでの動作の場合、電力処理能力は $T_{CASE} = 85^\circ\text{C}$ での仕様から 3dB 低下します。

単電源動作

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $V_{CTRL} = 0\text{V}$ または V_{DD} 、 $T_{CASE} = 25^\circ\text{C}$ 。

表 2. 単電源動作の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		1		90	GHz
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t_{RISE} , t_{FALL}	10% to 90% of RF output		20		ns
On and Off Time	t_{ON} , t_{OFF}	50% V_{CTRL} to 90% of RF output		38		ns
0.1dB RF Settling Time		50% V_{CTRL} to 0.1dB of final RF output		42		ns
INPUT LINEARITY						
0.1dB Power Compression	P0.1dB	$f = 1\text{GHz to } 67\text{GHz}$		14		dBm
Input Third-Order Intercept	IIP3	Two-tone input power = 0dBm each tone, $\Delta f = 1\text{MHz}$		41		dBm
RECOMMENDED OPERATING CONDITIONS						
RF Input Power ¹	P_{IN}	$f = 3\text{GHz to } 70\text{GHz}$, $T_{CASE} = 85^\circ\text{C}$ ²				
Through Path		RF signal is applied to the RFC or through connected RF1 and RF2			14	dBm
Hot Switching		RF signal is applied to the RFC while switching between RF1 and RF2			11	dBm

¹ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

² 105°Cでの動作の場合、電力処理能力は $T_{CASE} = 85^\circ\text{C}$ での仕様から 1dB 低下します。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 3. 絶対最大定格

Parameter	Rating
Positive Supply Voltage	-0.3V to +3.6V
Negative Supply Voltage	-3.6V to +0.3V
Digital Control Input ¹	
Voltage	-0.3V to V _{DD} + 0.3V
Current	3mA
RF Input Power, Dual Supply ² (V _{DD} = +3.3V, V _{SS} = -3.3V, f = 3GHz to 70GHz, T _{CASE} = 85°C ³)	
Through Path	25dBm
Hot Switching	22dBm
RF Input Power, Single Supply (V _{DD} = 3.3V, V _{SS} = 0V, f = 3GHz to 70GHz, T _{CASE} = 85°C ³)	
Through Path	15dBm
Hot Switching (RFC)	12dBm
RF Input Power Under Unbiased Condition (V _{DD} and V _{SS} = 0V)	15dBm
Temperature	
Junction, T _J	135°C
Storage Range	-65°C to +150°C
Reflow	260°C

¹ デジタル制御入力ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。

² パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

³ 105°Cでの動作では、電力処理能力は T_{CASE} = 85°Cでの仕様から両電源の場合は 3dB、単電源の場合は 1dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CD-30-3, Through Path	537	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって求めています。熱伝達は、チャンネルからグラウンド・パッドを通して PCB までの熱伝導のみによるものとし、グラウンド・パッドは 85°C の動作温度に固定しています。

パワー・ディレーティング曲線

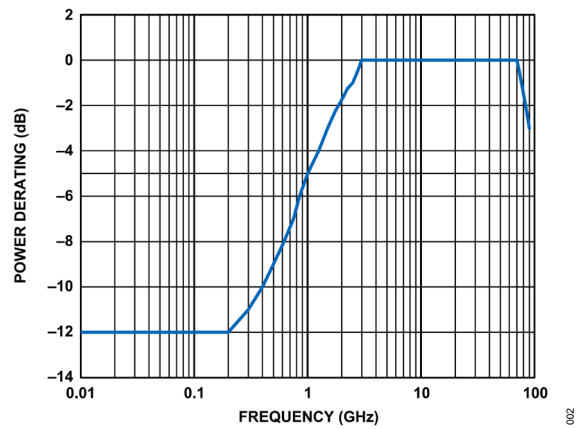


図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T_{CASE} = 85°C

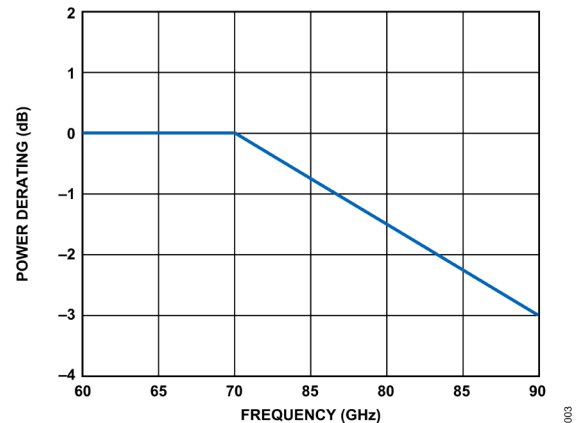


図 3. パワー・ディレーティングと周波数の関係、高周波数領域の詳細、T_{CASE} = 85°C

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ADRF5420 の ESD 定格

表 5. ADRF5420、30 ボール、バンプ付きチップ

ESD Model	Withstand Threshold (V)
HBM	±500 for the RF pins ±2000 for the supply and digital control pins

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

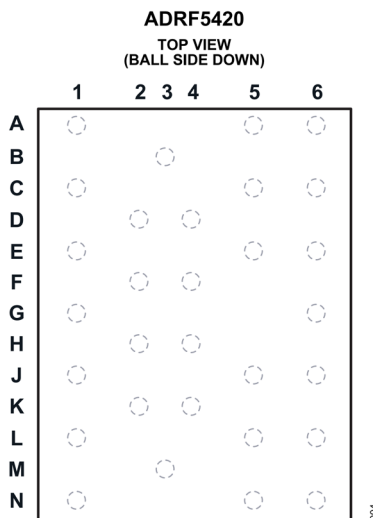


図 4. ピン配置（上面図、ボール面が下）

表 6. ピン機能の説明

ボール番号	記号	X座標 (mm)	Y座標 (mm)	説明
A1	GND	-0.575	+0.9	グラウンド。
A5	GND	+0.275	+0.9	グラウンド。
A6	GND	+0.575	+0.9	グラウンド。
B3	RF2	-0.15	+0.75	RF ポート 2。RF2 ピンは 0V に DC カップリングでバイアスされ、50Ω に AC 整合されています。RF ラインの電位が 0V に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 5 を参照してください。
C1	GND	-0.575	+0.6	グラウンド。
C5	GND	+0.275	+0.6	グラウンド。
C6	GND	+0.575	+0.6	グラウンド。
D2	GND	-0.275	+0.45	グラウンド。
D4	GND	-0.025	+0.45	グラウンド。
E1	GND	-0.575	+0.3	グラウンド。
E5	GND	+0.275	+0.3	グラウンド。
E6	VSS	+0.575	+0.3	負電源電圧。インターフェース回路図については図 8 を参照してください。
F2	GND	-0.275	+0.15	グラウンド。
F4	GND	-0.025	+0.15	グラウンド。
G1	RFC	-0.575	0	RF 共通ポート。RFC ピンは 0V に DC カップリングでバイアスされ、50Ω に AC 整合されています。RF ラインの電位が 0V に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 5 を参照してください。
G6	CTRL	+0.575	0	制御入力電圧。インターフェース回路図については図 6 を参照してください。
H2	GND	-0.275	-0.15	グラウンド。
H4	GND	-0.025	-0.15	グラウンド。
J1	GND	-0.575	-0.3	グラウンド。
J5	GND	+0.275	-0.3	グラウンド。
J6	VDD	+0.575	-0.3	正電源電圧。インターフェース回路図については図 7 を参照してください。
K2	GND	-0.275	-0.45	グラウンド。
K4	GND	-0.025	-0.45	グラウンド。
L1	GND	-0.575	-0.6	グラウンド。
L5	GND	+0.275	-0.6	グラウンド。
L6	GND	+0.575	-0.6	グラウンド。

ピン配置およびピン機能の説明

表 6. ピン機能の説明 (続き)

ボール番号	記号	X 座標 (mm)	Y 座標 (mm)	説明
M3	RF1	-0.15	-0.75	RF ポート 1。RF1 ピンは 0V に DC カップリングでバイアスされ、50Ω に AC 整合されています。RF ラインの電位が 0V に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 5 を参照してください。
N1	GND	-0.575	-0.9	グラウンド。
N5	GND	+0.275	-0.9	グラウンド。
N6	GND	+0.575	-0.9	グラウンド。

インターフェース回路図

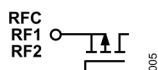


図 5. RFC、RF1 および RF2 ピンのインターフェース回路図

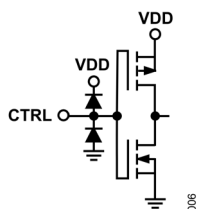


図 6. CTRL ピンのインターフェース回路図

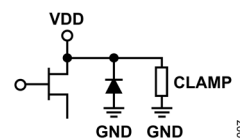


図 7. VDD ピンのインターフェース回路図

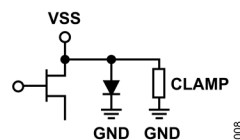


図 8. VSS ピンのインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 、 50Ω システム。挿入損失、リターン・ロス、アイソレーションは、RFx ピンの近くでグラウンド・シグナル・グラウンド (GSG) プロブを使用して、プローブ・ボード上で測定しました。

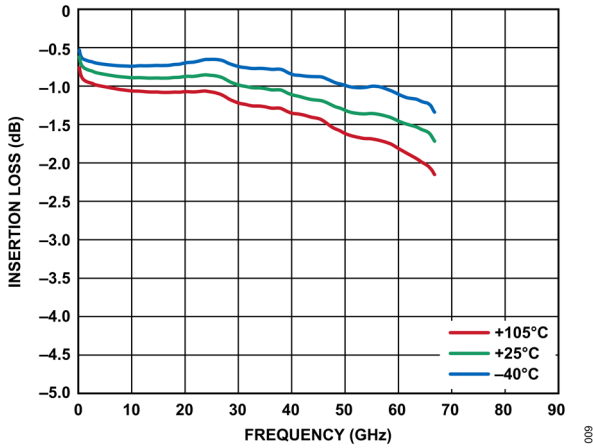


図 9. 様々な温度における挿入損失と周波数の関係 (設定限界は 67GHz)

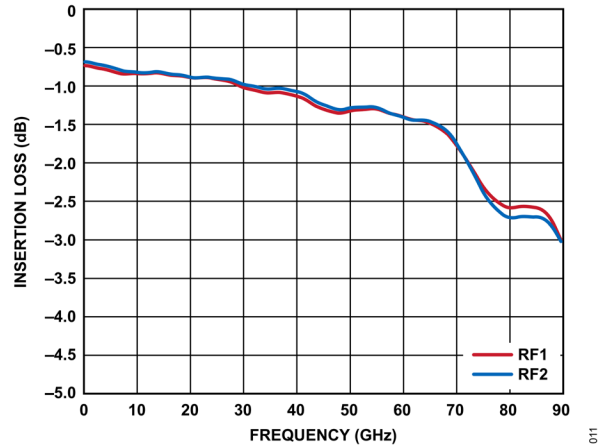


図 11. 挿入損失と周波数の関係

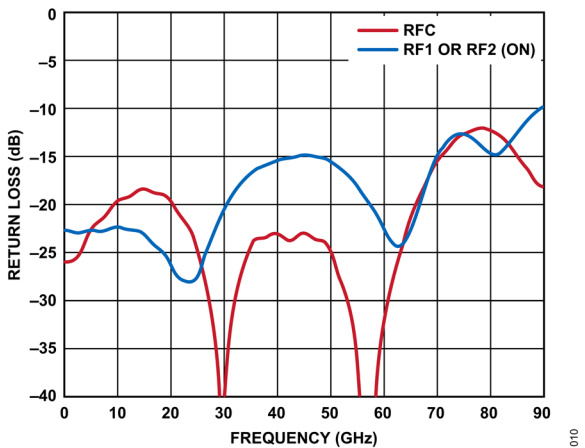


図 10. リターン・ロスと周波数の関係

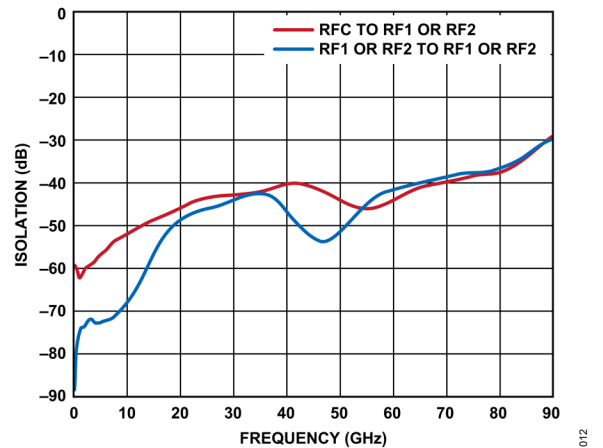


図 12. アイソレーションと周波数の関係

代表的な性能特性

入力電力圧縮と3次インターセプト

特に指定のない限り、 $V_{DD} = +3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 、 50Ω システム。大信号性能パラメータはコネクタ付きボードで測定しました。

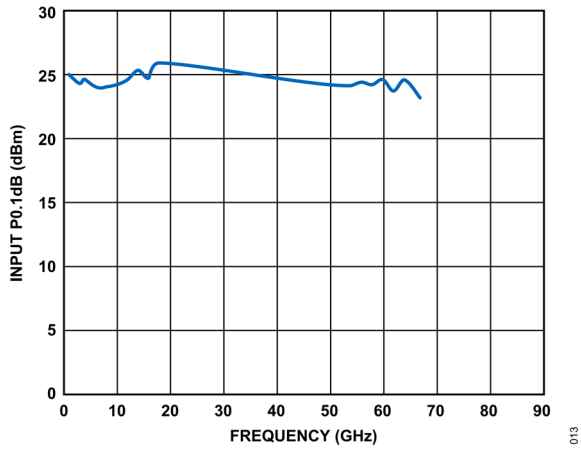


図 13. 入力 P0.1dB と周波数の関係

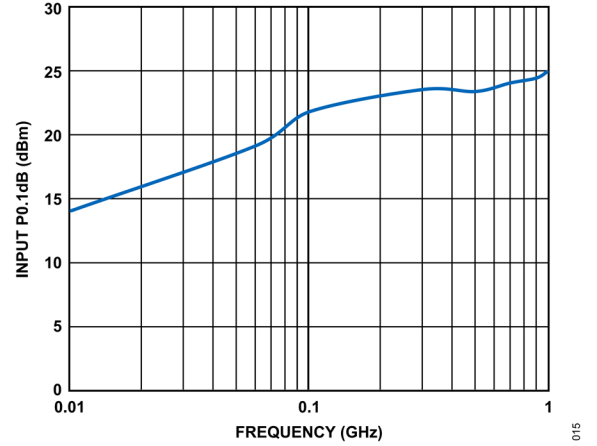


図 15. 入力 P0.1dB と周波数の関係（低周波数の詳細）

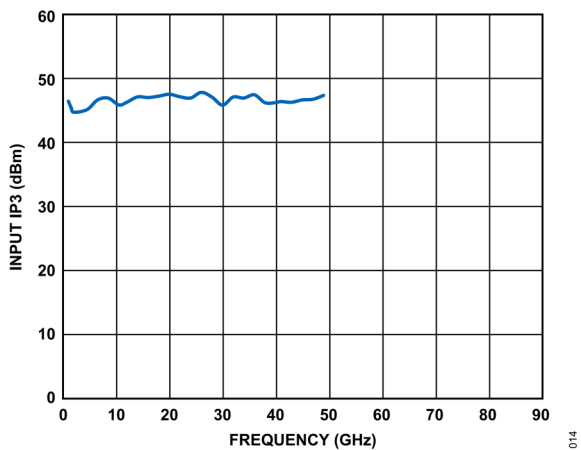


図 14. 入力 IP3 と周波数の関係

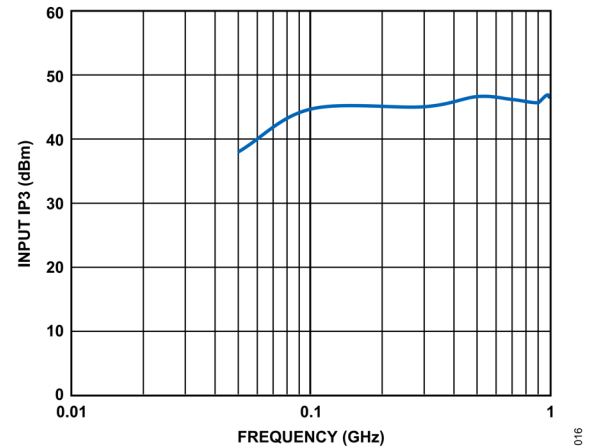


図 16. 入力 IP3 と周波数の関係（低周波数の詳細）

動作原理

ADRF5420 にはロジック機能を内部で実行するドライバが内蔵されているため、CMOS 対応と LVTTTL 対応の制御インターフェースを簡素化できるメリットがあります。このドライバには1本のデジタル制御入力ピンCTRLがあります。CTRLピンに印加されたロジック・レベルに応じて、どのRFポートを挿入損失状態とするか、アイソレーション状態とするかが決まります（表7参照）。

RF 入出力

RFポート（RFC、RF1、RF2）は0VにDC結合されています。RFライン電位が0Vに等しい場合、RFポートでのDC阻止は不要です。RFポートは内部で50Ωに整合しています。

ADRF5420は、双方向に均等な電力処理機能を備えています。RF入力信号はRFCポートに印加することも、選択したRFポートに印加することもできます。

挿入損失パスでは、選択されたRF投ポートとRF共通ポートの間でRF信号が導通します。アイソレーション経路では、挿入損失経路と未選択のRF投ポートの間に大きな損失が発生します。ADRF5420の未選択のRFポートは反射状態となります。

3GHz未満や70GHzを越える周波数では、ADRF5420の電力処理能力は低下します。低周波数および高周波数条件でのRF電力のディレーティングについては、図2と図3を参照してください。

表7. 制御電圧の真理値表

Digital Control Input (V_{CTRL})	RF Path	
	RF1 to RFC	RF2 to RFC
Low	Isolation (off)	Insertion loss (on)
High	Insertion loss (on)	Isolation (off)

電源

ADRF5420は、VDDピンに供給する正電源電圧と、VSSピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス・コンデンサを接続することを推奨します。

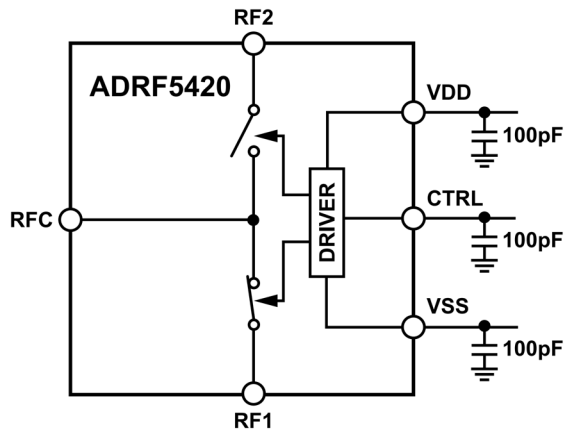
理想的なパワーアップ・シーケンスは以下のとおりです。

1. GNDを接続します。
2. VDDとVSSに電源を入れます。ランプアップ中にVDDで電流トランジェントが発生しないように、VDDの電源投入後にVSSを電源投入します。
3. デジタル制御入力を印加します。VDDへの電源投入の前にデジタル制御入力に電源投入すると、意図せぬ順方向バイアスの原因となり、内蔵ESD保護構造に損傷を与えるおそれがあります。損傷を与えないように、1kΩの直列抵抗を使用して、CTRLピンに流れる電流を制限します。VDDのパワーアップ後にコントローラが高インピーダンス状態になり、CTRLピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を使用します。
4. RF入力信号を印加します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

アプリケーション情報

ADRF5420 には、2 本の電源ピン (VDD と VSS) と 1 本の制御ピン (CTRL) があります。図 17 に、電源ピンの外付け素子と接続を示します。VDD、VSS、CTRL の各ピンは、100pF の多層セラミック・コンデンサでデカップリングしています。このデバイスのピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。RF ラインを 0V 以外の電圧でバイアスする場合に RF ピンに接続する DC 阻止コンデンサを除き、バイアスおよび動作には他の外付け部品は不要です。詳細については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。



017

図 17. 推奨回路図

アプリケーション情報

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、PCB 上で特性インピーダンスが 50Ω のコプレーナ導波路 (CPWG) と接合できるように設計されています。図 18 に、150μm 厚の Megtron6 2×1080 R-5775G 誘電体材料を使用する場合の CPWG の参考設計例を示します。42μm の銅仕上げ厚さに対し、幅 300μm、ギャップ 300μm の RF パターンを使用しています。

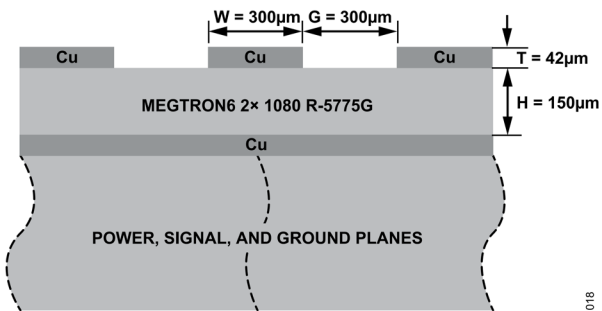


図 18. プローブ・ボードの層構成

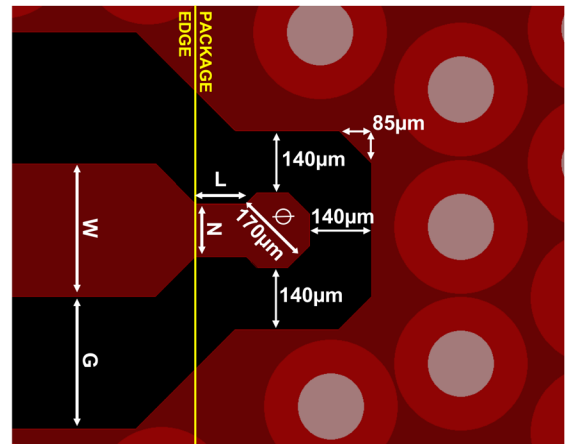


図 19. 推奨の RF ピン遷移

図 19 に、デバイスの RF ピンと 50Ω CPWG との接続の推奨レイアウトを示します。信号パッドは直径 170μm で、広帯域チューニングのためのネックを経て 45 度のテーパ形状で RF 配線パターンに接続しています。様々な層構成に対する、広帯域性能のために最適化された RF ピン遷移を表 8 に示しています。異なる誘電体厚さおよび CPWG 設計を用いた代替 PCB 層構成に関する更なる推奨事項については、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

表 8. 様々な層構成に対応した推奨の RFx ピン遷移

RF Stackup Height and Dielectric		RF Trace Dimensions		ADRF5420 Mnemonics	Transition Dimensions	
H (μm)	Er	W (μm)	G (μm)		N (μm)	L (μm)
85	3.02	180	250	RFC RF1, RF2	100 100	190 215
100	3.34	200	225	RFC RF1, RF2	120 120	190 165
115	3.40	225	250	RFC RF1, RF2	120 120	140 165
125	3.00	250	225	RFC RF1, RF2	120 120	90 165
150 ¹	3.40	300	300	RFC RF1, RF2	120 120	90 165
175	3.16	360	245	RFC RF1, RF2	120 120	90 165
190	3.00	425	225	RFC RF1, RF2	170 170	90 165
200	3.55	425	275	RFC RF1, RF2	170 170	90 165

¹ 設計リファレンスの標準寸法。

アプリケーション情報

ダイのアッセンブリ

ADRF5420は標準的なRoHSリフロー・アッセンブリ・プロセスに準拠しており、同じリフロー・サイクルで他の表面実装技術（SMT）部品と共に実装が可能です。ピック・アンド・プレースで高い精度が得られるよう、PCBにはデバイスの近くに基準マークを設けます。

PCB最上層の銅層は最適なRF性能が得られるよう設計され、ハンダ・マスク層とペースト・マスク層はアッセンブリの歩留まりが最適になるよう設計されています。グラウンド・パッドは、ハンダ・マスク定義で描かれています。信号パッドは、パッド定義で描かれています。両方のパッドに同じハンダ・マスクとペースト・マスクの設計を使用します。あるいは、PCBにハンダ・ペーストを使用せずにADRF5420を実装することもできます。ハンダ・ペーストを使用しない場合には、PCB上に配置する前にデバイスをフラックスに浸す必要があります。

ハンダ・ペーストを使用したリフロー・アッセンブリ

信号パッドとRFパッドには175 μm の正方形形状のハンダ・マスク開口部を、GNDパッドには150 μm の正方形形状のハンダ・マスク開口部を推奨します。ハンダ・マスクの厚さは50 μm を超えてはなりません。ペースト・マスクは直径150 μm の円形に描かれています。2ミル厚のステンシルを使用し、開口部の縮小をなくすことで最適なペースト・マスクのパターンが得られます。ピック・アンド・プレースの作業中にデバイスをフラックス浸漬する必要はありません。

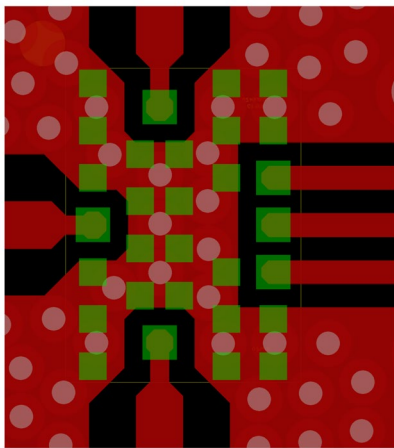


図 20. ハンダ・ペースト用の推奨フットプリント

フラックス浸漬を伴うリフロー・アッセンブリ

直径が130 μm の円形のハンダ・マスク開口部を推奨します。ハンダ・マスクの厚さは50 μm を超えてはなりません。ハンダ・ペーストは使用しません。ボード上への配置の前にデバイスをフラックスに浸漬します。

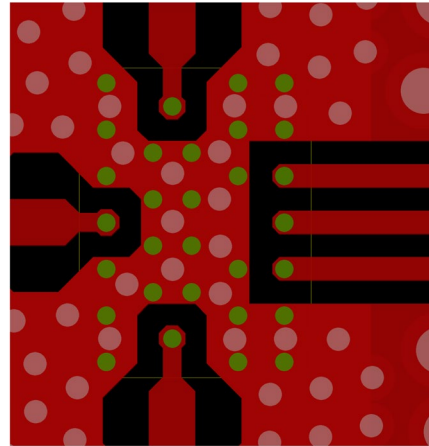


図 21. フラックス浸漬アッセンブリ用の推奨フットプリント

アッセンブリの耐久性

このデバイスはバンパ付きダイです。バンパの構成は、錫（Sn）と銀（Ag）でメッキされたハンダ・キャップ付きの銅（Cu）ピラーで、リフローで接合されたときにこれがデバイスとPCBとの接続箇所になります。ユーザのハードウェアにおけるユニット全体での異種材料間の熱機械的特性の相違により、温度変化でのストレスが蓄積し、接続部の構造とハンダ接続の完全性が損なわれます。ADRF5420は、0.75mm厚のラミネートPCBにハンダ・ペースト・リフローを使用しアンダーフィル材料を使用せずに実装したときに、JESD22-A104 Condition J (0-100C)の条件で2300回の温度サイクルに対しJEDEC JED47Lの要求を満たします。PCBの性質と設計、温度サイクル数の違い、ソーク時間とドウェル時間、温度範囲の変化によって熱機械的な結果に相違が生ずるため、ユーザは環境条件がエンドユース要件と整合するようにハードウェアの適格性を確認する必要があります。適切なアンダーフィル接着剤を使用すれば、接続部の構造とハンダ接続部にかかるストレスが低減されるので、デバイス・アッセンブリの完全性が大幅に改善します。

外形寸法

Package Drawing Option	Package Type	Package Description
CD-30-3	BUMPED_CHIP	38-Ball Bumped Bare Die Sales

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packaging Quantity	Package Option
ADRF5420BCDZ	-40°C to +105°C	30-Ball Bumped Bare Die Sales [BUMPED_CHIP]	Cut-Tape, 1 to 500	CD-30-3
ADRF5420BCDZ-R7	-40°C to +105°C	30-Ball Bumped Bare Die Sales [BUMPED_CHIP]	Reel, 500	CD-30-3

¹ Z = RoHS 適合製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。

