



シリコン製 SPDT スイッチ 反射、24GHz~32GHz

データシート

ADRF5300

特長

反射設計

低挿入損失：1.1dB

高アイソレーション：38dB

高入力直線性

P0.1dB：37dBm

IP3：65dBm

大 RF 入力電力処理

28dBm（平均）

36dBm（ピーク）

3.3V 単電源動作

負電圧発生器を内蔵

RF のセトリング・タイム（0.1dB の最終 RF 出力まで）：70ns

20 端子、3mm × 3mm、RoHS 準拠、ランド・グリッド・

アレイ・パッケージ

アプリケーション

工業用スキャナ

試験用計測器

セルラ・インフラストラクチャ：5G 用ミリ波

防衛用無線、レーダー、電子対抗手段（ECM）

マイクロ波無線および超小型地球局（VSAT）

概要

ADRF5300 は、シリコン・プロセスを使って製造した反射 SPDT スイッチです。

このデバイスは、24GHz~32GHz の範囲の 5G アプリケーション向けに開発され、1.1dB の低挿入損失、38dB の高アイソレーション、28dBm（平均）および 36dBm（ピーク）の RF 入力電力処理能力を備えています。

機能ブロック図

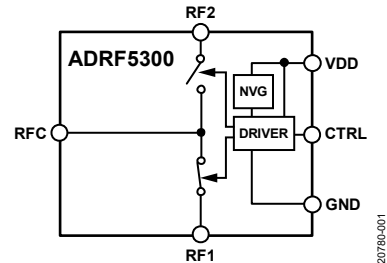


図 1.

ADRF5300 は、負電圧発生器（NVG）を内蔵しており、VDD ピンに供給される 3.3V（V_{DD}）の正側（供給）単電源で動作します。また、CMOS/低電圧トランジスタ・ロジック（LVTTTL）互換の制御が採用されています。

ADRF5300 は、20 端子、3mm × 3mm、RoHS 準拠のランド・グリッド・アレイ（LGA）パッケージで提供され、-40°C ~ +105°C で動作可能です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	挿入損失、リターン・ロス、アイソレーション	6
アプリケーション	1	入力電力圧縮と3次インターセプト	7
機能ブロック図	1	動作原理	8
概要	1	RF入出力	8
改訂履歴	2	電源	8
仕様	3	タイミング条件	8
タイミング仕様	3	アプリケーション情報	9
絶対最大定格	4	レイアウト時の考慮事項	9
熱抵抗	4	RFおよびデジタル制御	9
静電放電 (ESD) 定格	4	プローブ・マトリックス・ボード	9
ESDに関する注意	4	外形寸法	11
ピン配置およびピン機能の説明	5	オーダー・ガイド	11
インターフェース回路図	5		
代表的な性能特性	6		

改訂履歴

9/2020—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 3.3V$ 、制御電圧 ($V_{CTRL} = 0V$ または V_{DD})、 $T_{CASE} = 25^{\circ}C$ 、および 50Ω システムです。

表 1.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
FREQUENCY RANGE		24		32	GHz
INSERTION LOSS Between RFC and RF1 or RFC and RF2			1.1		dB
ISOLATION Between RFC and RF1 or RFC and RF2 Between RF1 and RF2			38 38		dB dB
RETURN LOSS RFC, RF1 (On) and RF2 (On)			22		dB
SWITCHING CHARACTERISTICS Rise Time (t_{RISE}) and Fall Time (t_{FALL}) On Time (t_{ON}) and Off Time (t_{OFF}) RF Settling Time 0.1 dB 0.05 dB	RF 出力の 10%~90% RF 出力の 50% V_{CTRL} ~90% 50% V_{CTRL} ~最終 RF 出力の 0.1dB 50% V_{CTRL} ~0.05dB の最終 RF 出力		25 60 70 80		ns ns ns ns
INPUT LINEARITY 0.1 dB Power Compression (P0.1dB) Input Third-Order Intercept (IP3) ¹	$f = 24GHz \sim 32GHz$ ツーン・トーン入力電力=トーンあたり 20dBm、 $\Delta f = 1MHz$		37 65		dBm dBm
SUPPLY CURRENT Positive Supply Current (I_{DD})	VDD ピン		450		μA
DIGITAL CONTROL INPUTS Input Voltage Low (V_{INL}) High (V_{INH}) Input Current Low (I_{INL}) High (I_{INH})	CTRL ピン	0 1.2		0.8 3.3	V V μA μA
RECOMMENDED OPERATING CONDITIONS V_{DD} Digital V_{CTRL} RF Input (RF _{IN}) Power ² Steady State Average Steady State Peak Hot Switching Average Hot Switching Peak T_{CASE}	$f = 24GHz \sim 32GHz$ 、 $T_{CASE} = 85^{\circ}C$ 、入力は RFC、RF1 または RF2	3.15 0		3.45 V_{DD} 28 36 28 36 -40 +105	V V dBm dBm dBm dBm $^{\circ}C$

¹ 性能はテスト・セットアップによって制限されます。

² $105^{\circ}C$ での動作の場合、電力処理は $T_{CASE} = 85^{\circ}C$ での仕様より 3dB 低下します。

タイミング仕様

タイミング図については、[図 14](#) を参照してください。

表 2.

パラメータ	説明	Min	Typ	Max	単位
$t_{POWERUP}$ ¹	パワーアップ後の最小待機時間	50			μs
t_{HOLD}	最小スイッチング制御時間	40			μs
t_{SLEW}	最大立上がり/立下がり制御時間			10	μs

¹ $t_{POWERUP}$ 待機時間の間、最大 10dBm の RF 入力電力を印加することができます。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 3.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Digital Control Inputs	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Input Power ($V_{DD} = 3.3$ V, $f = 24$ GHz to 32 GHz at $T_{CASE} = 85$ °C)	
Average	28.5 dBm
Peak	36.5 dBm
RF Input Power Under Unbiased Condition ($V_{DD} = 0$ V)	
Average	28 dBm
Peak	36 dBm
Temperature	
Junction	135°C
Storage	-65°C to +150°C
Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JC}	Unit
CC-20-9	385	°C/W

静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた環境で取り扱う場合にのみ適用できます。

人体モデル (HBM) は、ANSI/ESDA/JEDEC JS-001 規格に基づいています。

電界誘導デバイス帯電モデル (FICDM) は ANSI/ESDA/JEDEC JS-002 規格に基づいています。

ADRF5300 の ESD 定格

表 5. ADRF5300、20 端子 LGA

ESD Model	Withstand Threshold (V)
HBM	
All Pins	±1000
Supply and Control Pins	±4000
FICDM	±1250

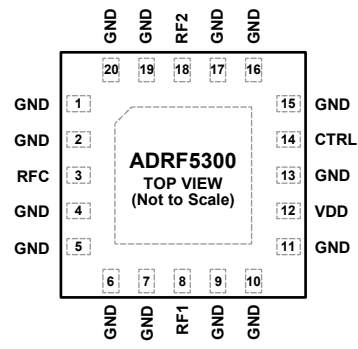
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND OF THE PCB.

図 2. ピン配置 (上面図)

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 4 to 7, 9 to 11, 13, 15 to 17, 19, 20	GND	グラウンド。GND ピンは、PCB の RF/DC グラウンドに接続する必要があります。
3	RFC	RF 共通ポート。RFC ピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 3 を参照してください。
8	RF1	RF 投ポート 1。RF1 ピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 3 を参照してください。
12	VDD	正側（供給）電源電圧入力。インターフェース回路図については、図 5 を参照してください。
14	CTRL	制御電圧入力。インターフェース回路図については、図 4 を参照してください。
18	RF2	RF 投ポート 2。RF2 ピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 3 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続する必要があります。

インターフェース回路図

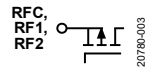


図 3. RFC、RF1、RF2 ピンのインターフェース回路図

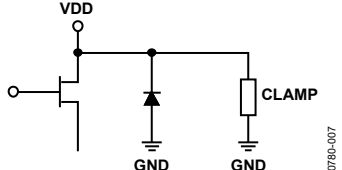


図 5. VDD ピンのインターフェース回路図

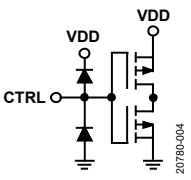


図 4. CTRL ピンのインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 、および 50Ω システムです。RFC、RF1およびRF2ピンの近くでグラウンド・シグナル・グラウンド (GSG) プローブを使用して、プローブ・マトリックス・ボード上で測定しました。

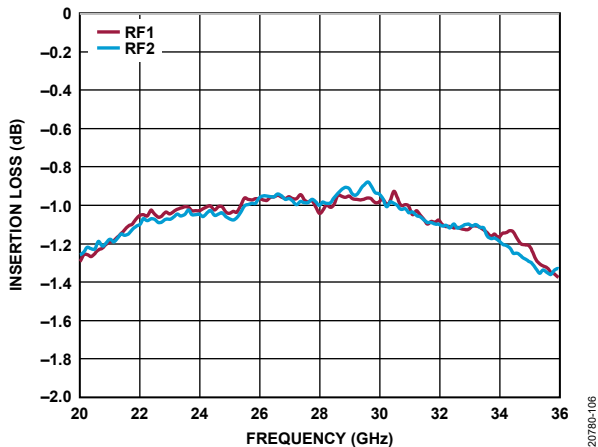


図 6. 挿入損失の周波数特性

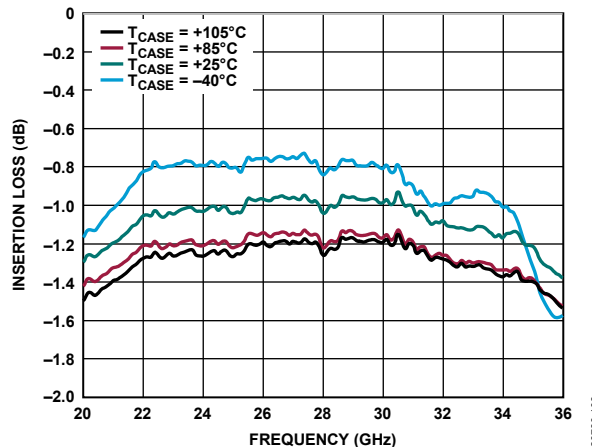


図 8. 挿入損失の周波数特性、RF1 を選択

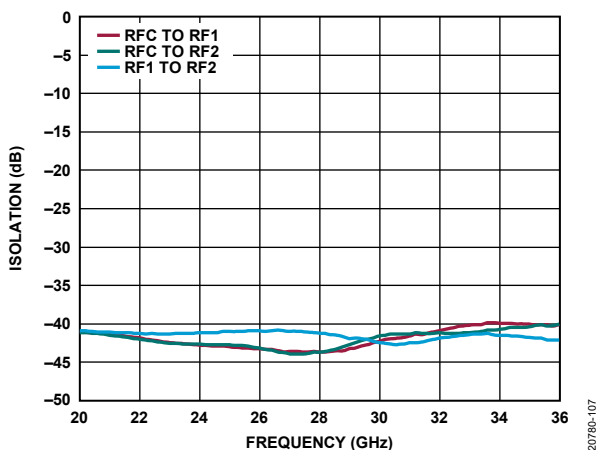


図 7. アイソレーションの周波数特性

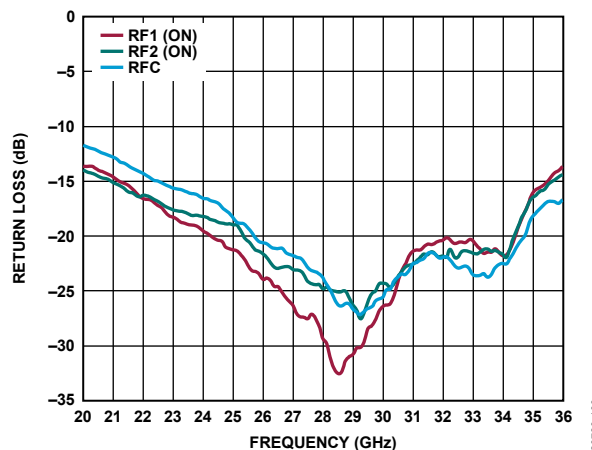


図 9. リターン・ロスの周波数特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 、および 50Ω システムです。全ての大信号性能パラメータは [ADRF5300-EVALZ](#) で測定しました。

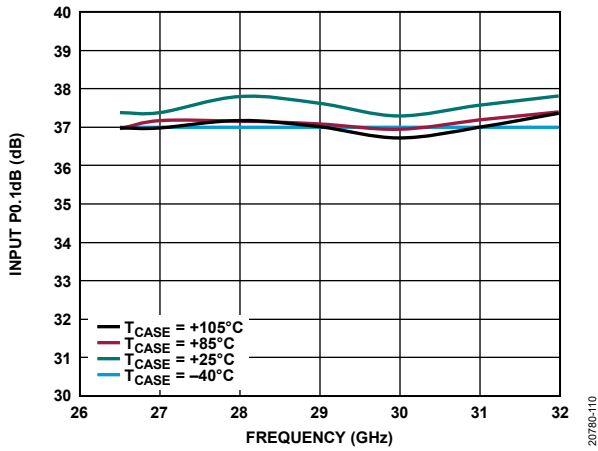


図 10. 入力 P0.1dB の周波数特性、RF1 を選択

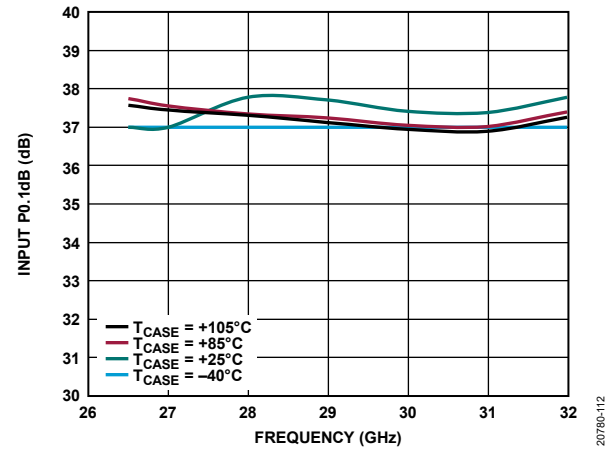


図 12. 入力 P0.1dB の周波数特性、RF2 を選択

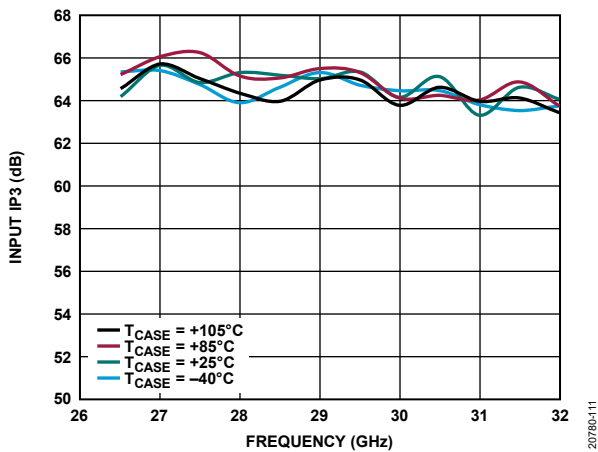


図 11. 入力 IP3 の周波数特性、RF1 を選択

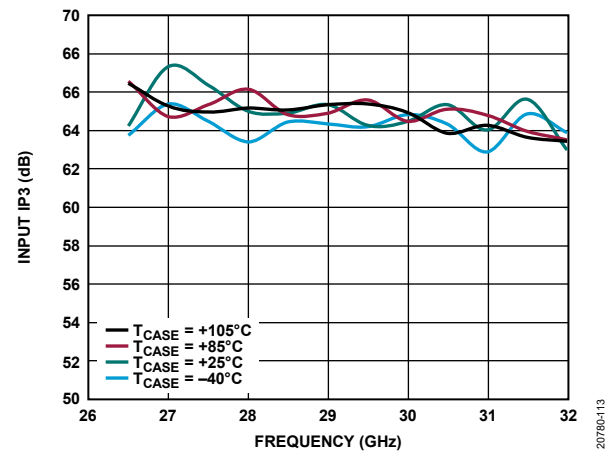


図 13. 入力 IP3 の周波数特性、RF2 を選択

動作原理

ADRF5300 は、ロジック機能を内部で実行するためのドライバを内蔵しているため、正電圧の制御インターフェースを簡素化できるメリットがあります。このドライバは、デジタル制御入力ピン (CTRL) を備えており、RF 経路の状態を制御することができます。CTRL ピンに印加されたロジック・レベルに応じて、どの RF ポートが挿入損失状態になり、どのポートがアイソレーション状態になるかが決まります (表 7 参照)。

RF 入出力

RF ポート (RFC, RF1, RF2) は全て 0V に DC カップリングされています。RF ラインの電位が 0V に等しい場合は、RF ポートに DC 阻止コンデンサは不要です。

RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング回路は不要です。

ADRF5300 は、双方向に均等な電力処理機能を備えています。RF 入力信号 (RF_{IN}) は、RFC ポート、RF1 ポートまたは RF2 ポートに印加できます。

挿入損失経路では、選択された RF 投ポートと RF 共通ポートの間に RF 信号が導通します。アイソレーション経路では、挿入損失経路と未選択の反射 RF 投ポートの間に大きな損失が発生します。

電源

ADRF5300 は、正側 (供給) 電源で動作し、超低スプリアス性能を備えた NVG を内蔵しています。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

パワーアップ・シーケンスは次のとおりです。

1. GND を接地します。
2. 電源入力 VDD に電源を投入します。
3. デジタル制御入力 CTRL に電源を投入します。VDD への電源投入の前に CTRL に電源投入すると、意図せぬバイアス電流の原因となり、内部の ESD 保護構造に損傷が生じます。損傷を与えないように、1kΩ の直列抵抗を使用して、CTRL ピンに流れる電流を制限します。VDD への電源投入後にコントローラ出力が高インピーダンス状態になり、CTRL ピンが有効なロジック状態に駆動されない場合は、抵抗を使用して CTRL ピンを VDD または GND に接続してください。
4. RF 入力信号を印加します。

パワーダウン・シーケンスは、パワーアップ・シーケンスの逆順序です。

タイミング条件

バイアス回路と制御回路を適切に動作させるためのタイミング条件があります。タイミング仕様については、表 2 を参照してください。タイミング条件については、図 14 を参照してください。

VDD が動作範囲に達した後、推奨される最大 RF 電力を印加できるようになるまでの待機時間は $t_{POWERUP}$ によって定義されます。この待機時間の間、最大 10dBm の RF 入力電力を印加することができます。

状態を切り替えるまでの最小待機時間は t_{HOLD} によって定義されます。

CTRL パルスの最大立上がり時間と最大立下がり時間は t_{SLEW} によって定義されます。

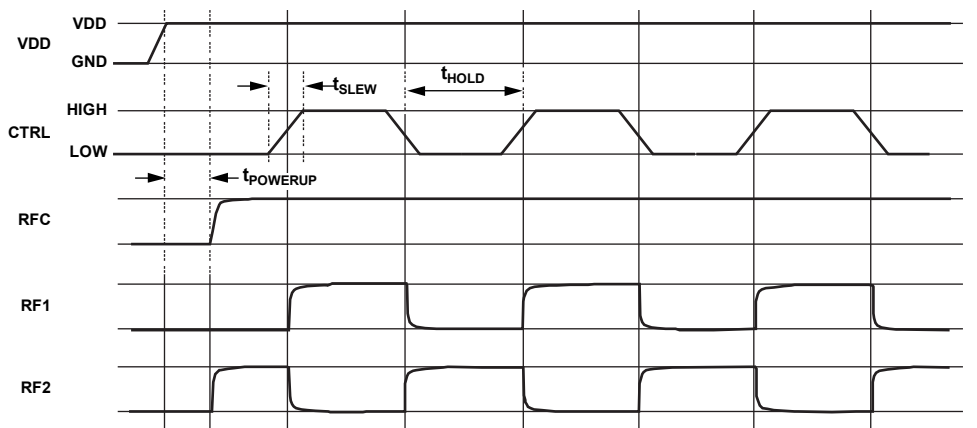


図 14. タイミング条件

表 7. 制御電圧の真理値表

Digital Control Input	RF Paths	
CTRL	RF1 to RFC	RF2 to RFC
High	Insertion loss (on)	Isolation (off)
Low	Isolation (off)	Insertion loss (on)

アプリケーション情報

レイアウト時の考慮事項

ADRF5300-EVALZ の設計は、ADRF5300 のアプリケーションでの推奨レイアウトとして利用できます。

ADRF5300-EVALZ は、4 層の評価用ボードです。0.5oz (0.7mil) のメッキ層が、外側の銅 (Cu) 層では 1.5oz (2.2mil) のメッキ厚さになっており、誘電体材料で分離されています。ADRF5300-EVALZ の層構成を図 15 に示します。

アプリケーション回路の設計に関する詳細については、ADRF5300-EVALZ ユーザ・ガイドを参照してください。

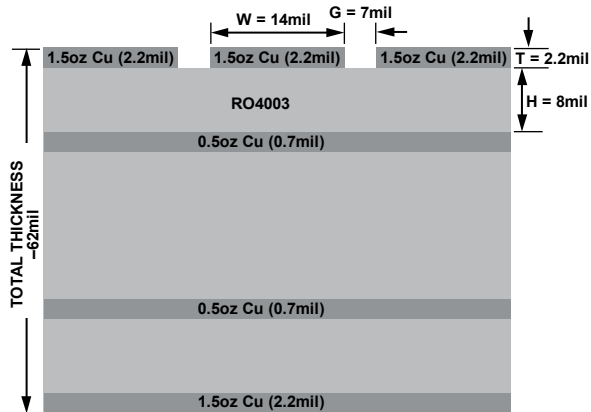


図 15. ADRF5300-EVALZ の層構成

RF と DC の全てのパターンは上面の銅層に配線されています。一方、内部の層と底面の層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上部の誘電体材料は 8mil の Rogers RO4003 で、最適な高周波性能を実現します。中間部および下部の誘電体材料によって、機械的な強度が得られます。ボード全体の厚さが 62mil あるので、2.4mm の RF ランチャをボード端に接続できます。

RF およびデジタル制御

RF 伝送ラインはコプレーナ導波路 (CPWG) モデルを使用して設計されており、パターン幅は 14mil、グラウンド・クリアランスが 7mil、特性インピーダンスが 50Ω です。RF 接地と熱接地を最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのメッキ・スルー・ビアが配置されています。

RF ポート (RFC、RF1、および RF2) は、50Ω の伝送ラインを通して 2.4mm の RF ランチャに接続されています。VDD ピンでは、100pF のバイパス・コンデンサによって高周波ノイズが除去されます。

図 16 に簡略化された ADRF5300-EVALZ のアプリケーション回路を示します。

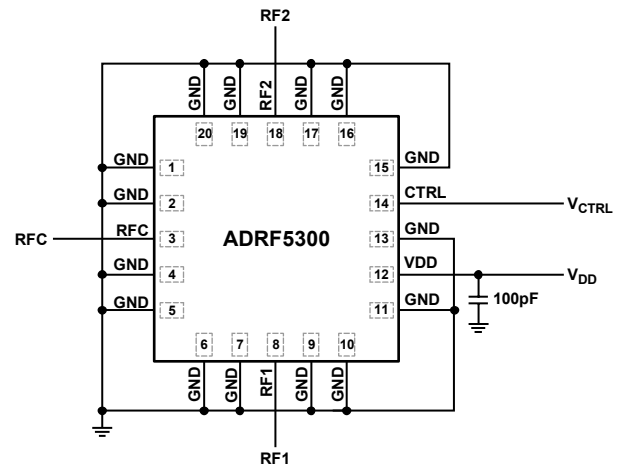


図 16. 簡略化された ADRF5300-EVALZ のアプリケーション回路

プローブ・マトリックス・ボード

プローブ・マトリックス・ボードは 4 層の評価用ボードです。このボードも 8mil の Rogers RO4003 誘電体材料を使用しています。0.5oz (0.7mil) のメッキ層が、外側の銅 (Cu) 層では 1.5oz (2.2mil) のメッキ厚さになっています。RF 伝送ラインは、パターン幅が 14mil、グラウンドとの間隔が 7mil で特性インピーダンスが 50Ω の CPWG モデルを使用して設計されています。

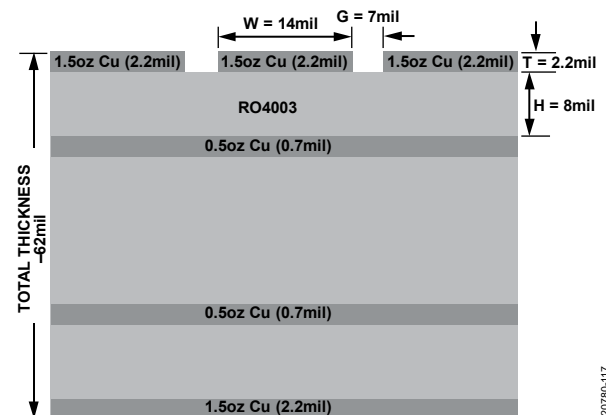


図 17. プローブ・マトリックス・ボードの層構成

図 17 にプローブ・マトリックス・ボードの層構成を示します。ADRF5300-EVALZ と同じですが、レイアウトが異なり、RFC、RF1 および RF2 ピンのすぐ近くで GSG プロブを使用して測定できるように設計されています。コネクタ、ケーブル、ボード・レイアウトなどから生じる不整合による反射はプロービングによって低減可能で、より正確な挿入損失とリターン・ロスの測定が行えます。RF プロブ間の信号カップリングにより、アイソレーション測定は制限されます。図 18 にプローブ・マトリックス・ボードの上面レイアウトを示します。

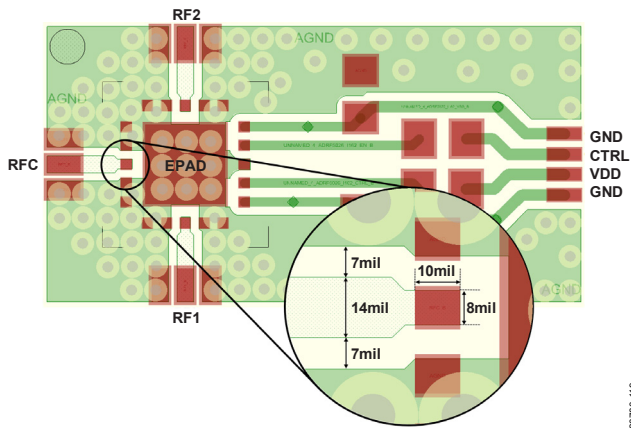


図 18. プローブ・マトリックス・ボード、表面層

プローブ・マトリックス・ボードには、ボード損失を除去できるスルー・リフレクト・ライン (TRL) キャリブレーション・キットがあります。実際のボードでは同じレイアウトがマトリックス状に複製されているため、複数のデバイスを同時に実装できます。挿入損失とリターン・ロス測定はこのプローブ・マトリックス・ボードで行い、アイソレーション測定は ADRF5300-EVALZ で行います。

20780-119

外形寸法

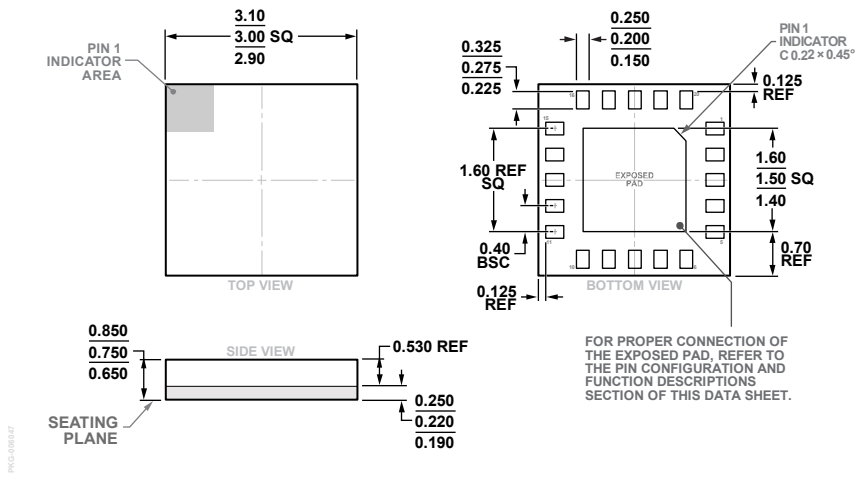


図 19.20 端子ランド・グリッド・アレイ [LGA]
 3mm × 3mm ボディ、0.75mm パッケージ高
 (CC-20-9)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Marking Code
ADRF5300BCCZN	-40°C to +105°C	20-Terminal Land Grid Array [LGA]	CC-20-9	S50
ADRF5300BCCZN-RL	-40°C to +105°C	20-Terminal Land Grid Array [LGA]	CC-20-9	S50
ADRF5300BCCZN-R7	-40°C to +105°C	20-Terminal Land Grid Array [LGA]	CC-20-9	S50
ADRF5300-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品