

高アイソレーションのシリコン SPDT 無反射型スイッチ、0.1GHz~13GHz

特長

- ▶ 周波数範囲：100MHz~13GHz
- ▶ 無反射型、50Ω 設計
- ▶ 低挿入損失
 - ▶ 1.0dB (7GHz まで) (代表値)
 - ▶ 1.3dB (13GHz まで) (代表値)
- ▶ 高アイソレーション
 - ▶ 49dB (7GHz まで) (代表値)
 - ▶ 41dB (13GHz まで) (代表値)
- ▶ 大電力処理 (平均)
 - ▶ スルー・パス：35dBm
 - ▶ 終端パス：27dBm
 - ▶ ホット・スイッチング (RFC)：33dBm
- ▶ 高入力直線性
 - ▶ P0.1dB：36dBm (代表値)
 - ▶ IP3：60dBm (代表値)
- ▶ 高速 RF セtring・タイム (0.1dB)：220ns
- ▶ 正の単電源：3.3V~5V
- ▶ オール・オフ状態制御
- ▶ CMOS/LVTTL に対応
- ▶ 12 ピン、2mm × 2mm、LFCSP_RT

アプリケーション

- ▶ セルラ・インフラストラクチャ
- ▶ ワイヤレス・インフラストラクチャ
- ▶ 防衛用無線、レーダー、電子対抗手段 (ECM)
- ▶ マイクロ波無線および超小型地球局 (VSAT)
- ▶ 試験用計測器

機能ブロック図

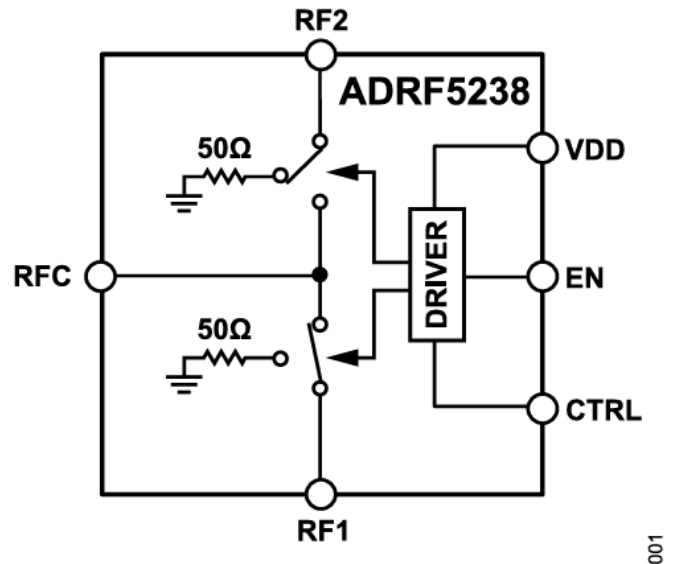


図 1. 機能ブロック図

概要

ADRF5238 は、0.1GHz~13GHz の周波数範囲に対応する、シリコン・プロセスで製造された高アイソレーション無反射型シリコン SPDT スイッチです。

このデバイスは、0.1GHz~13GHz で動作し、13GHz の場合、挿入損失は 1.3dB 未満、アイソレーションは 41dB を上回ります。無反射設計で、RF ポートは内部で 50Ω に終端されています。入力電力処理能力は、スルー・パスで 35dBm、終端パスで 27dBm、RFC ピンでのホット・スイッチングで 33dBm です。

ADRF5238 には、3.3V~5V の単電源電圧 (V_{DD}) が必要です。デバイスの制御は、1.8V の相補型金属酸化膜半導体 (CMOS) および 3.3V の低電圧トランジスタ・ロジック (LVTTL) に対応しています ADRF5238 は、両方の RF チャンネルをアイソレーション状態にするイネーブル制御を備えています。

ADRF5238 は 2mm × 2mm の 12 ピン LFCSP_RT パッケージを採用し、動作温度範囲は-40°C~+105°C です。

目次

特長.....	1	代表的な性能特性.....	9
アプリケーション.....	1	挿入損失、アイソレーション、リターン・ロス.....	9
機能ブロック図.....	1	入力電力圧縮と3次インターセプト.....	10
概要.....	1	動作原理.....	11
仕様.....	3	RF入出力.....	11
絶対最大定格.....	6	電源.....	11
熱抵抗.....	6	アプリケーション情報.....	12
パワー・ディレーティング曲線.....	6	プリント回路基板設計の推奨事項.....	12
静電放電（ESD）定格.....	7	外形寸法.....	13
ESDに関する注意.....	7	オーダー・ガイド.....	13
ピン配置およびピン機能の説明.....	8	評価用ボード.....	13
インターフェース回路図.....	8		

改訂履歴

2024 年 12 月 - Revision 0 : 初版

仕様

特に指定のない限り、50Ω システムを使用し、 $V_{DD} = 5V$ 、制御電圧 (V_{CTRL}) およびイネーブル電圧 (V_{EN}) = 0V/3.3V、 $T_{CASE} = 25^{\circ}C$ 。
RFx は RF1 または RF2 を表します。

表 1. $V_{DD} = 5V$ の場合の電気的特性

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE	f		0.1		13	GHz
INSERTION LOSS						
Between RFC and RFx (On)		0.1GHz~2GHz		0.7		dB
		2GHz~7GHz		1.0		dB
		7GHz~13GHz		1.3		dB
RETURN LOSS						
RFC (On State)		0.1GHz~13GHz		>20		dB
RFx (On State)		0.1GHz~7GHz		>20		dB
		7GHz~13GHz		18		dB
RFx (Terminated State)		0.4GHz~7GHz		>20		dB
		7GHz~13GHz		11		dB
ISOLATION						
Between RFC and RFx		0.1GHz~2GHz		60		dB
		2GHz~7GHz		49		dB
		7GHz~13GHz		41		dB
Between RFx and RFx		0.1GHz~2GHz		59		dB
		2GHz~7GHz		47		dB
		7GHz~13GHz		40		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t_{RISE} , t_{FALL}	RF 出力 (RF_{OUT}) の 10%~90%		25		ns
On and Off Time	t_{ON} , t_{OFF}	V_{CTRL} の 50%~ RF_{OUT} の 90%		120		ns
RF Settling Time, 0.1dB	$t_{SETTLING}$	V_{CTRL} の 50%~最終 RF_{OUT} の 0.1dB		220		ns
INPUT LINEARITY ¹						
0.1 dB Power Compression	P0.1dB	0.4GHz~10GHz $V_{DD} = 5V$		36		dBm
Third-Order Intercept	IP3	ツーン・トーン入力電力 = トーンあたり 14dBm、 $\Delta f = 1MHz$		60		dBm
SUPPLY CURRENT	I_{DD}	$V_{DD} = 5V$		400		μA
DIGITAL CONTROL INPUTS						
Voltage		EN ピンと CTRL ピン $V_{DD} = 5V$				
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.07		3.3	V
Current						
Low	I_{INL}	V_{EN} および $V_{CTRL} = 0V$ 、 $V_{DD} = 5V$		<1		μA
High	I_{INH}	$V_{CTRL} = 3.3V$ 、 $V_{DD} = 5V$ $V_{EN} = 3.3V$ 、 $V_{DD} = 5V$		<1		μA
				10		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage	V_{DD}		4.75	5	5.25	V
RF Input Power ² Through Path	P_{IN}	$f = 100MHz \sim 10GHz$ 、 $T_{CASE} = 85^{\circ}C$ ³ RF 信号が RFC に印加されるか、または接続された RF 投ポート (選択された RFx) を通じて印加される				
Average					35	dBm
Peak ⁴					35	dBm
Terminated Path		選択されていない RFx ポートに RF 信号が印加される				
Average					27	Bm
Peak					29.5	dBm

仕様

表 1. $V_{DD} = 5V$ の場合の電気的特性 (続き)

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Hot Switching (RFC)		RFx ポート間での切り替わり時に RF 信号が RFC に印加される				
Average					33	dBm
Peak					33	dBm
Hot Switching (RFx)		切り替わり時に RF 信号が RFx ポートに印加される				
Average					27	dBm
Peak					29.5	dBm
Case Temperature	T_{CASE}		-40		+105	°C

1 入力直線性と周波数の関係については、図 13～図 16 を参照してください。

2 パワー・ディレーティングと周波数の関係については、パワー・ディレーティング曲線のセクションを参照してください。

3 105°C での動作の場合、 $T_{CASE} = 85^{\circ}\text{C}$ での仕様より平均電力処理能力が 3dB、ピーク電力処理能力が 1dB 低下します。

4 = ピーク：(100ns 以下のパルス継続時間、5%のデューティサイクル)。

特に指定のない限り、50Ω システムを使用し、 $V_{DD} = 3.3V$ 、 V_{CTRL} および $V_{EN} = 0V/3.3V$ 、 $T_{CASE} = 25^{\circ}\text{C}$ 。RFx は RF1 または RF2 を表します。

表 2. $V_{DD} = 3.3V$ の場合の電気的特性

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE	f		0.1		13	GHz
INSERTION LOSS						
Between RFC and RFx (On)		0.1GHz～2GHz		0.8		dB
		2GHz～7GHz		1		dB
		7GHz～13GHz		1.4		dB
RETURN LOSS						
RFC (On State)		0.1GHz～13GHz		>20		dB
RFx (On State)		0.1GHz～7GHz		>20		dB
		7GHz～13GHz		18		dB
RFx (Terminated State)		0.4GHz～7GHz		>20		dB
		7GHz～13GHz		11		dB
ISOLATION						
Between RFC and RFx (Off)		0.1GHz～2GHz		60		dB
		2GHz～7GHz		49		dB
		7GHz～13GHz		41		dB
Between RFx and RFx		0.1GHz～2GHz		59		dB
		2GHz～7GHz		47		dB
		7GHz～13GHz		40		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t_{RISE} , t_{FALL}	RF _{OUT} の 10%～90%		60		ns
On and Off Time	t_{ON} , t_{OFF}	V_{CTRL} の 50%～RF _{OUT} の 90%		150		ns
RF Settling Time	$t_{SETTLING}$	V_{CTRL} の 50%～最終 RF _{OUT} の 0.1dB		250		ns
INPUT LINEARITY ¹						
0.1 dB Power Compression	P0.1dB	400MHz～10GHz $V_{DD} = 3.3V$		33		dBm
Third-Order Intercept	IP3	ツェー・トーン入力電力 = トーンあたり 14dBm、 $\Delta f = 1\text{MHz}$		59		dBm
SUPPLY CURRENT	I_{DD}	$V_{DD} = 3.3V$		200		μA

仕様

表 2. $V_{DD} = 3.3V$ の場合の電気的特性 (続き)

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
DIGITAL CONTROL INPUTS		EN ピンと CTRL ピン				
Voltage		$V_{DD} = 3.3V$				
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.07		3.3	V
Current						
Low	I_{INL}	V_{EN} および $V_{CTRL} = 0V$ 、 $V_{DD} = 3.3V$		<1		μA
High	I_{INH}	$V_{CTRL} = 3.3V$ 、 $V_{DD} = 3.3V$		<1		μA
		$V_{EN} = 3.3V$ 、 $V_{DD} = 3.3V$		<7		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage	V_{DD}		3.15	3.3	3.45	V
RF Input Power ²	P_{IN}	$f = 100MHz \sim 10GHz$ 、 $T_{CASE} = 85^{\circ}C$ ³				
Through Path		RF 信号が RFC に印加されるか、または接続された RF 投ポート (選択された RFx) を通じて印加される				
Average					33	dBm
Peak ⁴					33	dBm
Terminated Path		選択されていない RFx ポートに RF 信号が印加される				
Average					26	Bm
Peak					28.5	dBm
Hot Switching (RFC)		RFx ポート間での切り替わり時に RF 信号が RFC に印加される				
Average					31	dBm
Peak					31	dBm
Hot Switching (RFx)		切り替わり時に RF 信号が RFx ポートに印加される				
Average					26	dBm
Peak					28.5	dBm
Case Temperature	T_{CASE}		-40		+105	$^{\circ}C$

1 入力直線性と周波数の関係については、図 13～図 16 を参照してください。

2 パワー・ディレーティングと周波数の関係については、パワー・ディレーティング曲線のセクションを参照してください。

3 $105^{\circ}C$ での動作の場合、 $T_{CASE} = 85^{\circ}C$ での仕様より平均電力処理能力が 3dB、ピーク電力処理能力が 1dB 低下します。

4 = ピーク：(100ns 以下のパルス継続時間、5%のデューティサイクル)。

絶対最大定格

推奨動作条件については、表 1 および表 2 を参照してください。

表 3. 絶対最大定格

Parameter	Rating
Supply Voltage	-0.3V to +5.8V
Digital Control Inputs ¹	
Voltage	-0.5V to 3.6V
Current	3mA
RF Input Power ($V_{DD} = 5V$) ^{2,3}	
Through Path	
Average	36dBm
Peak ⁴	36dBm
Terminated Path	
Average	28dBm
Peak	30dBm
Hot Switching (RFC)	
Average	34dBm
Peak	34dBm
Hot Switching (RFx)	
Average	28dBm
Peak	30dBm
RF Input Power ($V_{DD} = 3.3V$)	
Through Path	
Average	34dBm
Peak	34dBm
Terminated Path	
Average	27dBm
Peak	29dBm
Hot Switching (RFC)	
Average	32dBm
Peak	32dBm
Hot Switching (RFx)	
Average	27dBm
Peak	29dBm
RF Power Under Unbiased Condition ($V_{DD} = 0V$)	18dBm
Temperature	
Junction (T_J)	135°C
Storage	-65°C to +150°C
Reflow	260°C

1 デジタル制御入力での過電圧は、内蔵ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

2 パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

3 105°C での動作の場合、 $T_{CASE} = 85^\circ\text{C}$ での仕様より平均電力処理能力が 3dB、ピーク電力処理能力が 1dB 低下します。

4 = ピーク：(100ns 以下のパルス継続時間、5%のデューティサイクル)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

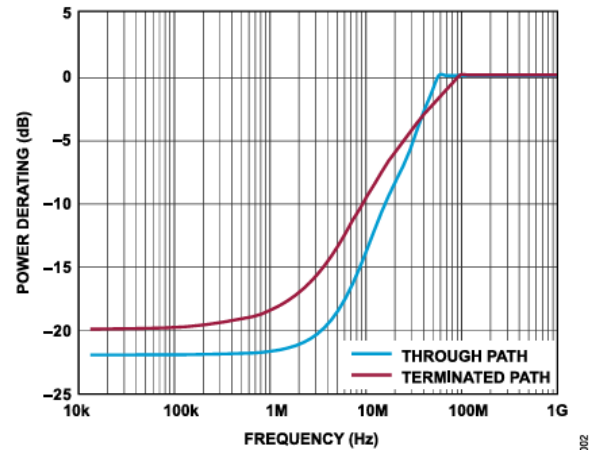
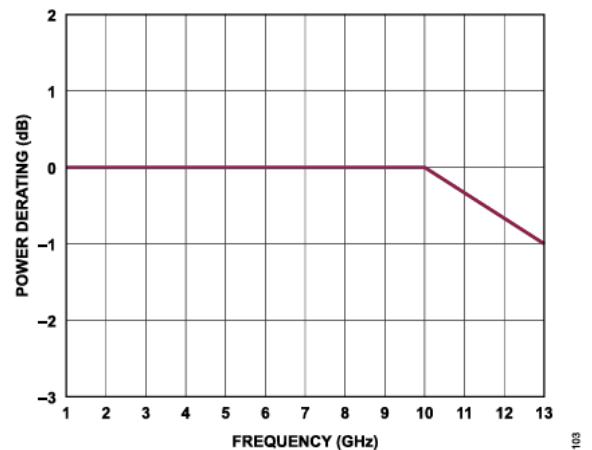
熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です (表 4 参照)。

表 4. 熱抵抗

Package Type	θ_{JC}	Unit
CR-12-1		
Through Path	57	°C/W
Terminated Path	100	°C/W

パワー・ディレーティング曲線

図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、 $T_{CASE} = 85^\circ\text{C}$ 図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、 $T_{CASE} = 85^\circ\text{C}$

絶対最大定格

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

ADRF5238 の ESD 定格

表 5. ADRF5238、12 ピン LFCSP_RT

ESD Model	Withstand Threshold (V)	Class
HBM	±2000 for All Pins	2
CDM	±500 for All Pins	C2A

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

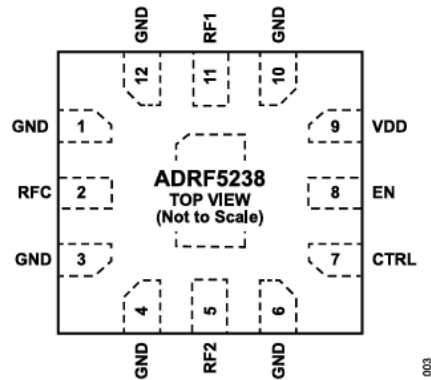


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 3, 4, 6, 10, 12	GND	グラウンド。パッケージの底面には金属パッドが露出しており、これを PCB の RF グラウンドに接続する必要があります。
2	RFC	RF 共通ポート。RFC ピンは DC カップリングされ、50Ω に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については、 図 5 を参照してください。
5	RF2	RF 投ポート 2。RF2 ピンは DC カップリングされ、50Ω に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については、 図 5 を参照してください。
7	CTRL	制御入力ピン。CTRL のインターフェース回路図については、 図 6 を参照してください。
8	EN	イネーブル入力ピン。EN のインターフェース回路図については、 図 7 を参照してください。
9	VDD	電源電圧ピン。インターフェース回路図については、 図 8 を参照してください。
11	RF1	RF 投ポート 1。RF1 ピンは DC カップリングされ、50Ω に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については、 図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図

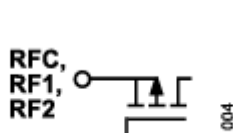


図 5. RFC、RF1 および RF2 ピンのインターフェース回路図

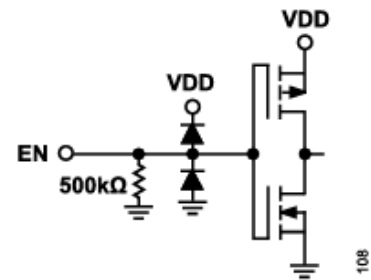


図 7. EN ピンのインターフェース回路図

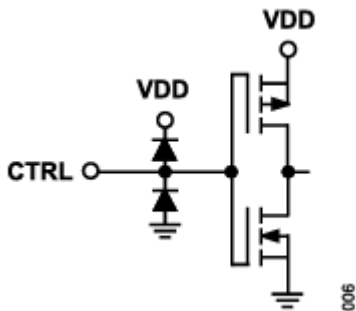


図 6. CTRL ピンのインターフェース回路図

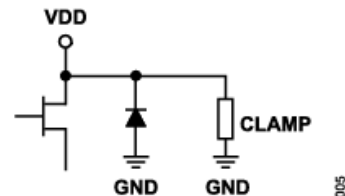


図 8. VDD ピンのインターフェース回路図

代表的な性能特性

挿入損失、アイソレーション、リターン・ロス

特に指定のない限り、50Ω システムを使用し、 $V_{DD} = 3.3V/5V$ 、 V_{CTRL} および $V_{EN} = 0V/3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 。

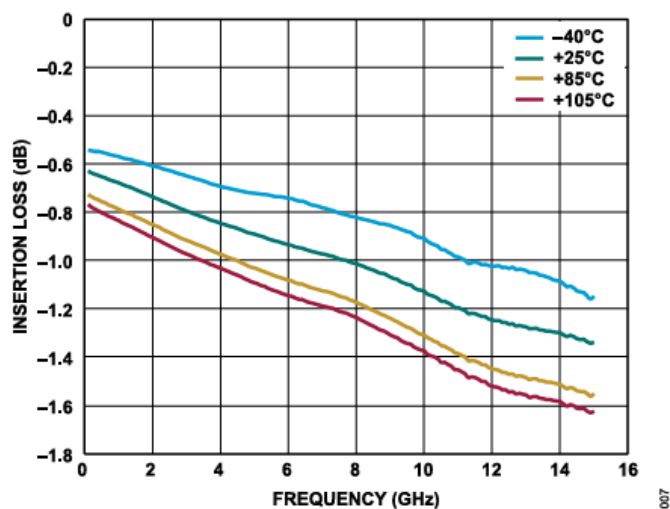


図 9. 様々な温度における挿入損失と周波数の関係 ($V_{DD} = 5V$)

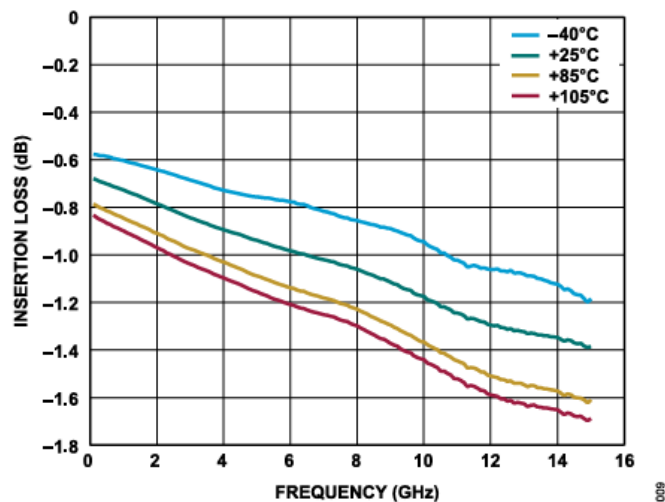


図 11. 様々な温度における挿入損失と周波数の関係 ($V_{DD} = 3.3V$)

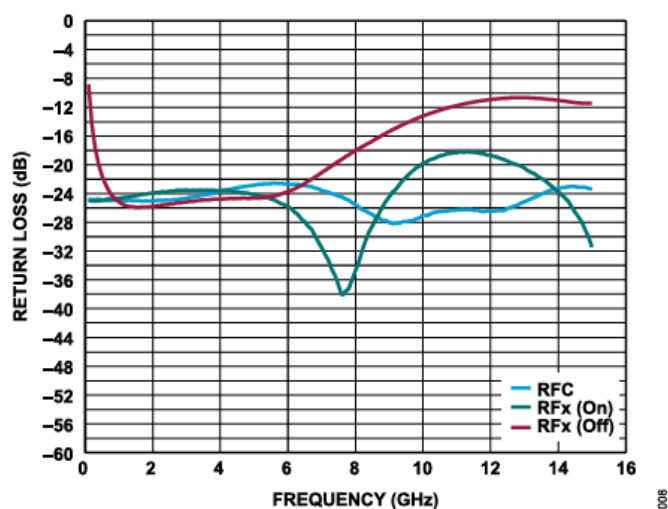


図 10. リターン・ロスと周波数の関係 ($V_{DD} = 3.3V \sim 5V$)

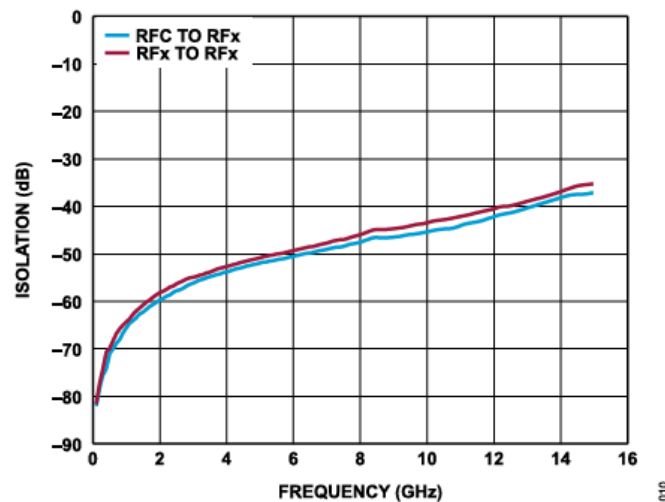


図 12. アイソレーションと周波数の関係 ($V_{DD} = 3.3V \sim 5V$)

代表的な性能特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ω システムを使用し、 $V_{DD} = 3.3V/5V$ 、 V_{CTRL} および $V_{EN} = 0V/3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 。

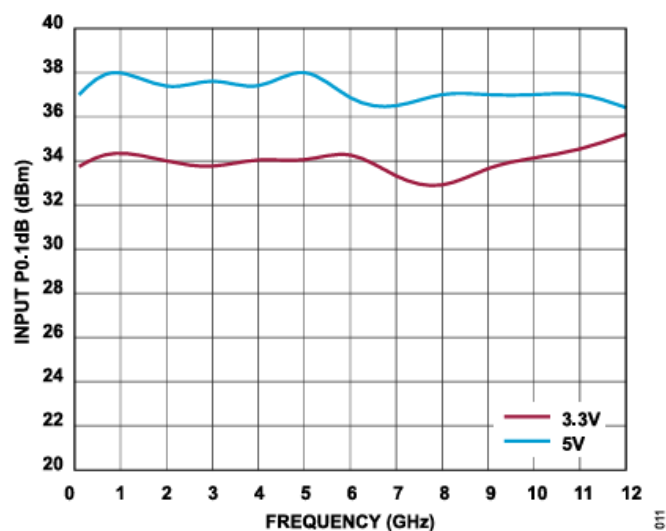


図 13. 入力 P0.1dB と周波数の関係

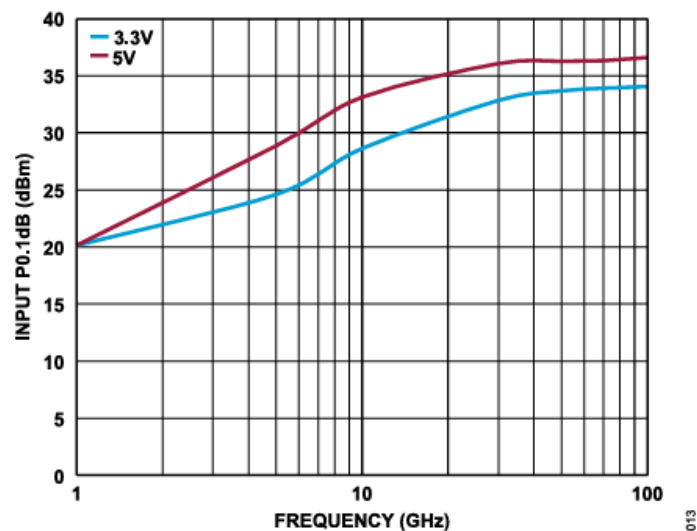


図 15. 入力 P0.1dB と周波数の関係（低周波数の詳細）

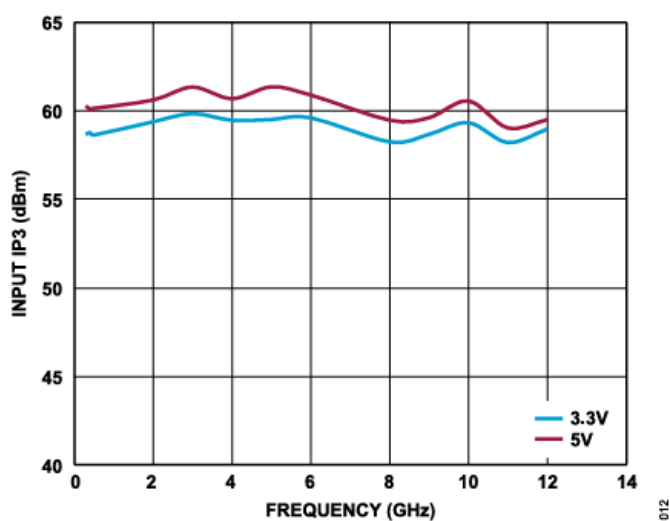


図 14. 入力 IP3 と周波数の関係

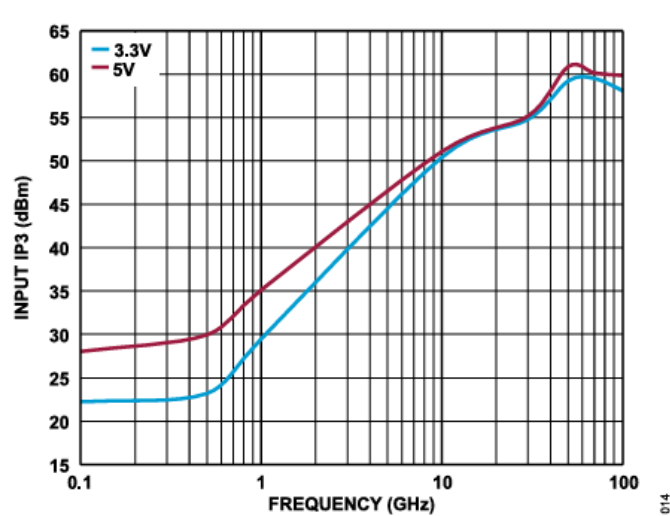


図 16. 入力 IP3 と周波数の関係（低周波数の詳細）

動作原理

ADRF5238 にはドライバが内蔵されており、ロジック機能を内部で実行し、CMOS/LVTTL 対応の制御インターフェースを簡素化できるメリットがあります。2 つのデジタル制御入力ピン (EN と CTRL) があり、どの RF ポートが挿入損失状態およびアイソレーション状態にあるかを決定します。制御電圧の真理値表については、表 7 を参照してください。

EN ピンがロジック・ハイの場合、CTRL ピンのロジック状態に関係なく全ての RF パスがアイソレーション状態になります。RF_x ポートは内蔵の 50Ω 抵抗に終端され、RFC は反射状態になります。

RF 入出力

RF ピン (RFC、RF1、RF2) は DC カップリングされており、RF ラインには DC 阻止コンデンサが必要です。RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング回路は不要です。

EN ピンがロジック・ローの場合、CTRL ピンに印加されるロジック・レベルによって、どの RF ポートが挿入損失状態にあり、どの RF ポートがアイソレーション状態にあるかが決まります。挿入損失パスでは、選択された RF 投ポートと RF 共通ポートの間で RF 信号が導通します。アイソレーション・パスでは、挿入損失パスと内蔵の 50Ω 抵抗に終端されている未選択の RF 投ポートの間に大きな損失が生じます。

EN ピンがロジック・ハイの場合、CTRL ピンのロジック状態に関係なく、スイッチはオール・オフ状態になります。RF1 から RFC へのパスと RF2 から RFC へのパスはどちらも、アイソレーション状態になります。RF1 ポートと RF2 ポートは内蔵の 50Ω 抵抗に終端され、RFC ポートは反射開放となります。

ADRF5238 は、双方向に均等な電力処理能力を備えています。RF 入力信号は RFC ポートに印加することも、選択した RF 投ポートに印加することもできます。

電源

ADRF5238 では VDD ピンに正電源が必要です。RF カップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

パワーアップ・シーケンスは次のとおりです。

1. GND を接続します。
2. VDD に電源を投入します。
3. デジタル制御入力を印加します。ロジック制御入力間の相互の順序は重要ではありません。VDD への電源投入の前にデジタル制御入力に電源を投入すると、意図せぬ順方向バイアスの原因となり、ESD 保護構造に損傷を与えるおそれがあります。この損傷を防ぐには、1kΩ の抵抗を直列接続して、デジタル制御ピンに流入する電流を制限します。VDD のパワーアップ後にコントローラが高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。
4. RF 入力信号を印加します。

理想的なパワーダウン・シーケンスはこのパワーアップ・シーケンスと逆の順序です。

表 7. 制御電圧の真理値表

CTRL State	EN State	RFC to RF1	RFC to RF2
Low	Low	Off	On
High	Low	On	Off
Low	High	Off	Off
High	High	Off	Off

アプリケーション情報

ADRF5238 には、1 本の電源ピン (VDD) と 2 本のデジタル制御ピン (CTRL と EN) があります。図 17 に、電源ピンの外付け部品と接続方法を示します。VDD ピンは、100pF の多層セラミック・コンデンサでデカップリングされています。このような ADRF5238 のピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。RF ピン (RFC、RF1、RF2) の DC 阻止コンデンサを除き、バイアスおよび動作のためにその他の部品を外付けする必要はありません。最高性能を発揮させるには、広帯域対応の DC 阻止コンデンサを使用することを推奨します。

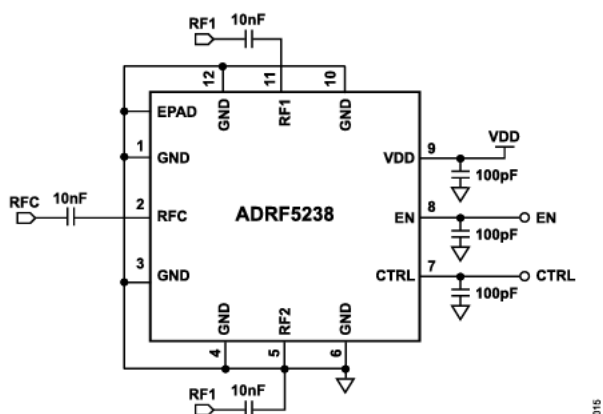


図 17. 推奨回路図

プリント回路基板設計の推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、PCB 上にある特性インピーダンスが 50Ω のコプレーナ導波路 (CPWG) に接合できるよう設計されています。図 18 に、厚さ 10mil の Rogers RO4350B 誘電体材料を用いた RF 基板の CPWG RF パターン設計の参考例を示します。2.8mil の銅仕上げ厚さに対し、幅 18mil、クリアランス 13mil の RF パターンを使用することを推奨します。

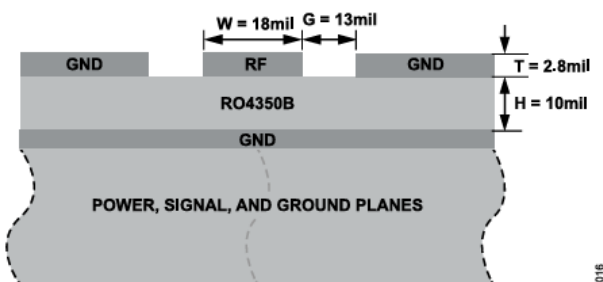


図 18. ADRF5238-EVALZ の層構成

図 19 に、ADRF5238 からの RF パターン、電源、制御信号の配線の引き回しを示します。グラウンド・プレーンは、RF および熱性能を最適化するため、密に充填された貫通ビアに接続されています。ADRF5238 の主な熱経路は裏面です。

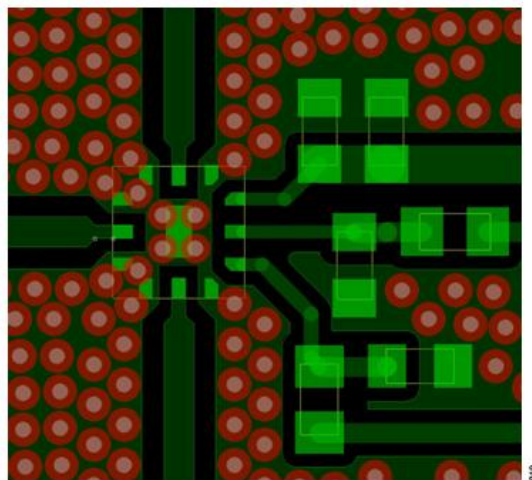


図 19. PCB 配線

図 20 に、参考層構成における ADRF5238 の RF ピン (RFC、RF1、RF2) から 50Ω CPWG までの間の推奨レイアウトを示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF パターンは、同じ幅で 10mil だけ延長され、その後 RF パターンに向けてテーパ状になっています。ペースト・マスクは、開口部を縮小することなく、ADRF5238 のパッドに整合するように設計されています。ペースト・マスクは、パドル用の複数の開口部に分割されています。

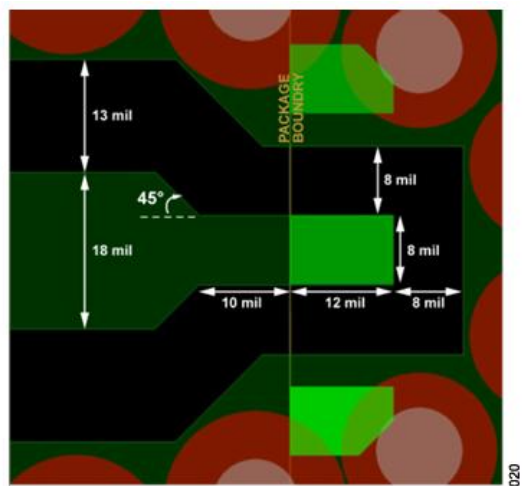


図 20. 推奨 RF ピン遷移

誘電体厚や CPWG 設計が異なる場合の次善の PCB 層構成については、アナログ・デバイセズのテクニカル・サポート・センターにお問い合わせください。

外形寸法

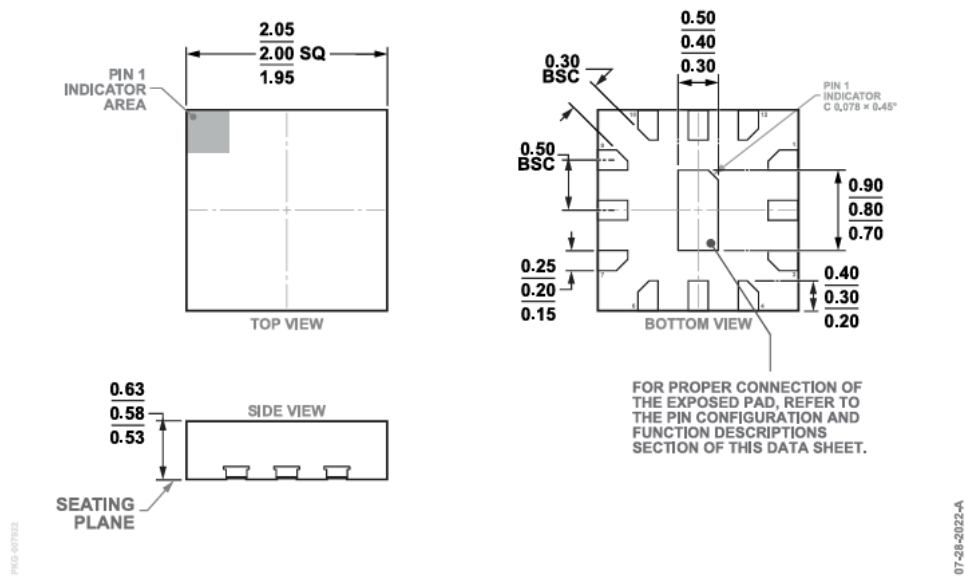


図 21. 12 ピン・リード・フレーム・チップ・スケール、ルータブル [LFCSP_RT]
2mm × 2mm および 0.58mm パッケージ高
(CR-12-1)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Quantity	Package Option
ADRF5238BCRZN	-40°C to +105°C	12-Lead Lead Frame Chip Scale, Routable [LFCSP_RT]	Cut-Tape, <1500	CR-12-1
ADRF5238BCRZN-R7	-40°C to +105°C	12-Lead Lead Frame Chip Scale, Routable [LFCSP_RT]	Reel, 1500	CR-12-1
ADRF5238BCRZN-RL	-40°C to +105°C	12-Lead Lead Frame Chip Scale, Routable [LFCSP_RT]	Reel, 5000	CR-12-1

¹ Z = RoHS 適合製品。

評価用ボード

表 8. 評価用ボード

Model ¹	Description
ADRF5238-EVALZ	Evaluation Board

¹ Z = RoHS 適合製品。