

DC~12GHz、差動、無反射型シリコン SPDT スイッチ

特長

- ▶ 周波数範囲：DC~12GHz
- ▶ DC 電圧範囲：±8V
- ▶ DC R_{ON} ：<2.5Ω
- ▶ 完全差動 100Ω 設計
- ▶ 低挿入損失
 - ▶ 6GHz まで 0.65dB (代表値)
 - ▶ 10GHz まで 0.9dB (代表値)
 - ▶ 12GHz まで 1.1dB (代表値)
- ▶ 高アイソレーション (終端モード)
 - ▶ 6GHz まで >48dB (代表値)
 - ▶ 10GHz まで >41dB (代表値)
 - ▶ 12GHz まで >37dB (代表値)
- ▶ 高入力直線性
 - ▶ P0.1dB：33dBm (代表値)
 - ▶ IP3：51dBm (代表値)
- ▶ 大電力処理
 - ▶ スルー・パス：31dBm
 - ▶ 終端パス：24dBm
- ▶ オン時間：1.9μs
- ▶ 0.1dB セトリング・タイム：3.2μs
- ▶ オール・オフ状態コントロール
- ▶ 終端制御：100Ω 差動または高インピーダンス (反射型)
- ▶ 22 端子、3mm × 3mm、RoHS 準拠、ランド・グリッド・アレイ (LGA) パッケージ

アプリケーション

- ▶ 試験用計測器
- ▶ データ・コンバータのインターフェース
- ▶ 高データレート・インターフェース

機能ブロック図

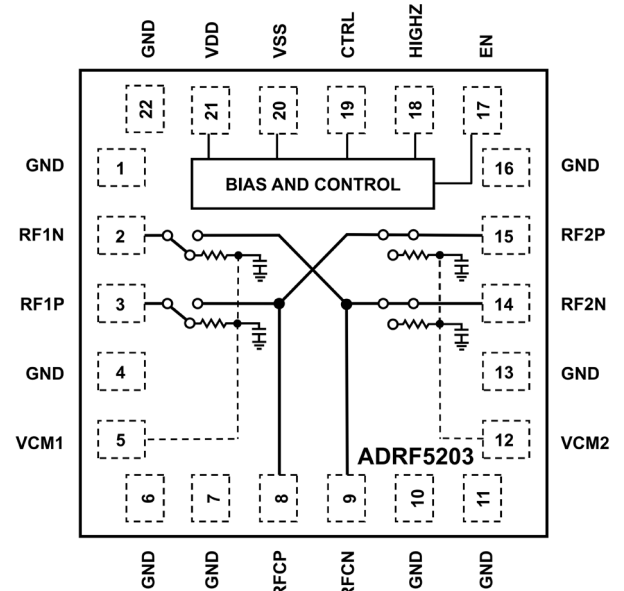


図 1. 機能ブロック図

概要

ADRF5203 は、シリコン差動 SPDT スイッチです。ADRF5203 は、DC~12GHz で動作し、挿入損失は 1.1dB 未満、アイソレーションは 37dB を上回ります。このデバイスの DC 入力電圧範囲は±8V、RF 入力電力処理能力はスルー・パスで差動 31dBm、終端パスで差動 24dBm です。

ADRF5203 は、±12V の両電源電圧で動作します。ADRF5203 の制御は、相補型金属酸化膜半導体 (CMOS) および低電圧トランジスタ・ロジック (LVTTL) に対応しています。ADRF5203 には、全てをオフ状態にできるイネーブル・コントロールがあります。高インピーダンス制御では、選択されていない RF チャネルの終端 (100Ω または高インピーダンス) を選択できます。

ADRF5203 は、22 端子、3mm × 3mm の RoHS 準拠ランド・グリッド・アレイ (LGA) パッケージで提供され、-40°C~+105°C で動作可能です。

目次

特長.....	1	振幅不均衡、位相不均衡、群遅延、アイ・ダイアグラム、PSRR.....	10
アプリケーション.....	1	入力電力圧縮と3次インターセプト.....	11
機能ブロック図.....	1	動作原理.....	12
概要.....	1	差動RF入出力.....	12
仕様.....	3	DC動作.....	12
絶対最大定格.....	5	RF電力処理.....	12
熱抵抗.....	5	電源.....	13
パワー・ディレーティング曲線.....	5	アプリケーション情報.....	14
静電放電（ESD）定格.....	6	PCB設計のための推奨事項.....	14
ESDに関する注意.....	6	外形寸法.....	15
ピン配置およびピン機能の説明.....	7	オーダー・ガイド.....	15
インターフェース回路図.....	8		
代表的な性能特性.....	9		
挿入損失、リターン・ロス、アイソレーション.....	9		

改訂履歴

10/2025—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 12V、VSS = -12V、CTRL、EN、HIGHZ = 0V または 3.3V、T_{CASE} = 25°C、100Ω 差動システム。RFC は RFCP と RFCN の差動ペア、RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペア、RFx は差動ペアの RF1 と RF2 を指します。

表 1. 電気仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		0		12	GHz
INSERTION LOSS						
RFC and RFx (On)		DC to 6GHz		0.65		dB
		6GHz to 10GHz		0.9		dB
		10GHz to 12GHz		1.1		dB
RETURN LOSS						
RFC (On)		DC to 6GHz		18		dB
		6GHz to 10GHz		15		dB
		10GHz to 12GHz		13		dB
RFx (On)		DC to 6GHz		19		dB
		6GHz to 10GHz		16		dB
		10GHz to 12GHz		13		dB
RFx (Terminated)		DC to 6GHz		16		dB
		6GHz to 10GHz		14		dB
		10GHz to 12GHz		13		dB
ISOLATION						
RFC to RFx (Terminated)		DC to 6GHz		48		dB
		6GHz to 10GHz		41		dB
		10GHz to 12GHz		37		dB
RFC to RFx (HIGHZ)		DC to 6GHz		45		dB
		6GHz to 10GHz		36		dB
		10GHz to 12GHz		32		dB
RFx to RFx (Terminated)		DC to 6GHz		49		dB
		6GHz to 10GHz		42		dB
		10GHz to 12GHz		37		dB
RFx to RFx (HIGHZ)		DC to 6GHz		55		dB
		6GHz to 10GHz		43		dB
		10 GHz to 12GHz		35		dB
DC CHARACTERISTICS		Single ended				
RFC to RFx On Resistance	R _{ON}	RFCP to RF1P and RFCN to RF1N		2.5		Ω
RFC to RFx Off Resistance	R _{OFF}	RFCP to RF1P and RFCN to RF1N		1.2		MΩ
RFC to GND	R _{CG}	RFCP to GND and RFCN to GND		>30		MΩ
RFx to GND	R _{XG}	RF1P to GND and RF1N to GND		>30		MΩ
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t _{RISE} , t _{FALL}	10% to 90% of RF output		400		ns
On Time	t _{ON}	50% CTRL voltage (V _{CTRL}) to 90% of RF output		1.9		μs
Off Time	t _{OFF}	50% V _{CTRL} to 10% of RF output		1.1		μs
0.1dB Settling Time	t _{SETTLING}	50% V _{CTL} to 0.1 dB of final RF output		3.2		μs
INPUT LINEARITY ¹						
0.1dB Power Compression	P0.1dB	100MHz to 10GHz		34		dBm
		10GHz to 12GHz		33		dBm

仕様

表 1. 電気仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Third-Order Intercept	IP3	100MHz to 10GHz, two-tone Input power = 15dBm each tone, $\Delta f = 1\text{MHz}$ 10GHz to 12GHz, two-tone input power = 15dBm each tone, $\Delta f = 1\text{MHz}$		53		dBm
RF IMBALANCE						
Amplitude		DC to 12GHz		<0.3		dB
Phase		DC to 12GHz		<8		Degrees
POWER SUPPLY REJECTION	PSRR	1MHz				
Unfiltered		Without supply decoupling capacitors		>80		dB
Filtered		With supply decoupling capacitors, C1 = 10 μ F, C2 = 0.01 μ F, C3 = 100pF		>140		dB
GROUP DELAY	t_{GD}	100 Ω differential, f = 12GHz		45		ps
SUPPLY CURRENTS						
Positive	I_{DD}			19		mA
Negative	I_{SS}			18		mA
DIGITAL CONTROL INPUTS		CTRL, EN, and HIGHZ pins				
Voltage						
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.2		3.3	V
Current						
Low	I_{INL}			<1		μ A
High	I_{INH}			<1		μ A
RECOMMENDED OPERATING CONDITIONS		f = 100MHz to 10GHz, $T_{CASE} = 85^\circ\text{C}$, $-8\text{V} < \text{common-mode voltage } (V_{CM}) < +8\text{V}$				
Supply Voltage						
Positive	V_{DD}		11.4		12.6	V
Negative	V_{SS}		-12.6		-11.4	V
DC Input						
Voltage Range	V_{DC}	RFCP, RFCN, RF1P, RF1N, RF2P, and RF2N	-8		+8	V
Current Range	I_{DC}		-160		+160	mA
Common-Mode Voltage Range	V_{CM}	VCM1 and VCM2	-8		+8	V
RF Input Power ^{1,2,3,4}	P_{IN}	f = 100MHz to 10GHz, $T_{CASE} = 85^\circ\text{C}$, $-8\text{V} < V_{CM} < +8\text{V}$				
Through Path		RF signal is applied to RFC or through connected RFx			31	dBm
Terminated Path		RF signal is applied to unselected RFx (terminated within an internal resistor)				
Average					24	dBm
Peak ⁵					31	dBm
Hot Switching		RF signal is applied to RFC or RFx while switching in between RF1 and RF2.			24	dBm
Case Temperature	T_{CASE}		-40		+105	$^\circ\text{C}$

¹ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

² 選択された RF チャンネルと未選択の RF チャンネルの間に様々な DC 電圧を印加した場合のパワー・ディレーティングについては、図 4 を参照してください。

³ RF ペアの正側と負側のピンの間に様々な DC 電圧を印加した場合については、図 5 を参照してください。

⁴ 105 $^\circ\text{C}$ での動作の場合、電力処理能力は $T_{CASE} = 85^\circ\text{C}$ での仕様から 3dB 低下します。

⁵ ピークは 100ns 以下のパルス継続時間および 5%のデューティサイクル。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 2. 絶対最大定格

Parameter	Rating
Supply Voltage	
Positive	-0.3V to +13.2V
Negative	-13.2V to +0.3V
Digital Control Inputs ¹	
Voltage	-0.3V to +3.6V
Current	3mA
RF Input Power ^{2,3} (VDD = 12V, VSS = -12V, f = 100MHz to 10GHz, T _{CASE} = 85°C ⁴)	
Through Path	31.5dBm
Terminated Path	
Average	24.5dBm
Peak ⁵	31.5dBm
Hot Switching	24.5dBm
RF Input Power, Unbiased (VDD and VSS = 0V)	30.5dBm
Temperature	
Junction, T _J	135°C
Storage Range	-65°C to +150°C
Reflow	260°C

¹ デジタル制御入力ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。

² パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

³ パワー・ディレーティングと DC 電圧の関係については、図 4 と図 5 を参照してください。

⁴ 105°Cでの動作の場合、電力処理能力は T_{CASE} = 85°Cでの仕様から 3dB 低下します。

⁵ ピークは 100ns 以下のパルス継続時間および 5%のデューティサイクル。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CC-22-5		
Through Path	49	°C/W
Terminated Path	72	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって決まります。すなわち、熱伝達は、チャンネルからグラウンド・パッドを経由して PCB への熱伝導のみに起因し、グラウンド・パッドは 85°Cの動作温度で一定に保たれるものとします。

パワー・ディレーティング曲線

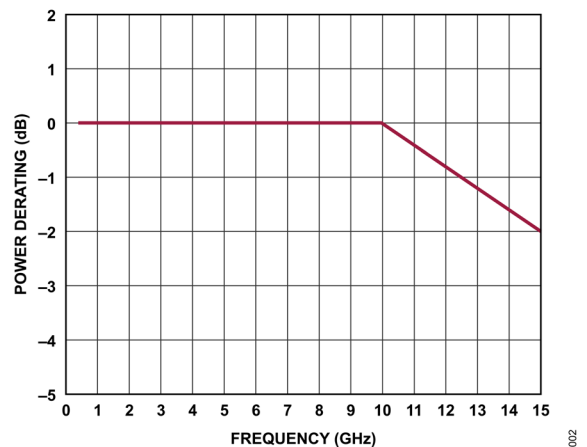


図 2. 最大 RF パワー・ディレーティングと周波数の関係、T_{CASE} = 85°C

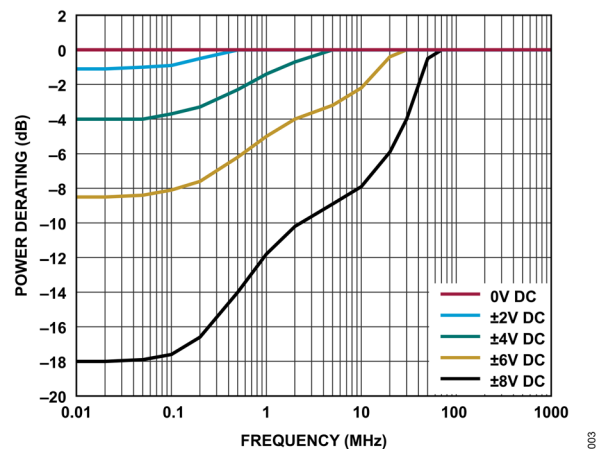


図 3. 様々な V_{DC} における最大 RF パワー・ディレーティングと周波数の関係、T_{CASE} = 85°C (低周波数)

絶対最大定格

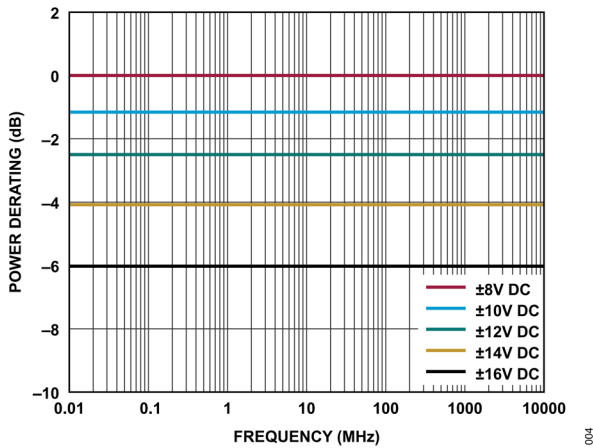


図 4. 様々な V_{DC} (選択チャンネル) - V_{DC} (未選択チャンネル) における最大 RF パワー・ディレーティングと周波数の関係、 $T_{CASE} = 85^{\circ}C$

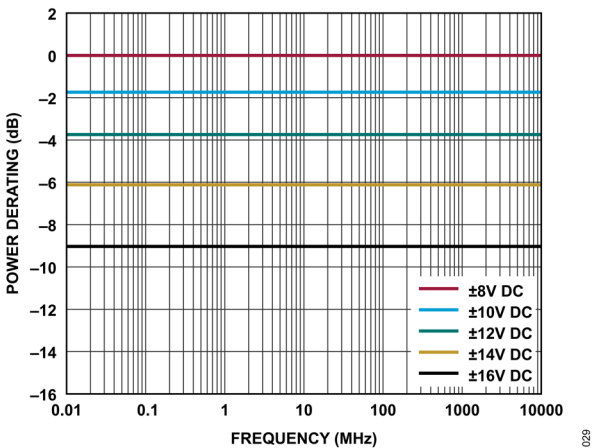


図 5. 様々な差動 V_{DC} ($V_{DC_DIFFERENTIAL} = (RFxP \text{ ピン } V_{DC_RFxP}) - (RFxN \text{ ピン } V_{DC_RFxN})$) における最大 RF パワー・ディレーティングと周波数の関係、 $T_{CASE} = 85^{\circ}C$ 、「X」は各 RF ペアを指す

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠のチャージ・デバイス・モデル (CDM)。

ADRF5203 の ESD 定格

表 4. ADRF5203、22 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	±500 for the RFCN, RFCP, RF1P, RF1N, RF2P, and RF2N pins	1A
	±1500 for the supply and digital control pins	1C
CDM	±500 for all pins	C2A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

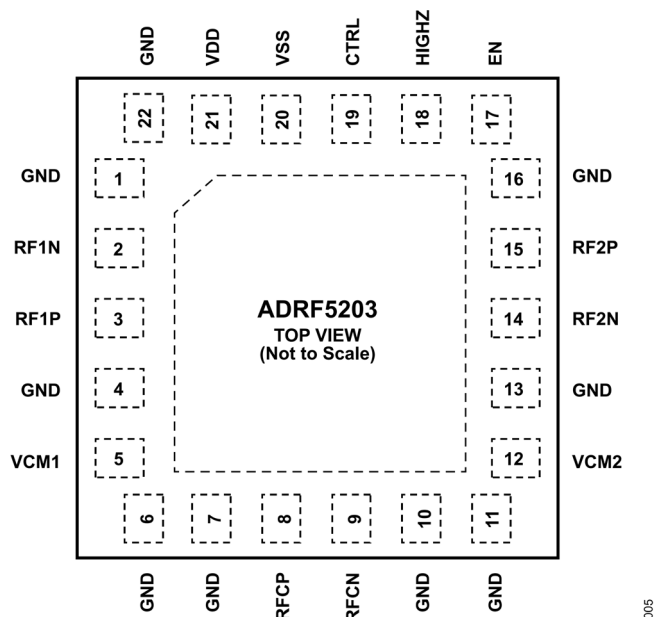


図 6. ピン配置 (上面図)

表 5. ピン機能の説明

ピン番号	記号	説明
1, 4, 6, 7, 10, 11, 13, 16, 22	GND	グラウンド。GND ピンは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。
2, 3, 8, 9, 14, 15	RF1N, RF1P, RFCP, RFCN, RF2N, RF2P	正負の RF ピン。これらのピンは DC カップリングされ、差動 100Ω に AC 整合されています。インターフェース回路図については図 7 を参照してください。
5, 12	VCM1, VCM2	DC コモン・モード・モニタリング・ピン。インターフェース回路図については図 11 を参照してください。
17	EN	イネーブル入力。真理値表については表 6 を参照してください。また、インターフェース回路図については図 9 を参照してください。
18	HIGHZ	HIGHZ ピンは未選択チャンネルの終端タイプを設定します。真理値表については表 6 を参照してください。また、インターフェース回路図については図 9 を参照してください。
19	CTRL	RF パスの状態を制御するデジタル入力。真理値表については表 6 を参照してください。また、インターフェース回路図については図 9 を参照してください。
20	VSS	負電源電圧。インターフェース回路図については図 10 を参照してください。
21	VDD	正電源電圧。インターフェース回路図については図 8 を参照してください。
	EPAD	露出パッド。露出パッドは RF および DC グラウンドに接続する必要があります。

ピン配置およびピン機能の説明

インターフェース回路図

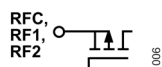


図 7. RFC、RF1 および RF2 ピンのインターフェース回路図

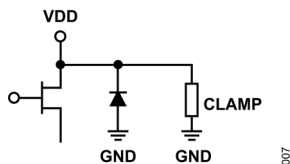


図 8. VDD ピンのインターフェース回路図

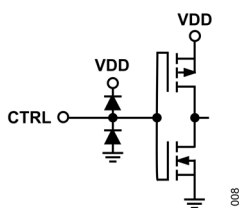


図 9. CTRL、EN、HIGHZ のインターフェース回路図

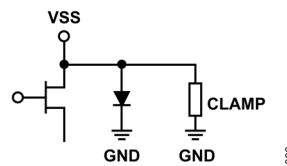


図 10. VSS ピンのインターフェース回路図

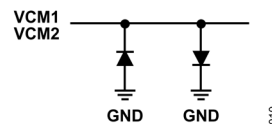


図 11. VCM1 と VCM2 のインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、VDD = 12V、VSS = -12V、CTRL、EN、HIGHZ = 0V または 3.3V、T_{CASE} = 25°C、100Ω 差動システム。

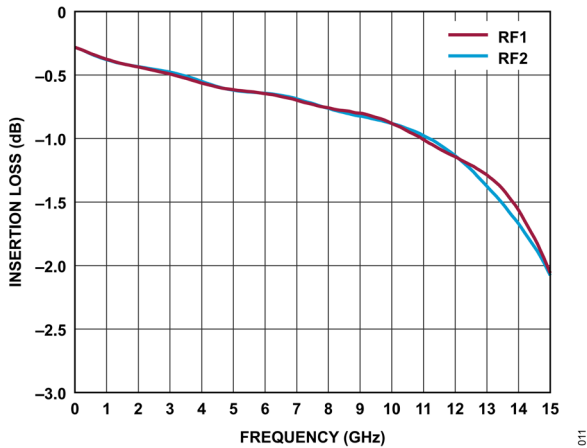


図 12. 挿入損失と周波数の関係

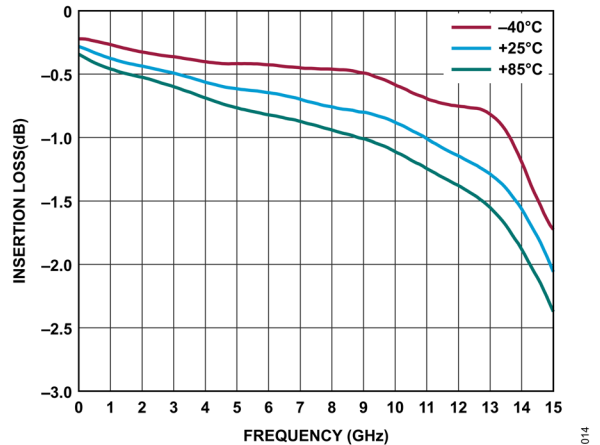


図 15. 様々な温度での挿入損失と周波数の関係

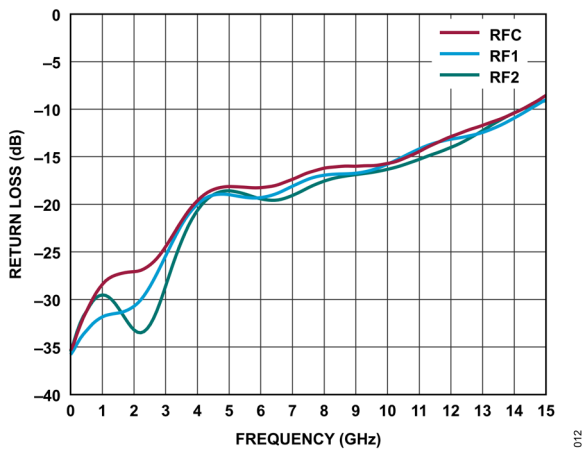


図 13. リターン・ロスと周波数の関係 (オン・チャンネル)

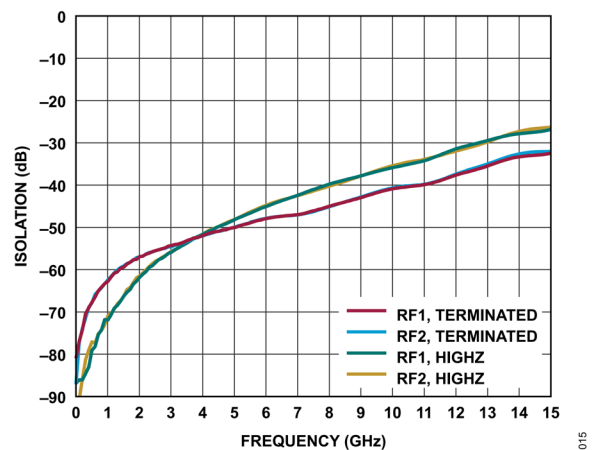


図 16. アイソレーションと周波数の関係 (RFC と RF1、RFC と RF2 の間)

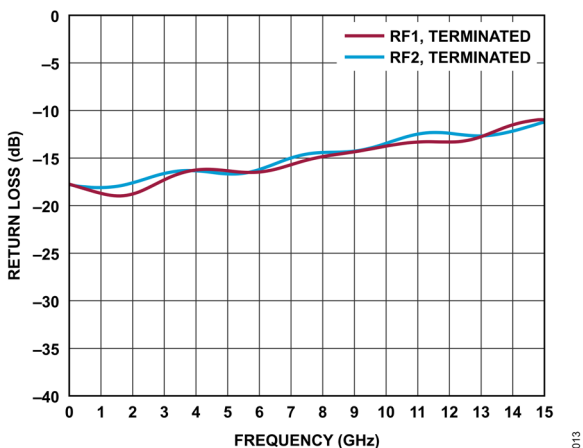


図 14. リターン・ロスと周波数の関係 (オフ・チャンネル、終端)

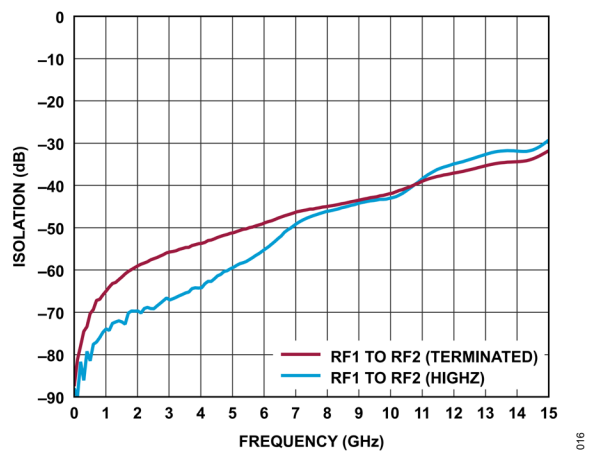


図 17. アイソレーションと周波数の関係 (RF1 と RF2 の間)

代表的な性能特性

振幅不均衡、位相不均衡、群遅延、アイ・ダイアグラム、PSRR

特に指定のない限り、VDD = 12V、VSS = -12V、CTRL、EN、HIGHZ = 0V または 3.3V、T_{CASE} = 25°C、100Ω 差動システム。

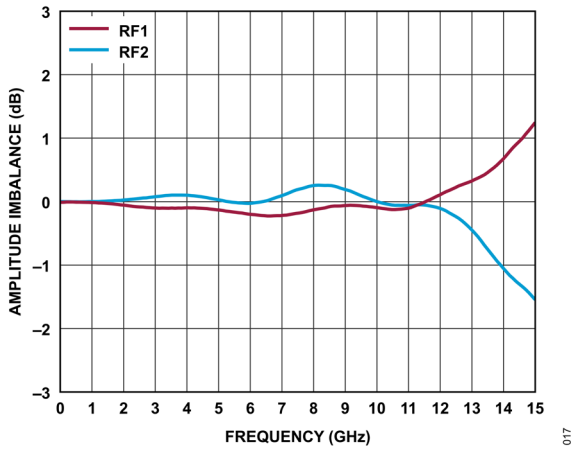


図 18. 振幅不均衡と周波数の関係

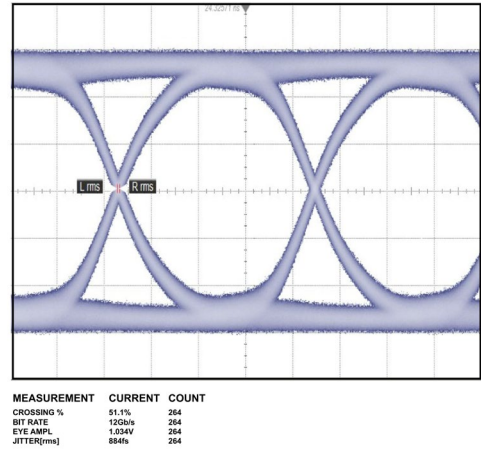


図 21. アイ・ダイアグラム、PRBS23、12Gbps

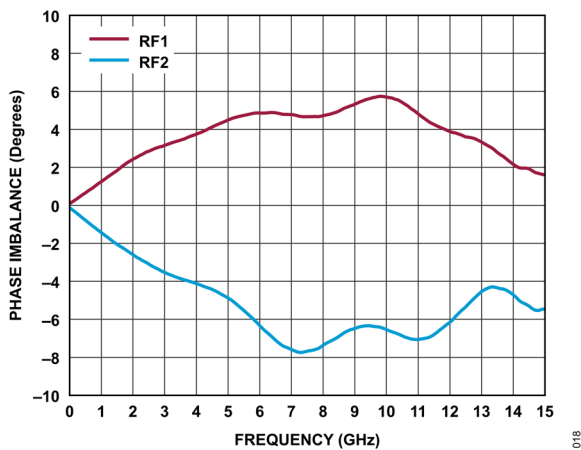


図 19. 位相不均衡と周波数の関係

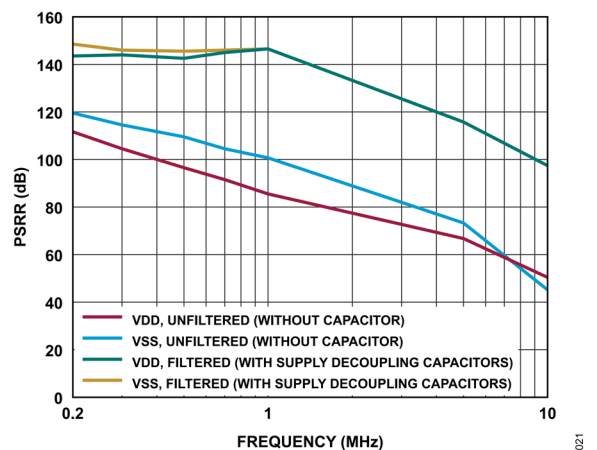


図 22. PSRR と周波数の関係

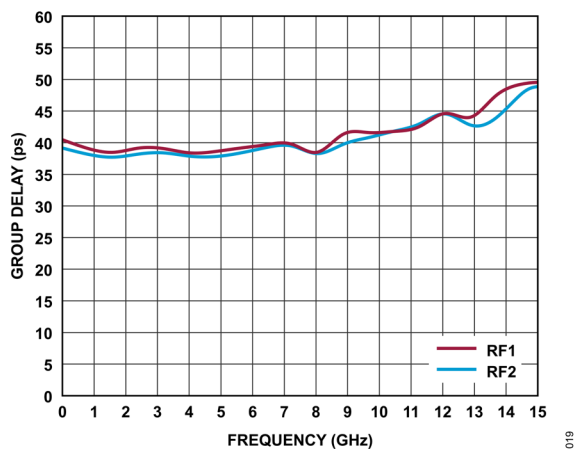


図 20. 群遅延と周波数の関係

代表的な性能特性

入力電力圧縮と3次インターセプト

特に指定のない限り、VDD = 12V、VSS = -12V、CTRL、EN、HIGHZ = 0V または 3.3V、T_{CASE} = 25°C、100Ω 差動システム。

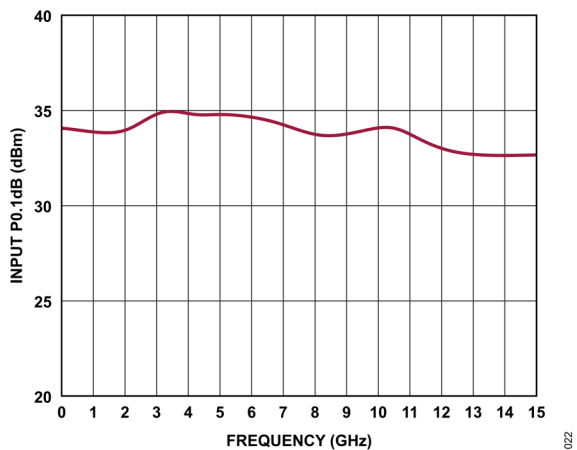


図 23. 入力 P0.1dB と周波数の関係

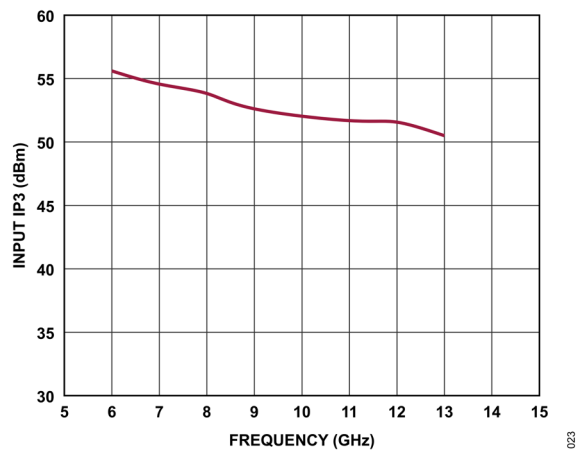


図 24. 入力 IP3 と周波数の関係

動作原理

ADRF5203 にはロジック機能を内部で実行するドライバが内蔵されているため、CMOS/LVTTL 対応の制御インターフェースを簡素化できるメリットがあります。CTRL ピンは、どの RF ポートを挿入損失状態とするか、アイソレーション状態とするかを決定します。EN ピンは、ADRF5203 全体のオフ状態を選択します。EN ピンがロジック・ハイのとき、RFC と RF1 の間、RFC と RF2 の間のパスが両方ともアイソレーション状態になります。HIGHZ ピンにより、未選択チャンネルの終端を 100Ω と高インピーダンスのいずれにするかを選択できます。制御電圧の真値表については、表 6 を参照してください。

差動 RF 入出力

ADRF5203 は完全差動 100Ω の設計です。RF ピンは DC カップリングされています。全ての RF ラインについて、入力がないときの DC レベルは $0V$ です。RF1 が選択されているとき、RFCN は RF1N と接続され、RFCP は RF1P と接続されます。RF2 が選択されているとき、RFCN は RF2N と接続され、RFCP は RF2P と接続されます。

DC 動作

RF ポートは DC カップリングされており、 $\pm 8V$ の DC 電圧範囲に対応可能です。図 25 は、選択チャンネルと未選択チャンネルの DC 等価回路を示しています。

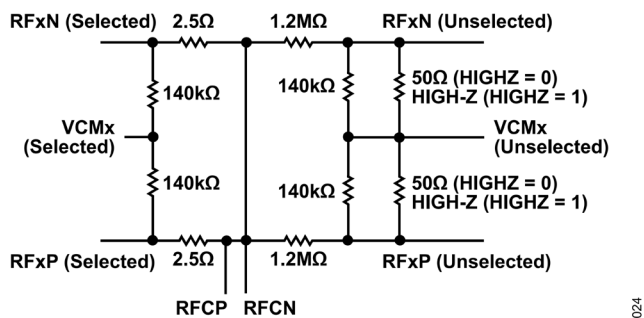


図 25. DC 等価回路

VCM1 ピンと VCM2 ピンを使用して、RF ポートの DC コモンモード電圧の設定またはモニターができます。VCMx ピンはフローティング状態にすることも、デカップリングして低インピーダンス・コモン・モード AC グラウンドとすることもできます。

VCMx ピンは内部で RF ポートに高インピーダンスで接続されています。図 25 を参照してください。RFC ポートまたは RFx ポートに対する DC カップリングで入力信号が駆動されるとき、選択されている RFx ポートは入力信号に追従するため V_{CM} は入力信号によって設定されます。

未選択チャンネルの V_{CM} は VCMx ピンで設定できます。この機能を使用すると、接続先の回路と DC レベルを合わせることができます。入力信号が AC カップリングされている場合には、選択チャンネルの V_{CM} も VCMx ピンで設定することができます。

選択チャンネルと未選択チャンネルのコモンモード電圧の差が $8V$ を超えるアプリケーションでは、パワー・ディレーティングを適用する必要があります。図 4 を参照してください。

RF 電力処理

ADRF5203 の RF 電力処理能力は、 $100MHz$ より低い周波数帯で低下し、このディレーティングは印加される DC 電圧には依存しません。様々な DC 入力電圧に対する低周波数に向けてのパワー・ディレーティングについては、図 3 を参照してください。低周波数動作では、選択チャンネルで一定の R_{ON} が確保されます。

$100MHz$ より高い周波数では、最大 DC 電圧と最大 RF 電力の両方が同時に印加される場合があります。 $10GHz$ より高い周波数でのパワー・ディレーティングについては、図 2 を参照してください。

選択 RF チャンネルと未選択 RF チャンネルに異なるコモンモード DC 電圧が印加される使用事例では、図 4 に示すパワー・ディレーティングを適用します。

ADRF5203 は双方向の設計となっており、RFC ポートと RFx ポートの電力処理能力は同等です。どちらのポートも入力または出力として用いることができます。

動作原理

電源

ADRF5203 には、VDD ピンに印加する正電源電圧と、VSS ピンに印加する負電源電圧が必要です。高周波ノイズをフィルタリングするため、電源ラインにバイパス・コンデンサを接続することを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接続します。
2. VDD と VSS に電源を入れます。ランプアップ中に VDD で電流トランジェントが発生しないように、VDD の電源投入後に VSS を電源投入します。
3. デジタル制御入力に電源を投入します。ロジック制御入力間の相互の順序は重要ではありません。ただし、VDD への給電

- 前にデジタル制御入力に給電すると、内部 ESD 保護構造が意図せず順方向にバイアスされ、損傷する可能性があります。
4. デジタル制御入力を印加します。制御入力の相対的な順序は重要ではありません。ただし、VDD への給電前にデジタル制御入力に給電すると、内部 ESD 保護構造が意図せず順方向にバイアスされ、損傷する可能性があります。この損傷を防ぐには、1kΩ の抵抗を直列接続して、制御ピンに流入する電流を制限します。VDD のパワーアップ後にコントローラが高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

表 6. 制御電圧の真理値表

EN	Digital Control Inputs			RF Paths	
	HIGHZ	CTRL	RFC to RF1	RFC to RF2	
Low	Low	Low	Insertion loss		Isolation (terminated)
Low	Low	High	Isolation (terminated)		Insertion loss
Low	High	Low	Insertion loss		Isolation (reflective)
Low	High	High	Isolation (reflective)		Insertion loss
High	Low	Not applicable	Isolation (terminated)		Isolation (terminated)
High	High	Not applicable	Isolation (reflective)		Isolation (reflective)

アプリケーション情報

図 26 に、ADRF5203 の外付け部品とその接続を示します。VDD ピンと VSS ピンは、100pF、0.01μF、10μF のコンデンサでデカップリングされています。このデバイスのピン配置は、デカップリング・コンデンサをデバイスの近くに配置できるようになっています。VCMx ピンは、グラウンドとデカップリングするか、使用事例に応じた電圧でバイアスします。

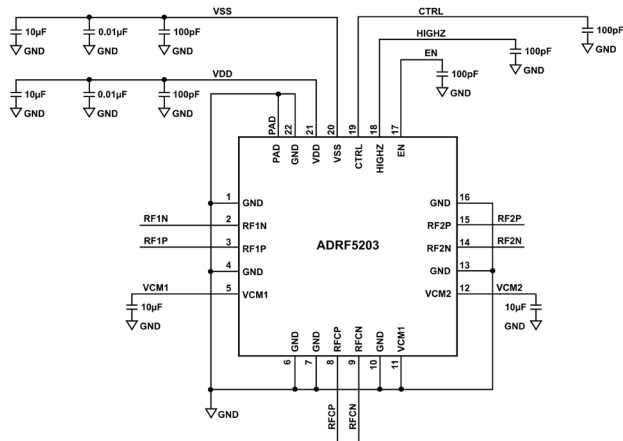


図 26. 推奨回路図

PCB 設計のための推奨事項

ADRF5203 は各 RF ピンで 50Ω の特性インピーダンスと整合するように設計されています。RF ポートは内部で差動 100Ω と整合しています。

図 27 に、厚さ 8mil の Rogers RO4003 誘電体材料を用いた RF 基板のコプレーナ導波路 (CPWG) RF パターン設計の参考例を示します。1.5mil の銅仕上げ厚さに対し、幅 14mil、クリアランス 7mil の RF パターンを使用することを推奨します。

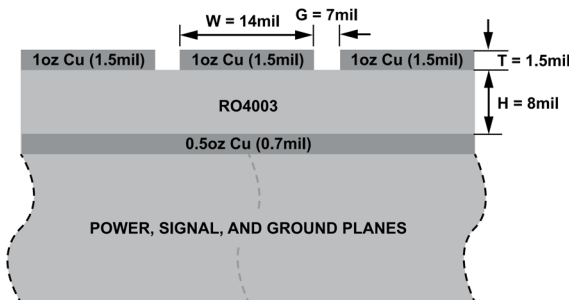


図 27. 推奨層構成

図 28 に、デバイスからの RF パターン、電源、制御信号のルーティングを示します。グラウンド・プレーンは、RF および熱性能を最適化するため、密に充填された貫通ビアに接続されています。デバイスの主な熱経路は裏面です。

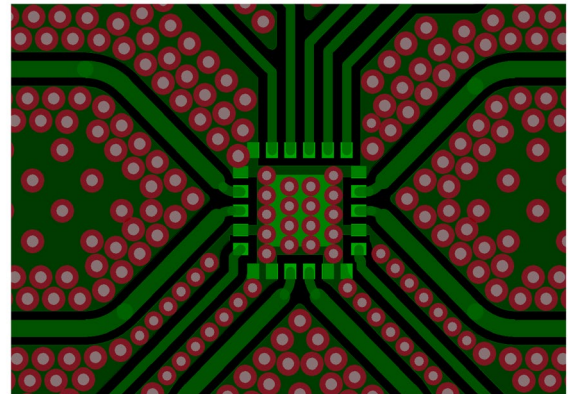


図 28. PCB レイアウト

参照層構成でのデバイスの RF ピンから 50Ω CPWG への推奨レイアウトを、図 29 に示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF 配線パターンは、パッケージ端までは同じ幅で延び、その先でテーパ状になって RF 配線パターンとつながっています。ペースト・マスクは、開口部を縮小させることなく、デバイス・パッドに整合するように設計されています。ペースト・マスクは、パドル用の複数の開口部に分割されています。

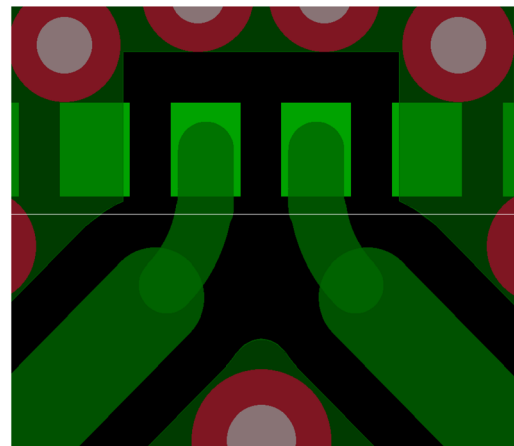


図 29. 推奨 RF ピン遷移

誘電体厚や RF 配線パターン設計が異なる場合の代替的な PCB 層構成については、アナログ・デバイセズのテクニカル・サポートにお問い合わせください。

外形寸法

Package Drawing Option	Package Type	Package Description
CC-22-5	LGA	22-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRF5203BCCZN	-40°C to +105°C	22-Terminal Land Grid Array [LGA]	Reel, 500	CC-22-5
ADRF5203BCCZN-R7	-40°C to +105°C	22-Terminal Land Grid Array [LGA]	Reel, 500	CC-22-5

¹ Z = RoHS 適合製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。

