

## 9kHz~13GHz、差動 SPDT スイッチ

### 特長

- ▶ 周波数範囲：9kHz~13GHz
- ▶ 無反射型、差動、100Ω インピーダンス設計
- ▶ 低挿入損失
  - ▶ 0.8dB (10GHz まで)
  - ▶ 0.9dB (13GHz まで)
- ▶ 高アイソレーション
  - ▶ >45dB (10GHz まで)
  - ▶ >40dB (13GHz まで)
- ▶ 高入力直線性
  - ▶ P0.1dB：>31dBm (代表値)
  - ▶ IP3：65dBm (代表値)
- ▶ 大電力処理
  - ▶ スルー・パス：31dBm (代表値)
  - ▶ 終端パス：30dBm (代表値)
  - ▶ ホット・スイッチング：27dBm (代表値)
- ▶ オン/オフ時間：5μs (代表値)
- ▶ 正電圧制御インターフェース：CMOS/LVTTL に対応
- ▶ オール・オフ状態コントロール
- ▶ 高速スイッチング・バージョンである ADRF5062 とピン互換
- ▶ 20 端子、3.0mm × 3.0mm の LGA パッケージ

### 機能ブロック図

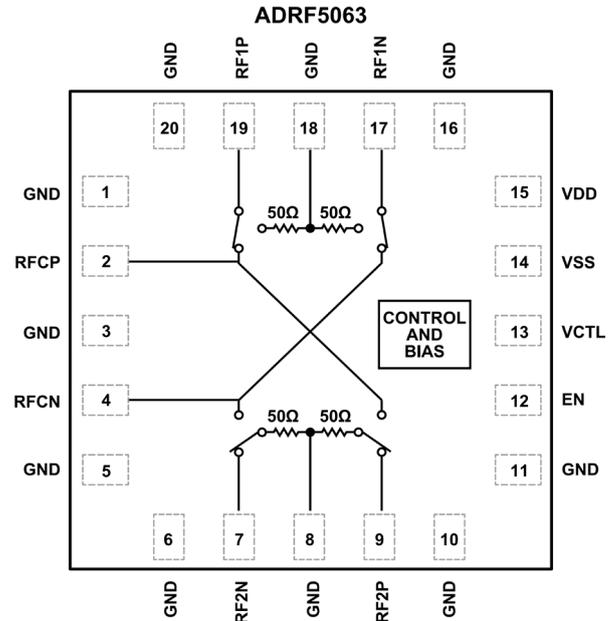


図 1. 機能ブロック図

### アプリケーション

- ▶ 試験用計測器
- ▶ データ・コンバータのインターフェース
- ▶ 高データ・レート・インターフェース

### 概要

ADRF5063 は、無反射型のシリコン差動 SPDT スイッチです。このデバイスは、9kHz~13GHz で動作し、挿入損失は 0.9dB 未満、アイソレーションは 40dB を上回ります。ADRF5063 には、スルー・パスが差動 31dBm、終端パスが差動 30dBm、RF 共通ポートのホット・スイッチングが差動 27dBm という RF 入力電力処理能力があります。

ADRF5063 は、±3.3V の両電源電圧で動作できます。あるいは、VSS を GND に接続した場合は、+3.3V の単電源電圧で動作できます。ADRF5063 の制御は、相補型金属酸化膜半導体 (CMOS) および低電圧トランジスタ・ロジック (LVTTL) に対応しています。ADRF5063 には、全てをオフ状態にできるイネーブル・コントロールがあります。

また、ADRF5063 は、正単電源電圧 (V<sub>DD</sub>) を印加し、負電源電圧 (V<sub>SS</sub>) をグラウンドに接続した状態でも、動作できます。この動作条件では、小信号性能は維持されますが、スイッチング特性、直線性、電力処理性能は低下します。詳細については、表 2 を参照してください。

ADRF5063 は、100MHz~13GHz で動作する ADRF5062 (高速スイッチング・バージョン) とピン互換です。

ADRF5063 は、20 端子、3.0mm × 3.0mm の LGA パッケージで提供され、-40°C~+105°C で動作可能です。

## 目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	挿入損失、リターン・ロス、アイソレーション.....	8
機能ブロック図.....	1	入力電力圧縮、RF 不均衡、群遅延.....	9
概要.....	1	動作原理.....	10
仕様.....	3	RF 入出力.....	10
単電源動作.....	5	電源.....	10
絶対最大定格.....	6	アプリケーション情報.....	11
熱抵抗.....	6	PCB 設計のための推奨事項.....	11
パワー・ディレーティング曲線.....	6	外形寸法.....	12
静電放電 (ESD) 定格.....	6	オーダー・ガイド.....	12
ESD に関する注意.....	6	評価用ボード.....	12
ピン配置およびピン機能の説明.....	7		
インターフェース回路図.....	7		

## 改訂履歴

## 11/2024—Rev. 0 to Rev. A

Changes to Data Sheet Title.....	1
Changes to Theory of Operation Section.....	10
Changes to RF Input and Output Section.....	10
Changes to Table 7.....	10

## 10/2024—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、デジタル制御電圧 ( $V_{CTL}$ ) = 0V または 3.3V、 $T_{CASE} = 25^{\circ}C$ 、 $100\Omega$  の差動システム。RFC は RFCP と RFCN の差動ペア、RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペア、RFx は RF1 と RF2 の差動ペアを指します。

表 1. 電気仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		0.009		13000	MHz
INSERTION LOSS						
RFC to RF1		0.1 GHz to 6 GHz		0.6		dB
		6 GHz to 10 GHz		0.8		dB
		10 GHz to 13 GHz		0.9		dB
RFC to RF2		0.1 GHz to 6 GHz		0.6		dB
		6 GHz to 10 GHz		0.8		dB
		10 GHz to 13 GHz		0.9		dB
RETURN LOSS						
RFC (On)		0.1 GHz to 10 GHz		20		dB
		10 GHz to 13 GHz		19		dB
RFx (On)		0.1 GHz to 6 GHz		20		dB
		6 GHz to 13 GHz		18		dB
RFx (Off)		0.1 GHz to 13 GHz		20		dB
ISOLATION						dB
RFC to RFx		0.1 GHz to 6 GHz		52		dB
		6 GHz to 10 GHz		47		dB
		10 GHz to 13 GHz		42		dB
RFx to RFx		0.1 GHz to 6 GHz		52		dB
		6 GHz to 10 GHz		45		dB
		10 GHz to 13 GHz		40		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	$t_{RISE, FALL}$	10% to 90% of RF output		2.5		$\mu s$
On and Off Time	$t_{ON, OFF}$	50% $V_{CTL}$ to 90% of RF output		5		$\mu s$
0.1 dB Settling Time		50% $V_{CTL}$ to 0.1 dB of final RF output		7		$\mu s$
INPUT LINEARITY <sup>1</sup>						
0.1 dB Power Compression	P0.1dB	f = 0.1 GHz to 13 GHz		>31		dBm
Third-Order Intercept	IP3	f = 2.3 GHz, two-tone input power = 20 dBm each tone, $\Delta f = 1$ MHz		65		dBm
DIFFERENTIAL PAIR CHARACTERISTICS						
Amplitude Imbalance RF1		6 GHz		0.1		dB
		10 GHz		0.2		dB
		13 GHz		0.25		dB
Amplitude Imbalance RF2		6 GHz		-0.1		dB
		10 GHz		-0.3		dB
		13 GHz		-0.4		dB
Phase Imbalance RF1		6 GHz		6		Degrees
		10 GHz		8		Degrees
		13 GHz		9		Degrees
Phase Imbalance RF2		6 GHz		-4		Degrees
		10 GHz		-5		Degrees
		13 GHz		-3		Degrees
Group Delay	$t_{GD}$			45		ps

表 1. 電気仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SUPPLY CURRENTS</b>						
Positive	$V_{DD}$	VDD and VSS pins		135		$\mu A$
Negative	$V_{SS}$			510		$\mu A$
<b>DIGITAL CONTROL INPUTS</b>						
Voltage						
Low	$V_{INL}$	VCTL and EN pins	0		0.8	V
High	$V_{INH}$		1.2		3.3	V
Current						
Low and High	$I_{INL}, I_{INH}$			<1		$\mu A$
<b>RECOMMENDED OPERATING CONDITONS</b>						
Supply Voltage						
Positive	$V_{DD}$		3.15		3.45	V
Negative	$V_{SS}$		-3.45		-3.15	V
Digital Control Voltage	$V_{CTL}$		0		$V_{DD}$	V
RF Input Power <sup>2,3</sup>						
Through Path	$P_{IN}$	$f = 1 \text{ MHz to } 13 \text{ GHz}, T_{CASE} = 85^\circ C^4$ RF signal is applied to RFC or through connected RFx			31	dBm
Terminated Path		RF signal is applied to terminated RFx			30	dBm
Hot Switching		RF signal is present at RFC while switching between RFx			27	dBm
Case Temperature	$T_{CASE}$		-40		+105	$^\circ C$

<sup>1</sup> 入力直線性と周波数の関係については、[図 12](#) および [図 15](#) を参照してください。

<sup>2</sup> パワー・ディレーティングと周波数の関係については、[図 2](#) を参照してください。

<sup>3</sup> シングルエンド動作での RFCx と RFxx の定格には 3dB のディレーティングが適用されます。

<sup>4</sup> 105°C での動作の場合、電力処理能力は  $T_{CASE} = 85^\circ C$  での仕様から 3dB 低下します。

## 仕様

## 単電源動作

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = 0V$ 、 $V_{CTL} = 0V$  または  $3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 、 $100\Omega$  の差動システム。RFC は RFCP と RFCN の差動ペア、RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペア、RFx は RF1 と RF2 の差動ペアを指します。

表 2. 単電源動作の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		0.009		13000	MHz
SWITCHING CHARACTERISTICS						
Rise Time and Fall Time	$t_{RISE}$ , $t_{FALL}$	10% to 90% of RF output		2.5		$\mu s$
On Time and Off Time	$t_{ON}$ , $t_{OFF}$	50% $V_{CTL}$ to 90% of RF output		5		$\mu s$
0.1 dB RF Settling Time		50% $V_{CTL}$ to 0.1 dB of final RF output		7		$\mu s$
INPUT LINEARITY		f = 1 MHz to 13 GHz				
0.1 dB Power Compression	P0.1dB			22		dBm
Third-Order Intercept	IP3	f = 2.3 GHz, two-tone input power = 0 dBm each tone, $\Delta f = 1$ MHz		53		dBm
RECOMMENDED OPERATING CONDITIONS						
RF Input Power <sup>1,2</sup>	$P_{IN}$	f = 0.1 GHz to 13 GHz, $T_{CASE} = 85^{\circ}C$				
Through Path		RF signal is applied to the RFC or through connected RFx			21	dBm
Terminated Path		RF signal is applied to terminated RFx			21	dBm
Hot Switching		RF signal is applied to the RFC while switching between RFx			21	dBm

<sup>1</sup> パワー・ディレーティングと周波数の関係については図 2 を参照してください。

<sup>2</sup>  $105^{\circ}C$  での動作の場合、電力処理能力は  $T_{CASE} = 85^{\circ}C$  での仕様から 3dB 低下します。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 3. 絶対最大定格

Parameter <sup>1,2</sup>	Rating
Supply Voltage	
Positive	-0.3V to +3.6 V
Negative	-3.6 V to +0.3 V
Digital Control Inputs <sup>3</sup>	
Voltage	-0.3 V to V <sub>DD</sub> + 0.3 V
Current	3 mA
RF Input Power (V <sub>DD</sub> = 3.3 V, V <sub>SS</sub> = -3.3 V, f = 1 MHz to 13 GHz, T <sub>CASE</sub> = 85°C <sup>5</sup> )	
Through Path	31.5 dBm
Terminated Path	30.5 dBm
Hot Switching (RFC)	27.5 dBm
RF Input Power <sup>4</sup> (V <sub>DD</sub> = 3.3 V, V <sub>SS</sub> = 0 V, f = 1 MHz to 13 GHz, T <sub>CASE</sub> = 85°C)	
Through Path	21.5 dBm
Terminated Path	22.5 dBm
Hot Switching (RFC)	21.5 dBm
RF Input Power, Unbiased (V <sub>DD</sub> and V <sub>SS</sub> = 0 V)	30 dBm
Temperature	
Junction, T <sub>J</sub>	135°C
Storage Range	-65°C to +150°C
Reflow	260°C

- <sup>1</sup> RF 入力電力の仕様は、100Ω の差動ペアに対して定義されます。
- <sup>2</sup> RFC は RFCP と RFCN の差動ペアを指します。
- <sup>3</sup> デジタル制御ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。
- <sup>4</sup> パワー・ディレーティングと周波数の関係については図 2 を参照してください。
- <sup>5</sup> 105°C での動作の場合、電力処理能力は T<sub>CASE</sub> = 85°C での仕様から 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ<sub>JC</sub> は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ <sub>JC</sub> <sup>1</sup>	Unit
CC-20-15		
Through Path	110	°C/W

表 4. 熱抵抗 (続き)

Package Type	θ <sub>JC</sub> <sup>1</sup>	Unit
Terminated Path	50	°C/W

<sup>1</sup> θ<sub>JC</sub> は、以下の条件でのシミュレーションによって決まります。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通して PCB まで熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

パワー・ディレーティング曲線



図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T<sub>CASE</sub> = 85°C

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRF5063 の ESD 定格

表 5. ADRF5063、20 端子 LGA

ESD Model <sup>1</sup>	Withstand Threshold (V)	Class
HBM		
RF1x, RF2x, and RFCx Pins	1250	1C
Supply and Control Pins	1500	1C
CDM	500	C2A

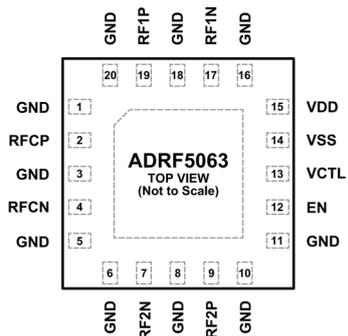
<sup>1</sup> RF1x は RF1P ピンおよび RF1N ピン、RF2x は RF2P ピンおよび RF2N ピン、RFCx は RFCP ピンおよび RFCN ピンを表します。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND.

図 3. ピン配置（上面図）

表 6. ピン機能の説明

ピン番号	記号	説明
1, 3, 5, 6, 8, 10, 11, 16, 18, 20	GND	グラウンド。GND ピンは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。
2, 4, 7, 9, 17, 19	RFCP, RFCN, RF2N, RF2P, RF1N, RF1P	RFCx、RF1x、RF2x の各ピンは、0V に DC カップリングし、差動ペア時には差動 100Ω インピーダンスに RF マッチングしています。インターフェース回路図については図 4 を参照してください。
12	EN	イネーブル入力。真理値表については、表 7 を参照してください。インターフェース回路図については図 5 を参照してください。
13	VCTL	制御入力。真理値表については表 7 を参照してください。また、インターフェース回路図については図 5 を参照してください。
14	VSS	負電源電圧。インターフェース回路図については図 6 を参照してください。
15	VDD	正電源電圧。インターフェース回路図については図 7 を参照してください。
	EPAD	露出パッド。露出パッドは RF および DC グラウンドに接続する必要があります。

インターフェース回路図

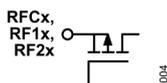


図 4. RFCx、RF1x、RF2x のインターフェース回路図

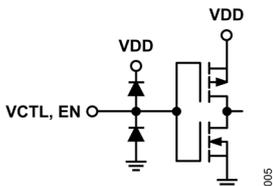


図 5. VCTL および EN のインターフェース回路図

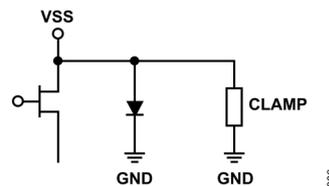


図 6. VSS のインターフェース回路図

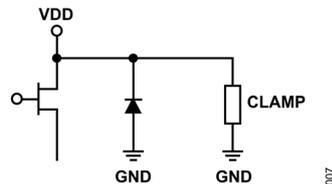


図 7. VDD のインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTL} = 0V$  または  $3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 、 $100\Omega$  の差動システム。RFC は RFCP と RFCN の差動ペア、RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペア、RFx は RF1 と RF2 の差動ペアを指します。

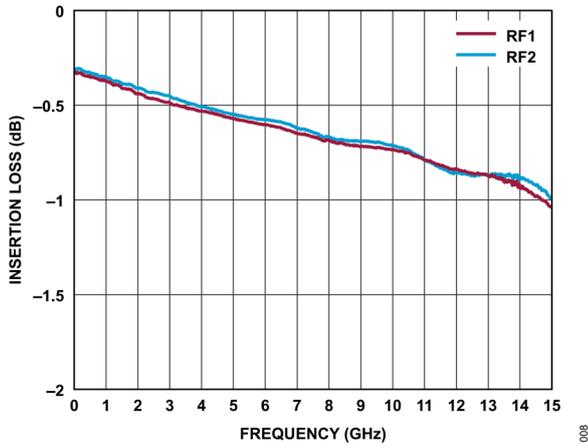


図 8. 挿入損失と周波数の関係、RF1 および RF2

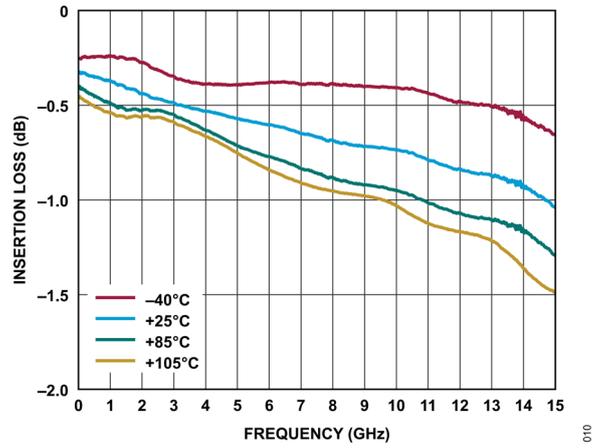


図 10. 各種温度での挿入損失と周波数の関係

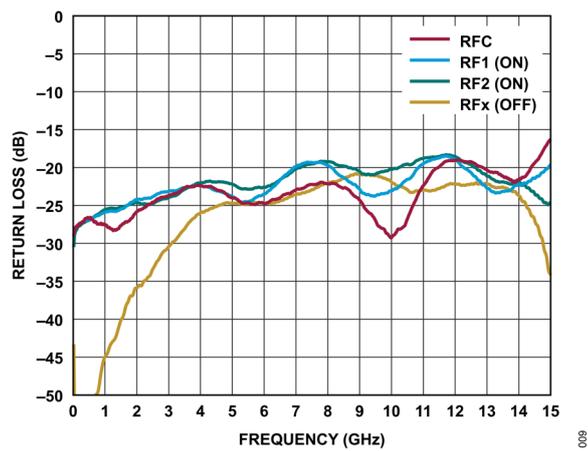


図 9. リターン・ロスと周波数の関係

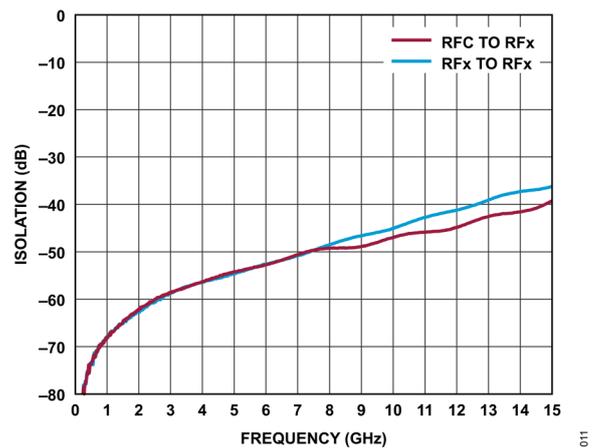


図 11. アイソレーションと周波数の関係

代表的な性能特性

入力電力圧縮、RF 不均衡、群遅延

特に指定のない限り、 $V_{DD}=3.3V$ 、 $V_{SS}=-3.3V$ 、 $V_{CTL}=0V$  または  $3.3V$ 、 $T_{CASE}=25^{\circ}C$ 、 $100\Omega$  の差動システム。RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペアを指します。

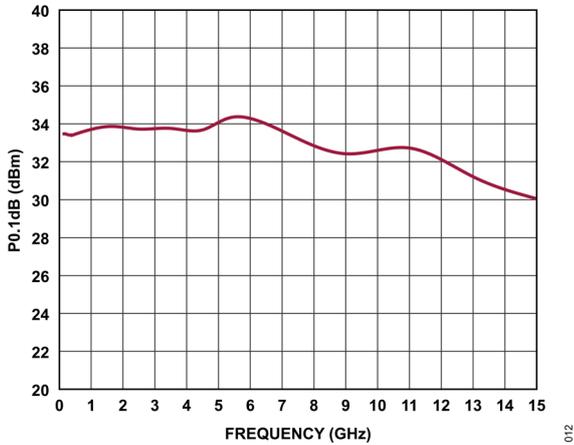


図 12. P0.1dB と周波数の関係

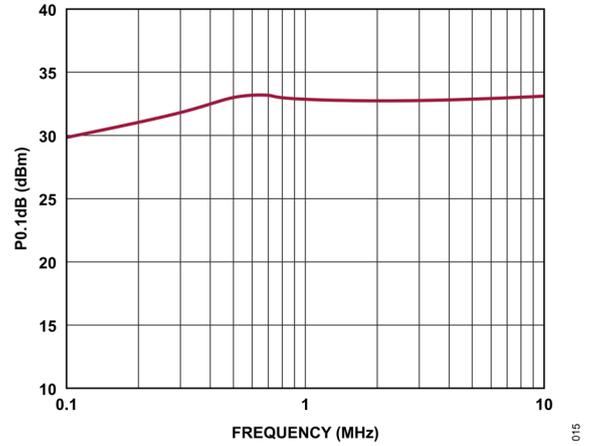


図 15. P0.1dB と周波数の関係、低周波数領域の詳細

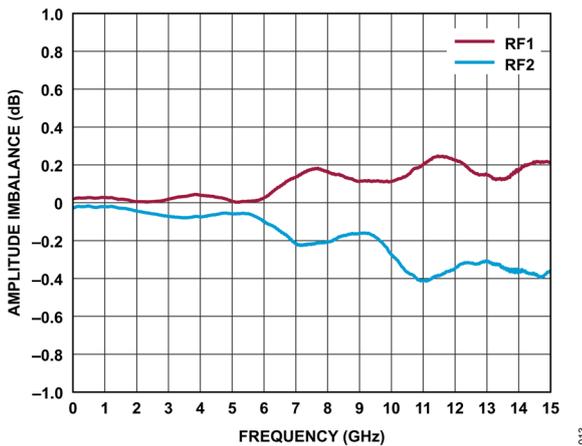


図 13. 振幅不均衡と周波数の関係、RF1 および RF2

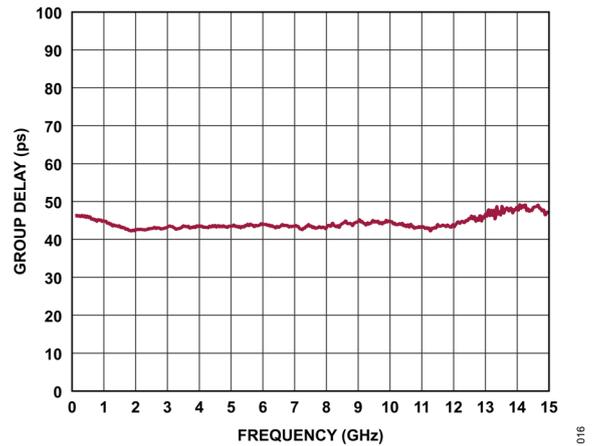


図 16. 群遅延と周波数の関係

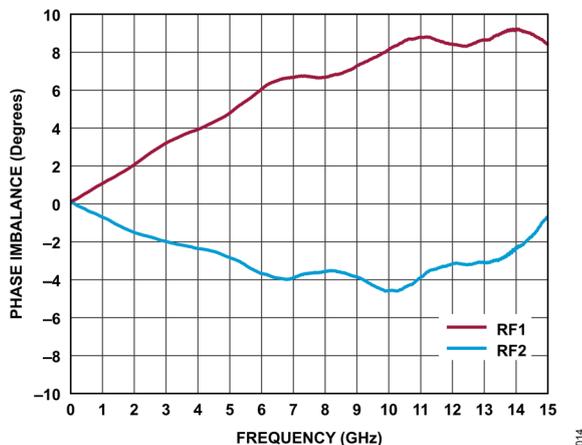


図 14. 位相不均衡と周波数の関係、RF1 および RF2

## 動作原理

ADRF5063 にはロジック機能を内部で実行するためのドライバが内蔵されているため、CMOS/LVTTL 対応の制御インターフェースを簡素化できるメリットがあります。このドライバには EN と VCTL の 2 つのデジタル制御入力ピンが備わっています。EN がローの場合、ADRF5063 は全てオフ状態になります。つまり、RFC から RF1 への経路と RFC から RF2 への経路はどちらもアイソレーション状態になります。EN がハイの場合、VCTL ピンに印加されたロジック・レベルに応じて、どの RF ポートが挿入損失状態になり、どの RF ポートがアイソレーション状態になるかが決まります (表 7 参照)。

## RF 入出力

RF ポート (RFC, RF1, RF2) は 0V に DC カップリングしています。RF ライン電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。RF ポートは内部で 100Ω の差動インピーダンスに整合しています。シングルエンド 50Ω アプリケーションの場合はアナログ・デバイセズの **テクニカル・サポート** にお問い合わせください。

EN ピンがロジック・ハイの場合、VCTL 入力ピンに印加されるロジック・レベルによって、どの RF ポートが挿入損失状態になり、どの RF ポートがアイソレーション状態になるかが決まります。インサクション・ロス経路は、入力 RF 信号ペアを、RFC ペアと選択した RF1 および RF2 ペアの間に導通させます。

EN ピンがロジック・ローの場合、VCTL ピンのロジック状態に関係なく、スイッチは全てオフの状態になります。RF1 から RFC への経路と RF2 から RFC への経路は、どちらもアイソレーション状態になります。アイソレーション経路では、挿入損失経路と選択していない RF 投ペアの間に大きな損失が発生します。選択していない RF 投ポートは、内部の差動 100Ω 抵抗に終端されます。

ADRF5063 は、双方向に均等な電力処理機能を備えています。RF 入力信号は RFC ポートに印加することも、選択した RF 投ポートに印加することもできます。

表 7. 制御電圧の真理値表

Digital Control Inputs		RF Paths <sup>1</sup>	
EN	VCTL	RFC to RF1	RFC to RF2
High	Low	Isolation (off)	Insertion loss (on)
High	High	Insertion loss (on)	Isolation (off)
Low	Low or high	Isolation (off)	Isolation (off)

<sup>1</sup> RFC は RFCP と RFCN の差動ペア、RF1 は RF1P と RF1N の差動ペア、RF2 は RF2P と RF2N の差動ペアを指します。

## 電源

ADRF5063 には、VDD ピンに印加する正電源電圧と、VSS ピンに印加する負電源電圧が必要です。高周波ノイズをフィルタリングするため、電源ラインにバイパス・コンデンサを接続することを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接続します。
2. VDD に電源を投入し、電源が仕様規定された範囲にあることを確認します。
3. VSS に電源を投入します。
4. デジタル制御入力に電源を投入します。ロジック制御入力間の相互の順序は重要ではありません。ただし、VDD への給電前にデジタル制御入力に給電すると、内部 ESD 保護構造が意図せず順方向にバイアスされ、損傷する可能性があります。
5. 信号を RF 入力ポートに印加します。この設計は双方向です。すなわち、入力信号を RFC ポートに印加でき、このとき RF 投ポートは出力になります。または、その逆が可能です。

理想的なパワーダウン・シーケンスは、先述の理想的なパワーアップ・シーケンスの逆順序です。

## 単電源動作

ADRF5063 は、単一の正電源電圧を VDD ピンに印加し、VSS ピンをグラウンドに接続した状態でも動作できます。ただし、入力圧縮、入力 3 次インターセプト・ポイント、タイミング仕様において若干の性能変化が生じる可能性があります。詳細については、表 2 を参照してください。

アプリケーション情報

ADRF5063 には、2つの電源ピン (VDD および VSS) と 2つの制御ピン (VCTL および EN) があります。図 17 に、電源ピンおよび制御ピンの外付け部品、およびその接続方法を示します。VDD ピンと VSS ピンは、100pF の多層セラミック・コンデンサでデカップリングされています。ADRF5063 のピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。RF ラインが 0V 以外の電圧でバイアスする場合に RFCx、RF1x、RF2x の各ピンに接続する DC 阻止コンデンサを除いて、バイアスおよび動作には他の外付け部品は不要です。詳細については、ピン配置およびピン機能の説明のセクションを参照してください。

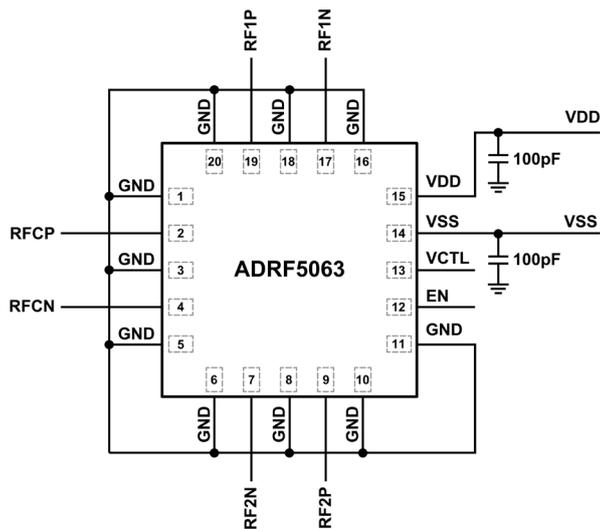


図 17. 推奨回路図

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、特性インピーダンスが 50Ω の、PCB 上のコプレーナ導波路 (CPWG) に接合できるよう設計されています。図 18 に、8 ミル厚の Rogers RO4003 誘電体材料を用いた RF 基板のための基準 CPWG RF パターン設計を示します。幅 14 ミル、クリアランス 7 ミルの RF パターンは、1.5 ミルの銅仕上げ厚さに推奨されます。

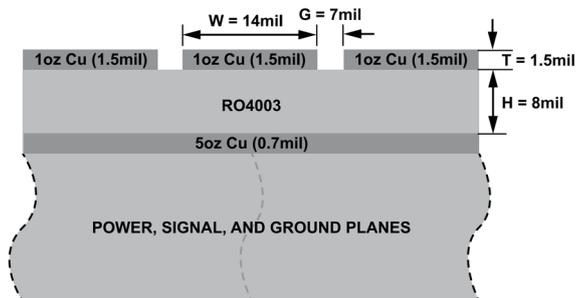


図 18. PCB 層構成の例

図 19 に、ADRF5063 からの RF パターン、電源、制御信号の配線の引き回しを示します。グラウンド・プレーンは、RF および熱性能を最適化するため、できる限り多数の充填スルー・ビアで接続されています。ADRF5063 の主な熱経路は裏面です。

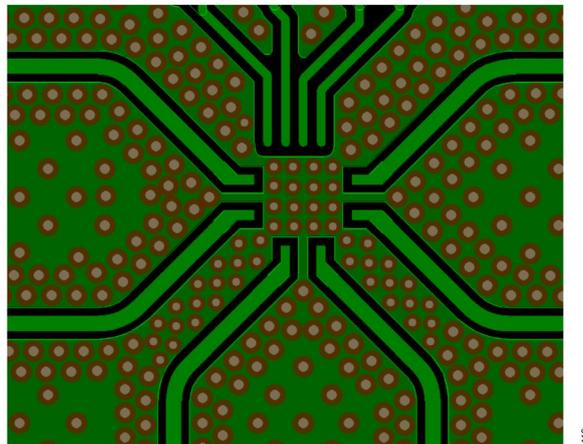


図 19. PCB 配線

ADRF5063 の RF ピンからリファレンス層構成の 50Ω CPWG までの間の推奨レイアウトを図 20 に示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF パターンは、パッケージ端まで同じ幅で延びた後、RF パターンに向けて 45° の角度でテーパ状になっています。ペースト・マスクも、アパーチャが減少することなくパッドと一致するように設計されています。ペーストは、複数の開口に分割されパドルを形成しています。

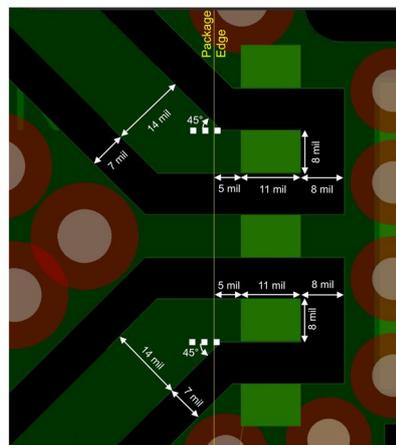


図 20. 推奨の RF ピン遷移

異なる誘電体厚さや CPWG 設計を使用した場合の代替 PCB 層構成、およびその他の推奨事項については、アナログ・デバイスズのテクニカル・サポートへお問い合わせください。

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-20-15	LGA	20-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADRF5063BCCZN	-40°C to +105°C	20-Terminal LGA	CC-20-15
ADRF5063BCCZN-R7	-40°C to +105°C	20-Terminal LGA	CC-20-15

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

表 8. 評価用ボード

Model <sup>1</sup>	Description
ADRF5063-EVALZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。