

無反射型シリコン SP4T スイッチ、100MHz～20GHz

特長

- ▶ 広帯域周波数範囲：100MHz～20GHz
- ▶ 50Ω のオンチップ終端を備えた無反射型設計
- ▶ 低挿入損失
 - ▶ ～6GHz：0.9dB（代表値）
 - ▶ ～12GHz：1.0dB（代表値）
 - ▶ ～20GHz：1.2dB（代表値）
- ▶ 高アイソレーション
 - ▶ ～6GHz：54dB（代表値）
 - ▶ ～12GHz：50dB（代表値）
 - ▶ ～20GHz：47dB（代表値）
- ▶ 高直線性
 - ▶ 入力 P0.1dB：34dBm（代表値）
 - ▶ 入力 IP3：55dBm（代表値）
- ▶ 大 RF 電力処理
 - ▶ スルー・パス：33dBm（20GHz まで）
 - ▶ 終端パス：18dBm（20GHz まで）
- ▶ オン/オフのスイッチング時間：55ns
- ▶ 0.1dB セトリング・タイム：80ns
- ▶ オール・オフ状態コントロール
- ▶ ロジック・セレクト制御
- ▶ 単電源動作が可能（電力ディレーティングあり）
- ▶ 低周波スプリアスなし、内部電圧発生なし
- ▶ 24 端子、3mm × 3mm、ランド・グリッド・アレイ（LGA）パッケージ
- ▶ ADRF5042 および ADRF5043 とピン互換

アプリケーション

- ▶ 試験用計測器
- ▶ 防衛用無線機、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線機、超小型地球局（VSAT）

機能ブロック図

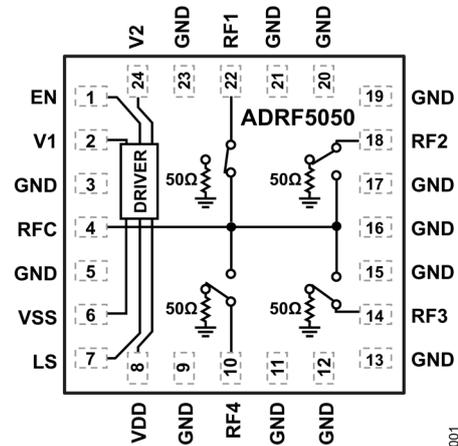


図 1. 機能ブロック図

概要

ADRF5050 はシリコン・オン・インシュレータ（SOI）プロセスで製造された無反射型 SP4T スイッチです。

ADRF5050 は、100MHz～20GHz で動作し、挿入損失は 1.2dB 未満、アイソレーションは 47dB を上回ります。このデバイスの RF 入力電力処理能力は、スルー・パスで 33dBm、終端パスで 18dBm、RF 共通（RFC）ポートのホット・スイッチングで 30dBm です。

ADRF5050 は、+3.3V と -3.3V の両電源電圧で動作します。また、負電源ピン（VSS）をグラウンドに接続した状態で、正の単電源電圧（VDD）でも動作します。この動作条件では、小信号性能は維持されますが、スイッチング特性、直線性、電力処理性能はディレーティングされます（表 2 を参照）。

ADRF5050 の制御は、相補型金属酸化膜半導体（CMOS）および低電圧トランジスタ・ロジック（LVTTL）に対応しています。

このデバイスは、イネーブル（EN）とロジック・セレクト（LS）の制御を備えています。EN ピンをハイにするとオール・オフ状態になり、LS ピンをハイにすると投ポート選択ロジックが反転するので、バックツーバック・アプリケーションに容易に使用できます。動作原理のセクション、表 7、バックツーバック・アプリケーションのセクションを参照してください。

ADRF5050 は、ADRF5042 および ADRF5043 とピン互換です。

ADRF5050 は、24 端子、3mm × 3mm、RoHS 準拠のランド・グリッド・アレイ（LGA）パッケージで提供され、動作可能温度は -40°C～+105°C です。

目次

特長.....	1	挿入損失、反射損失、アイソレーション	10
アプリケーション	1	入力電力圧縮と 3 次インターセプト	13
機能ブロック図	1	動作原理.....	14
概要.....	1	RF 入出力.....	15
仕様.....	3	電源	15
単電源動作の仕様.....	4	単電源動作.....	15
絶対最大定格	6	アプリケーション情報	16
熱抵抗.....	6	PCB 設計のための推奨事項.....	16
パワー・ディレーティング曲線	6	バックツージャック・アプリケーション	16
静電放電 (ESD) 定格.....	6	外形寸法.....	18
ESD に関する注意.....	7	オーダー・ガイド.....	18
ピン配置およびピン機能の説明.....	8	評価用ボード.....	18
インターフェース回路図	9		
代表的な性能特性	10		

改訂履歴

10/2025—Rev. B to Rev. C	
Changes to Features Section.....	1
Changes to General Description Section.....	1
Changes to Table 1	3
Changes to Table 2	4
Added Note 1 to Note 3, Table 2	4
Changes to Table 3	6
Change to Table 4.....	6
Changes to Figure 5 and Figure 6.....	9
Added Figure 7; Renumbered Sequentially	9
Changes to Insertion Loss, Return Loss, and Isolation Section, Figure 12 Caption to Figure 22 Caption	10
Changes to Input Power Compression and Third-Order Intercept Section	13
Changes to Theory of Operation Section	14
Moved Table 7.....	14
Changes to RF Input and Output Section.....	15
Changes to Recommendations for Printed Circuit Board Design Section, Figure 29, and Figure 30	16
Added Back-to-Back Application Section, Figure 31, and Table 8; Renumbered Sequentially	16
11/2024—Rev. A to Rev. B	
Updated Outline Dimensions.....	18
8/2023—Rev. 0 to Rev. A	
Updated Outline Dimensions.....	18
2/2023—Revision 0: Initial Version	

仕様

特に指定のない限り、50Ω システムに対し、正電源電圧 (V_{DD}) = 3.3V、負電源電圧 (V_{SS}) = -3.3V、制御入力 1 電圧 (V_1) および制御入力 2 電圧 (V_2) = 0V または V_{DD} 、 $T_{CASE} = 25^\circ\text{C}$ 。 V_{CTRL} は、デジタル制御入力 V_1 と V_2 の電圧です。 RF_x は、RF1、RF2、RF3、RF4 を指します。

表 1. 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		100		20,000	MHz
INSERTION LOSS						
Between RFC and RFx (On)		100 MHz to 6 GHz		0.9		dB
		6 GHz to 12 GHz		1.0		dB
		12 GHz to 20 GHz		1.2		dB
ISOLATION						
Between RFC and RFx (Off)		100 MHz to 6 GHz		56		dB
		6 GHz to 12 GHz		54		dB
		12 GHz to 20 GHz		47		dB
Between RFx and RFx		100 MHz to 6 GHz		54		dB
		6 GHz to 12 GHz		50		dB
		12 GHz to 20 GHz		47		dB
RETURN LOSS						
RFC		100 MHz to 6 GHz		26		dB
		6 GHz to 12 GHz		22		dB
		12 GHz to 20 GHz		22		dB
RFx (On)		100 MHz to 6 GHz		24		dB
		6 GHz to 12 GHz		19		dB
		12 GHz to 20 GHz		18		dB
RFx (Off)		100 MHz to 6 GHz		20		dB
		6 GHz to 12 GHz		15		dB
		12 GHz to 20 GHz		12		dB
SWITCHING						
Rise and Fall Time	t_{RISE}, t_{FALL}	10% to 90% of RF output (RF_{OUT})		12		ns
On and Off Time	t_{ON}, t_{OFF}	50% V_{CTRL} to 90% of RF_{OUT}		55		ns
0.1 dB Settling Time		50% V_{CTRL} to 0.1 dB of final RF_{OUT}		80		ns
INPUT LINEARITY ¹						
0.1 dB Power Compression	P0.1dB	f = 100 MHz to 20 GHz		34		dBm
Third-Order Intercept	IP3	Two-tone input power = 15 dBm each tone, f = 100 MHz to 20 GHz, $\Delta f = 1$ MHz		55		dBm
Second-Order Intercept	IP2	Two-tone input power = 15 dBm each tone, f = 8 GHz, $\Delta f = 1$ MHz		110		dBm
VIDEO FEEDTHROUGH ²				30		mV p-p
SUPPLY CURRENT		VDD and VSS pins				
Positive Supply Current	I_{DD}			155		μA
Negative Supply Current	I_{SS}			530		μA
DIGITAL CONTROL INPUTS		V1, V2, EN, and LS pins				
Voltage						
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.2		3.3	V
Current						
Low	I_{INL}			<1		μA
High	I_{INH}	V1 and V2 pins		3		μA
		EN pin		40		μA
		LS pin		37		μA

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
RECOMMENDED OPERATING CONDITIONS						
Supply Voltage						
Positive	V_{DD}		3.15		3.45	V
Negative	V_{SS}		-3.45		-3.15	V
Digital Control Voltage	V_{CTRL}		0		V_{DD}	V
RF Power Handling ³		$f = 100 \text{ MHz to } 20 \text{ GHz}, T_{CASE} = 85^\circ\text{C}^4$				
Through Path		RF signal is applied to RFC or through connected RF throw port (selected RFx)			33	dBm
Terminated Path		RF signal is applied to any unselected RF throw port (unselected RFx)			18	dBm
Hot Switching (RFC)		RF signal is applied to RFC while switching between RFx ports			30	dBm
Hot Switching (RFx)		RF signal is applied to a RFx port while switching to or from another RFx port			18	dBm
Case Temperature	T_{CASE}		-40		+105	°C

¹ 周波数に対する入力直線性については、図 23～図 26 を参照してください。

² ビデオ・フィードスルーは、制御電圧のスイッチングの間 RF 信号がない状態で、50Ω のテスト・セットアップの RF ポートで測定されるピーク・トランジェントです。

³ 拡張周波数範囲での RF 電力処理能力のディレーティングについては、図 2 を参照してください。

⁴ $T_{CASE} = 105^\circ\text{C}$ での動作の場合、RF 電力処理能力は、 $T_{CASE} = 85^\circ\text{C}$ での仕様から 3dB 低下します。

単電源動作の仕様

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 V_1 および $V_2 = 0\text{V}$ または V_{DD} 、 $T_{CASE} = 25^\circ\text{C}$ 。

小信号およびバイアスの仕様は、単電源動作に対し維持されます。

表 2. 単電源動作の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE			100		20,000	MHz
SWITCHING						
Rise and Fall Time	t_{RISE}, t_{FALL}	10% to 90% of RF_{OUT}		85		ns
On and Off Time	t_{ON}, t_{OFF}	50% V_{CTRL} to 90% of RF_{OUT}		175		ns
0.1 dB Settling Time		50% V_{CTRL} to 0.1 dB of final RF_{OUT}		200		ns
INPUT LINEARITY ¹						
0.1 dB Power Compression	P0.1dB	$f = 100 \text{ MHz to } 20 \text{ GHz}$		17		dBm
Third-Order Intercept	IP3	Two-tone input power = 15 dBm each tone, $f = 100 \text{ MHz to } 20 \text{ GHz}, \Delta f = 1 \text{ MHz}$		42		dBm
Second-Order Intercept	IP2	Two-tone input power = 15 dBm each tone, $f = 8 \text{ GHz}, \Delta f = 1 \text{ MHz}$		86		dBm
SUPPLY CURRENT						
Positive Supply Current	I_{DD}			36		μA
RECOMMENDED OPERATING CONDITIONS						
RF Power Handling ²		$f = 100 \text{ MHz to } 20 \text{ GHz}, T_{CASE} = 85^\circ\text{C}^3$				
Through Path		RF signal is applied to RFC or through connected RF throw port (selected RFx)			22	dBm
Terminated Path		RF signal is applied to any unselected RF throw port (unselected RFx)			18	dBm
Hot Switching (RFC)		RF signal is applied to RFC while switching between RFx ports			21	dBm

仕様

表 2. 単電源動作の仕様（続き）

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Hot Switching (RFx)		RF signal is applied to a RFx port while switching to or from another RFx port			18	dBm
Case Temperature	T _{CASE}		-40		+105	°C

¹ 周波数に対する入力直線性については、[図 23](#)～[図 26](#)を参照してください。

² 拡張周波数範囲での RF 電力処理能力のディレーティングについては、[図 2](#)を参照してください。

³ T_{CASE} = 105°C での動作の場合、RF 電力処理能力は、T_{CASE} = 85°C での仕様から 3dB 低下します。

絶対最大定格

推奨動作条件については、表1および表2を参照してください。

表 3. 絶対最大定格

Parameter	Rating
Supply Voltage	
V _{DD}	-0.3 V to +3.6 V
V _{SS}	-3.6 V to +0.3 V
Digital Control Inputs ¹	
Voltage	-0.3 V to V _{DD} + 0.3 V
Current	3 mA
RF Input Power ²	
Dual Supply (V _{DD} = 3.3 V, V _{SS} = -3.3 V, frequency = 100 MHz to 20 GHz, T _{CASE} = 85°C ³)	
Through Path	33.5 dBm
Terminated Path	18.5 dBm
Hot Switching (RFC)	30.5 dBm
Hot Switching (RFx)	18.5 dBm
Single Supply (V _{DD} = 3.3 V, V _{SS} = 0 V, frequency = 100 MHz to 20 GHz, T _{CASE} = 85°C ³)	
Through Path	22.5 dBm
Terminated Path	18.5 dBm
Hot Switching (RFC)	21.5 dBm
Hot Switching (RFx)	18.5 dBm
Unbiased (V _{DD} = 0 V, V _{SS} = 0 V)	
RFC	30 dBm
RFx	27 dBm
Temperature	
Junction, T _J	135°C
Storage Range	-65°C to +150°C
Reflow	260°C

¹ デジタル制御ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。

² 拡張周波数範囲での RF 電力処理能力のディレーティングについては、図2を参照してください。

³ T_{CASE} = 105°C での動作の場合、RF 電力処理能力は、T_{CASE} = 85°C での仕様から 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。θ_{jc} は、ジャンクションとケース底部 (チャンネルとパッケージ底面) の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CC-24-16		
Through Path	110	°C/W
Terminated Path	800	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって決まります。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通して PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

パワー・ディレーティング曲線

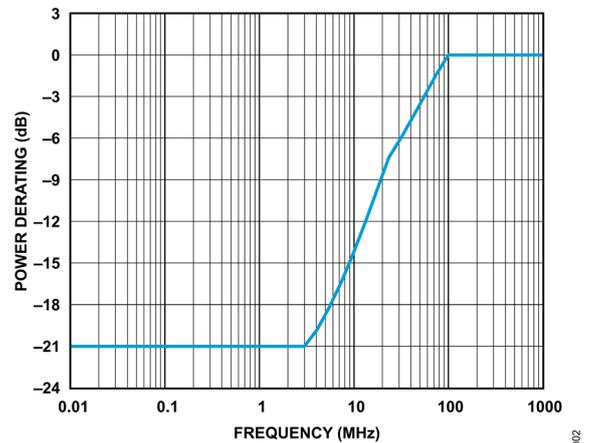


図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T_{CASE} = 85°C

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRF5050 の ESD 定格

表 5. ADRF5050、24 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM		
RFx and RFC Pins	1000	1C
Supply and Control Pins	2000	2
CDM	500	C2A

絶対最大定格

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

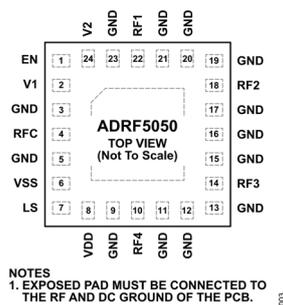


図 3. ピン配置（上面図）

表 6. ピン機能の説明

ピン番号	記号	説明
1	EN	イネーブル入力。真理値表については表 7 を参照してください。また、インターフェース回路図については図 6 を参照してください。
2	V1	制御入力 1。真理値表については表 7 を参照してください。また、インターフェース回路図については図 5 を参照してください。
3, 5, 9, 11 to 13, 15 to 17, 19 to 21, 23	GND	グラウンド。GND ピンは、PCB の RF/DC グラウンドに接続する必要があります。
4	RFC	RF 共通ポート。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 4 を参照してください。
6	VSS	負電源電圧。
7	LS	ロジック・セレクト入力。真理値表については表 7 を参照してください。また、インターフェース回路図については図 7 を参照してください。
8	VDD	正電源電圧。
10	RF4	RF 投ポート 4。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 4 を参照してください。
14	RF3	RF 投ポート 3。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 4 を参照してください。
18	RF2	RF 投ポート 2。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 4 を参照してください。
22	RF1	RF 投ポート 1。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 4 を参照してください。
24	V2	制御入力 2。真理値表については表 7 を参照してください。また、インターフェース回路図については図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

ピン配置およびピン機能の説明

インターフェース回路図

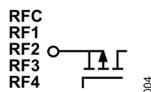


図 4. RFC および RF1~RF4 ピンのインターフェース回路図

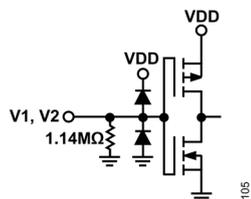


図 5. V1 ピンと V2 ピンのインターフェース回路図

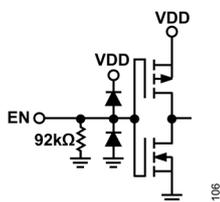


図 6. EN ピンのインターフェース回路図

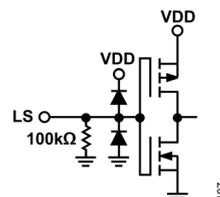


図 7. LS ピンのインターフェース回路図

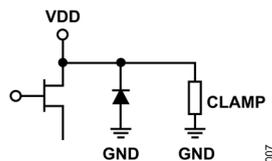


図 8. VDD ピンのインターフェース回路図

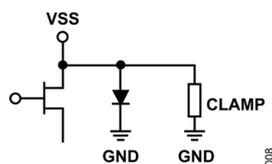


図 9. VSS ピンのインターフェース回路図

代表的な性能特性

挿入損失、反射損失、アイソレーション

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、LSおよびEN = 0V、 V_1 および $V_2 = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 。

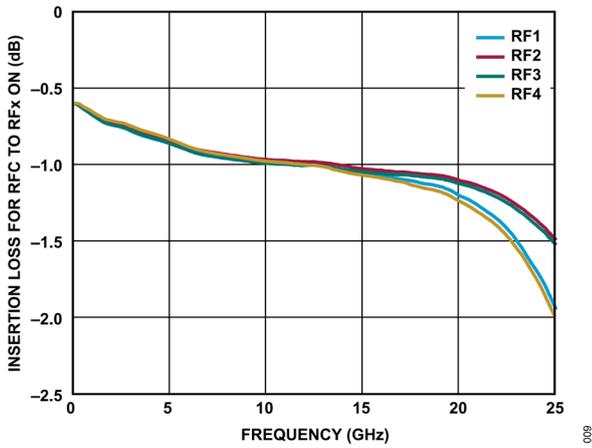


図 10. RFC から RFx (オン) への挿入損失と周波数の関係

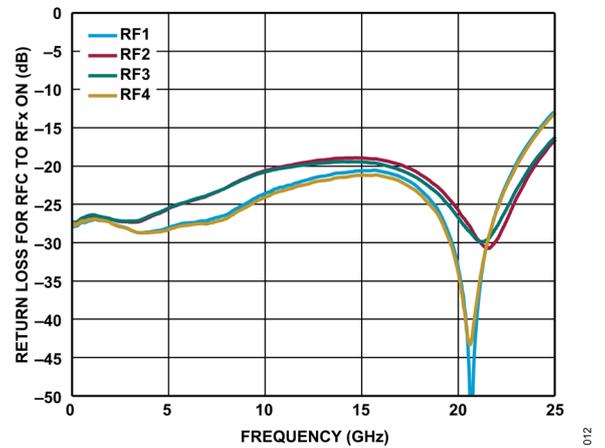


図 13. RFx (オン) の反射損失と周波数の関係

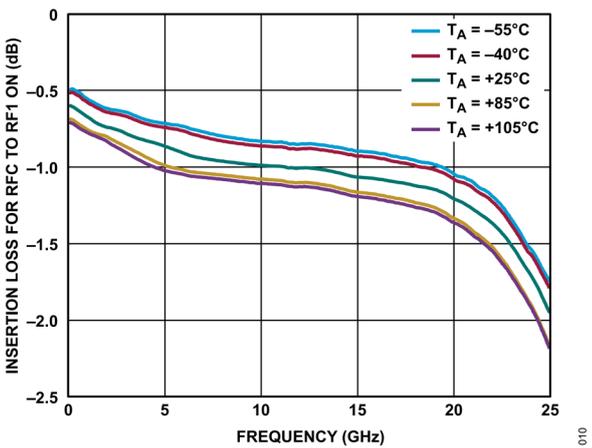


図 11. 様々な温度における、RFC から RF1 (オン) への挿入損失と周波数の関係

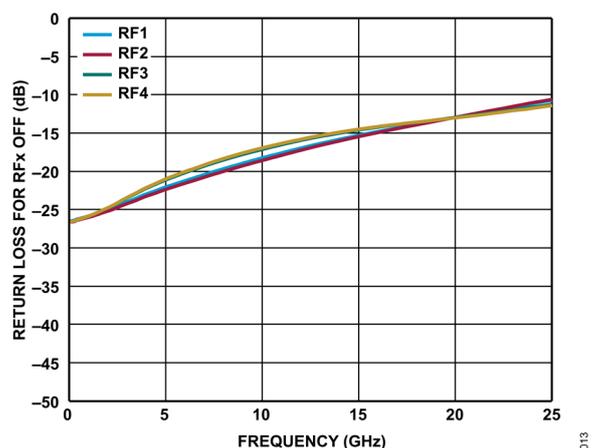


図 14. RFx (オフ) の反射損失と周波数の関係

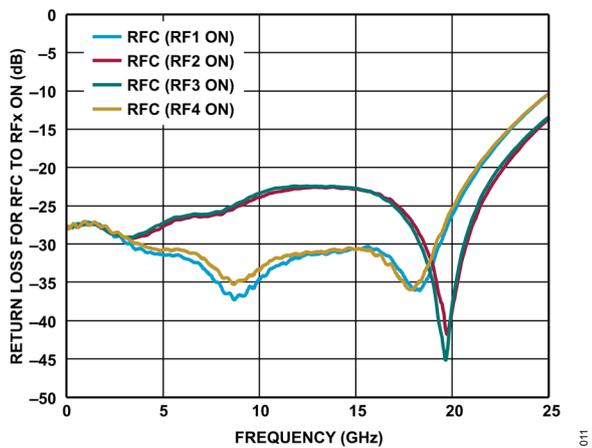


図 12. RFC の反射損失と周波数の関係

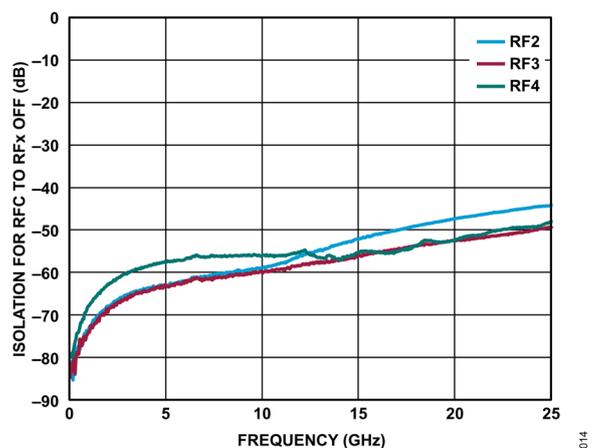


図 15. RFC と RFx (オフ) の間のアイソレーションと周波数の関係、RF1 (オン) の場合

代表的な性能特性

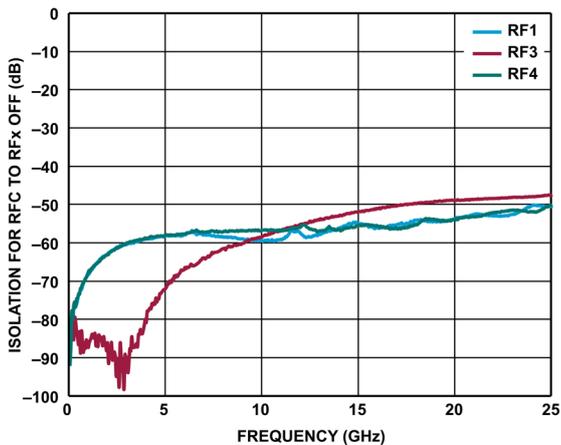


図 16. RFC と RFx (オフ) の間のアイソレーションと周波数の関係、RF2 (オン) の場合

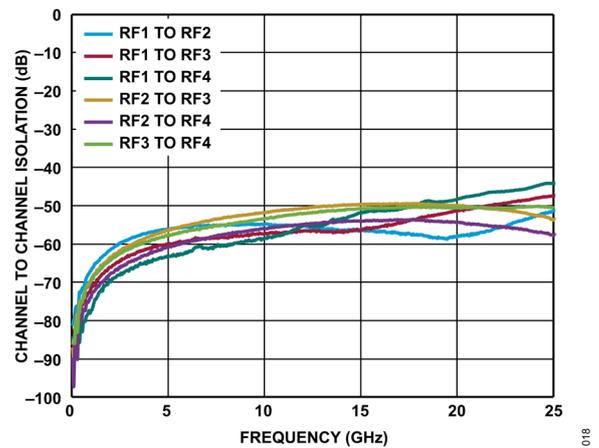


図 19. チャンネル間 (RFx と RFx の間) のアイソレーションと周波数の関係、RF1 (オン) の場合

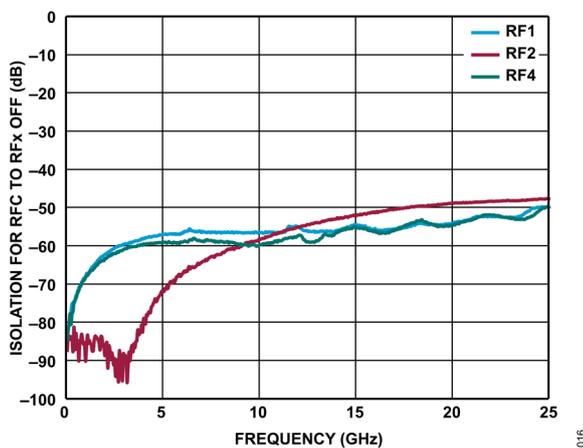


図 17. RFC と RFx (オフ) の間のアイソレーションと周波数の関係、RF3 (オン) の場合

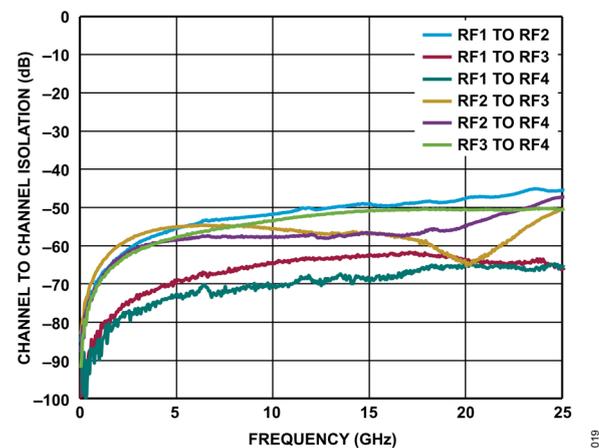


図 20. チャンネル間 (RFx と RFx の間) のアイソレーションと周波数の関係、RF2 (オン) の場合

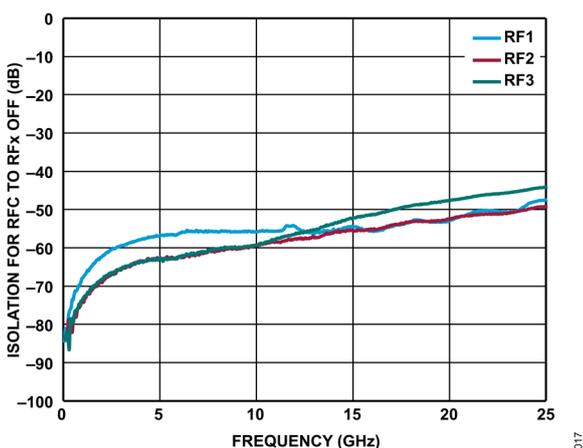


図 18. RFC と RFx (オフ) の間のアイソレーションと周波数の関係、RF4 (オン) の場合

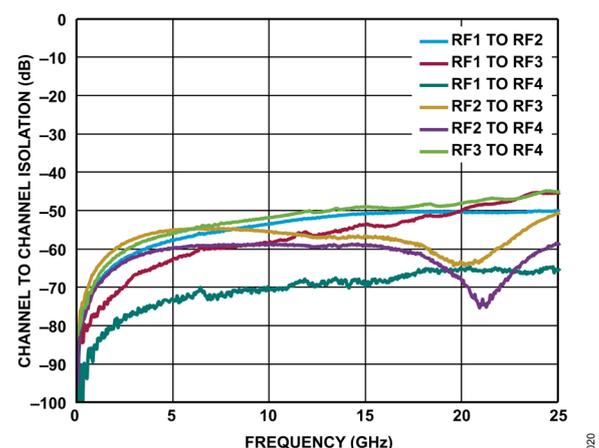


図 21. チャンネル間 (RFx と RFx の間) のアイソレーションと周波数の関係、RF3 (オン) の場合

代表的な性能特性

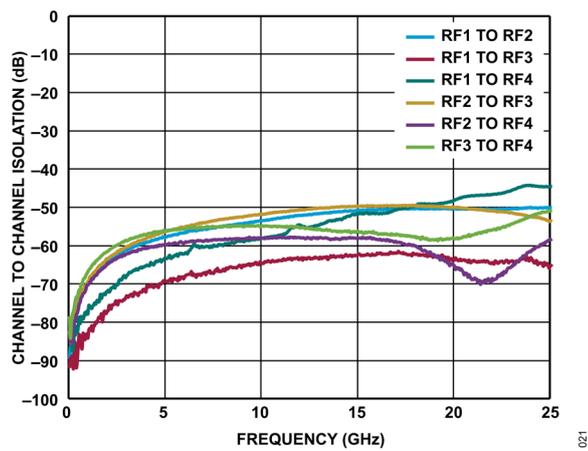


図 22. チャンネル間 (RFx と RFx の間) のアイソレーションと周波数の関係、RF4 (オン) の場合

代表的な性能特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、LS および EN = 0V、 V_1 および $V_2 = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 。

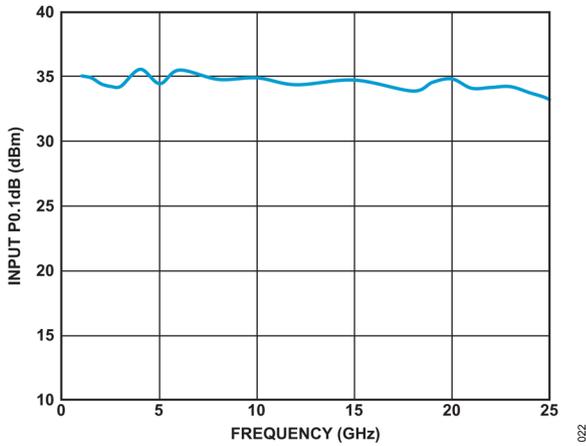


図 23. 入力 P0.1dB と周波数の関係

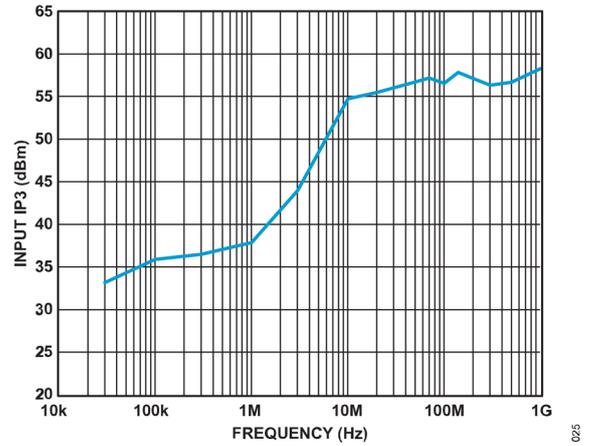


図 26. 入力 IP3 と周波数の関係、低周波数領域の詳細

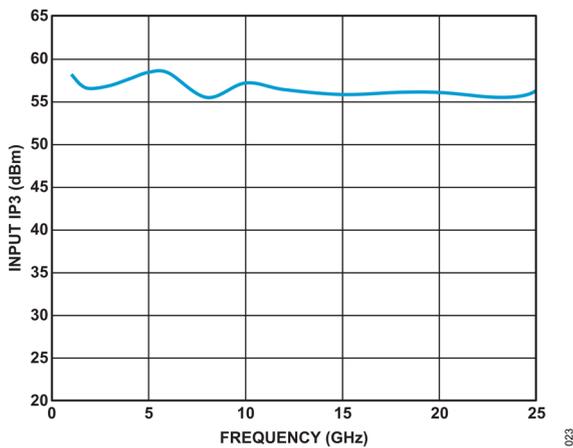


図 24. 入力 IP3 と周波数の関係

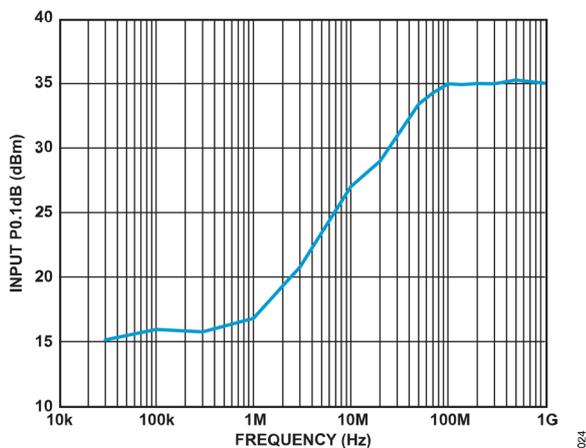


図 25. 入力 P0.1dB と周波数の関係、低周波数領域の詳細

動作原理

ADRF5050 は CMOS/LVTTL に対応する制御インターフェースを内蔵しています。デジタル制御入力ピン (EN、LS、V1、V2) が、RF パスの状態を制御します (表 7 を参照)。

V1 ピンと V2 ピンに印加されるロジック・レベルにより、どの RF 投ポート (RF_x) が挿入損失状態 (選択またはオン) になるかが決定します。残りの 3 つの RF_x ポートはアイソレーション状態 (非選択またはオフ) になります。

LS ピンにより RF_x ポートの選択ロジックを逆転できます (V1 と V2 に対する真理値表は表 7 を参照)。この機能のアプリケーション例を、バックツーバック・アプリケーションのセクションに示します。

EN ピンがロジック・ハイの場合、LS、V1、V2 のロジック状態に関係なく、4 つの RF パスすべてがアイソレーション状態になります。RF_x ポートは内蔵の 50Ω 抵抗に終端され、RFC は反射状態になります。

表 7. 制御電圧の真理値表

EN	Digital Control Inputs			RF _x Paths			
	LS	V1	V2	RFC to RF1	RFC to RF2	RFC to RF3	RFC to RF4
Low	Low	Low	Low	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
Low	Low	High	Low	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	Low	Low	High	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
Low	Low	High	High	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
Low	High	Low	Low	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
Low	High	High	Low	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
Low	High	Low	High	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	High	High	High	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
High	Low or high	Low or high	Low or high	Isolation (off)	Isolation (off)	Isolation (off)	Isolation (off)

動作原理

RF 入出力

すべての RF ポート (RFC、RF1~RF4) はグラウンド電位にバイアスされており、RF ラインの電位がグラウンドに等しい場合、RF ポートでの DC 阻止コンデンサは不要です。RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング回路は不要です。

挿入損失パスでは、選択された RF 投ポートと RF 共通ポートの間で RF 信号が導通します。非選択の RF 投ポートはすべて、RFC や残りの RF 投ポートとの間で高アイソレーションとなります。

電源

ADRF5050 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。RF カップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND をグラウンドに接続します。
2. VDD と VSS に電源を入れます。ランプ上昇する間に VDD で電流トランジェントが発生しないように、VDD の電源投入後に VSS を電源投入してください。

3. デジタル制御入力 (EN、LS、V1、V2) に制御電圧を印加します。VDD への電源投入の前にデジタル制御入力に制御電圧を印加すると、意図せぬ順方向バイアスの原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。そのような場合は、 $1k\Omega$ の抵抗を直列に接続して、制御ピンに流入する電流を制限してください。VDD への電源投入後、制御ピンが有効なロジック状態に駆動されない (すなわち、コントローラ出力が高インピーダンス状態になっている) 場合は、プルアップ抵抗またはプルダウン抵抗を使用することを推奨します。

4. RF 入力信号を印加します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

単電源動作

ADRF5050 は、単一の正電源電圧を VDD ピンに印加し、VSS ピンをグラウンドに接続した状態でも動作できます。単電源動作においては、スイッチング特性、直線性、電力処理能力が低下します。詳細については表 2 を参照してください。

アプリケーション情報

ADRF5050 には、2つの電源ピン (VDD と VSS) と 4つの制御ピン (LS、EN、V1、V2) があります。図 27 に、電源ピンおよび制御ピンの外付け部品と接続方法を示します。電源ピンと制御ピンを、100pF の多層セラミック・コンデンサでデカップリングします。デカップリング・コンデンサは、ADRF5050 のできるだけ近くに配置します。このデバイスのピン配置により、デカップリング・コンデンサを ADRF5050 の近くに配置することができます。バイアスおよび動作のためにその他の部品を外付けする必要はありません。ただし、RF ラインを 0V 以外の電圧にバイアスする場合は、RFx ピンに DC 阻止コンデンサが必要です。詳細については、ピン配置およびピン機能の説明のセクションを参照してください。

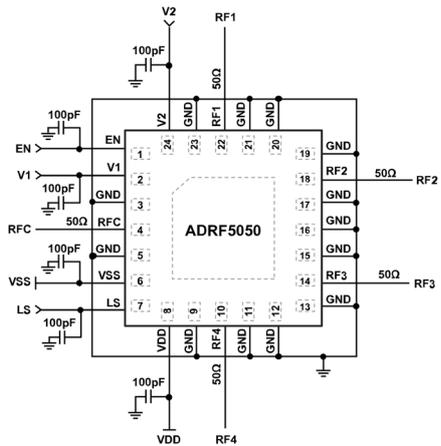


図 27. 推奨回路図

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、特性インピーダンスが 50Ω のコプレーナ導波路 (CPWG) に、PCB 上で接合できるように設計されています。図 28 に、8 ミル厚の Rogers RO4003 誘電体材料を用いた RF 基板のための CPWG RF 配線パターンの参考設計例を示します。幅 14 ミル、クリアランス 7 ミル、銅仕上げ厚さ 1.5 ミルの RF パターンを推奨します。

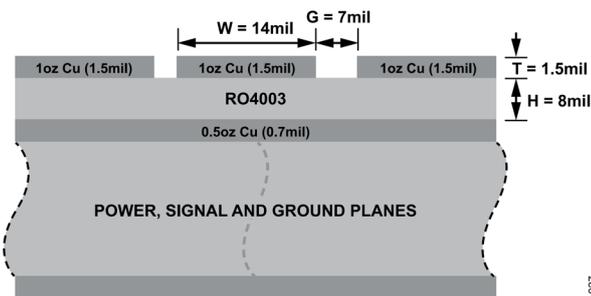


図 28. PCB 層構成例

図 29 に、ADRF5050 からの RF 配線パターン、電源、制御信号のルーティングを示します。グラウンド・プレーンは、RF および熱性能を最適化するため、可能な限り多くの充填されたスルー・ビアに接続されています。デバイスの主な熱経路は裏面です。

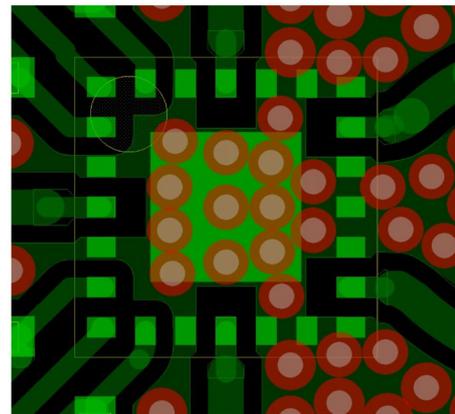


図 29. PCB 配線

参考用に示した層構成でのデバイスの RF ピンから 50Ω CPWG への推奨レイアウトを、図 30 に示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF パターンは、デバイス端まではパッドと同じ幅で伸び、その後 45° の角度で RF パターンに向けてテーパ状になっています。ペースト・マスクも、アパーチャが減少することなくパッドと一致するよう設計されています。ペーストは、パドル用には複数の開口部に分割されています。

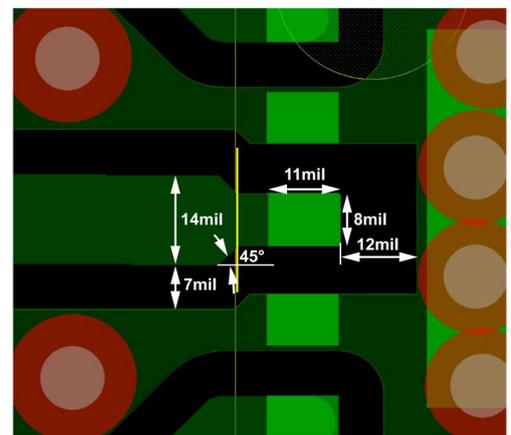


図 30. 推奨の RF ピン遷移

誘電体厚や CPWG 設計が異なる場合などその他の PCB 層構成については、アナログ・デバイセズのテクニカル・サポートにお問い合わせください。

バックツーバック・アプリケーション

スイッチ制御入力ピンの V1 と V2 は、バックツーバック・アプリケーションではまとめて接続することが可能で、図 31 に示すように、一方のデバイスでは GND、他方では VDD に LS ピンをハードワイヤ接続します。

アプリケーション情報

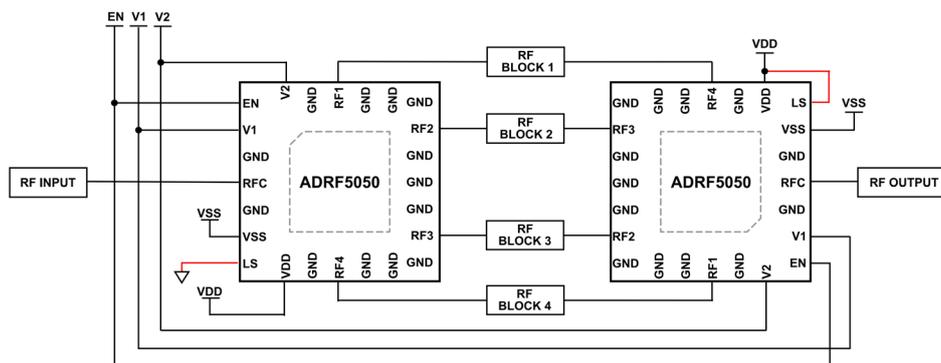


図 31. バックツーバック・アプリケーションのブロック図

表 8. バックツーバック・アプリケーションの真理値表

EN	V1	V2	Selected Path
Low	Low	Low	RF Block 1
Low	High	Low	RF Block 2
Low	Low	High	RF Block 3
Low	High	High	RF Block 4
High	Low or high	Low or high	Isolation (off)

外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-24-16	LGA	24-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
ADRF5050BCCZN	-40°C to +105°C	24-Terminal Land Grid Array [LGA]	Tape, 500	CC-24-16	5050
ADRF5050BCCZN-R7	-40°C to +105°C	24-Terminal Land Grid Array [LGA]	Reel, 500	CC-24-16	5050

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
ADRF5050-EVALZ	Evaluation Board

¹ Z = RoHS 準拠製品。