



100 MHz ~ 30 GHz、単極 4 投 (SP4T) シリコン・スイッチ

データシート

ADRF5044

特長

超広帯域周波数範囲: 100 MHz ~ 30 GHz

無反射 50 Ω 設計

低挿入損失: 20 GHz ~ 30 GHz で 2.6 dB

高アイソレーション: 20 GHz ~ 30 GHz で 43 dB

高入力直線性

P1dB: 28 dBm (代表値)

IP3: 50 dBm (代表値)

大電力処理

スルー・パス: 24 dBm

終端パス: 24 dBm

低周波数プリアスなし

0.1 dB セtring・タイム

(50 % V_{CTL} から最終 RF 出力の 0.1 dB まで) : 37 ns

24 端子 LGA パッケージ

アプリケーション

試験用計測器

マイクロ波無線および超小型地球局 (VSAT)

防衛用無線、レーダー、電子対抗手段 (ECM)

広帯域通信システム

機能ブロック図

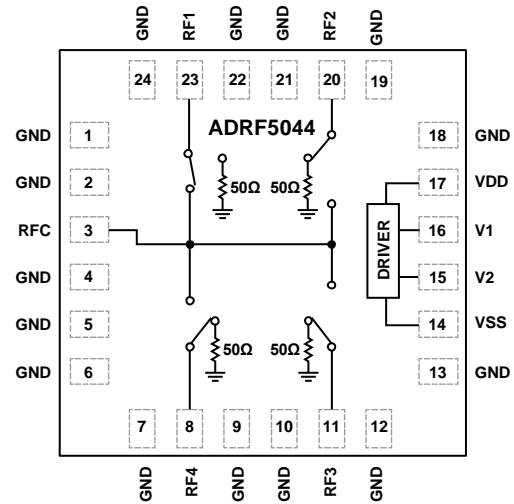


図 1.

16313-001

概要

ADRF5044 は、シリコン・プロセスで製造された汎用の単極 4 投 (SP4T) スイッチです。24 端子ランド・グリッド・アレイ (LGA) パッケージに収められ、100 MHz ~ 30 GHz で高アイソレーションと低挿入損失を実現します。

この広帯域スイッチは +3.3 V と -3.3 V の両電源電圧を必要とし、相補型金属酸化膜半導体 (CMOS) / 低電圧トランジスタ・トランジスタ・ロジック (LVTTTL) 互換の制御を行います。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋西区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	挿入損失、リターン・ロス、およびアイソレーション.....	7
機能ブロック図.....	1	入力 0.1 dB 電力圧縮、入力 1 dB 電力圧縮、および 3 次イン ターセプト.....	9
概要.....	1	動作原理.....	10
改訂履歴.....	2	アプリケーション情報.....	11
仕様.....	3	評価用ボード.....	11
絶対最大定格.....	5	プローブ・マトリックス・ボード.....	13
熱抵抗.....	5	外形寸法.....	14
電力ディレーティング曲線.....	5	オーダー・ガイド.....	14
ESD に関する注意.....	5		
ピン配置およびピン機能説明.....	6		
インターフェースの回路図.....	6		

改訂履歴

12/2017—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 3.3\text{ V}$ 、 $V_{SS} = -3.3\text{ V}$ 、 $V1 = 0\text{ V}$ または 3.3 V 、 $V2 = 0\text{ V}$ または 3.3 V 、および $T_{CASE} = 25\text{ }^\circ\text{C}$ 、 $50\text{ }\Omega$ システム。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE			100		30,000	MHz
INSERTION LOSS						
Between RFC and RF1 to RF4 (On) (Worst Case)		100 MHz to 10 GHz		1.7		dB
		10 GHz to 20 GHz		2.1		dB
		20 GHz to 30 GHz		2.6		dB
ISOLATION						
Between RFC and RF1 to RF4 (Off) (Worst Case)		100 MHz to 10 GHz		55		dB
		10 GHz to 20 GHz		52		dB
		20 GHz to 30 GHz		43		dB
RETURN LOSS						
RFC and RF1 to RF4 (On)		100 MHz to 10 GHz		16		dB
		10 GHz to 20 GHz		22		dB
		20 GHz to 30 GHz		22		dB
RF1 to RF4 (Off)		100 MHz to 10 GHz		24		dB
		10 GHz to 20 GHz		24		dB
		20 GHz to 30 GHz		16		dB
SWITCHING TIME						
Rise and Fall	t_{RISE} , t_{FALL}	10% to 90% of radio frequency (RF) output		4		ns
On and Off	t_{ON} , t_{OFF}	50% V_{CTL} to 90% of RF output		19		ns
Settling						
0.1 dB		50% V_{CTL} to 0.1 dB of final RF output		37		ns
0.05 dB		50% V_{CTL} to 0.05 dB of final RF output		50		ns
INPUT LINEARITY						
Power Compression						
0.1 dB	P0.1dB			26		dBm
1 dB	P1dB			28		dBm
Third-Order Intercept	IP3	Two-tone input power = 14 dBm each tone, $\Delta f = 1\text{ MHz}$		50		dBm
SUPPLY CURRENT						
Positive	I_{DD}	VDD, VSS pins Typical at $V_{CTL} = 0\text{ V}$ or 3.3 V , maximum at $V_{CTL} = 0.8\text{ V}$ or 1.4 V		12	20	μA
Negative	I_{SS}	Typical at $V_{CTL} = 0\text{ V}$ or 3.3 V , maximum at $V_{CTL} = 0.8\text{ V}$ or 1.4 V		110	130	μA
DIGITAL CONTROL INPUTS						
Voltage		V1, V2 pins				
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.2		3.3	V
Current						
Low and High	I_{INL} , I_{INH}			<1		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage						
Positive	V_{DD}		3.15		3.45	V
Negative	V_{SS}		-3.45		-3.15	V
Digital Control Voltage	V_{CTL}		0		V_{DD}	V

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
RFx Input Power Through Path	P_{IN}	$T_{CASE} = 85^{\circ}C$ RF signal is applied to RFC or through connected RF1/RF2			24	dBm
Terminated Path		RF signal is applied to terminated RF1/RF2			24	dBm
Hot Switching		RF signal is present at RFC while switching between RF1 and RF2			21	dBm
Case Temperature	T_{CASE}		-40		+85	$^{\circ}C$

絶対最大定格

推奨する動作条件については、表 1 を参照してください。

表 2.

Parameter	Rating
Supply Voltage	
Positive	-0.3 V to +3.6 V
Negative	-3.6 V to +0.3 V
Digital Control Input Voltage	-0.3 V to $V_{DD} + 0.3$ V
RFx Input Power ¹ (f = 400 MHz to 30 GHz, T _{CASE} = 85°C)	
Through Path	25 dBm
Terminated Path	25 dBm
Hot Switching	22 dBm
Temperature	
Junction, T _J	135°C
Storage Range	-65°C to +150°C
Reflow (Moisture Sensitivity Level 3 (MSL3) Rating)	260°C
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	
RFC and RF1 to RF4 Pins	375 V
Other Pins	2000 V

¹ 400 MHz 未満の周波数の電力ディレーティングについては、図 2 と図 3 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケースの底部 (チャンネルからパッケージの底部) への熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC}	Unit
CC-24-4		
Through Path	400	°C/W
Terminated Path	160	°C/W

電力ディレーティング曲線

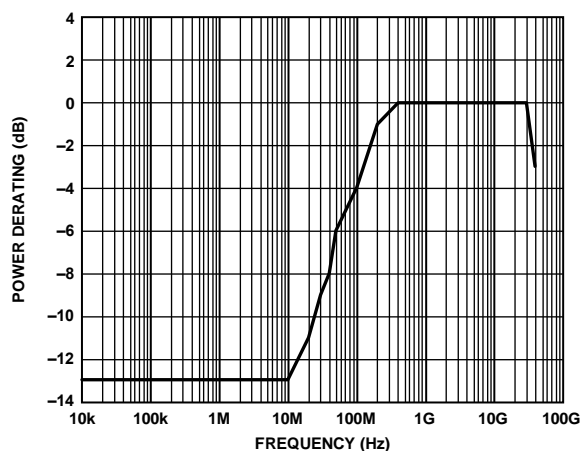


図 2. スルー・パスおよびホット・スイッチングの電力ディレーティングの周波数特性、T_{CASE} = 85 °C

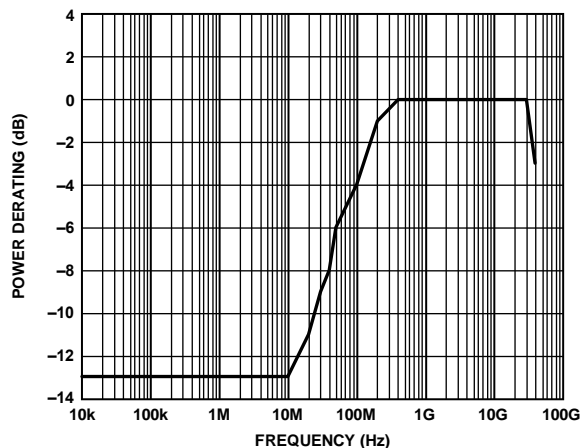


図 3. 終端パスの電力ディレーティングの周波数特性、T_{CASE} = 85 °C

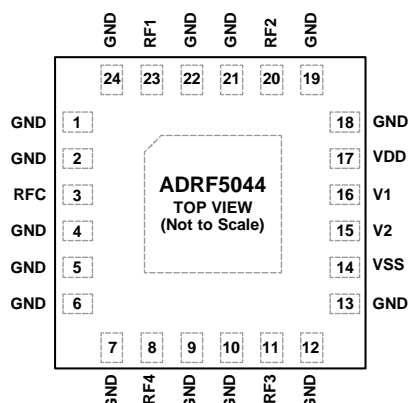
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO THE RF/DC GROUND OF THE PCB.

16313-004

図 4. ピン配置（上面図）

表 4. ピン機能の説明

Pin No.	Mnemonic	Description
1, 2, 4 to 7, 9, 10, 12, 13, 18, 19, 21, 22, 24	GND	グラウンド。これらのピンは、PCB の RF/DC グラウンドに接続する必要があります。
3	RFC	RF 共通ポート。このピンは DC カップリングされ、50 Ω に整合されています。RF ラインの電位が 0 V DC に等しくない場合は、DC 阻止コンデンサが必要です。インターフェースの回路図については、図 5 を参照してください。
8	RF4	RF4 ポート。このピンは DC カップリングされ、50 Ω に整合されています。RF ラインの電位が 0 V DC に等しくない場合は、DC 阻止コンデンサが必要です。インターフェースの回路図については、図 5 を参照してください。
11	RF3	RF3 ポート。このピンは DC カップリングされ、50 Ω に整合されています。RF ラインの電位が 0 V DC に等しくない場合は、DC 阻止コンデンサが必要です。インターフェースの回路図については、図 5 を参照してください。
14	VSS	負電源電圧。
15	V2	制御入力 2。制御電圧の真値表については、表 5 を参照してください。
16	V1	制御入力 1。制御電圧の真値表については、表 5 を参照してください。
17	VDD	正電源電圧。
20	RF2	RF2 ポート。このピンは DC カップリングされ、50 Ω に整合されています。RF ラインの電位が 0 V DC に等しくない場合は、DC 阻止コンデンサが必要です。インターフェースの回路図については、図 5 を参照してください。
23	RF1	RF1 ポート。このピンは DC カップリングされ、50 Ω に整合されています。RF ラインの電位が 0 V DC に等しくない場合は、DC 阻止コンデンサが必要です。インターフェースの回路図については、図 5 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続する必要があります。

インターフェースの回路図



図 5. RFx ピン（RFC および RF1 ~ RF4）のインターフェースの回路図

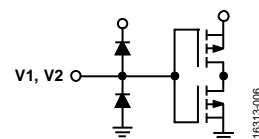


図 6. デジタル・ピン（V1 および V2）のインターフェースの回路図

代表的な性能特性

挿入損失、リターン・ロス、およびアイソレーション

挿入損失とリターン・ロスは、プローブ・マトリックス・ボード上の RFx ピンの近くで、グラウンド・シグナル・グラウンド (GSG) プローブを使用して測定しました。プローブ・マトリックス・ボード上の ADRF5044 のアイソレーション性能は、プローブ間の信号カップリングによって制限されるため、アイソレーションは評価用ボード上で測定しました。

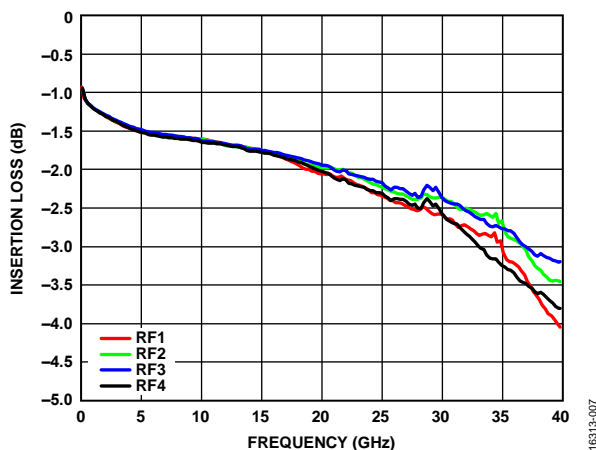


図 7. RF1、RF2、RF3、および RF4 の挿入損失の周波数特性

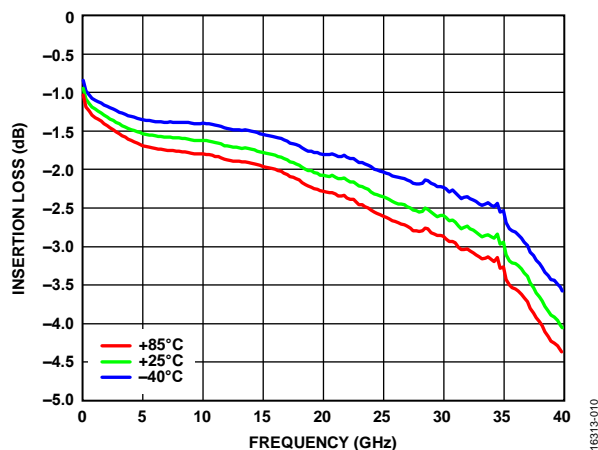


図 10. さまざまな温度における RFC と RF1 の間の挿入損失の周波数特性

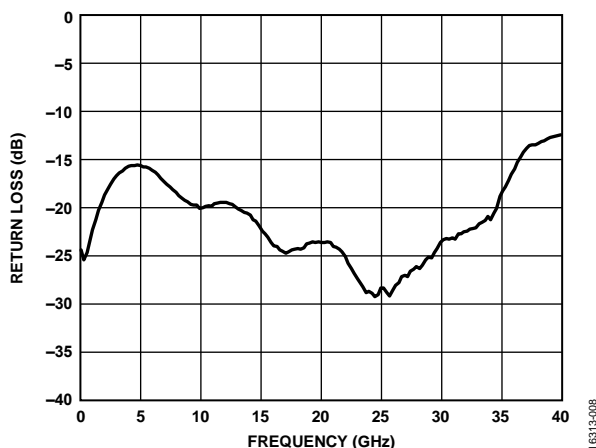


図 8. RFC のリターン・ロスの周波数特性

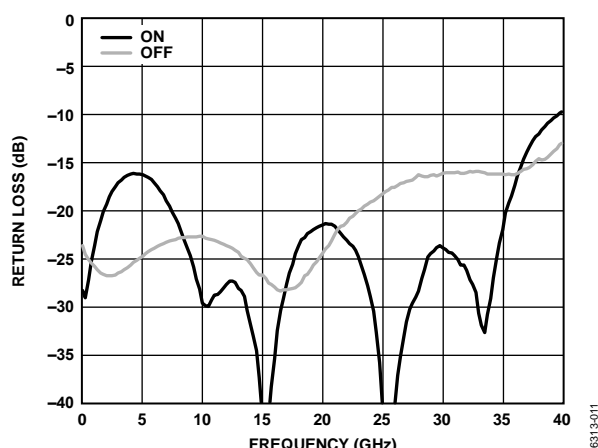


図 11. RF1、RF2、RF3、および RF4 のリターン・ロスの周波数特性

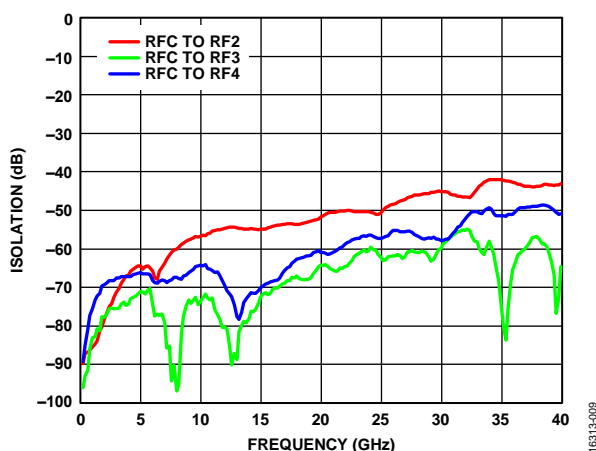


図 9. アイソレーションの周波数特性、RFC から RF1 がオン

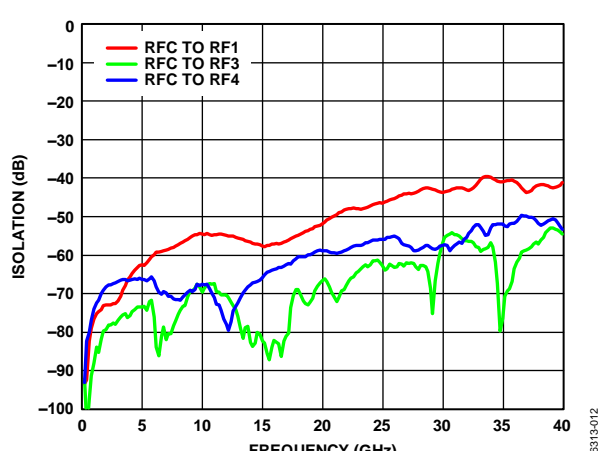


図 12. アイソレーションの周波数特性、RFC から RF2 がオン

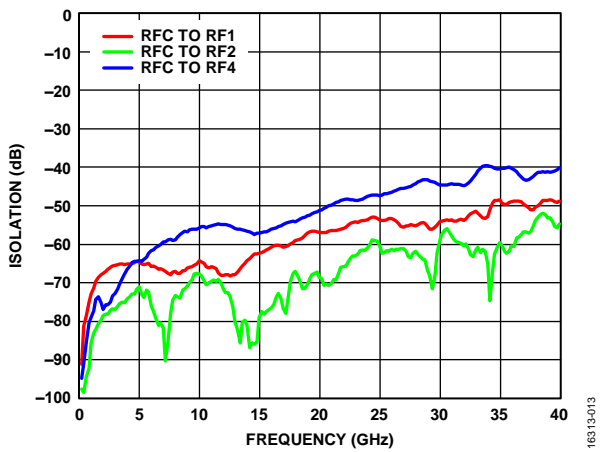


図 13. アイソレーションの周波数特性、RFC から RF3 がオン

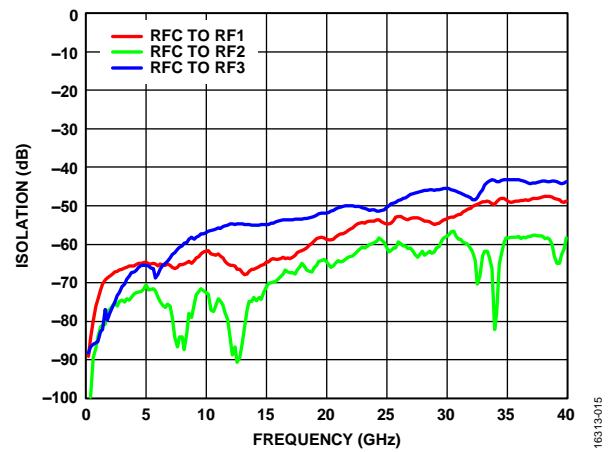


図 15. アイソレーションの周波数特性、RFC から RF4 がオン

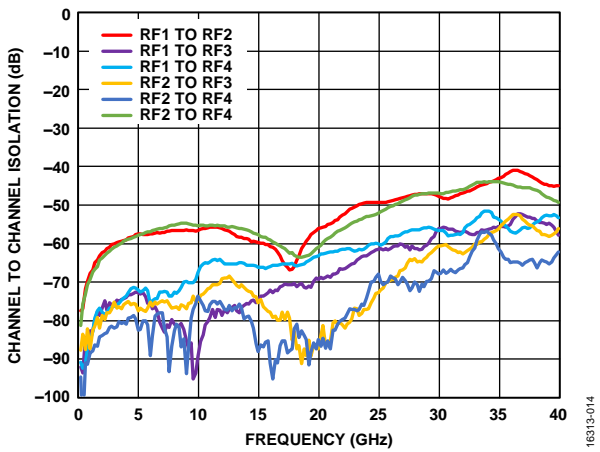


図 14. チャンネル to チャンネルのアイソレーションの周波数特性、RFC から RF1 がオン

入力 0.1 dB 電力圧縮、入力 1 dB 電力圧縮、および 3 次インターセプト

すべての大信号性能パラメータは、評価用ボードで測定しました。

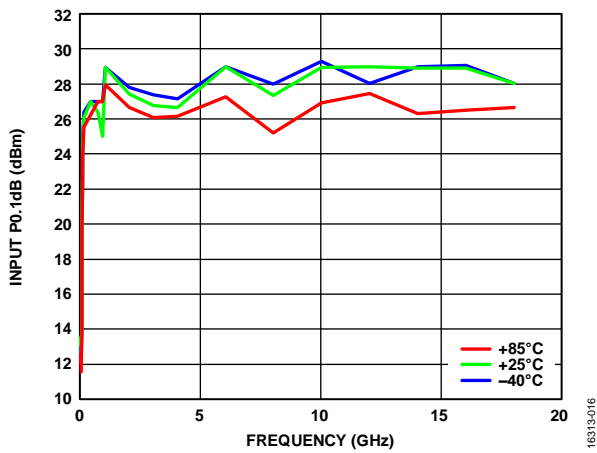


図 16. さまざまな温度での入力 0.1 dB 電力圧縮 (P0.1dB) の周波数特性

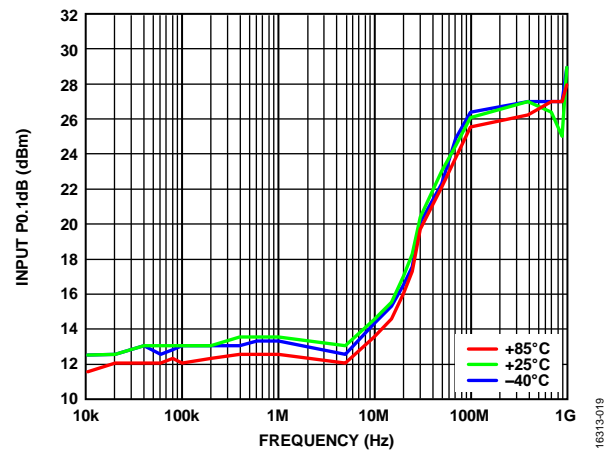


図 19. さまざまな温度での入力 0.1 dB 電力圧縮 (P0.1dB) の周波数特性 (低周波数での細部)

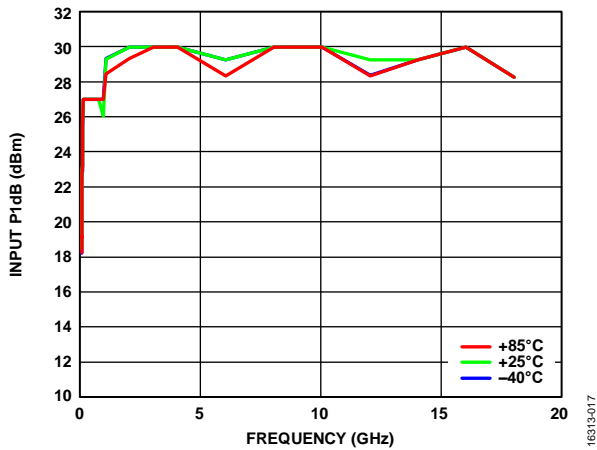


図 17. さまざまな温度での入力 1 dB 電力圧縮 (P1dB) の周波数特性

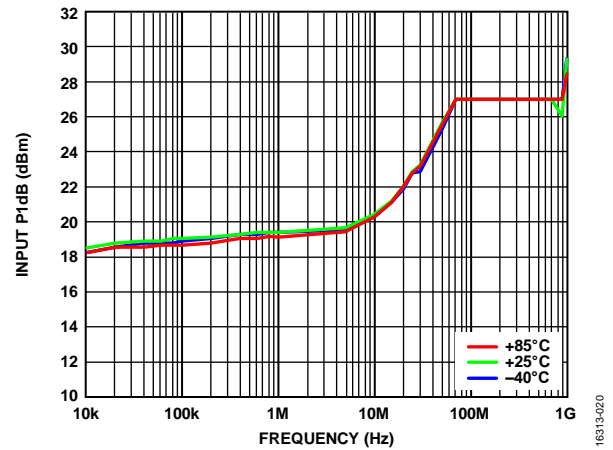


図 20. さまざまな温度での入力 1 dB 電力圧縮 (P1dB) の周波数特性 (低周波数での細部)

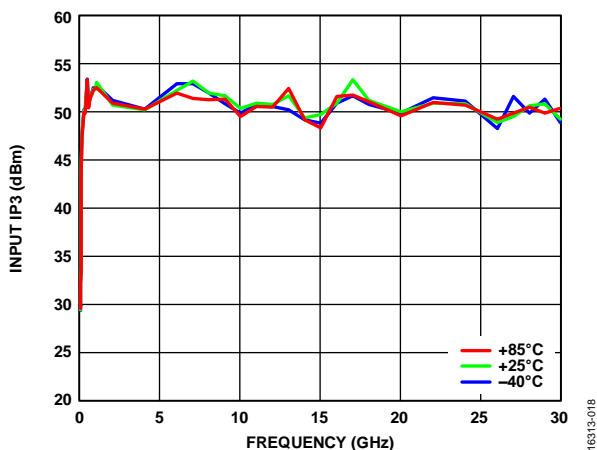


図 18. さまざまな温度での入力 IP3 の周波数特性

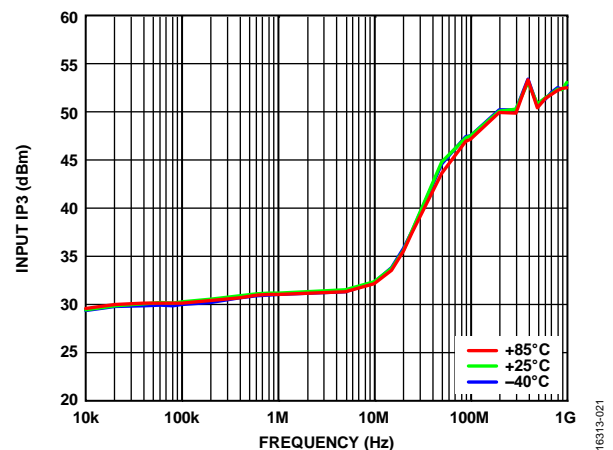


図 21. さまざまな温度での入力 IP3 の周波数特性 (低周波数での細部)

動作原理

ADRF5044 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。RF カップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

ADRF5044 はロジック機能を内部で実行するためのドライバを内蔵しているため、制御インターフェースを簡素化できるメリットがあります。このドライバは、RF 経路の状態を制御する 2 つのデジタル制御入力ピン (V1 および V2) を備えています。V1 ピンおよび V2 ピンに加えられたロジック・レベルに応じて、1 本の RF 経路が挿入損失状態になり、一方で他の 3 本の経路がアイソレーション状態になります (表 5 を参照)。挿入損失経路では、RF 投ポートと RF 共通ポートの間で RF 信号が双方向に等しく良好に導通します。一方、アイソレーション経路では、内部の 50 Ω の抵抗で終端された RF 投ポートと挿入損失経路の間で大きな損失が発生します。

ADRF5044 の理想的な電源投入シーケンスは、次のとおりです。

1. GND に電源を入れます。
2. VDD と VSS に電源を入れます。それら相互の順序は重要ではありません。
3. デジタル制御入力に電源を入れます。ロジック制御入力相互の順序は、重要ではありません。しかし、VDD 電源を入れる前に、誤ってデジタル制御入力に電源を入れると、内部の ESD 保護構造が順方向にバイアスされて損傷するおそれがあります。
4. RF 入力信号を与えます。この設計は双方向です。すなわち、RF 入力信号を RFC ポートに与えることができ、このとき RF 投ポートは出力になります。または、その逆が可能です。RF ラインの電位が 0 V に等しいとき、RF ポートは 0 V に DC カップリングされるので、RF ポートを DC 阻止する必要はありません。

表 5. 制御電圧の真理値表

Digital Control Input		RF Paths			
V1	V2	RF1 to RFC	RF2 to RFC	RF3 to RFC	RF4 to RFC
Low	Low	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
High	Low	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	High	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
High	High	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)

アプリケーション情報

評価用ボード

ADRF5044-EVALZ の上面図を図 22 に示し、断面図を図 23 に示します。

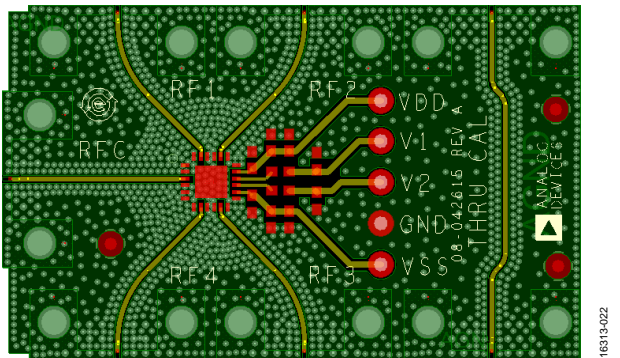


図 22. 評価用ボードのレイアウト、上面図



図 23. 評価用ボード（断面図）

ADRF5044-EVALZ は、4 層の評価用ボードです。各銅層は 0.7 ミル（0.5 オンス）あり、誘電体材料によって分離されています。すべての RF パターンと DC パターンは上面の銅層に配線されています。また、内層と底面層はグラウンドプレーンで、RF 伝送ライン用のベタ・グラウンドを構成しています。上面の誘電体材料は 8 ミルの Rogers RO4003 で、最適な高周波性能を実現します。中間および底面の誘電体材料は、機械的強度を与えます。ボード全体の厚さが 62 ミルあるので、2.4 mm の RF ランチャーをボード端に接続できます。

RF 伝送ラインはコプレーナ導波路（CPWG）モデルを使用して設計されており、パターン幅は 14 ミル、グラウンド・クリアランスが 5 ミル、特性インピーダンスが 50 Ω です。最適な RF 接地および熱接地を行うために、可能な限り多くのメッキ貫通ビアが伝送ラインの周囲やパッケージの露出パッドの下に配置されています。

実際の ADRF5044 の評価用ボードと部品配置を図 24 に示します。2 つの電源ポートは VDD と VSS のテスト・ポイント（TP1 および TP4）に接続され、制御電圧は V1 と V2 のテスト・ポイント（TP2 および TP3）に接続され、グラウンド・リファレンスは GND のテスト・ポイント（TP5）に接続されています。

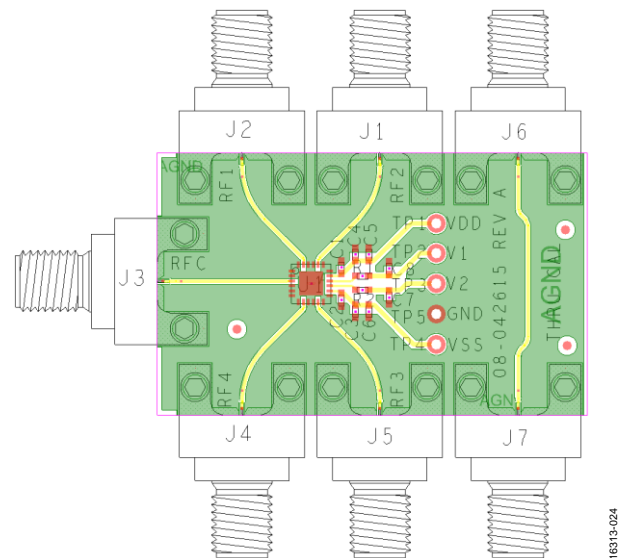


図 24. 評価用ボードの部品配置

制御パターン（V1 および V2）上で、0 Ω の抵抗がテスト・ポイントを ADRF5044 のピンに接続しています。電源パターン（VDD および VSS）上では、100 pF のバイパス・コンデンサによって高周波ノイズが除去されます。さらに、未実装の部品位置には、バイパス・コンデンサを追加実装することができます。

RF 入出力ポート（RFC、RF1、RF2、RF3、および RF4）は、50 Ω の伝送ラインを通して、2.4 mm の RF ランチャー（J1 ~ J5）に接続されています。これらの高周波 RF ランチャーは、ボードに接触していますが、ハンダ付けはされていません。未実装の J6 と J7 のランチャーは、スルー・キャリブレーション・ラインで接続されています。この伝送ラインは、評価対象の環境条件での PCB の損失を推定するために使用されます。

ADRF5044-EVALZ の回路図を図 25 に示します。

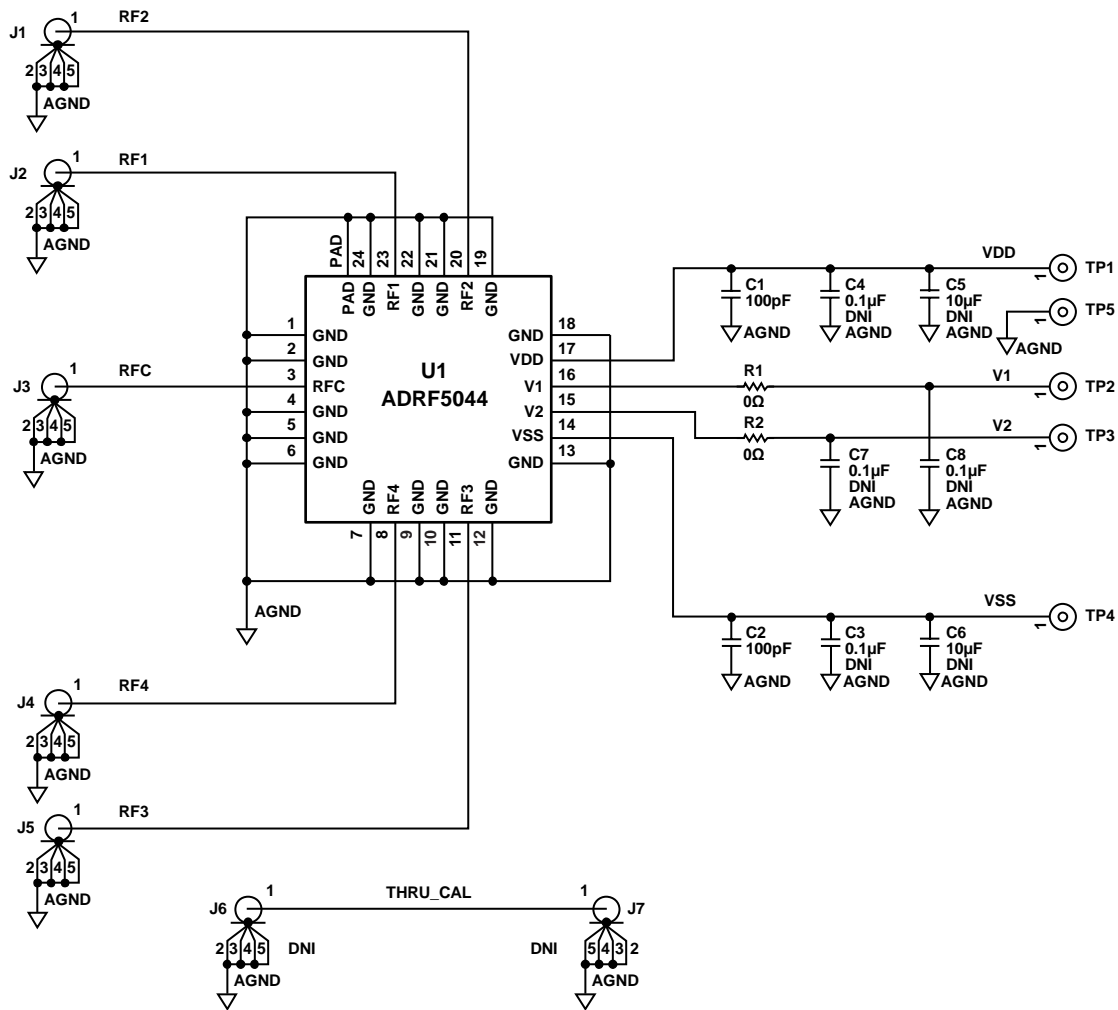


図 25. ADRF5044-EVALZ の回路図

16313-025

表 6. 評価用ボードの部品

Component	Default Value	Description
C1, C2	100 pF	Capacitors, C0402 package
C5, C6	10 µF	Capacitors C3216 package, do not install (DNI)
C3, C4, C7, C8	0.1 µF	Capacitors, C0402 package, DNI
J1 to J7	Not applicable	2.4 mm end launch connector (Southwest Microwave: 1492-04A-5)
R1, R2	0 Ω	Resistors, 0402 package
TP1 to TP5	Not applicable	Through-hole mount test point
U1	ADRF5044	ADRF5044 digital attenuator, Analog Devices, Inc.
PCB	08-042615-01	Evaluation PCB, Analog Devices

プローブ・マトリックス・ボード

プローブ・マトリックス・ボードは4層のボードで、上面の誘電体材料として12ミルのRogers RO4003が使用されています。外側の銅層は0.7ミルで、内部の銅層は1.4ミルです。RF伝送ラインはCPWGモデルを使用して設計されており、パターン幅が16ミル、グラウンドとのスペースが6ミルなので、特性インピーダンスは50Ωになっています。

プローブ・マトリックス・ボードの断面図を図26に示し、上面図を図27に示します。測定は、RFxピンのすぐ近くで535μmのGSGプローブを使用して行いました。ADRF5044-EVALZとは異なり、プローブによる測定ではコネクタ、ケーブル、およびボードのレイアウトに起因する不整合によって生じる反射が減少するため、ADRF5044の性能をもっと高い精度で測定することができます。

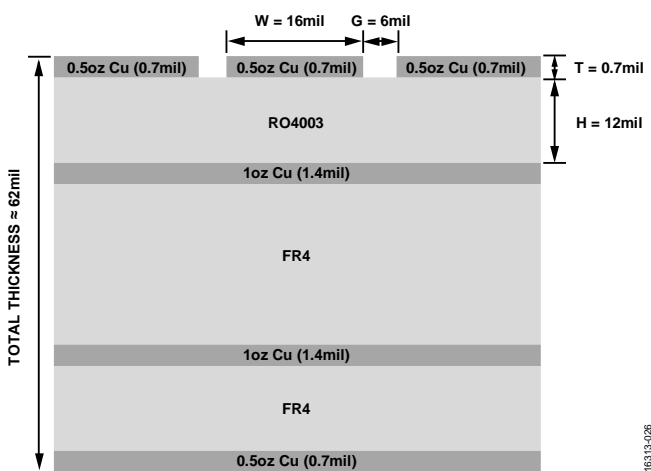


図 26. プローブ・マトリックス・ボード (断面図)

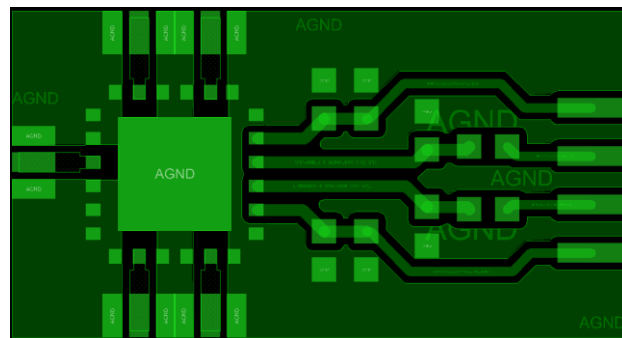


図 27. プローブ・ボードのレイアウト、上面図

スルー・リフレクト・ライン (TRL) キャリブレーション用のRFパターンは、ボード自体で設計されています。ゼロでないライン長により、キャリブレーションでのボードの損失が補償されます。実際のボードでは同じレイアウトがマトリクス状に複製され、複数のデバイスが一度に実装されます。挿入損失と入出力のリターン・ロス、このプローブ・マトリックス・ボードで測定しました。アイソレーション性能をプローブ・マトリクス・ボード上で測定すると、近接したRFプローブ間の信号カップリングにより性能が制限されます。したがって、RFポート間のアイソレーションはADRF5044-EVALZで測定しました。

外形寸法

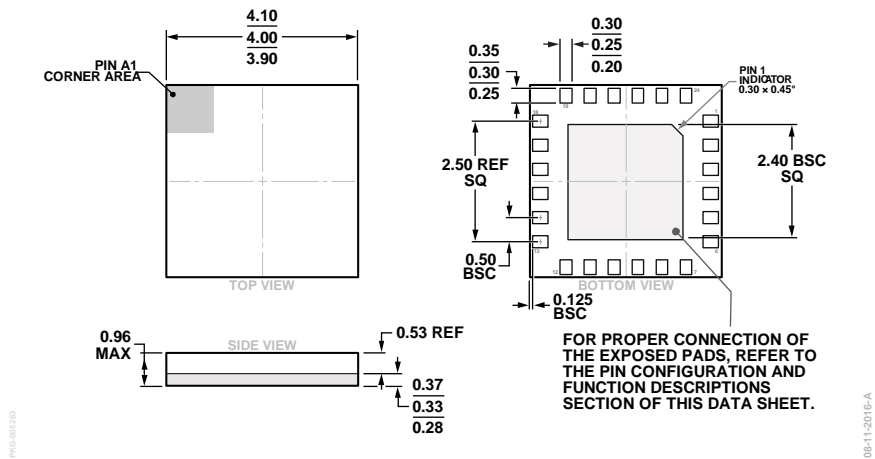


図 28. 24 端子のランド・グリッド・アレイ [LGA]
(CC-24-4)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADRF5044BCCZN	-40°C to +85°C	24-Terminal Land Grid Array [LGA]	CC-24-4
ADRF5044BCCZN-R7	-40°C to +85°C	24-Terminal Land Grid Array [LGA]	CC-24-4
ADRF5044-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品