



無反射、9kHz~44GHz シリコン SP4T スイッチ

データシート

ADRF5043

特長

超広帯域周波数範囲：9kHz~44GHz

無反射 50Ω 設計

低挿入損失

1.5dB（最大 18GHz）

2.4dB（最大 40GHz）

2.5dB（最大 44GHz）

高アイソレーション

44dB（最大 18GHz）

39dB（最大 40GHz）

36dB（最大 44GHz）

高入力直線性

P0.1dB：26dBm（代表値）

IP3：48dBm（代表値）

大電力処理

スルー・パス：24dBm

終端パス：24dBm

オール・オフ状態コントロール

ロジック・セレクト制御

低周波数スプリアスなし

セトリング・タイム（最終 RF 出力の 0.1dB まで）：6μs

24 端子、3 mm × 3 mm の LGA パッケージ

ADRF5042 高速スイッチング・バージョンとピン互換

アプリケーション

工業用スキャナ

試験用計測器

セルラ・インフラストラクチャ - ミリ波（mmWave）5G

防衛用無線、レーダー、電子対抗手段（ECM）

マイクロ波無線および超小型地球局（VSAT）

概要

ADRF5043 は、シリコン・オン・インシュレータ（SOI）プロセスで製造された無反射の SP4T スイッチです。

このデバイスは、9kHz~44GHz で動作し、挿入損失は 2.5dB 未満、絶縁は 36dB を上回ります。24dBm の RF 入力電力処理機能を備えており、スルー・パスと終端パスに対応しています。

ADRF5043 は +3.3V と -3.3V の両電源電圧を必要とし、CMOS/低電圧トランジスタ・トランジスタ・ロジック（LVTTL）互換の制御を備えています。

ADRF5043 は、イネーブル制御とロジック・セレクト制御を備え、イネーブル制御はオール・オフ状態、ロジック・セレクト制御はポート・ミラーリングをつかさどります。

ADRF5043 は、100MHz~44GHz で動作する ADRF5042（高速スイッチング・バージョン）とのピン互換性を備えています。

ADRF5043 は、24 端子、3mm × 3mm の RoHS 準拠ランド・グリップ・アレイ（LGA）パッケージで提供され、-40°C~+105°C で動作可能です。

機能ブロック図

ADRF5043

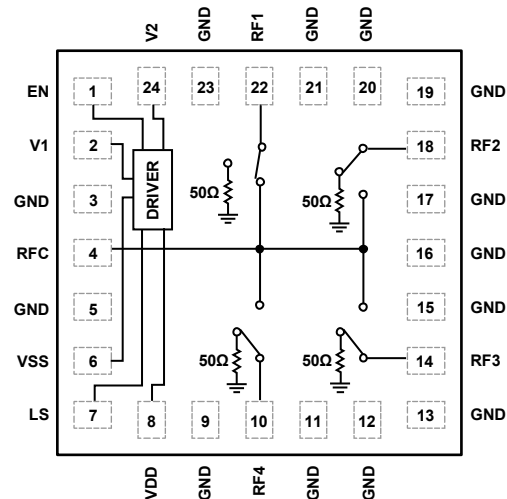


図 1.

23794-001

目次

特長	1	ピン配置およびピン機能の説明	6
アプリケーション	1	インターフェース回路図	6
機能ブロック図	1	代表的な性能特性	7
概要	1	挿入損失、リターン損失、アイソレーション	7
改訂履歴	2	入力電力圧縮と 3 次インターセプト	9
仕様	3	動作原理	10
絶対最大定格	5	アプリケーション情報	11
熱抵抗	5	評価用ボード	11
静電放電 (ESD) 定格	5	外形寸法	12
パワー・ディレーティング曲線	5	オーダー・ガイド	12
ESD に関する注意	5		

改訂履歴

7/2020—Revision 0: Initial Version

仕様

特に指定のない限り、50Ωシステムに対し、正電源電圧 (V_{DD}) = 3.3V、負電源電圧 (V_{SS}) = -3.3V、V1ピン電圧 (V_1) = 0Vまたは3.3V、V2ピン電圧 (V_2) = 0Vまたは3.3V、LS = 0Vまたは3.3V、EN = 0Vまたは3.3V、 T_{CASE} = 25°C。RFxはRF1～RF4を意味します。 V_{CTL} はデジタル制御入力電圧です。

表 1.

パラメータ	記号	テスト条件／コメント	Min	Typ	Max	単位
FREQUENCY RANGE	f		0.009		44,000	MHz
INSERTION LOSS Between RFC and RFx (On)		9kHz～18GHz 18GHz～26GHz 26GHz～35GHz 35GHz～40GHz 40GHz～44GHz		1.5 1.8 2.1 2.4 2.5		dB dB dB dB dB
ISOLATION Between RFC and RFx (Off)		9kHz～18GHz 18GHz～26GHz 26GHz～35GHz 35GHz～40GHz 40GHz～44GHz		44 43 40 39 36		dB dB dB dB dB
RETURN LOSS RFC and RFx (On)		9kHz～18GHz 18GHz～26GHz 26GHz～35GHz 35GHz～40GHz 40GHz～44GHz		15 15 14 13 13		dB dB dB dB dB
RFx (Off)		9kHz～18GHz 18GHz～26GHz 26GHz～35GHz 35GHz～40GHz 40GHz～44GHz		23 20 17 15 14		dB dB dB dB dB
SWITCHING Rise and Fall Time On and Off Time Settling Time 0.1 dB 0.05 dB	t_{RISE} , t_{FALL} t_{ON} , t_{OFF}	RF 出力の 10%～90% 50% V_{CTL} ～RF 出力の 90% 50% V_{CTL} ～最終 RF 出力の 0.1dB 50% V_{CTL} ～最終 RF 出力の 0.05dB		1.1 2.8 6 7.8		μs μs μs μs
INPUT LINEARITY ¹ 0.1 dB Power Compression 1 dB Power Compression Third-Order Intercept Second-Order Intercept	P0.1dB P1dB IP3 IP2	f = 1MHz～40GHz f = 1MHz～40GHz ツーン・トーン入力電力 = トーンあたり 15dB、 f = 1MHz～40GHz、 Δf = 1MHz ツーン・トーン入力電力 = トーンあたり 15dB、 f = 10GHz、 Δf = 1MHz		26 27 48 120		dBm dBm dBm dBm
VIDEO FEEDTHROUGH ²				3		mV p-p
SUPPLY CURRENT Positive Supply Current Negative Supply Current	I_{DD} I_{SS}	VDD ピン、VSS ピン		370 -100		μA μA
DIGITAL CONTROL INPUTS Voltage Low High	V_{INL} V_{INH}	V1 ピン、V2 ピン、EN ピン、LS ピン	0 1.2		0.8 3.3	V V

パラメータ	記号	テスト条件／コメント	Min	Typ	Max	単位
Current						
Low	I_{INL}			3		μA
High	I_{INH}			6		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage						
Positive	V_{DD}		3.15		3.45	V
Negative	V_{SS}		-3.45		-3.15	V
Digital Control Inputs Voltage	V_{CTL}		0		V_{DD}	V
RFx Input Power ³	P_{IN}	$f = 1\text{MHz} \sim 44\text{GHz}$, $T_{CASE} = 85^{\circ}\text{C}$ ⁴				
Through Path		平均			24	dBm
		ピーク			24	dBm
Terminated Path		平均			24	dBm
		ピーク			24	dBm
Hot Switching		平均			24	dBm
		ピーク			24	dBm
Case Temperature	T_{CASE}		-40		+105	$^{\circ}\text{C}$

¹ 入力直線性と周波数の関係については、図 18～図 21 を参照してください。

² ビデオ・フィードスルーは、制御電圧のスイッチングの間 RF 信号がない状態で、50 Ω のテスト・セットアップの RF ポートで測定されるスプリアス DC トランジェントです。

³ パワー・ディレーティングと周波数の関係については、図 2 を参照してください。

⁴ 105 $^{\circ}\text{C}$ での動作の場合、電力処理は $T_{CASE} = 85^{\circ}\text{C}$ での仕様より 3dB 低下します。

絶対最大定格

推奨動作条件については、表1を参照してください。

表 2.

Parameter	Rating
Supply Voltage	
Positive	−0.3 V to +3.6 V
Negative	−3.6 V to +0.3 V
Digital Control Inputs ¹	−0.3 V to V _{DD} + 0.3 V or 3.3 mA, whichever occurs first
RFx Input Power (f ² = 1 MHz to 44 GHz, T _{CASE} = 85°C ³)	
Through Path	
Average	26 dBm
Peak	26dBm
Terminated Path	
Average	25 dBm
Peak	25dBm
Hot Switching	
Average	25 dBm
Peak	25dBm
Temperature	
Junction, T _J	135°C
Storage Range	−65°C to +150°C
Reflow	260°C

¹ デジタル制御ピンの過電圧は、内蔵ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

² パワー・ディレーティングと周波数の関係については、図2を参照してください。

³ 105°Cでの動作の場合、電力処理は T_{CASE} = 85°Cでの仕様より 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部（チャンネルからパッケージ底部）への熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC} ¹	Unit
CC-24-12		
Through Path	468	°C/W
Terminated Path	200	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達経路はチャンネルからグラウンド・パッドを通過して PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

静電放電（ESD）定格

以下の ESD 情報は、ESD による影響を受けやすいデバイスの取り扱いについて、ESD に対して保護された環境においてのみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ADRF5043 の ESD 定格

表 4. ADRF5043、24 端子 LGA

ESD Model	Withstand Threshold (V)
HBM	
RFx Pins	1000
Supply and Digital Control Pins	2000

パワー・ディレーティング曲線

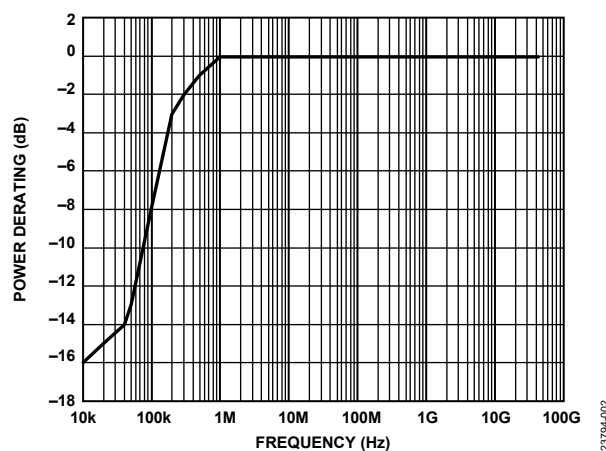


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、T_{CASE} = 85°C

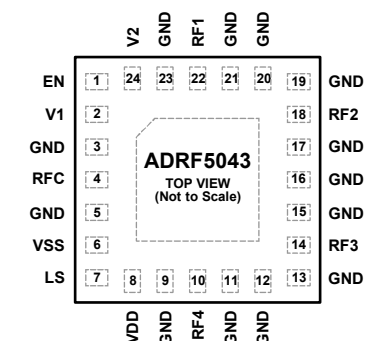
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND.

23794-004

図 3. ピン配置（上面図）

表 5. ピン機能の説明

ピン番号	記号	説明
1	EN	イネーブル入力。真理値表については表 6 を参照してください。インターフェース回路図については、図 5 を参照してください。
2	V1	制御入力 1。真理値表については表 6 を参照してください。インターフェース回路図については、図 5 を参照してください。
3, 5, 9, 11 to 13, 15 to 17, 19 to 21, 23	GND	グラウンド。GND ピンは、PCB の RF/DC グラウンドに接続する必要があります。
4	RFC	RF 共通ポート。RFC は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
6	VSS	負電源電圧。
7	LS	ロジック・セレクト入力。真理値表については表 6 を参照してください。インターフェース回路図については、図 5 を参照してください。
8	VDD	正電源電圧。
10	RF4	RF 投ポート 4。RF4 は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
14	RF3	RF 投ポート 3。RF3 は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
18	RF2	RF 投ポート 2。RF2 は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
22	RF1	RF 投ポート 1。RF1 は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。
24	V2	制御入力 2。真理値表については表 6 を参照してください。インターフェース回路図については、図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 4. RFC および RF1～RF4 ピンのインターフェースの回路図

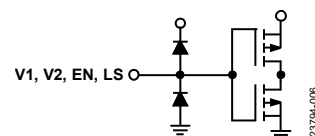


図 5. V1、V2、EN、LS ピンのインターフェース回路図

代表的な性能特性

挿入損失、リターン損失、アイソレーション

特に指定のない限り、50Ω システムに対し、 $V_{DD}=3.3V$ 、 $V_{SS}=-3.3V$ 、 $V_{CTL}=0V$ または $3.3V$ 、 $T_{CASE}=25^{\circ}C$ 。評価用ボード上で測定。

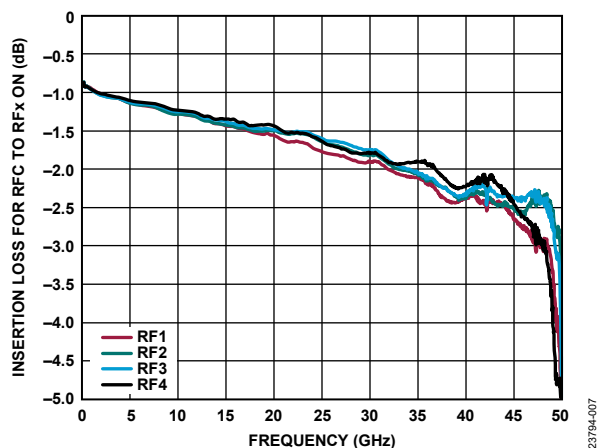


図 6. RFC から RFx オンへの挿入損失の周波数特性

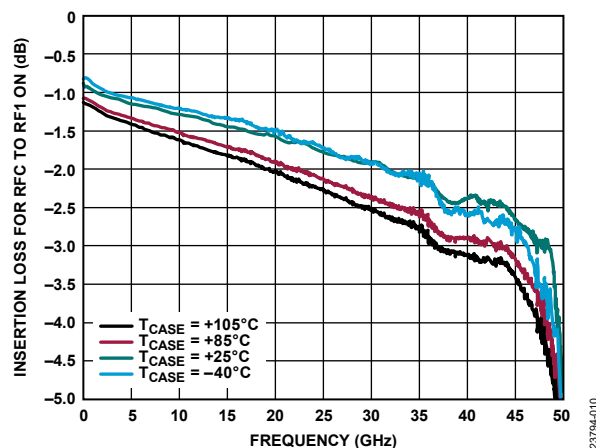


図 9. 様々な温度における、RFC から RF1 オンへの挿入損失の周波数特性

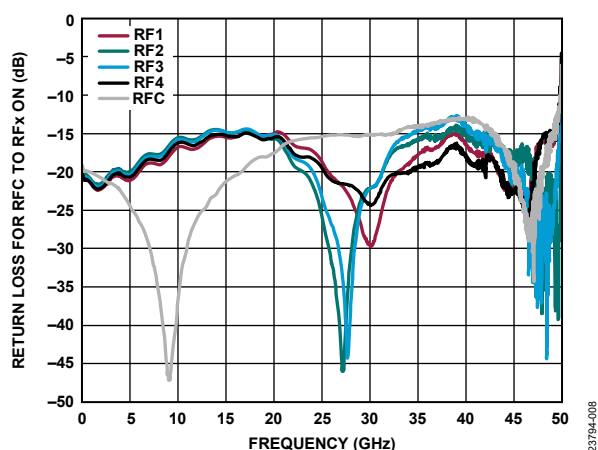


図 7. RFC および RFx オンのリターン損失の周波数特性

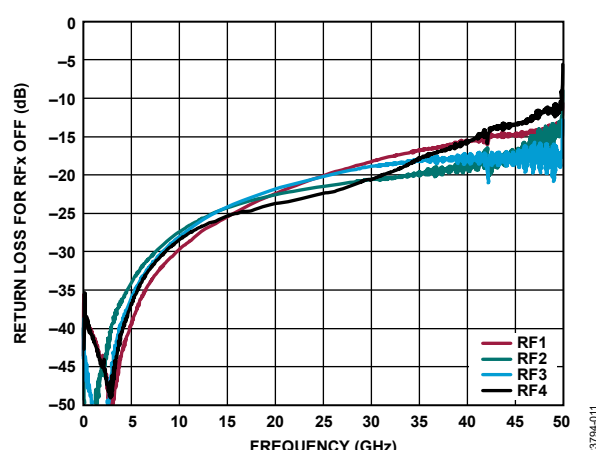


図 10. RFx オフのリターン損失の周波数特性

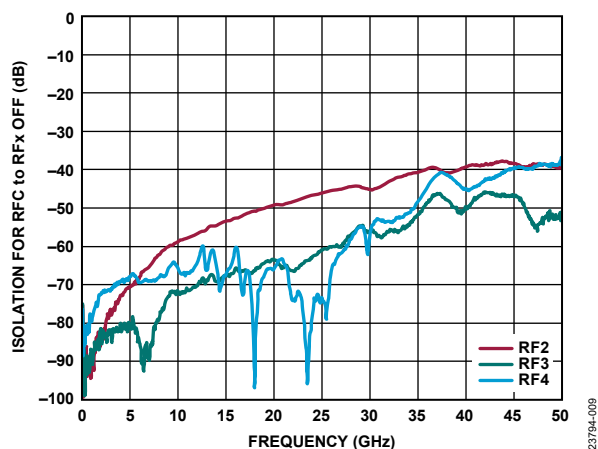


図 8. RFC と RFx オフとのアイソレーションの周波数特性、RFC から RF1 へのパスがオン

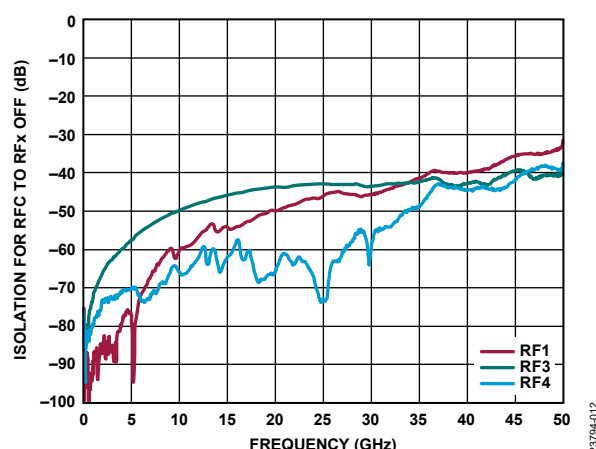


図 11. RFC と RFx オフとのアイソレーションの周波数特性、RFC から RF2 へのパスがオン

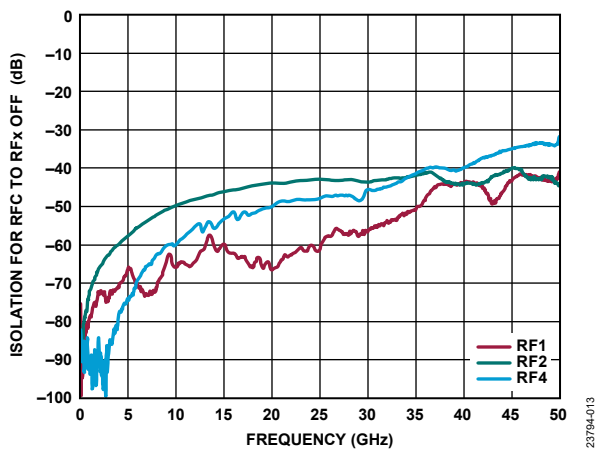


図 12. RFC と RFx オフとのアイソレーションの周波数特性、RFC から RF3 へのパスがオン

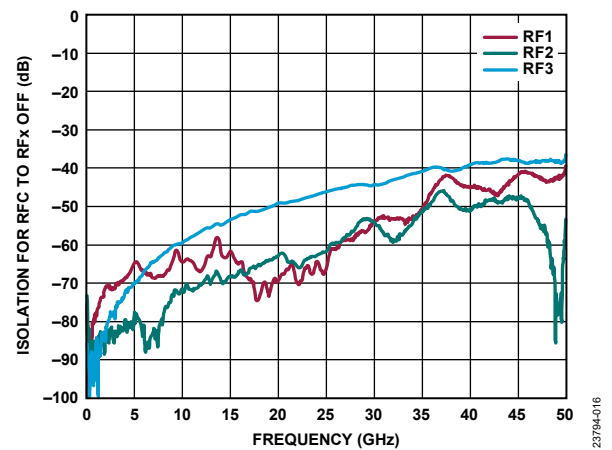


図 15. RFC と RFx オフとのアイソレーションの周波数特性、RFC から RF4 へのパスがオン

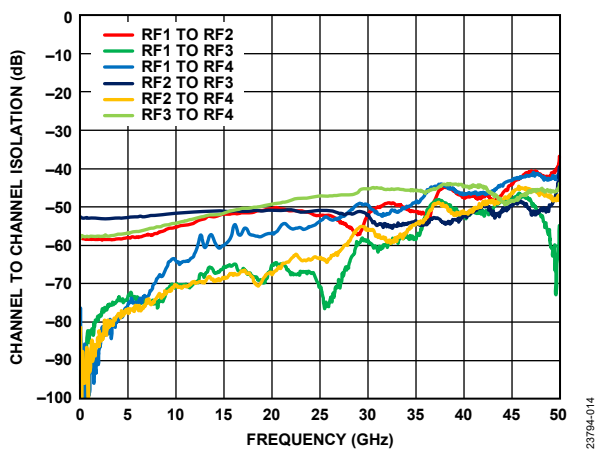


図 13. チャンネル間のアイソレーションの周波数特性、RFC から RF1 へのパスがオン

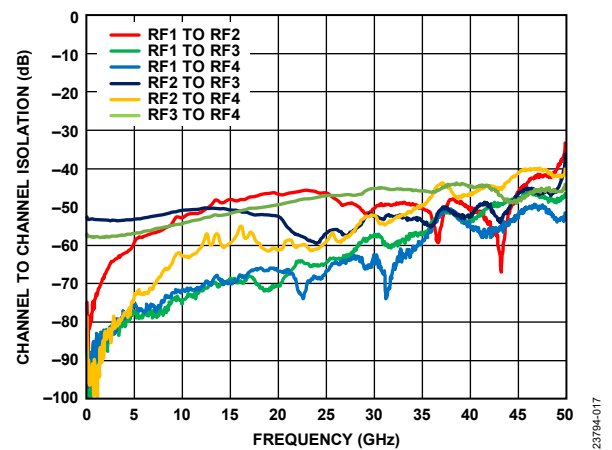


図 16. チャンネル間のアイソレーションの周波数特性、RFC から RF2 へのパスがオン

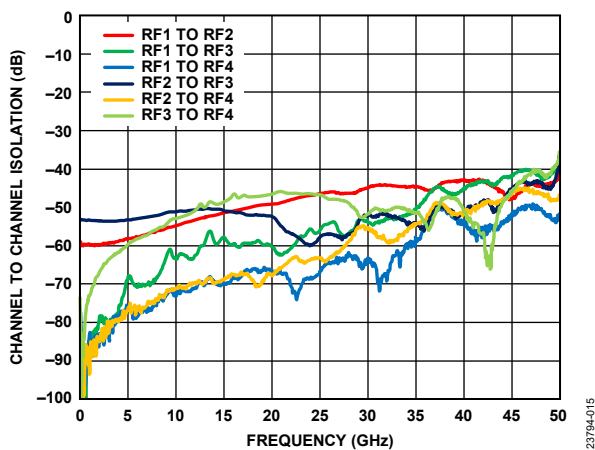


図 14. チャンネル間のアイソレーションの周波数特性、RFC から RF3 へのパスがオン

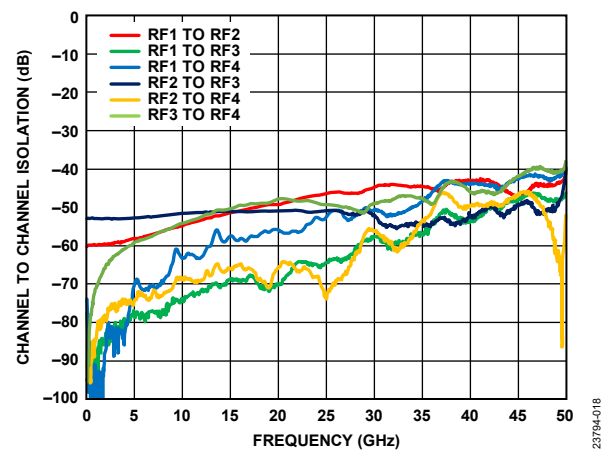


図 17. チャンネル間のアイソレーションの周波数特性、RFC から RF4 へのパスがオン

入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ω システムに対し、 $V_{DD} = +3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTL} = 0V$ または $+3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 。評価用ボード上で測定。

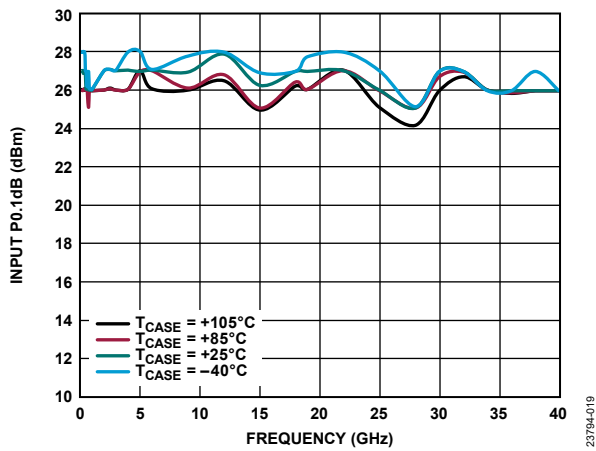


図 18. 様々な温度での入力 P0.1dB の周波数特性

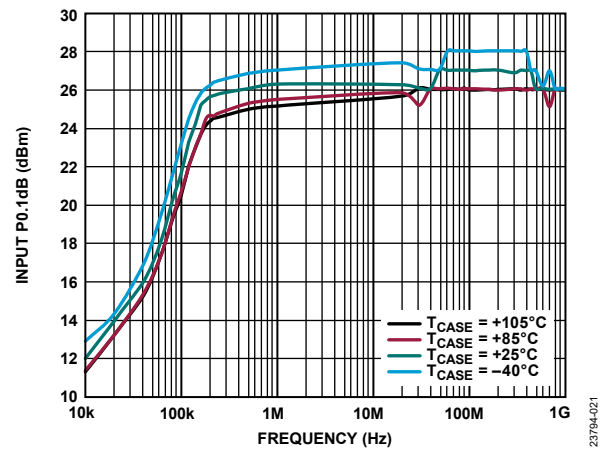


図 20. 様々な温度での入力 P0.1dB の周波数特性
(低周波数の詳細)

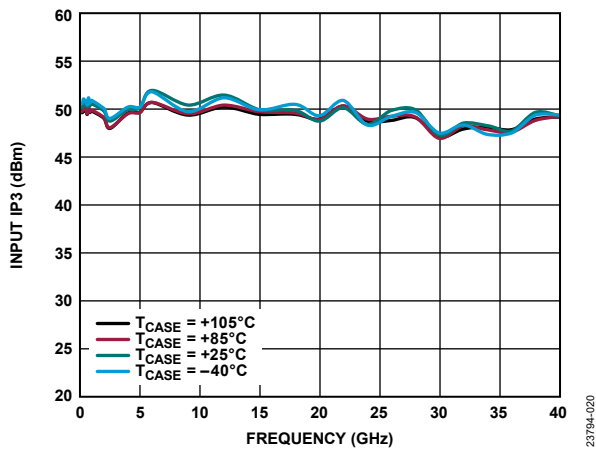


図 19. 様々な温度での入力 IP3 の周波数特性

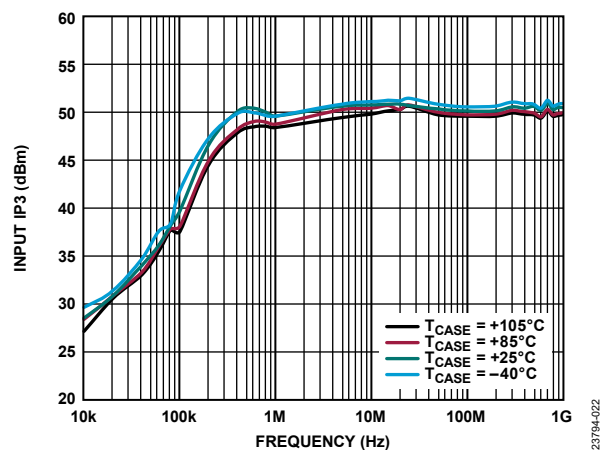


図 21. 様々な温度での入力 IP3 の周波数特性 (低周波数の詳細)

動作原理

ADRF5043 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。RF カップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

すべての RF ポート (RFC、RF1～RF4) は 0V に DC カップリングしており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング回路は不要です。

ADRF5043 にはロジック機能を内部で実行するためのドライバが内蔵されているため、CMOS/LVTTL 互換の制御インターフェースを簡素化できるメリットがあります。このドライバは、RFx パスの状態を制御する 4 つのデジタル制御入力ピン (EN、LS、V1、V2) を備えています (表 6 参照)。

ロジック・セレクト入力 (LS) を使用すると、制御入力ロジック・シーケンスを定義して RF パスの選択ができます。V1 ピンおよび V2 ピンに加えられたロジック・レベルに応じて、どの RFx ポートが挿入損失状態になり、その他の 3 本のパスがアイソレーション状態になるかが決まります。

EN ピンがロジック・ハイの場合、LS、V1、V2 のロジック状態に関係なく、4 本の RFx パスすべてがアイソレーション状態になります。RFx ポートは、内蔵の 50Ω 抵抗で終端されており、RFC は反射性になります。

挿入損失パスは、選択した RF 投ポートと RF 共通ポートの間で RF 信号を導通します。スイッチの設計は、均等な電力処理機能を備えた双方向なものとなっています。RF 入力信号は RFC ポートに印加することも、RF 投ポートに印加することもできます。アイソレーション・パスは、挿入損失パスと内蔵 50Ω 抵抗に終端されている未選択の RF 投ポートとの間では、高損失となります。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接地します。
2. VDD と VSS に電源を入れます。ランプ上昇する間に VDD で電流トランジェントが発生しないように、VDD の電源投入後に VSS を電源投入してください。
3. デジタル制御入力 (EN、LS、V1、V2) に制御電圧を印加します。VDD への電源投入の前にデジタル制御入力に制御電圧を印加すると、意図せぬ順方向バイアスの原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。そのような場合は、 $1k\Omega$ の抵抗を直列に接続して、制御ピンに流入する電流を制限してください。VDD への電源投入後、制御ピンを有効なロジック状態に駆動できない (すなわち、コントローラ出力が高インピーダンス状態になっている) 場合は、プルアップ抵抗またはプルダウン抵抗を使用することを推奨します。
4. RF 入力信号を印加します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

表 6. 制御電圧の真理値表

Digital Control Inputs				RFx Paths			
EN	LS	V1	V2	RFC to RF1	RFC to RF2	RFC to RF3	RFC to RF4
Low	Low	Low	Low	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
Low	Low	High	Low	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	Low	Low	High	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
Low	Low	High	High	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
Low	High	Low	Low	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
Low	High	High	Low	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
Low	High	Low	High	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	High	High	High	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
High	Low or high	Low or high	Low or high	Isolation (off)	Isolation (off)	Isolation (off)	Isolation (off)

アプリケーション情報

評価用ボード

このデータシートに示すすべての測定値は、[ADRF5043-EVALZ](#) 評価用ボードで測定しています。ADRF5043-EVALZ 評価用ボードの簡略化したアプリケーション回路を [図 24](#) に示します。評価用ボードの使用に関する詳細については、ADRF5043-EVALZ ユーザー・ガイドを参照してください。

ADRF5043-EVALZ ボードの設計は、レイアウトに関する推奨事項の役割を果たします。ADRF5043-EVALZ 評価用ボードのガーバー・ファイルは、www.analog.com/jp/EVAL-ADRF5043 で入手できます。

ADRF5043-EVALZ は、4 層の評価用ボードです。外側の銅 (Cu) 層は、内部の 0.5oz (0.7mil) とは異なり 1.5oz (2.2mil) の厚さにメッキされ、誘電体材料で分離されています。評価用ボードの層構成の断面図を [図 22](#) に示します。

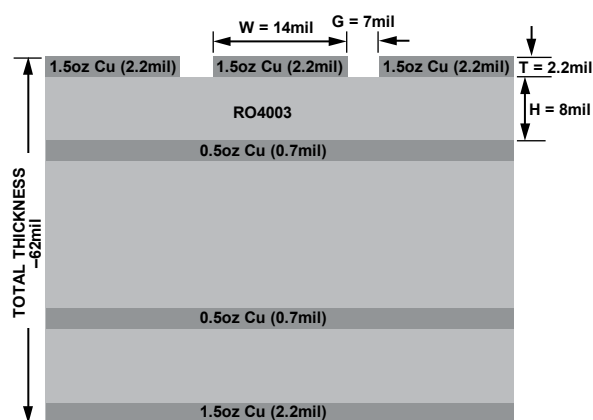


図 22. 評価用ボードの断面図

すべての RF パターンが上面の銅層に配線されています。一方、内部の層と底面の層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上部の誘電体材料は 8mil の Rogers RO4003 で、最適な高周波性能を実現します。中間部および下部の誘電体材料によって、機械的な強度がもたらされます。ボード全体の厚さが 62 ミルあるので、2.4mm の RF ランチャをボード端に接続できます。

RF 伝送ラインはコプレーナ導波路 (CPWG) モデルを使用して設計されており、パターン幅を 14 ミル、グラウンド・クリアランスを 7 ミルとし、特性インピーダンスが 50Ω になるようにしています。[図 23](#) に示すように、この RF 伝送ラインは、RFC または RFx ピンに向けてテーパ形状となっています。RF グラウンディングと熱グラウンディングを最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのメッキ・スルー・ビアが配置されています。

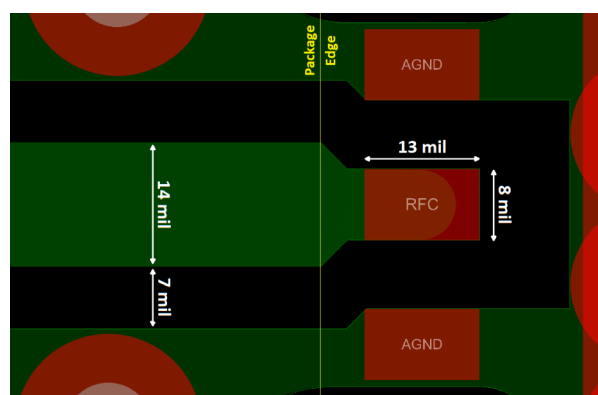


図 23. RF 伝送ライン

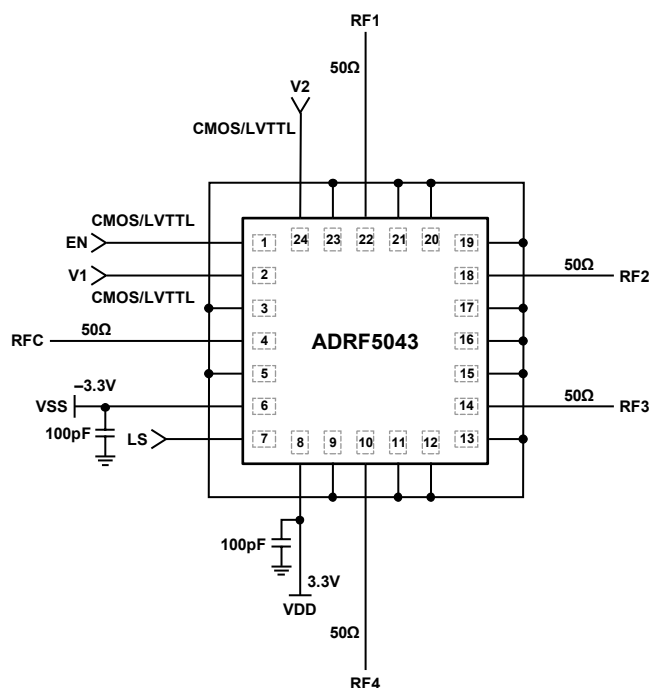


図 24. アプリケーション回路

外形寸法

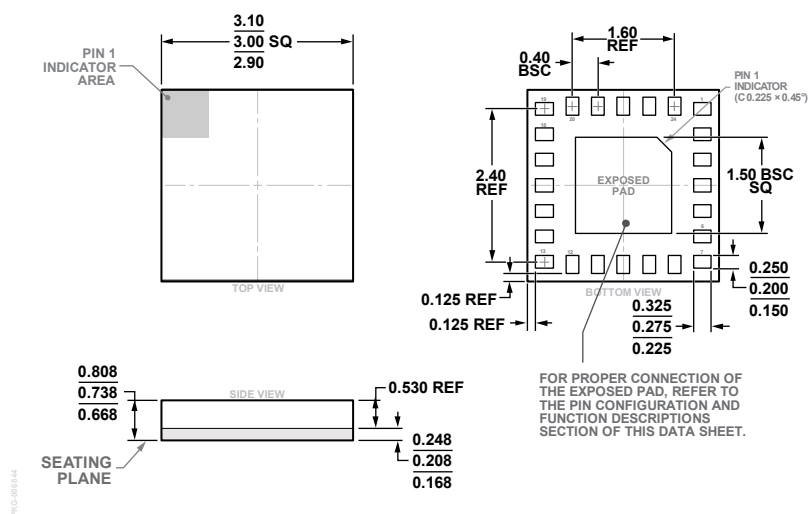


図 25.24 端子ランド・グリッド・アレイ [LGA]
3mm × 3mm ボディ、0.738mm パッケージ高
(CC-24-12)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Marking Code
ADRF5043BCCZN	−40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-12	043
ADRF5043BCCZN-R7	−40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-12	043
ADRF5043-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品