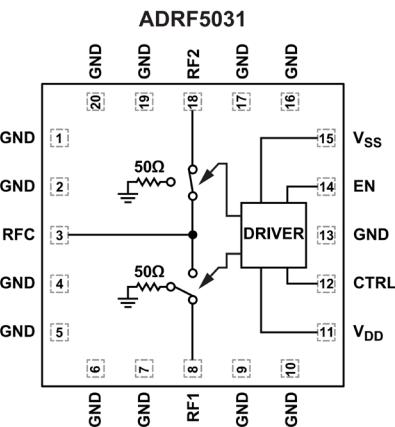


## 9kHz～20GHz、無反射型シリコン SPDT スイッチ

### 特長

- ▶ 広帯域の周波数範囲：9kHz～20GHz
- ▶ 無反射型 50Ω 設計
- ▶ 低挿入損失
  - ▶ 9kHz～6GHz で 0.6dB (代表値)
  - ▶ 6GHz～12GHz で 0.8dB (代表値)
  - ▶ 12GHz～20GHz で 1.05dB (代表値)
- ▶ 高アイソレーション
  - ▶ 9kHz～6GHz で 55dB (代表値)
  - ▶ 6GHz～12GHz で 50dB (代表値)
  - ▶ 12GHz～20GHz で 45dB (代表値)
- ▶ 高入力直線性
  - ▶ P0.1dB : 35dBm (代表値)
  - ▶ IP3 : 62dBm (代表値)
- ▶ 大 RF 電力処理
  - ▶ スルー・バス : 35dBm (ピーク)、33dBm (平均)
  - ▶ 終端バス : 32dBm (ピーク)、30dBm (平均)
  - ▶ ホット・スイッチング (RFC) : 35dBm (ピーク)、33dBm (平均)
  - ▶ ホット・スイッチング (RFx) : 32dBm (ピーク)、30dBm (平均)
- ▶ CMOS/LVTTL 互換
- ▶ 低周波スプリアスなし、負電圧発生器なし
- ▶ RF オン／オフ時間 : 5.0μs
- ▶ RF セトリング時間 (0.1dB) : 5.3μs
- ▶ 単電源動作 ( $V_{DD} = 3.3V$ ,  $V_{SS} = 0V$ )
- ▶ 20 端子、3mm × 3mm の LGA パッケージ
- ▶ ADRF5023 および ADRF5027 とピン互換

### 機能ブロック図



001

図 1. 機能ブロック図

### 概要

ADRF5031 はシリコン・オン・インシユレータ (SOI) プロセスで製造された無反射型の SPDT スイッチです。9kHz～20GHz で動作し、挿入損失は 1.05dB 未満、アイソレーションは 45dB を上回ります。このデバイスの RF 入力電力処理能力は、順方向および逆方向のスルー・バスおよび RFC ポートを介したホット・スイッチングでは平均 33dBm、ピーク 35dBm、終端バスおよび RFx ポートを介したホット・スイッチングでは平均 30dBm、ピーク 32dBm です。ADRF5031 は±3.3V の両電源電圧で動作します。また、相補型金属酸化膜半導体 (CMOS) および低電圧トランジスタ・トランジスタ・ロジック (LVTTL) に対応した制御を採用しています。

更に、ADRF5031 は正単電源電圧 ( $V_{DD}$ ) を印加し、負電源電圧 ( $V_{SS}$ ) をグラウンドに接続した状態でも動作できます。この動作条件では、小信号性能は維持されますが、スイッチング特性、直線性、電力処理性能は低下します。詳細は、表 2 を参照してください。

ADRF5031 は、ADRF5023 および ADRF5027 とピン互換であり、**ADRF5030** (100MHz～20GHz で動作する高速スイッチング・バージョン) ともピン互換です。

ADRF5031 は、20 端子、3mm × 3mm の RoHS 適合ランド・グリッド・アレイ (LGA) パッケージを採用しており、−40°C～+105°C で動作します。

### アプリケーション

- ▶ 試験用計測器
- ▶ 防衛用無線、レーダー、電子対抗手段 (ECM)
- ▶ マイクロ波無線機、超小型地球局 (VSAT)

### Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1
アプリケーション	1
機能ブロック図	1
概要	1
仕様	3
単電源動作	4
絶対最大定格	5
熱抵抗	5
パワー・ディレーティング曲線	5
静電放電（ESD）定格	6
ESDに関する注意	6
ピン配置およびピン機能の説明	7
インターフェース回路図	7

代表的な性能特性	8
挿入損失、反射損失、アイソレーション	8
入力電力圧縮と3次インターセプト	9
動作原理	10
RF入出力	10
電源	10
アプリケーション情報	11
PCB設計のための推奨事項	11
外形寸法	12
オーダー・ガイド	12
評価用ボード	12

## 改訂履歴

11/2024—Rev. 0 to Rev. A

Changes to Ordering Guide ..... 12

9/2024—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $50\Omega$  システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、CTRL 電圧 ( $V_{CTRL}$ ) = 0V または  $V_{DD}$ 、 $T_{CASE} = 25^\circ C$ 。RFx は RF1 または RF2 を表します。

表 1. 電気的特性

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		0.009	20000		MHz
INSERTION LOSS						
Between RFC and RFx (On)		9 kHz to 6 GHz 6 GHz to 12 GHz 12 GHz to 20 GHz		0.6 0.8 1.05		dB
RETURN LOSS		9 kHz to 20 GHz				
RFC				22		dB
RFx (On)				20		dB
RFx (Off)				17		dB
ISOLATION						
Between RFC to RFx and RFx to RFx		9 kHz to 6 GHz 6 GHz to 12 GHz 12 GHz to 20 GHz		55 50 45		dB
SWITCHING						
Rise and Fall Time	$t_{RISE}, t_{FALL}$	10% to 90% of RF output		3.0		$\mu s$
On and Off Time	$t_{ON}, t_{OFF}$	50% $V_{CTRL}$ to 90% of RF output		5.0		$\mu s$
Settling Time (0.1 dB)		50% $V_{CTRL}$ to 0.1 dB of final RF output		5.3		$\mu s$
INPUT LINEARITY <sup>1</sup>		$f = 1 \text{ MHz to } 20 \text{ GHz}$				
Input Compression	P0.1dB			35		dBm
Third-Order Intercept	IP3	Two-tone input power = 14 dBm each tone, $f = 1 \text{ MHz to } 20 \text{ GHz}$ , $\Delta f = 1 \text{ MHz}$		62		dBm
Second-Order Intercept	IP2	Two-tone input power = 14 dBm each tone, $f = 8 \text{ GHz}$ , $\Delta f = 1 \text{ MHz}$		116		dBm
VIDEO FEEDTHROUGH				4.5		mV p-p
SUPPLY CURRENT		$V_{DD}$ and $V_{SS}$ pins				
Positive Supply Current	$I_{DD}$			150		$\mu A$
Negative Supply Current	$I_{SS}$			520		$\mu A$
DIGITAL CONTROL INPUTS		CTRL and EN pins				
Voltage						
Low	$V_{INL}$		0	0.8		V
High	$V_{INH}$		1.2	3.3		V
Current						
Low	$I_{INL}$			<1		$\mu A$
High	$I_{INH}$			33		$\mu A$
RECOMMENDED OPERATING CONDITIONS						
Supply Voltage						
Positive	$V_{DD}$		3.15	3.45		V
Negative	$V_{SS}$		-3.45	-3.15		V
Digital Control Inputs Voltage	$V_{CTRL}$		0	$V_{DD}$		V
RF Input Power <sup>2,3</sup>	$P_{IN}$	$f = 1 \text{ MHz to } 20 \text{ GHz}$ , $T_{CASE} = 85^\circ C$ RF signal is applied to RFC or through connected RFx (RF1 or RF2)				
Through Path				33		dBm
Average				35		dBm
Peak, Pulse <sup>4,5</sup>						
Terminated Path		RF signal is applied to unselected RFx (terminated within internal resistor)		30		dBm
Average				32		dBm
Peak, Pulse						

## 仕様

表 1. 電気的特性（続き）

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Hot Switching (RFC)		RF signal is applied to RFC while switching in between RF1 or RF2				
Average				33		dBm
Peak, Pulse				35		dBm
Hot Switching (RFx)		RF signal is applied to RFx while switching in between RF1 or RF2				
Average				30		dBm
Peak, Pulse				32		dBm
Case Temperature	T <sub>CASE</sub>		-40		+105	°C

<sup>1</sup> 周波数に対する入力直線性については、図 12～図 15 を参照してください。

<sup>2</sup> パワー・ディレーティングと周波数の関係については、パワード・ディレーティング曲線のセクションを参照してください。

<sup>3</sup> 105°C での動作の場合、電力処理能力は T<sub>CASE</sub> = 85°C での仕様から 3dB 低下します。

<sup>4</sup> ピーク：(100ns 以下のパルス幅、5% のデューティサイクル)

<sup>5</sup> パルス：(100ns を超えるパルス幅、15% のデューティサイクル)

## 単電源動作

特に指定のない限り、50Ω システムに対し、V<sub>DD</sub> = 3.3V、V<sub>SS</sub> = 0V、V<sub>CTRL</sub> = 0V または V<sub>DD</sub>、T<sub>CASE</sub> = 25°C。

表 2. 単電源動作の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		0.009		20.000	MHz
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t <sub>RISE</sub> , t <sub>FALL</sub>	10% to 90% of RF output		9.2		μs
On and Off Time	t <sub>ON</sub> , t <sub>OFF</sub>	50% V <sub>CTRL</sub> to 90% of RF output		14		μs
0.1 dB RF Settling Time		50% V <sub>CTRL</sub> to 0.1 dB of final RF output		16		μs
INPUT LINEARITY		f = 1 MHz to 20 GHz				
Power Compression	P <sub>0.1dB</sub>			24		dBm
Third-Order Intercept	IP3	Two-tone input power = 0 dBm each tone, Δf = 1 MHz		48		dBm
RECOMMENDED OPERATING CONDITIONS						
RF Input Power	P <sub>IN</sub>	f = 1 MHz to 20 GHz, T <sub>CASE</sub> = 85°C				
Through Path		RF signal is applied to the RFC or through connected RFx		24		dBm
Terminated Path		RF signal is applied to unselected RFx (terminated within internal resistor)		24		dBm
Hot Switching		RF signal is applied to the RFC while switching between RFx		24		dBm

## 絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 3. 絶対最大定格

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Input <sup>1</sup>	
Voltage	-0.3 V to $V_{DD}$ + 0.3 V
Current	3 mA
RF Input Power, Dual Supply <sup>2</sup> ( $V_{DD} = 3.3$ V, $V_{SS} = -3.3$ V, $f = 1$ MHz to 20 GHz, $T_{CASE} = 85^\circ\text{C}$ )	
Through Path	
Average	34 dBm
Peak	36 dBm
Terminated Path	
Average	30.5 dBm
Peak	32.5 dBm
Hot Switching (RFC)	
Average	33.5 dBm
Peak	35.5 dBm
Hot Switching (RFx)	
Average	30.5 dBm
Peak	32.5 dBm
RF Input Power, Single Supply ( $V_{DD} = 3.3$ V, $V_{SS} = 0$ V, $f = 1$ MHz to 20 GHz, $T_{CASE} = 85^\circ\text{C}$ )	
Through Path	25 dBm
Terminated Path	25 dBm
Hot Switching (RFC)	25 dBm
RF Input Power, Unbiased ( $V_{DD}, V_{SS} = 0$ V)	
Average	31 dBm
Peak <sup>4</sup>	36 dBm
Temperature	
Junction, $T_J$	135°C
Storage Range	-65°C to +150°C
Reflow	260°C

<sup>1</sup> デジタル制御入力ピンでの過電圧は、内部ダイオードによってクランプされます。電流は所定の最大定格に制限する必要があります。

<sup>2</sup> 電力ディレーティングと周波数の関係については、図 2 を参照してください。

<sup>3</sup> 105°C での動作では、両電源の場合の電力処理能力は  $T_{CASE} = 85^\circ\text{C}$  の仕様から 3dB 低下します。

<sup>4</sup> ピーク : (100ns 以下のパルス幅、5%のデューティサイクル)

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$  は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 4. 热抵抗

Package Type	$\theta_{JC}$ <sup>1</sup>	Unit
CC-20-21		
Through Path	110	°C/W
Terminated Path	50	°C/W

<sup>1</sup>  $\theta_{JC}$  は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通じて PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

## パワー・ディレーティング曲線

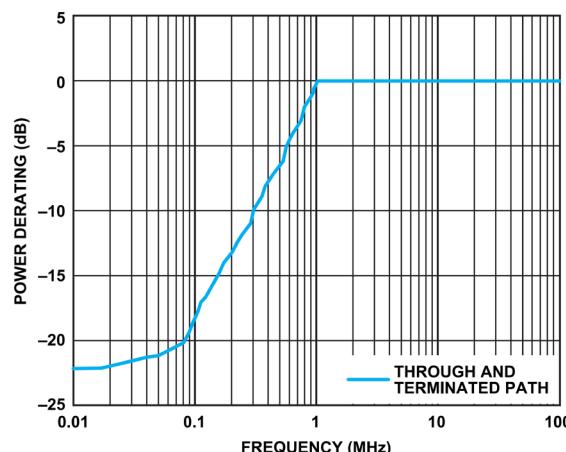


図 2. パワー・ディレーティングと周波数の関係、 $T_{CASE} = 85^\circ\text{C}$

## 絶対最大定格

### 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

### ADRF5031 の ESD 定格

表 5. ADRF5031、20 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	4 kV for the RFx and RFC pins	3A
	4 kV for the supply and digital control pins	3A
CDM	500 V for all pins	C2A

### ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

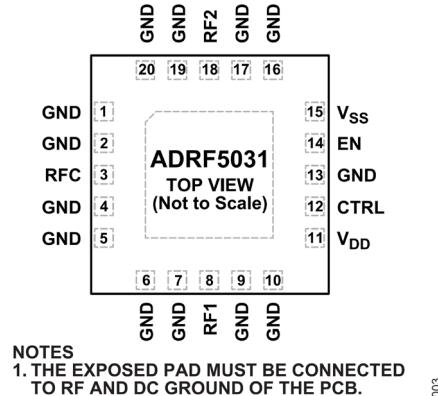


図 3. ピン配置（上面図）

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 5, 6, 7, 9, 10, 13, 16, 17, 19, 20	GND	グラウンド。GND ピンは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。
3	RFC	RF 共通ポート。RFC ピンは 0V に DC 結合されています。RF ライン電位が 0V DC に等しい場合、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
8	RF1	RF ポート 1。RF1 ピンは 0V に DC 結合されています。RF ライン電位が 0V DC に等しい場合、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
11	V <sub>DD</sub>	正側電源電圧。インターフェース回路図については、図 6 を参照してください。
12	CTRL	制御入力電圧。インターフェース回路図については、図 5 を参照してください。
14	EN	イネーブル入力電圧。真理値表については表 7 を参照してください。インターフェース回路図については、図 5 を参照してください。
15	V <sub>SS</sub>	負側電源電圧。インターフェース回路図については、図 7 を参照してください。
18	RF2	RF ポート 2。RF2 ピンは 0V に DC 結合されています。RF ライン電位が 0V DC に等しい場合、DC 阻止コンデンサは不要です。インターフェース回路図については、図 4 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。

## インターフェース回路図

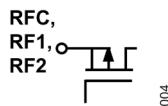


図 4. RFC、RF1、RF2 のインターフェース回路図

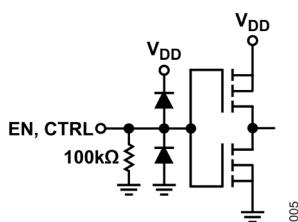
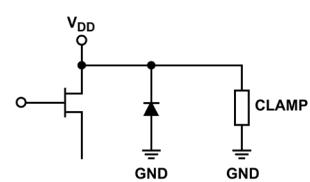
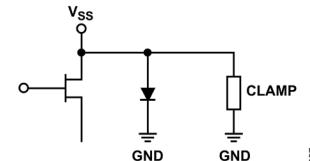


図 5. EN および CTRL のインターフェース回路図

図 6. V<sub>DD</sub> インターフェース回路図図 7. V<sub>SS</sub> インターフェース回路図

## 代表的な性能特性

### 挿入損失、反射損失、アイソレーション

特に指定のない限り、 $50\Omega$  システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$  または  $V_{DD}$ 、 $T_{CASE} = 25^\circ C$ 。RFx は RF1～RF2 を表します。

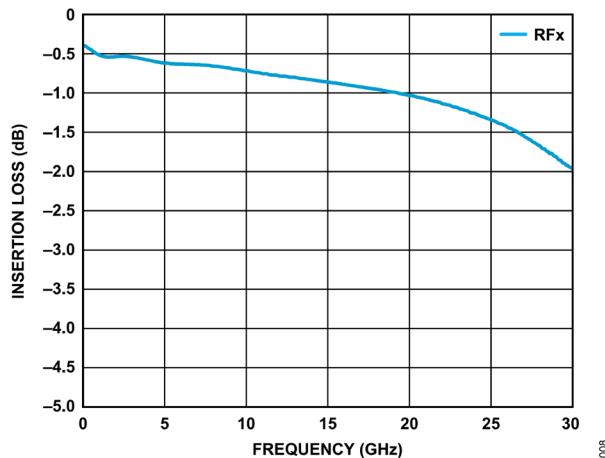


図 8. RFx ピンの挿入損失と周波数の関係

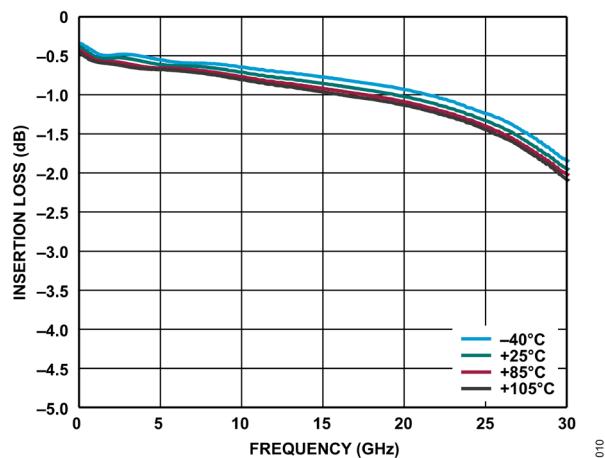


図 10. 様々な温度における挿入損失と周波数の関係

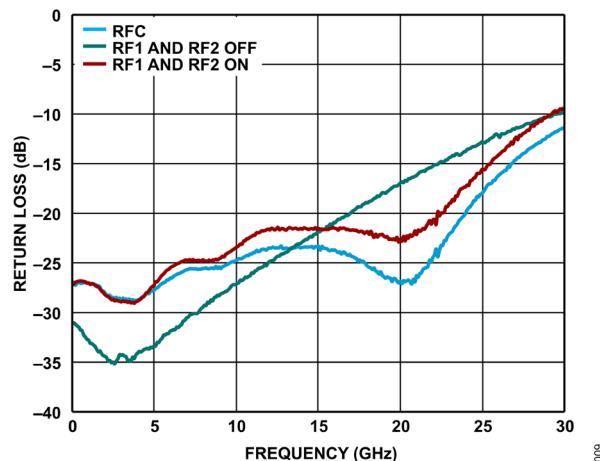


図 9. RFC および RFx（オンおよびオフ）の反射損失と周波数の関係

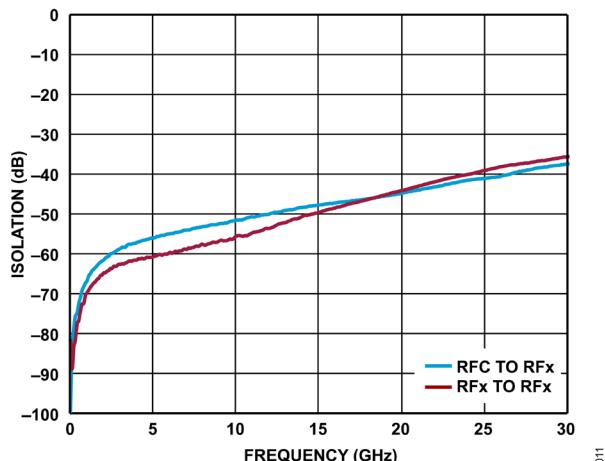


図 11. RFC と RFx の間および RFx と RFx の間のアイソレーションと周波数の関係

## 代表的な性能特性

### 入力電力圧縮と3次インターセプト

特に指定のない限り、 $50\Omega$  システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$  または  $V_{DD}$ 、 $T_{CASE} = 25^{\circ}\text{C}$ 。

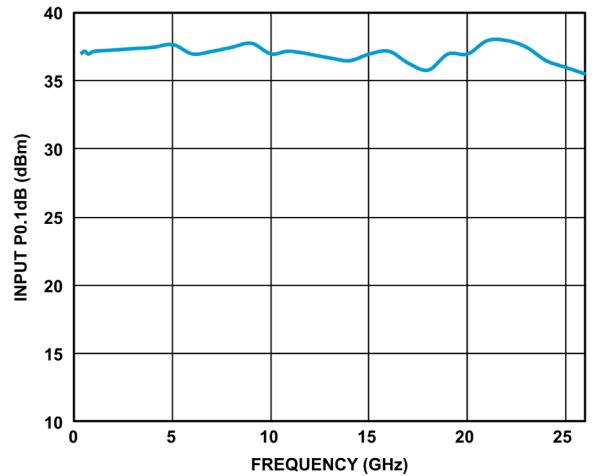


図 12. 入力 P0.1dB と周波数の関係

012

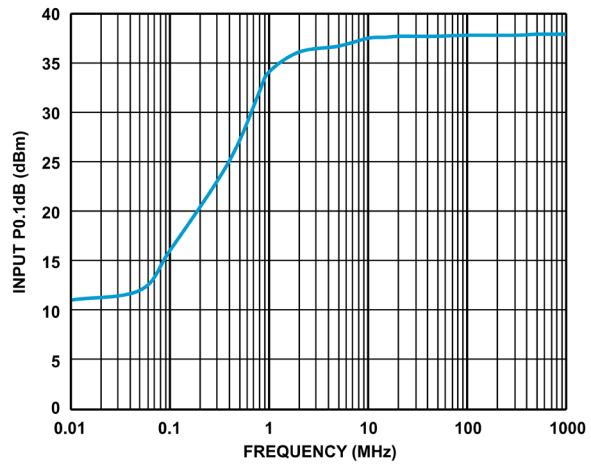


図 14. 入力 P0.1dB と周波数の関係（低周波数の詳細）

014

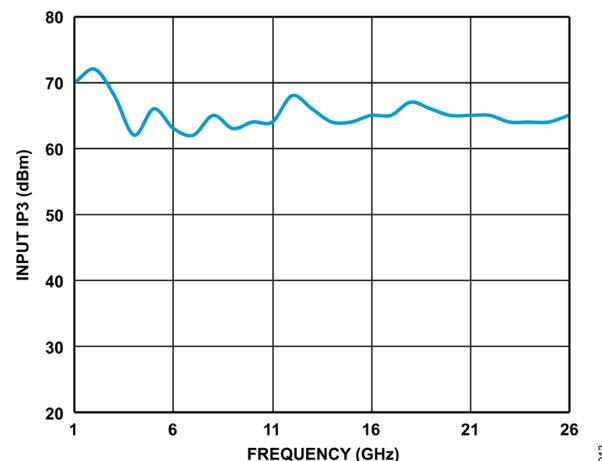


図 13. 入力 IP3 と周波数の関係

013

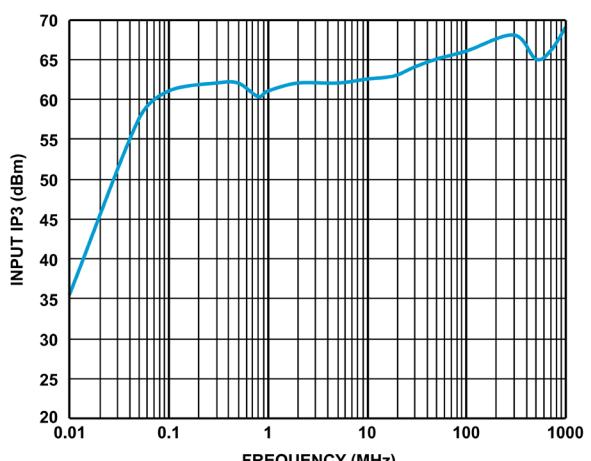


図 15. 入力 IP3 と周波数の関係（低周波数の詳細）

015

## 動作原理

ADRF5031 にはロジック機能を内部で実行するためのドライバが内蔵されているため、CMOS/LVTTL 互換の制御インターフェースを簡素化できるメリットがあります。2 本のデジタル制御入力ピン (EN および CTRL) が、どの RF ポートが挿入損失状態およびアイソレーション状態にあるかを決定します。制御電圧の真理値表については、表 7 を参照してください。

EN ピンがロジック・ハイの場合、他のピンのロジック状態に関係なく、すべての RF パスがアイソレーション状態になります。RFx ポートは、内蔵の  $50\Omega$  抵抗で終端されており、RFC は反射型になります。

## RF 入出力

RF ポート (RFC, RF1, RF2) は 0V に DC 結合されています。RF ライン電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。RF ポートは内部で  $50\Omega$  に整合しています。

ADRF5031 は、双方向に均等な電力処理能力を備えています。RF 入力信号は RFC ポートに印加することも、選択した RFx 投ポートに印加することもできます。

挿入損失パスでは、選択した RFx 投ポートと RFC (共通) ポートの間で RF 信号が導通します。アイソレーション経路では、挿入損失経路と選択していない RFx 投ポートの間に大きな損失が発生します。ADRF5031 の選択していない RFx ポートは無反射型となります。

1MHz 未満の周波数では、ADRF5031 の電力処理能力は低下します。低周波数に対する RF 電力のディレーティングについては、図 2 を参照してください。

## 電源

ADRF5031 では、正電源電圧を V<sub>DD</sub> ピンに印加し、負電源電圧を V<sub>SS</sub> ピンに印加する必要があります。RF 結合を最小限に抑えるために、電源ラインにはバイパス・コンデンサを配置することを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接続します。
2. V<sub>DD</sub> と V<sub>SS</sub> に電源を投入します。ランプ・アップ中に V<sub>DD</sub> で電流トランジエントが発生しないように、V<sub>DD</sub> に電源投入してから V<sub>SS</sub> に電源投入します。
3. デジタル制御入力を印加します。制御入力の相対的な順序は重要ではありません。ただし、V<sub>DD</sub> への給電前にデジタル制御入力に給電すると、内部 ESD 保護構造が意図せず順方向にバイアスされ、損傷する可能性があります。この損傷を防ぐため、 $1k\Omega$  の抵抗を直列に接続して制御ピンに流入する電流を制限してください。V<sub>DD</sub> のパワーアップ後にコントローラが高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。
4. RF 入力信号を印加します。

表 7. 制御電圧の真理値表

Digital Control Input		RFx Paths	
EN	CTRL	RF1 to RFC	RF2 to RFC
Low	Low	Isolation (off)	Insertion loss (on)
Low	High	Insertion loss (on)	Isolation (off)
High	Low or high	Isolation (off)	Isolation (off)

## アプリケーション情報

ADRF5031には、2本の電源ピン ( $V_{DD}$  および  $V_{SS}$ ) と2本の制御ピン (EN および CTRL) があります。図16に、電源ピンの外付け素子との接続を示します。VDDピンとVSSピンは、 $100\text{pF}$ のコンデンサでデカッピングされています。ADRF5031のピン配置では、デカッピング・コンデンサをデバイスの近くに配置することができます。RFラインを0V以外の電圧でバイアスする場合にRFxピンおよびRFCピンに接続するDC阻止コンデンサを除いて、バイアスおよび動作用に他の外付け素子は不要です。詳細については、表6を参照してください。

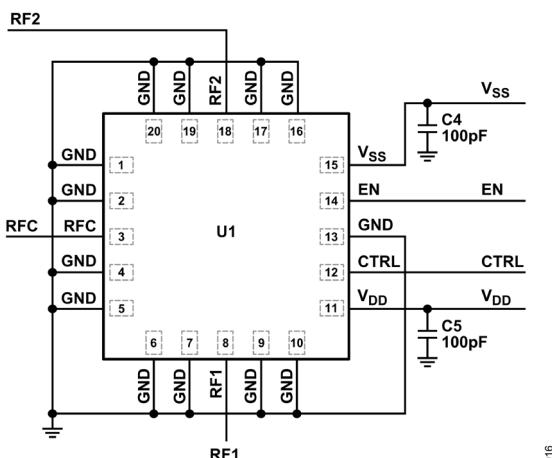


図 16. 推奨回路図

## PCB 設計のための推奨事項

RFポートは内部で $50\Omega$ に整合されており、ピン配置は、特性インピーダンスが $50\Omega$ の、PCB上のコプレーナ導波路(CPWG)に接合できるよう設計されています。図17に、8ミル厚のRogers RO4003C誘電体材料を用いたRF基板のための基準CPWG RFパターン設計を示します。銅仕上げ厚さが1.5milの場合には、幅14mil、クリアランス7milのRFパターンが推奨されます。

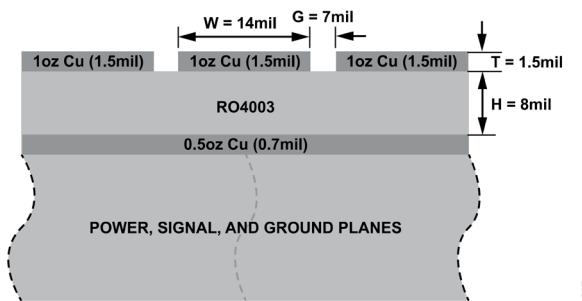


図 17. PCB の層構成例

図18に、ADRF5031からのRF配線パターン、電源、制御信号のルーティングを示します。グランド・プレーンは、RFおよび熱性能を最適化するため、密に充填された貫通ビアに接続されています。ADRF5031の主な熱経路は裏面です。

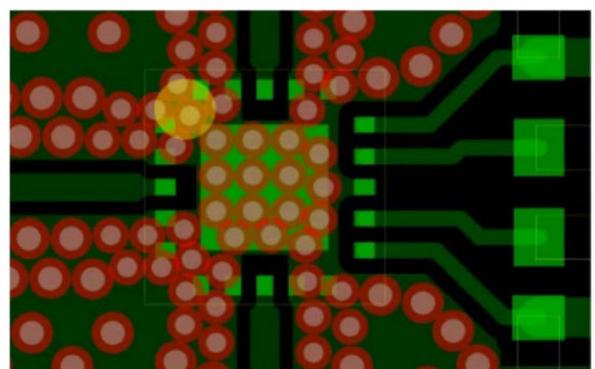


図 18. PCB レイアウト

ADRF5031のRFピンからリファレンス層構成の $50\Omega$ CPWGまでの間の推奨レイアウトを図19に示します。PCBパッドは、ADRF5031のパッドと1対1に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCBパッドからのRF配線パターンは、パッケージ端に向かって、同じ幅で伸びた後テープ状になります。RF配線パターンに至ります。ペースト・マスクは、開口部を縮小せることなく、ADRF5031のパッドに整合するように設計されています。ペースト・マスクは、パドル用の複数の開口部に分割されています。

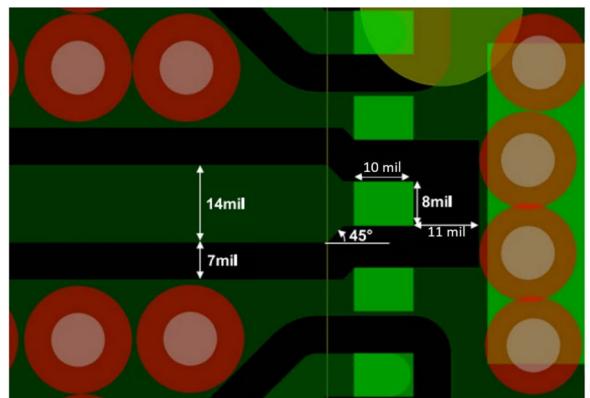
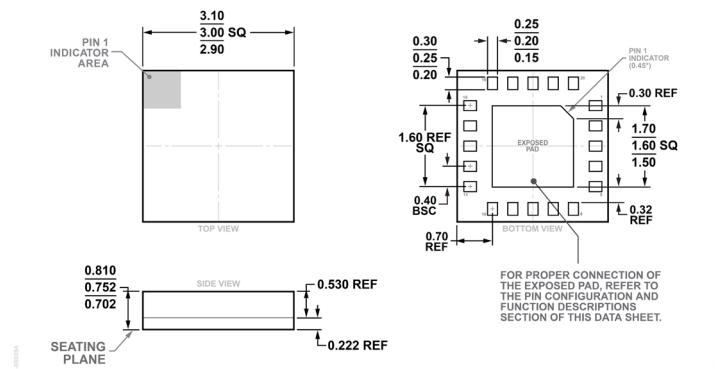


図 19. 推奨 RF ピン遷移

誘電体厚およびRF配線パターン設計が異なる場合の次善のPCB層構成については、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

## 外形寸法



05-27-2022-A

図 20. 20 端子のランド・グリッド・アレイ [LGA] (CC-20-21)  
単位 : mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Quantity	Package Option
ADRF5031BCCZN	-40°C to +105°C	20-Terminal Land Grid Array [LGA]	Reel, 500	CC-20-21
ADRF5031BCCZN-R7	-40°C to +105°C	20-Terminal Land Grid Array [LGA]	Reel, 500	CC-20-21

<sup>1</sup> Z = RoHS 適合製品。

## 評価用ボード

表 8. 評価用ボード

Model <sup>1</sup>	Description
ADRF5031-EVALZ	Evaluation Board

<sup>1</sup> Z = RoHS 適合製品。