



## OV、UV、逆方向保護付きの 4.5V~60V、250mA 電流リミッタ

ADPL86610/ADPL86611/  
ADPL86612

### 概要

ADPL86610/ADPL86611/ADPL86612 は調整可能な過電圧/過電流保護デバイスのシリーズです。+60V~-65V の範囲にわたり、正および負の入力電圧フォルトからシステムを保護するのに適しており、1.42Ω (代表値) という低  $R_{ON}$  の FET を備えています。

調整可能な入力過電圧保護範囲は 5.5V~60V、調整可能な入力低電圧保護範囲は 4.5V~59V です。入力過電圧ロックアウト (OVLO) と低電圧ロックアウト (UVLO) のスレッシュホールドは、外部抵抗を使用して設定されます。更に、これらのデバイスでは、内部の入力低電圧スレッシュホールドが 4.2V (代表値) に設定されています。

これらのデバイスは 250mA までの範囲で設定可能な電流制限保護機能を備えており、出力で大容量のコンデンサを充電する際に、起動時の突入電流を制御します。電流制限のスレッシュホールドは、SETI ピンと GND の間に抵抗を接続することによって設定します。デバイスの電流が設定されたスレッシュホールドに達すると、デバイスは電界効果トランジスタ (FET) の抵抗を調整して、電流がそれ以上増加するのを防ぎます。これらのデバイスは、電流制限条件下で 3 つの異なる方法 (オートリトライ・モード、連続モード、ラッチオフ・モード) で動作するように設定できます。SETI ピンに現れる電圧は、このデバイスを流れる瞬時電流に比例し、A/D コンバータ (ADC) によって読み取られます。

ADPL86610 と ADPL86612 は逆方向 (OUT から IN) の電流をブロックしますが、ADPL86611 は逆方向の電流を許容します。これらのデバイスは、過度な電力消費への対応としてサーマル・シャットダウン保護機能を備えています。

これらのデバイスは、小型の 10 ピン (3mm × 3mm) TDFN-EP パッケージで提供され、-40°C~+125°Cの広い温度範囲で動作します。

### 特長

- 堅牢な保護機能によりシステムのダウンタイムを低減
  - 広い入力電源範囲: +4.5V~+60V
  - 35V の入力電源までは、トランジェント電圧サブレッサ (TVS) 不要でホット・プラグイン耐性あり
  - 負入力耐性: -65V まで
  - 低  $R_{ON}$ : 1.42Ω (代表値)
  - 逆電流ブロック保護
  - 熱過負荷保護
  - 40°C~+125°C の拡張温度範囲
  - ADPL86610: OV、UV、逆電圧の保護が可能
  - ADPL86611: OV と UV の保護が可能
  - ADPL86612: 逆電圧保護が可能
- 柔軟な設計オプションにより設計の再利用が可能で適格性再確認の必要性が減少
  - 調整可能な OVLO および UVLO スレッシュホールド
  - プログラマブルな順方向電流制限: 全温度範囲にわたり 10mA~20mA 範囲で±6%、20mA~250mA 範囲で±5% の精度
  - プログラマブルな過電流フォルト応答: オートリトライ・モード、連続モード、ラッチオフ・モード
  - スムーズな電流遷移
- 基板スペースを節約し、外付けの部品数を削減
  - 10 ピン、3mm × 3mm、薄型デュアルフラット・リードなし (TDFN) EP パッケージ
  - 内蔵 FET

### アプリケーション

- センサー・システム
- 状態監視
- 工場センサー
- プロセス計測
- 計量およびバッチ処理システム
- プログラマブル・ロジック・コントローラ (PLC)、ネットワーク制御モジュール、バッテリー駆動モジュールなどの工業用アプリケーション

型番は、データシートの末尾に記載しています。

目次

|                                   |    |
|-----------------------------------|----|
| 概要 .....                          | 1  |
| 特長 .....                          | 1  |
| アプリケーション .....                    | 1  |
| 標準動作回路 .....                      | 3  |
| 絶対最大定格 .....                      | 4  |
| パッケージ .....                       | 4  |
| 電気的特性 .....                       | 6  |
| 標準動作特性 .....                      | 9  |
| ピン配置 .....                        | 13 |
| 端子説明 .....                        | 14 |
| 機能図 .....                         | 15 |
| 機能図 (続き) .....                    | 16 |
| 詳細説明 .....                        | 17 |
| 低電圧ロックアウト (UVLO) .....            | 17 |
| 過電圧ロックアウト (OVLO) .....            | 17 |
| 入力デバウンス保護 .....                   | 18 |
| イネーブル .....                       | 18 |
| 電流制限スレッシュホールドの設定 .....            | 19 |
| 電流制限タイプの選択 .....                  | 19 |
| オートリトライ電流制限 .....                 | 19 |
| 連続電流制限 .....                      | 20 |
| ラッチオフ電流制限 .....                   | 21 |
| 逆電流保護 .....                       | 21 |
| フォルト出力 .....                      | 23 |
| サーマル・シャットダウン保護 .....              | 23 |
| アプリケーション情報 .....                  | 24 |
| IN コンデンサ .....                    | 24 |
| IN ピンのホット・プラグイン .....             | 24 |
| 入力ハード地絡 .....                     | 24 |
| OUT コンデンサ .....                   | 24 |
| OUT 端子のホット・プラグイン .....            | 24 |
| 誘導性ハード地絡対応用の出力フリーホイール・ダイオード ..... | 24 |
| レイアウトと放熱 .....                    | 24 |
| ESD 保護 .....                      | 25 |
| 型番 .....                          | 26 |

標準動作回路

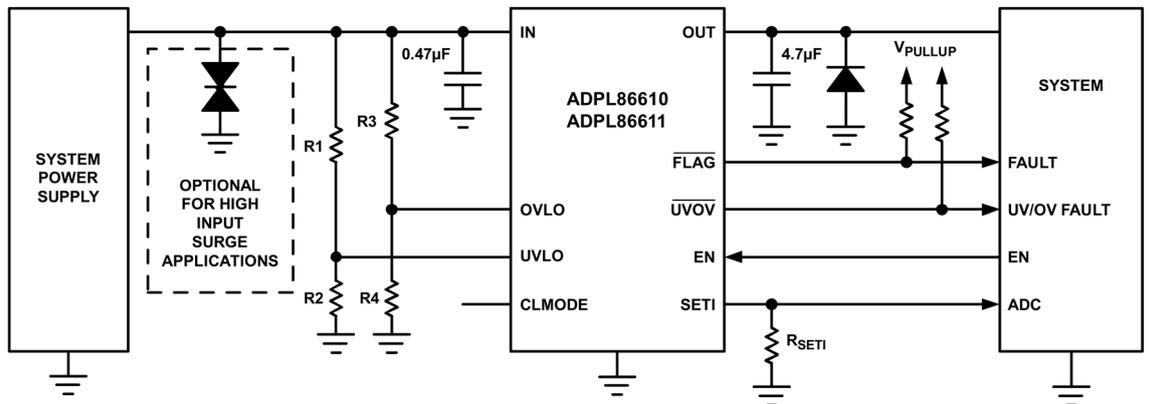


図 1. ADPL86610 と ADPL86611 の標準動作回路

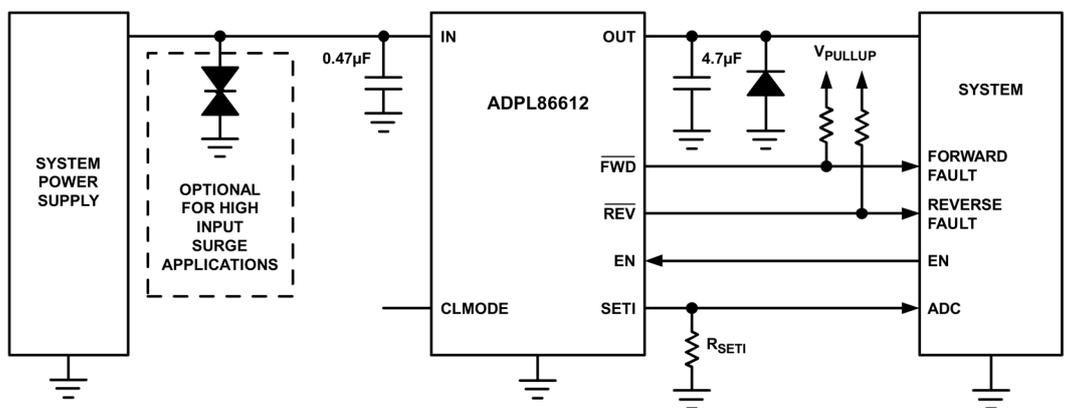


図 2. ADPL86612 の標準動作回路

### 絶対最大定格

|  |   |  |              |
|--|---|--|--------------|
| IN~GND .....   | -70V~+65V   | SETI~GND (Note 1) .....                      | -0.3V~+1.6V  |
| IN~OUT .....   | -65V~+65V   | 連続消費電力 (10ピン TDFN EP (T <sub>A</sub> =+70°C) |              |
| OUT~GND .....  | -0.3V~+65V  | (+70°Cを超えると 24.4mW/°C でディレーティング) 1951.2mW    |              |
| UVLO、OVLO~GND .....  | -0.3V~MAX(V <sub>IN</sub> , V <sub>OUT</sub> ) + 0.3V | 拡張動作温度範囲 .....                               | -40°C~+125°C |
| $\overline{UVOV}$ 、 $\overline{FLAG}$ 、 $\overline{FWD}$ 、 $\overline{REV}$ 、EN、 |   | ジャンクション温度 (Note 2) .....                     | -40°C~+150°C |
| CLMODE~GND .....   | -0.3V~+6.0V   | 保管温度範囲 .....                                 | -65°C~+150°C |
| IN 電流 (DC) .....   | 262.5mA   | リード温度 (ハンダ付け処理、10秒) .....                    | +300°C       |

**Note 1:** SETI ピンは内部でクランプされています。このピンに 5mA を超える電流をかけると、デバイスが損傷する可能性があります。

**Note 2:** ジャンクション温度が+125°Cを超えると、動作寿命が短くなります。

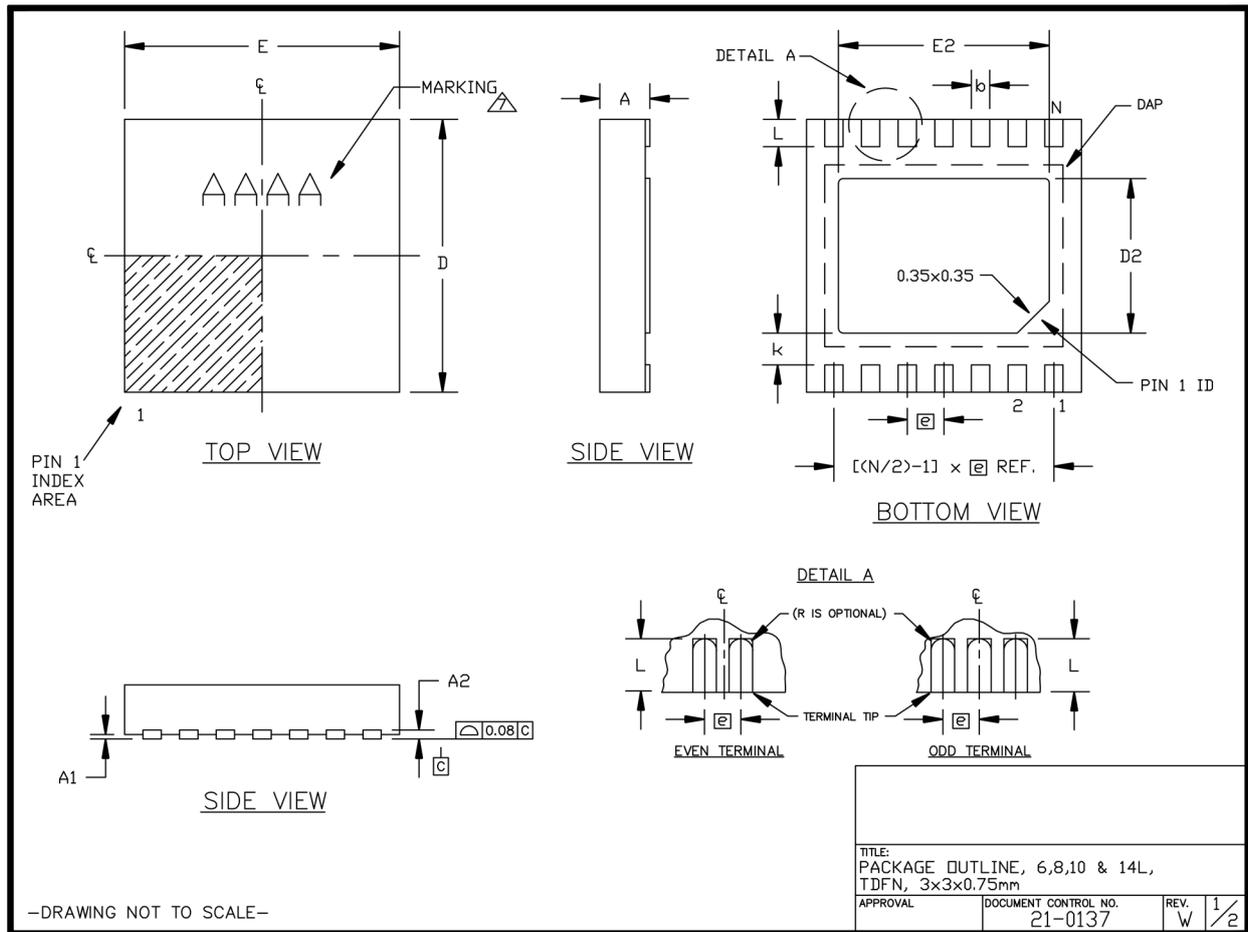
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### パッケージ

| PACKAGE TYPE: 10 TDFN                 |                         |
|---------------------------------------|-------------------------|
| Package Code                          | T1033+1C                |
| Outline Number                        | <a href="#">21-0137</a> |
| Land Pattern Number                   | <a href="#">90-0003</a> |
| Thermal Resistance, Four-Layer Board: |                         |
| Junction-to-Ambient ( $\theta_{JA}$ ) | 41°C/W                  |
| Junction-to-Case ( $\theta_{JC}$ )    | 9°C/W                   |

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[パッケージ索引](#)で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[IC パッケージの熱特性評価](#)を参照してください。



## 電気的特性

(特に指定のない限り、 $V_{IN} = +4.5 \sim +60V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は  $V_{IN} = +24V$ 、 $T_A = +25^\circ C$ 、 $R_{SET1} = 1.2k\Omega$  での値。Note 3 を参照)

| PARAMETER                                       | SYMBOL        | CONDITIONS   | MIN  | TYP  | MAX  | UNITS    |
|---|---------------|--|------|------|------|----------|
| IN Voltage Range                                | $V_{IN}$      |  | 4.5  |      | 60   | V        |
| Shutdown Input Current                          | $I_{SHDN}$    | $V_{EN} = 0V, V_{IN} = 24V$  |      | 25   | 60   | $\mu A$  |
| Shutdown Output Current                         | $I_{OFF}$     | $V_{EN} = 0V, V_{OUT} = 0V, V_{IN} = 24V$  | -2   | <1   | 2    | $\mu A$  |
| Reverse Input Current                           | $I_{IN\_RVS}$ | $V_{IN} = -60V, V_{OUT} = 0V$  | -85  | -50  |      | $\mu A$  |
| Supply Current                                  | $I_{IN}$      | $V_{IN} = 24V, V_{EN} = 5V$  |      | 0.89 | 1.25 | mA       |
| Internal Undervoltage-Trip Level                | $V_{UVLO}$    | $V_{IN}$ rising, $V_{IN} = 24V$  | 3.46 | 4.22 | 4.50 | V        |
|   |               | $V_{IN}$ falling, $V_{IN} = 24V$   |      | 3.5  |      |          |
| UVLO, OVLO Reference                            | $V_{REF}$     | $V_{IN} = 24V$   | 1.45 | 1.50 | 1.55 | V        |
| UVLO, OVLO Threshold Hysteresis                 |               | $V_{IN} = 24V$   |      | 3.3  |      | %        |
| UVLO, OVLO Leakage Current                      | $I_{LEAK}$    | $V_{UVLO} = V_{OVLO} = 0$ to 2V. (ADPL86610, ADPL86611 only), $V_{IN} = 24V$           | -100 |      | 100  | nA       |
| OVLO Adjustment Range                           |               | (See Note 4), $V_{IN} = 24V$   | 5.5  |      | 60   | V        |
| UVLO Adjustment Range                           |               | (See Note 4), $V_{IN} = 24V$   | 4.5  |      | 59   | V        |
| Internal POR                                    |               |  | 3.0  |      | 4.3  | V        |
| <b>INTERNAL FETs</b>                            |               |  |      |      |      |          |
| Internal FETs On-Resistance                     | $R_{ON}$      | $I_{LOAD} = 100mA, V_{IN} = 24V$   |      | 1.42 | 2.7  | $\Omega$ |
| Current-Limit Adjustment Range                  | $I_{LIM}$     | (See Note 5)   | 10   |      | 250  | mA       |
| Current-Limit Accuracy                          |               | $10mA < I_{LIM} < 20mA, V_{IN} = 24V$  | -6   |      | +6   | %        |
|   |               | $20mA < I_{LIM} \leq 250mA, V_{IN} = 24V$  | -5   |      | +5   |          |
| FLAG Assertion Drop-Voltage Threshold           | $V_{FA}$      | Increase ( $V_{IN} - V_{OUT}$ ) drop until FLAG asserts, $V_{IN} = 24V, I_{IN} = 10mA$ | 370  | 470  | 570  | mV       |
| Reverse Current-Blocking Slow Threshold         | $V_{RIBS}$    | $(V_{OUT} - V_{IN})$ . (ADPL86610, ADPL86612 only)                                     | 2    | 11   | 20   | mV       |
| Reverse Current-Blocking Debounce Blanking Time | $t_{DEBRIB}$  | (ADPL86610, ADPL86612 only)  | 100  | 140  | 180  | $\mu s$  |
| Reverse Current-Blocking Powerup Blanking Time  | $t_{BLKRIB}$  | (ADPL86610, ADPL86612 only)  | 14.4 | 16.0 | 17.6 | ms       |
| Reverse Current-Blocking Fast Threshold         | $V_{RIBF}$    | $(V_{OUT} - V_{IN})$ . (ADPL86610, ADPL86612 only)                                     | 70   | 105  | 140  | mV       |
| Reverse Current-Blocking Fast-Response Time     | $t_{RIB}$     | $I_{REVERSE} = 2.5A$ , (ADPL86610, ADPL86612 only) (See Note 6)                        |      | 150  | 230  | ns       |

(特に指定のない限り、 $V_{IN} = +4.5 \sim +60V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。代表値は  $V_{IN} = +24V$ 、 $T_A = +25^{\circ}C$ 、 $R_{SETI} = 1.2k\Omega$  での値。Note 3 を参照)

| PARAMETER                                     | SYMBOL           | CONDITIONS  | MIN  | TYP  | MAX  | UNITS   |
|---|------------------|---|------|------|------|---------|
| Reverse-Blocking Supply Current               | $I_{RBL}$        | Current into OUT when $(V_{OUT} - V_{IN}) > 130mV$ . (ADPL86610, ADPL86612 only), $V_{IN} = 24V$                            |      | 0.89 | 1.25 | mA      |
| <b>SETI</b>                                   |                  |   |      |      |      |         |
| $R_{SETI} \times I_{LIM}$                     | $V_{RI}$         |   |      | 1.5  |      | V       |
| Current-Mirror Output Ratio                   | $C_{IRATIO}$     | $10mA \leq I_{OUT} \leq 20mA$   | 190  | 200  | 210  | A/A     |
|   |                  | $20mA \leq I_{OUT} \leq 250mA$  | 193  | 200  | 207  |         |
| Internal SETI Clamp                           |                  | 5mA into SETI   | 1.6  |      | 2.2  | V       |
| SETI Leakage Current                          |                  | $V_{SETI} = 1.6V$   | -0.1 |      | 0.1  | $\mu A$ |
| <b>LOGIC INPUT</b>                            |                  |   |      |      |      |         |
| EN Input-Logic High                           | $V_{IH}$         | $V_{IN} = 24V$  | 1.4  |      |      | V       |
| EN Input-Logic Low                            | $V_{IL}$         | $V_{IN} = 24V$  |      |      | 0.4  | V       |
| EN Pullup Voltage                             |                  | EN pin unconnected. $V_{IN} = 24V$  |      | 1.3  | 2    | V       |
| EN Input Current                              |                  | $V_{EN} = 5.5V$ , $V_{IN} = 24V$  |      | 60   | 100  | $\mu A$ |
| EN Pullup Current                             |                  | $V_{EN} = 0.4V$ , $V_{IN} = 24V$  | 1.0  | 3.0  | 8.0  | $\mu A$ |
| CLMODE Input-Logic High                       |                  | $V_{IN} = 24V$  | 2.0  | 3.8  | 4.9  | V       |
| CLMODE Input-Logic Low                        |                  | $V_{IN} = 24V$  | 0.25 | 0.60 | 0.95 | V       |
| CLMODE Pullup Input Current                   |                  | $V_{IN} = 24V$  | 8    | 10   | 12   | $\mu A$ |
| <b>FLAG, UVOV, FWD, REV OUTPUTS</b>           |                  |   |      |      |      |         |
| FLAG, UVOV, FWD, REV Output-Logic Low Voltage |                  | $I_{SINK} = 1mA$  |      |      | 0.4  | V       |
| FLAG, UVOV, FWD, REV Output-Leakage Current   |                  | $V_{IN} = V_{FLAG} = V_{UVOV} = V_{FWD} = V_{REV} = 5.5V$ . FLAG, UVOV, FWD, and REV pins are deasserted                    |      |      | 1    | $\mu A$ |
| <b>TIMING CHARACTERISTICS</b>                 |                  |   |      |      |      |         |
| Switch Turn-On Time                           | $t_{ON\_SWITCH}$ | $V_{IN} = 24V$ , $R_{LOAD} = 1k\Omega$ , $C_{LOAD} = 0pF$ , $R_{SETI} = 1.2k\Omega$   |      | 230  | 450  | $\mu s$ |
| Oversvoltage Switch Turn-Off Time             | $t_{OFF\_OVP}$   | $V_{OVLO}$ exceeds $V_{REF}$ as a step; $R_{LOAD} = 1k\Omega$   |      | 0.46 | 0.65 | $\mu s$ |
| Oversvoltage Falling-Edge Debounce Time       | $t_{DEB\_OVP}$   |   |      | 20   |      | $\mu s$ |
| Overcurrent Protection Response Time          | $t_{OCP\_RES}$   | $I_{LIM} = 0.25A$ , $C_{LOAD} = 0$ , $I_{OUT}$ step from 0.125A to 0.375A. Time to regulate $I_{OUT}$ to the current limit. |      | 100  |      | $\mu s$ |
| IN Debounce Time                              | $t_{DEB}$        | From $V_{IN\_UVLO} < V_{IN} < V_{IN\_OVLO}$ and EN = High to $V_{OUT} = 10\%$ of $V_{IN}$ . Elapses only at power-up.       | 14.4 | 16   | 17.6 | ms      |

(特に指定のない限り、 $V_{IN} = +4.5 \sim +60V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。代表値は  $V_{IN} = +24V$ 、 $T_A = +25^{\circ}C$ 、 $R_{SET1} = 1.2k\Omega$  での値。Note 3を参照)

| PARAMETER                            | SYMBOL          | CONDITIONS   | MIN | TYP | MAX | UNITS       |
|--------------------------------------|-----------------|--|-----|-----|-----|-------------|
| Current-Limit Smooth-Transition Time | $t_{REF\_RAMP}$ |  |     | 100 |     | $\mu s$     |
| Current-Limit Blanking Time          | $t_{BLANK}$     |  | 36  | 40  | 44  | ms          |
| Current-Limit Autoretry Time         | $t_{RETRY}$     | After blanking time from $I_{OUT} > I_{LIM}$ to FLAG deasserted (Note 7) | 540 | 600 | 660 | ms          |
| <b>THERMAL PROTECTION</b>            |                 |  |     |     |     |             |
| Thermal Shutdown                     | $T_J$           |  |     | 160 |     | $^{\circ}C$ |
| Thermal Shutdown Hysteresis          | $T_{J(HYS)}$    |  |     | 28  |     | $^{\circ}C$ |

**Note 3** : すべてのデバイスは  $T_A = +25^{\circ}C$  で 100%製品テストしています。動作温度範囲を超える制限値は設計により裏付けられており、製品テストは行っておりません。

**Note 4** : ユーザー設定可能。方法については過電圧ロックアウト (OVLO) および低電圧ロックアウト (UVLO) のセクションを参照してください。

**Note 5** : 精度は低下しますが、電流制限値を 10mA 未満とすることも可能です。

**Note 6** : 出荷テストは行っていませんが、設計により裏付けられています。

**Note 7** : オートリトライ時間とブランキング時間の比は 15 に固定されています。

標準動作特性

(特に指定のない限り、 $V_{IN} = +24V$ 、 $C_{IN} = 0.47\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $T_A = +25^\circ C$ 。)

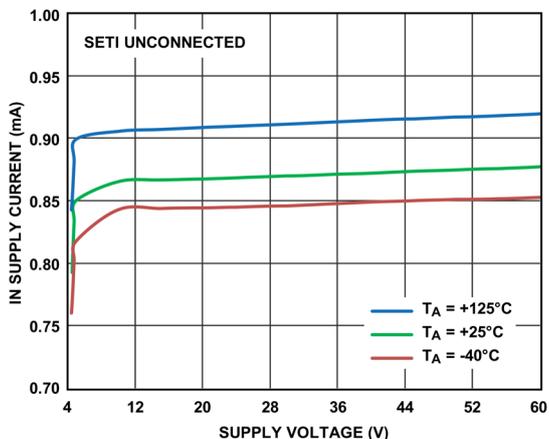


図 3. IN 電源電流と電源電圧の関係

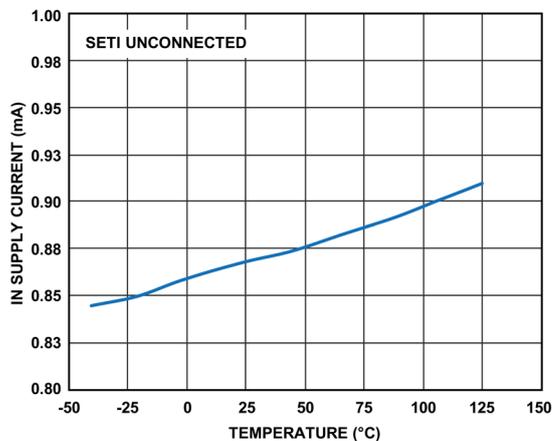


図 4. IN 電源電流と温度の関係

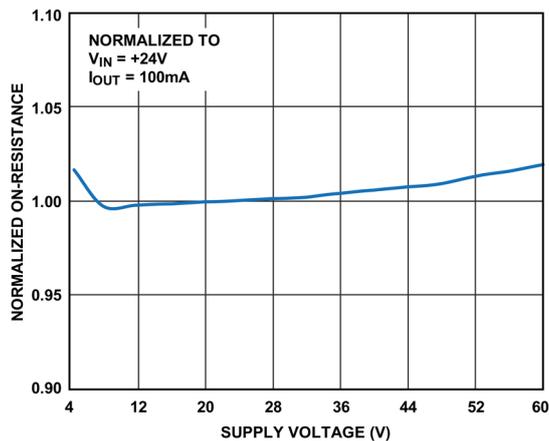


図 5. 正規化オン抵抗と電源電圧の関係

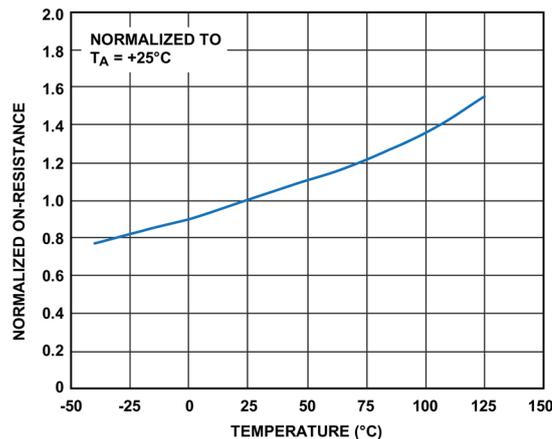


図 6. 正規化オン抵抗と温度の関係

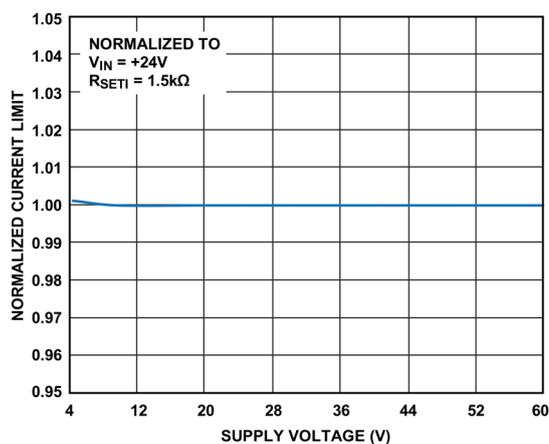


図 7. 正規化電流制限値と電源電圧の関係

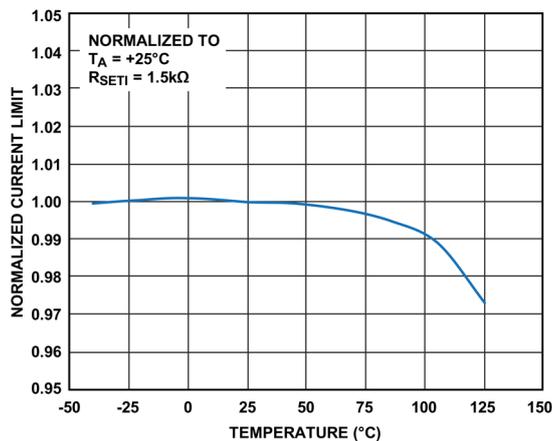


図 8. 正規化電流制限値と温度の関係

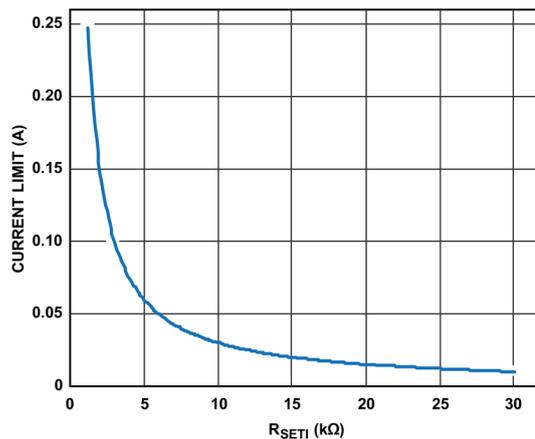


図 9. 電流制限値と R<sub>SETI</sub> の関係

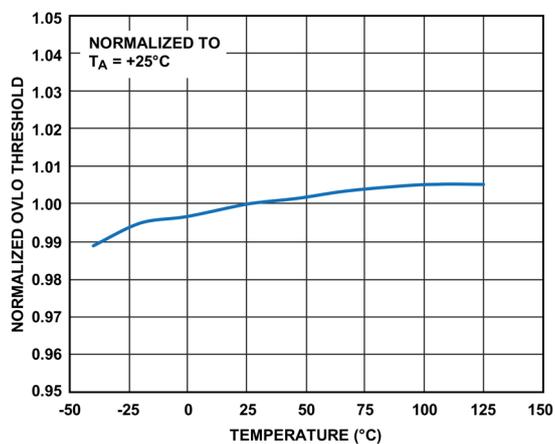


図 10. 正規化 OVLO スレッシュホールドと温度の関係

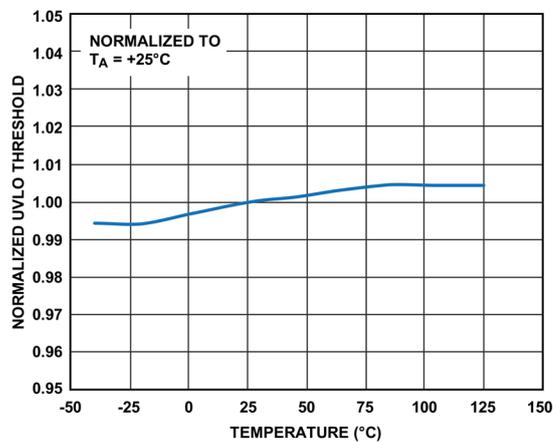


図 11. 正規化 UVLO スレッシュホールドと温度の関係

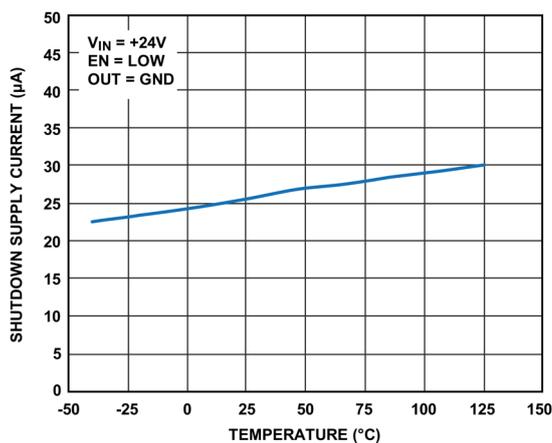


図 12. シャットダウン電源電流と温度の関係

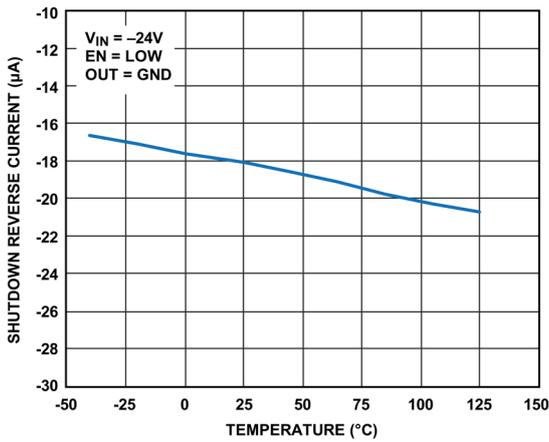


図 13. シャットダウン逆電流と温度の関係

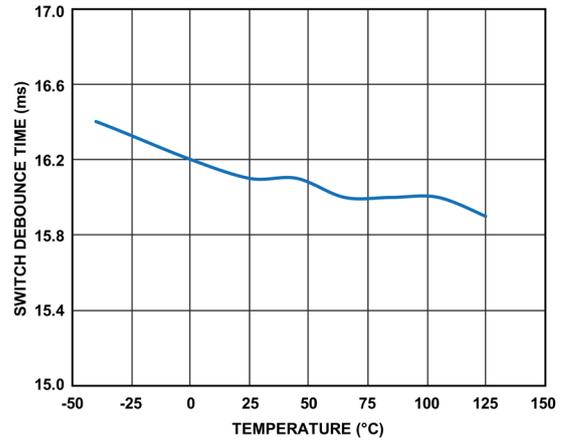


図 14. スイッチ・デバウンス時間と温度の関係

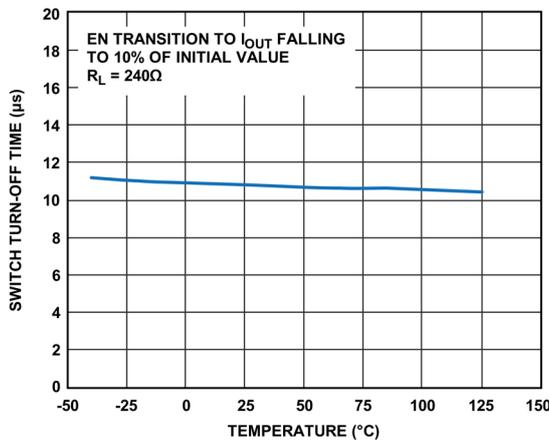


図 15. スイッチ・ターンオフ時間と温度の関係

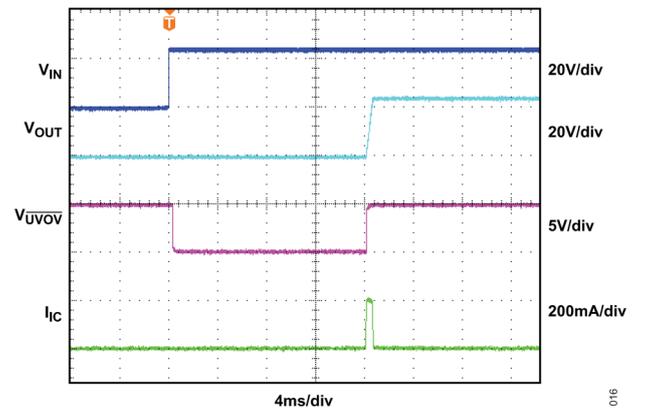


図 16. パワーアップ応答

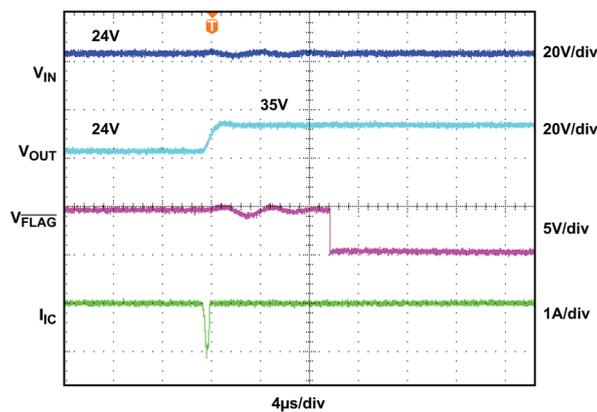


図 17. 逆電流ブロック応答

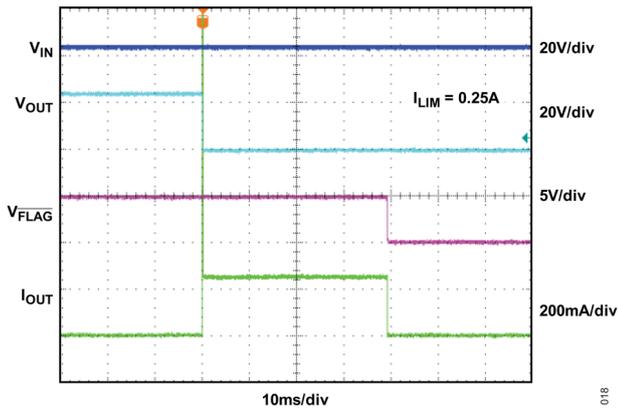


図 18. 出力短絡応答

018

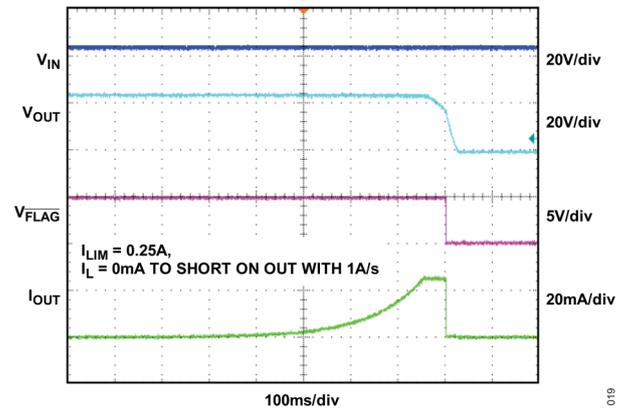


図 19. 電流制限応答

019

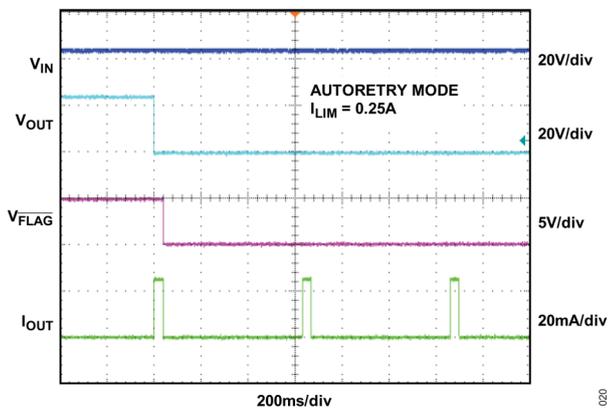


図 20. オートリトライ時間 ( $t_{RETRY}$ )

020

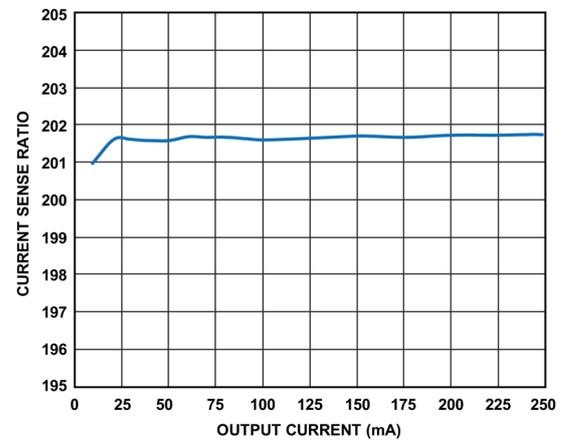


図 21. 電流検出比と出力電流の関係

021

ピン配置

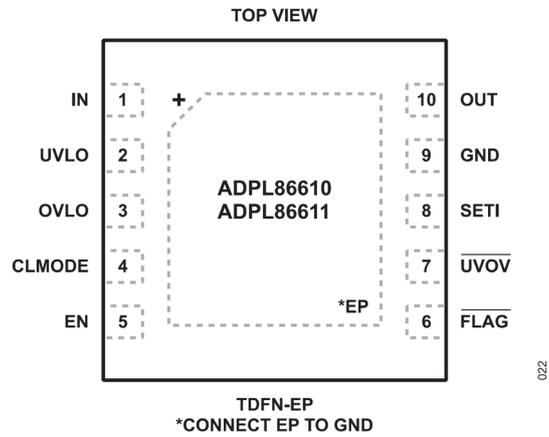


図 22. ADPL86610 と ADPL86611 のピン配置

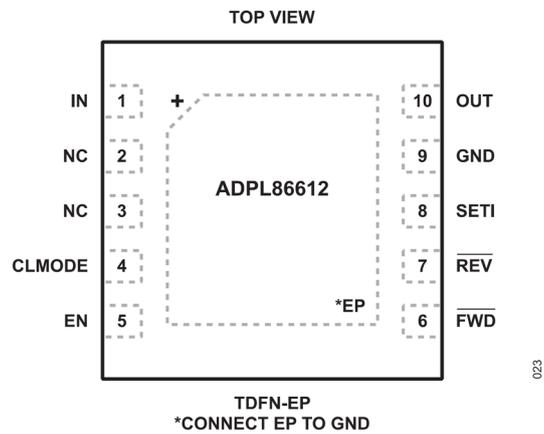


図 23. ADPL86612 のピン配置

端子説明

| ピン番号                   |           | 名称                       | 機能  |
|------------------------|-----------|--------------------------|---|
| ADPL86610<br>ADPL86611 | ADPL86612 |                          |   |
| 1                      | 1         | IN                       | 入力ピン。GND との間に低等価直列抵抗 (ESR) のセラミック・コンデンサを接続します。ホット・プラグイン・アプリケーションについては <a href="#">アプリケーション情報のセクション</a> を参照してください。   |
| 2                      | —         | UVLO                     | UVLO 調整。IN と GND の間に抵抗分圧器を接続して UVLO スレッシュホールドを設定します。  |
| —                      | 2-3       | N.C                      | 無接続。未接続のまま。   |
| 3                      | —         | OVLO                     | OVLO 調整。IN と GND の間に抵抗分圧器を接続して OVLO スレッシュホールドを設定します。  |
| 4                      | 4         | CLMODE                   | 電流制限モード選択。CLMODE を GND に接続すると連続モードになります。ラッチオフ・モードの場合は、CLMODE と GND の間に 150kΩ の抵抗を接続します。CLMODE を無接続の状態にするとオートリトライ・モードになります。  |
| 5                      | 5         | EN                       | アクティブ・ハイのイネーブル入力。内部で 1.8V にプルアップされています。   |
| 6                      | —         | $\overline{\text{FLAG}}$ | オープン・ドレインのフォルト・インジケータ出力。 $\overline{\text{FLAG}}$ は以下の条件でローになります。 <ul style="list-style-type: none"> <li>過電流時間がブランキング時間を超えた。</li> <li>逆電流が検出された (ADPL86610 のみ)。</li> <li>サーマル・シャットダウンが発生した。</li> <li>R<sub>SETI</sub>が 1kΩ (最大値) 未満。</li> </ul> |
| —                      | 6         | $\overline{\text{FWD}}$  | オープン・ドレインのフォルト・インジケータ出力。 $\overline{\text{FWD}}$ は以下の条件でローになります。 <ul style="list-style-type: none"> <li>過電流時間がブランキング時間を超えた。</li> <li>サーマル・シャットダウンが発生した。</li> <li>R<sub>SETI</sub>が 1kΩ (最大値) 未満。</li> </ul>                                     |
| 7                      | —         | $\overline{\text{UVOV}}$ | オープン・ドレインのフォルト・インジケータ出力。 $\overline{\text{UVOV}}$ は以下の条件でローになります。 <ul style="list-style-type: none"> <li>入力電圧が UVLO スレッシュホールドを下回った。</li> <li>入力電圧が OVLO スレッシュホールドを超過した。</li> </ul>  |
| —                      | 7         | $\overline{\text{REV}}$  | オープン・ドレインのフォルト・インジケータ出力。 $\overline{\text{REV}}$ は逆電流が検出されるとローになります。  |
| 8                      | 8         | SETI                     | 過電流制限調整ピン兼電流モニタ出力。SETI と GND の間に抵抗を接続して過電流制限値を設定します。 <a href="#">電流制限スレッシュホールドの設定のセクション</a> を参照してください。  |
| 9                      | 9         | GND                      | グラウンド。  |
| 10                     | 10        | OUT                      | 出力ピン。出力ケーブルが長い場合や誘導性負荷がある場合は、 <a href="#">アプリケーション情報のセクション</a> を参照してください。   |
| —                      | —         | EP                       | 露出パッド。熱性能を最適化するため、EP を面積の広い GND プレーンに数個のサーマル・ビアを使用して接続します。リファレンス・レイアウト設計については、 <a href="#">ADPL86610 評価用キット</a> 、 <a href="#">ADPL86611 評価用キット</a> 、 <a href="#">ADPL86612 評価用キット</a> のユーザー・ガイドを参照してください。                                       |

機能図

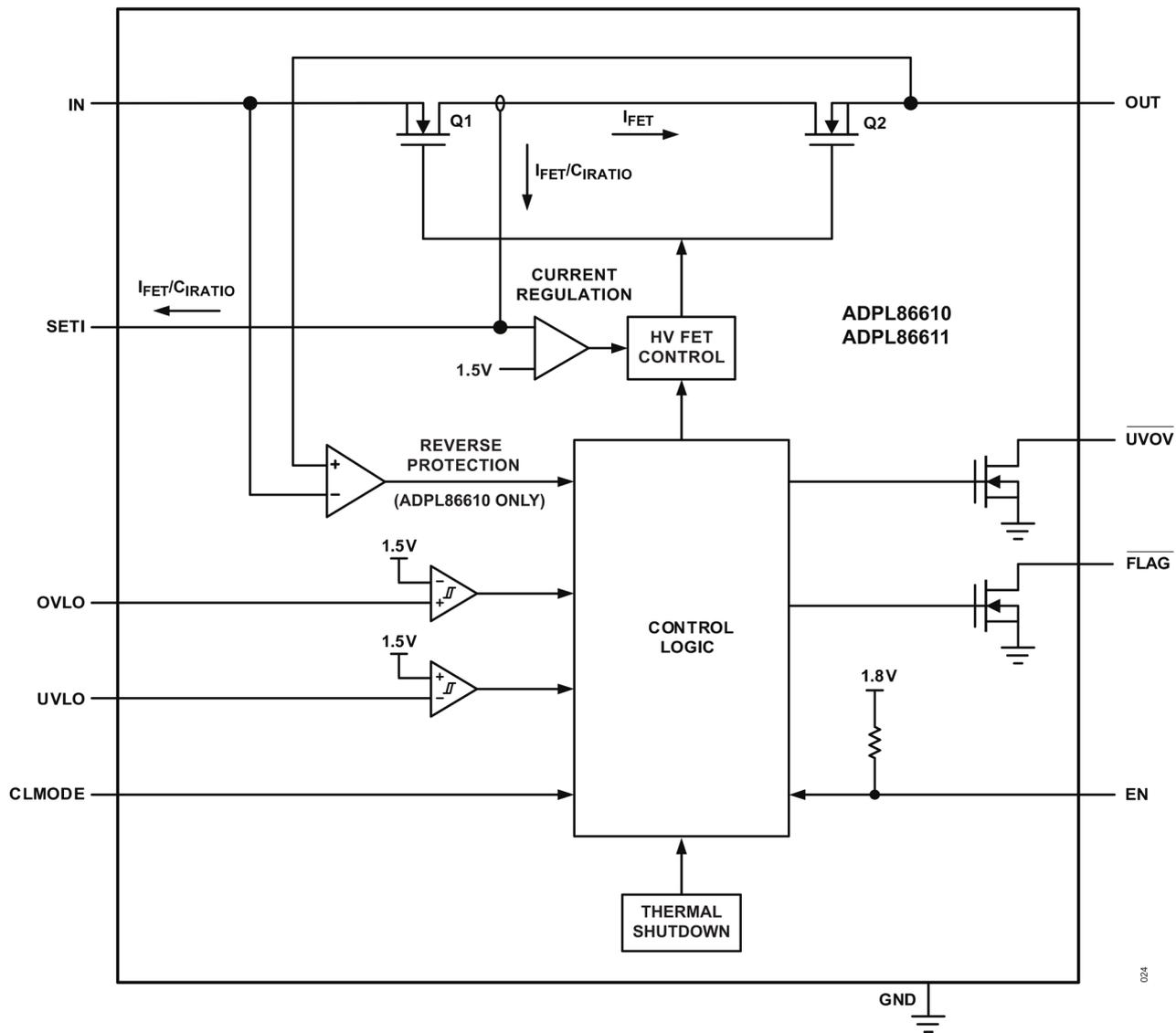


図 24. ADPL86610 と ADPL86611 の機能図

機能図 (続き)

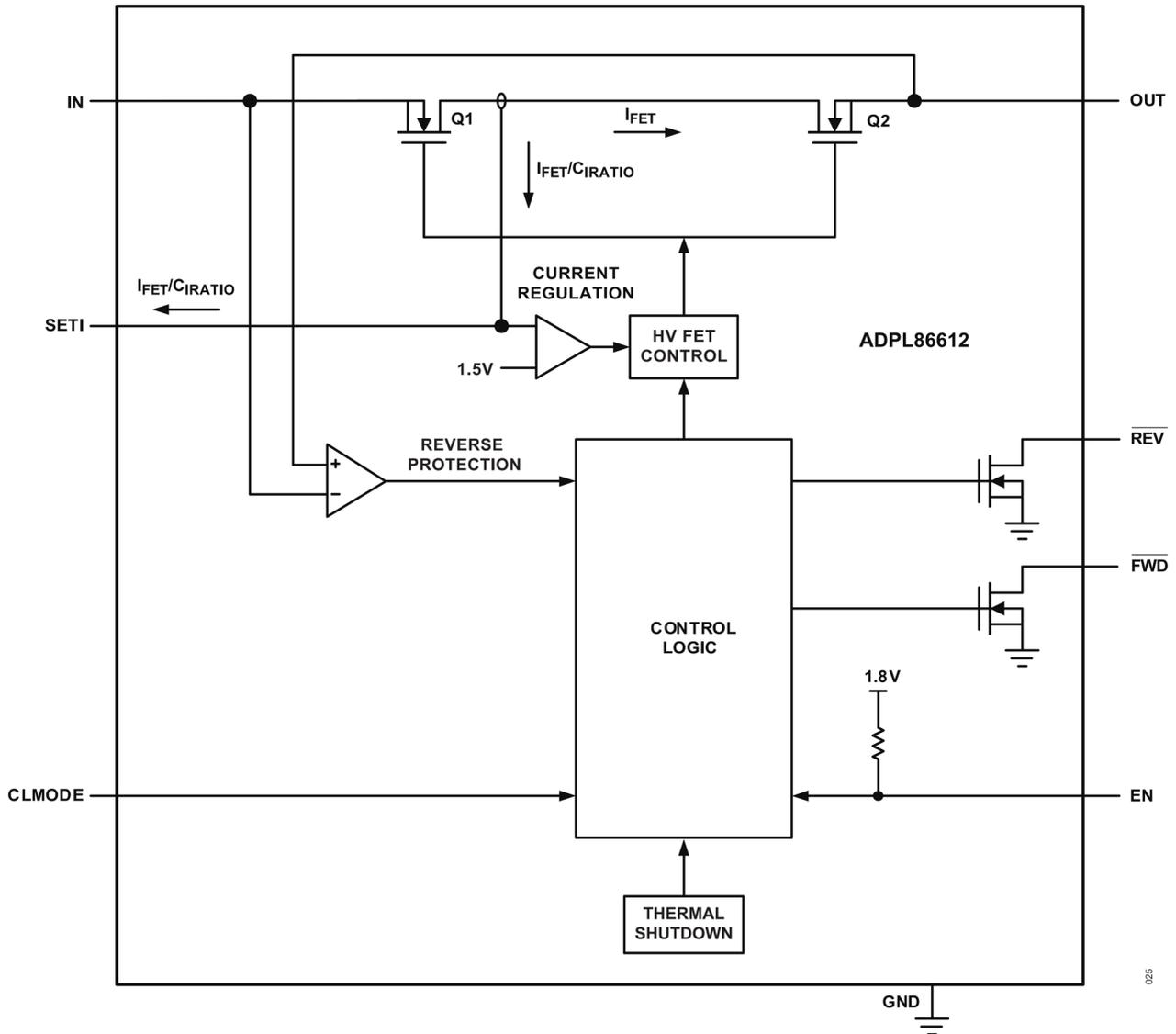


図 25. ADPL86612 の機能図

## 詳細説明

ADPL86610/ADPL86611/ADPL86612 の過電圧および過電流保護デバイスを使用すれば、正負の入力電圧フォルトについてそれぞれ最大+60Vと-65V、出力負荷電流について最大 250mA の範囲で、調整可能な保護限度をシステムに設定できます。このデバイスは直列に接続された2つの内部 MOSFET を備えており、その合計  $R_{ON}$  は  $1.42\Omega$  (代表値) という低い値です。このデバイスは、負の入力電圧を完全に遮断します。入力低電圧保護は 4.5V~59V の範囲で設定でき、これと独立に過電圧保護を 5.5V~60V の範囲で設定可能です。更に、このデバイスには内蔵のデフォルト低電圧ロックアウトがあり、4.2V (代表値) に設定されています。

このデバイスは、マスタ監視システムにより EN ピンを介してイネーブルまたはディスエーブルされます。これによって接続された負荷への電力供給をオンまたはオフにする切り替え動作が可能です。デバイス内を流れる電流は電流制限を設定することにより制限されますが、この設定は SETI と GND の間に接続した抵抗によって行います。

電流制限値は 10mA~250mA の範囲で設定可能です。デバイスの電流が設定された電流制限値に達するか超過すると、内蔵 FET のオン抵抗を調整することによって電流が設定値に制限されます。電流制限動作時には、このデバイスには3つの異なる動作モードがあります。すなわち、オートリトライ・モード、連続モード、ラッチオフ・モードです。また、SETI ピンには、通常動作時にはデバイスの電流に比例した電圧が、GND 基準で現れます。SETI ピンに現れる電圧をモニタリング・システムの ADC で読み取ると、デバイスの瞬時電流を記録できます。発振を避けるため、SETI ピンには 10pF を超える容量を接続しないでください。

このデバイスには状態表示信号があり、様々な動作状態やフォルトの信号を提示します。ADPL86610 と ADPL86611 には  $\overline{FLAG}$  信号と  $\overline{UVOV}$  信号、ADPL86612 には  $\overline{FWD}$  信号と  $\overline{REV}$  信号があります。状態表示信号ピン自体はオープン・ドレインであり、適切なシステム・インターフェース電圧に外付け抵抗でプルアップする必要があります。ADPL86610 と ADPL86612 は逆電流 (OUT から IN への電流) を遮断し、ADPL86611 は逆電流を許容します。

3つのデバイスはどれも、過度な電力消費への対応としてサーマル・シャットダウン保護機能を内蔵しています。

## 低電圧ロックアウト (UVLO)

ADPL86610 と ADPL86611 の UVLO 調整範囲は 4.5V~59V です。UVLO スレッシュホールド電圧を調整するには、[標準動作回路](#) に示すように、UVLO ピンに抵抗分圧器を外付けします。次式を用いて UVLO スレッシュホールドを調整できます。R1 の推奨値は  $2.2M\Omega$  です。

$$V_{UVLO} = V_{REF} \times \left[ 1 + \frac{R1}{R2} \right]$$

ここで、 $V_{REF} = 1.5V$  です。

3つのデバイスはどれも、4.2V (代表値) に設定された UVLO スレッシュホールドを備えています。ADPL86612 には、UVLO スレッシュホールド電圧を外部で調整できる UVLO ピンは存在しません。

## 過電圧ロックアウト (OVLO)

ADPL86610 と ADPL86611 の OVLO 調整範囲は 5.5V~60V です。OVLO スレッシュホールド電圧を調整するには、[標準動作回路](#) に示すように、OVLO ピンに抵抗分圧器を外付けします。次式を用いて OVLO スレッシュホールドを調整できます。R3 の推奨値は  $2.2M\Omega$  です。

$$V_{OVLO} = V_{REF} \times \left[ 1 + \frac{R3}{R4} \right]$$

ここで、 $V_{REF} = 1.5V$  です。

ADPL86612 は過電圧保護機能を備えていません。

OVLO リファレンス電圧 ( $V_{REF}$ ) は 1.5V に設定されています。OVLO ピンの電圧が、過電圧スイッチ・ターンオフ時間 ( $t_{OFF\_OVP}$ ) に等しい期間にわたり  $V_{REF}$  を超過すると、スイッチがオフになり、 $\overline{UVOV}$  がアサートされます。このデバイスは、OVLO 条件がなくなると、過電圧立下がりデバウンス時間 ( $t_{DEB\_OVP}$ ) が経過するのを待ってからスイッチ・ターンオン手順を開始します。スイッチ・ターンオン時間 ( $t_{ON\_SWITCH}$ ) が経過すると、スイッチは再びオンになり、 $\overline{UVOV}$  のアサートが解除されます。過電圧状態での代表的な動作を [図 26](#) に示します。

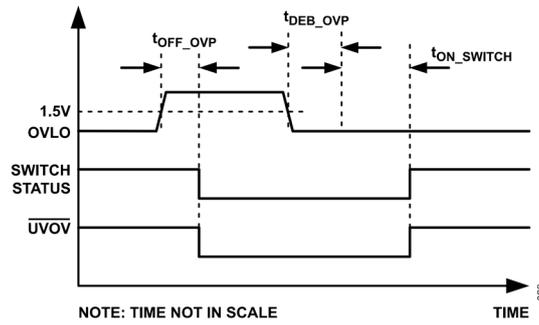


図 26. 過電圧フォルト時のタイミング図

## 入力デバウンス保護

このデバイスには入力デバウンス保護機能があります。デバウンス時間 ( $t_{DEB}$ ) より長い時間、入力電圧が UVLO スレッショルドより高くなった場合のみ、デバイスは動作を開始（内部 FET をオン）します。 $t_{DEB}$  はデバイスの起動時のみカウントされます。この機能は、電源供給のランプアップ時に EN 信号が有効になっているアプリケーションで使用することを意図したものです。図 27 にデバウンスの代表的なタイミング図を示します。

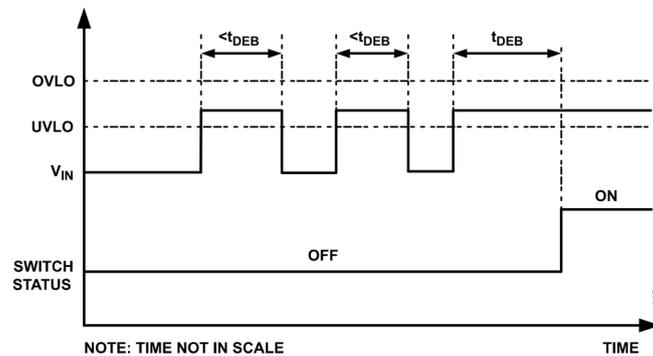


図 27. デバウンスのタイミング図

## イネーブル

このデバイスは、EN ピンを EN スレッショルド電圧より高く、あるいは低く駆動することにより、このピンを介してイネーブルまたはディスエーブルされます。このため、このデバイスを使用すると、EN ピンを使用して接続された負荷への電力供給をオンまたはオフにできます。EN ピンの駆動によりデバイスをオンにする場合は、入力デバウンス保護が機能します。

## 電流制限スレッシュホールドの設定

デバイスに電流制限スレッシュホールドを設定するには、SETI と GND の間に抵抗を接続します。電流制限設定抵抗を計算するには次の式を使用します。

$$R_{SETI} (k\Omega) = \frac{300}{I_{LIM} (mA)}$$

ここで、 $I_{LIM}$  は目的の電流制限値で、単位は mA です。

1.2k $\Omega$  未満の  $R_{SETI}$  は使用しないでください。表 1 には様々な抵抗値に対する電流制限スレッシュホールドを示しています。

表 1. 電流制限スレッシュホールドと SETI 抵抗値の関係

| $R_{SETI} (k\Omega)$ | CURRENT LIMIT (mA) |
|----------------------|--------------------|
| 30                   | 10                 |
| 12                   | 25                 |
| 6                    | 50                 |
| 3                    | 100                |
| 2                    | 150                |
| 1.5                  | 200                |
| 1.2                  | 250                |

このデバイスは、IN ピンに流れ込む電流を読み出すことができます。C<sub>RATIO</sub> の比を持つ電流ミラーが、電流検出オートゼロ・オペアンプを使用して実装されています。ミラーリングされた電流は、SETI ピンから外付け電流制限抵抗に流れます。SETI ピンの電圧は、次の関係式により IN 電流に関する情報を提供します。

$$I_{IN-OUT} (A) = \frac{V_{SETI} (V)}{R_{SETI} (k\Omega)}$$

SETI を無接続のままにした場合は  $V_{SETI} \geq 1.5V$  です。電流レギュレータは、いかなる電流も流しません。起動時はこれによってスイッチがオフのままになり、 $t_{BLANK}$  の経過後に  $\overline{FLAG}$  (または  $\overline{FWD}$ ) がアサートされます。起動時には、 $R_{SETI}$  に 270 $\mu A$  の電流が強制的に流れます。SETI の電圧が 150mV 未満の場合、スイッチはオフのままになり  $\overline{FLAG}$  (または  $\overline{FWD}$ ) がアサートされます。

## 電流制限タイプの選択

CLMODE ピンを使用して、デバイスの過電流応答を次の 3 つのモードのいずれかに設定できます。

すなわち、オートリトライ・モード (CLMODE ピンを無接続とする)、連続モード (CLMODE ピンを GND に接続)、ラッチオフ・モード (CLMODE と GND の間に 150k $\Omega$  の抵抗を接続) です。

## オートリトライ電流制限

オートリトライ電流制限モードでは、デバイスを流れる電流が電流制限スレッシュホールドに達すると、 $t_{BLANK}$  タイマーがカウントを開始します。過電流状態の時間が  $t_{BLANK}$  を超えると、 $\overline{FLAG}$  (または  $\overline{FWD}$ ) ピンがアサートされます。 $t_{BLANK}$  が経過する前に過電流状態が解消されると、タイマーはリセットされます。 $t_{BLANK}$  が経過すると直ちに、リトライ時間遅延 ( $t_{RETRY}$ ) が開始します。この  $t_{RETRY}$  の間、スイッチはオフのままです。 $t_{RETRY}$  が経過すると、スイッチがオンに戻ります。フォルトが継続している場合、このサイクルが繰り返され、 $\overline{FLAG}$  (または  $\overline{FWD}$ ) はアサートされたままになります。過電流状態が終了すると、スイッチはオン状態を続けます。

このオートリトライ機能により、過電流状態または短絡状態時のシステム電力を低減できます。 $t_{BLANK}$  の間スイッチがオンの場合、電源電流は電流制限値に維持されます。 $t_{RETRY}$  の間は、スイッチに電流は流れません。したがって、出力電流は、設定された電流制限値に比べてはるかに小さくなります。平均出力電流は次式で計算できます。

$$I_{LOAD} = I_{LIM} \left[ \frac{t_{BLANK}}{t_{RETRY} + t_{BLANK}} \right]$$

40ms（代表値）の  $t_{BLANK}$  と 600ms（代表値）の  $t_{RETRY}$  を仮定すると、デューティ・サイクルは 6.25% になり、全時間スイッチがオンであった場合と比較して 93.75% の電力削減となります。オートリトライ電流制限モードの代表的な動作を 図 28 に示します。

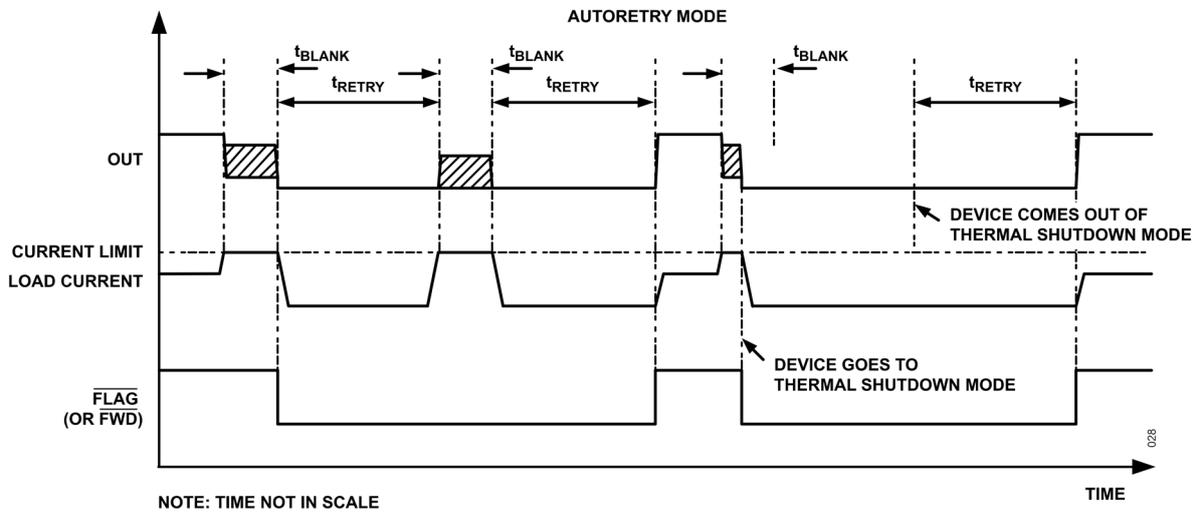


図 28. オートリトライ・モード時のフォルト・タイミング図

### 連続電流制限

連続電流制限モードでは、デバイスを通る電流が電流制限スレッシュホールドに達すると、デバイスが出力電流を設定済みの電流制限値に制限します。過電流状態が  $t_{BLANK}$  の時間継続すると  $\overline{FLAG}$ （または  $\overline{FWD}$ ）ピンがアサートされ、過電流状態が解消されるとデアサートされます。連続電流制限モードの代表的な動作を 図 29 に示します。

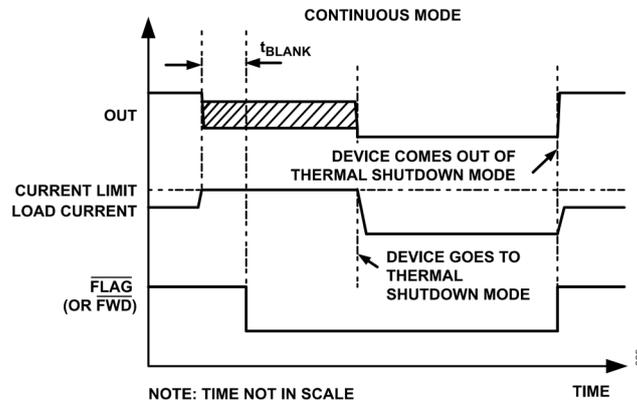


図 29. 連続モード時のフォルト・タイミング図

## ラッチオフ電流制限

ラッチオフ電流制限モードでは、デバイスを流れる電流が電流制限スレッシュホールドに達すると、 $t_{BLANK}$  タイマーがカウントを開始します。過電流状態の時間が  $t_{BLANK}$  を超えると、 $\overline{FLAG}$  (または  $\overline{FWD}$ ) ピンがアサートされます。 $t_{BLANK}$  が経過する前に過電流状態が解消されると、タイマーはリセットされます。過電流状態が  $t_{BLANK}$  を超えて継続すると、スイッチがオフになりその状態を維持します。スイッチをリセットするには、制御ロジック (EN) をトグルするか、入力電圧を一度オフにしてから再びオンにします。ラッチオフ電流制限モードの代表的な動作を図 30 に示します。

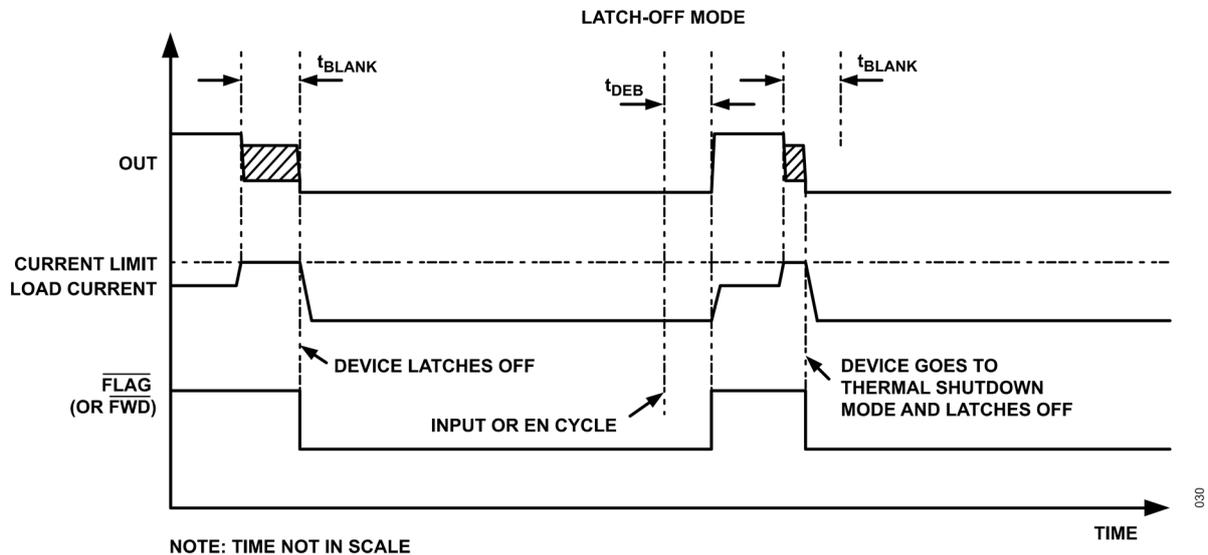


図 30. ラッチオフ・モード時のフォルト・タイミング図

## 逆電流保護

ADPL86610 と ADPL86612 では逆電流保護機能が有効で、OUT ピンから IN ピンに逆電流が流れるのを防止します。ADPL86611 では逆電流保護機能は無効で、OUT ピンから IN ピンに逆電流が流れるのを許容します。この機能は誘導性負荷があるアプリケーションで有効です。

ADPL86610 と ADPL86612 には、2 つの異なる逆電流対応機能が実装されています。逆電流ブロック・デバウンス・ブランキング時間 ( $t_{DEBRIB}$ ) の間に  $(V_{IN} - V_{OUT}) < V_{RIBS}$  の状態になると、低速逆電流状態が検出されます。入力 NFET (Q1) だけがターンオフして  $\overline{FLAG}$  (または  $\overline{REV}$ ) ピンがアサートされ、出力 NFET (Q2) はオンに維持されます。この期間およびその後に、デバイスは OUT ピンと IN ピンの電圧差をモニタして、逆電流状態が継続しているかどうかを判定します。逆電流状態が解消されると、Q1 が再びターンオンして  $\overline{FLAG}$  (または  $\overline{REV}$ ) ピンがデアサートされます。Q1 のターンオンにかかる時間は  $t_{Q1\_ON}$  (約 100 $\mu$ s) です。低速逆電流状態の代表的な動作を図 31 に示します。

逆電流ブロック高速応答時間 ( $t_{RIB}$ ) の間に  $(V_{IN} - V_{OUT}) < V_{RIBF}$  の状態になると、高速逆電流状態が検出されます。入力 NFET (Q1) だけがターンオフして  $\overline{FLAG}$  (または  $\overline{REV}$ ) ピンがアサートされ、出力 NFET (Q2) はオンに維持されます。この期間およびその後に、デバイスは OUT ピンと IN ピンの電圧差をモニタして、逆電流状態が継続しているかどうかを判定します。逆電流状態が解消されると、Q1 が再びターンオンして  $\overline{FLAG}$  (または  $\overline{REV}$ ) ピンがデアサートされます。Q1 のターンオンにかかる時間は  $t_{Q1\_ON}$  (約 100 $\mu$ s) です。高速逆電流状態の代表的な動作を図 32 に示します。

このデバイスには、逆電流保護用に、低速 (<140 $\mu$ s) と高速 (<150ns) の応答時間を持つ 2 つの逆電流スレッシュホールドが設定されています。低速逆電圧のスレッシュホールド値は 11mV (代表値) で、高速逆電圧については 105mV (代表値) です。この機能により、ノイズの多い環境でも安定した動作が実現できるのと同時に、入力短絡や OUT ピンでのホット・プラグインなどの厳しいフォルトに対して高速保護が可能です。

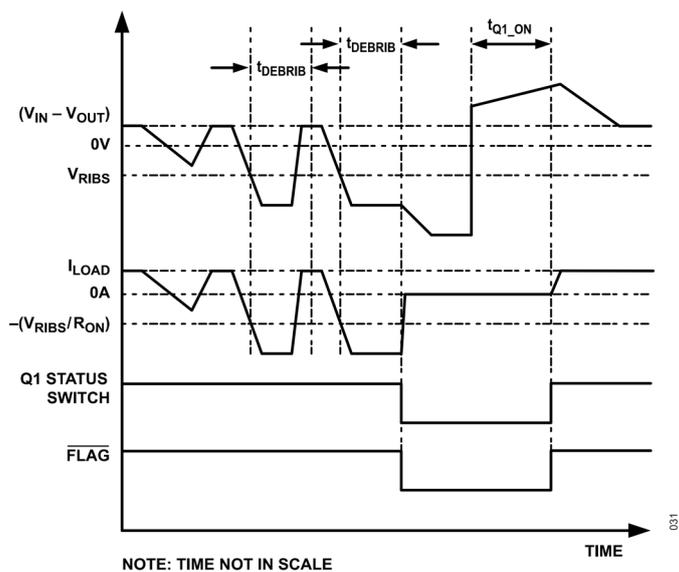


図 31. 低速逆電流保護時のフォルト・タイミング図

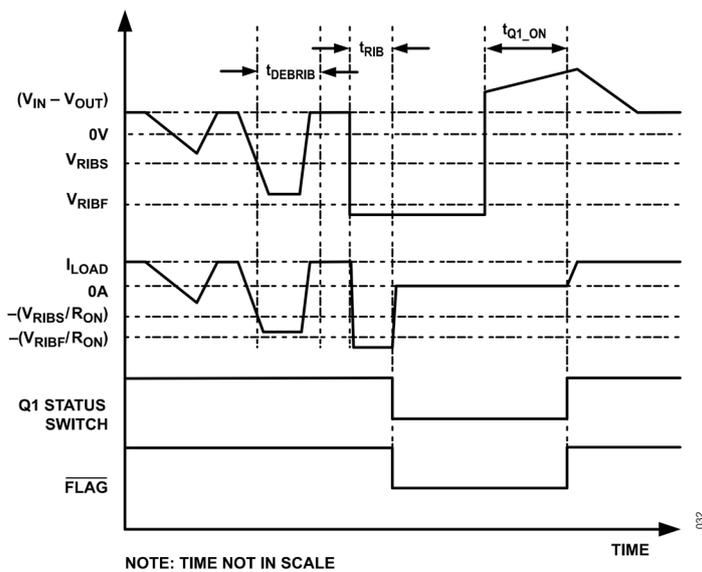


図 32. 高速逆電流保護時のフォルト・タイミング図

## フォルト出力

ADPL86610 と ADPL86611 には  $\overline{\text{FLAG}}$  と  $\overline{\text{UVOV}}$  という 2 つのオープン・ドレインのフォルト出力があります。これらの出力と DC 電源との間には外付けのプルアップ抵抗が必要です。下記の条件のいずれか 1 つが満たされると、 $\overline{\text{FLAG}}$  ピンがローになります。

- 過電流状態の時間がブランキング時間を越えた。
- 逆電流が検出された (ADPL86610 のみ)。
- サーマル・シャットダウンが発生した。
- $R_{\text{SETT}}$  が  $1\text{k}\Omega$  (最大値) 未満。

他方のフォルト出力である  $\overline{\text{UVOV}}$  は、入力電圧が  $\text{UVLO}$  スレッショルドを下回るか、 $\text{OVLO}$  スレッショルドを超過した場合にローになります。 $\text{UVLO}$  フォルトには  $16\text{ms}$  のデバウンス時間があることに注意してください。このフォルトは、入力電圧が  $\text{UVLO}$  スレッショルドを横切って  $16\text{ms}$  後に停止されます。同様に、パワーアップ時のみ、このデバウンスが計時されます。この結果、 $\overline{\text{UVOV}}$  ピンのフォルト信号は、パワーアップ時には少なくとも  $16\text{ms}$  は必ずアサートされます。

ADPL86612 デバイスには、 $\overline{\text{FWD}}$  と  $\overline{\text{REV}}$  の 2 つのオープン・ドレイン・フォルト出力があり、これらと DC 電源との間に外付けのプルアップ抵抗が必要です。下記のいずれかの状態が生じると、 $\overline{\text{FWD}}$  がローになります。

- 過電流時間がブランキング時間を越えた。
- サーマル・シャットダウンが発生した。
- $R_{\text{SETT}}$  が  $1\text{k}\Omega$  (最大値) 未満。

$\overline{\text{REV}}$  は逆電流が検出されるとローになります。

## サーマル・シャットダウン保護

このデバイスは過熱に対する保護のためにサーマル・シャットダウン機能を備えています。ジャンクション温度が  $+160^\circ\text{C}$  (代表値) を超過すると、デバイスがオフになり、 $\overline{\text{FLAG}}$  (または  $\overline{\text{FWD}}$ ) ピンがアサートされます。ジャンクション温度が  $28^\circ\text{C}$  (代表値) 低下すると、デバイスはサーマル・シャットダウンを終了し通常動作を再開します。ただし、ラッチオフ・モードの場合は、デバイスはラッチオフ状態を継続します。

加熱制限の動作は電流制限と同様です。オートリトライ・モードでは、加熱制限はオートリトライ・タイマー付きで動作します。ジャンクション温度がサーマル・シャットダウンの立下がりスレッショルドを下回ると、デバイスはリトライ時間後にオンになります。ラッチオフ・モードでは、電源の再投入または  $\text{EN}$  の再イネーブルまでデバイスはラッチオフされます。連続モードでは、温度が制限値を超過している間だけディスエーブルされます。温度保護にはブランキング時間はありません。図 28、図 29、図 30 に、各種電流制限モードでの代表的な動作を示します。

## アプリケーション情報

### IN コンデンサ

負荷電流の突然の変動時に入力電圧を維持するために、IN ピンと GND の間に 0.47μF のコンデンサを接続することを推奨します。

### IN ピンのホット・プラグイン

システム電源アプリケーションの多くでは、放射エミッションを減少させて静電放電 (ESD) 耐性を高めるために、入力フィルタ・コンデンサが必要です。ホット・プラグイン・アプリケーションでは、ケーブルの寄生インダクタンスと入力コンデンサによって、電源ケーブルを入力端子に接続したときにオーバーシュートやリングングが発生します。

この作用により、供給電圧の 2 倍もの電圧が保護デバイスにかかります。工業用アプリケーションでは、システムをこうした状況から保護するために、トランジェント電圧サプレッサ (TVS) がよく使用されます。保護能力を高めるには、サージ電圧を最大 60V に制限できる TVS を入力端子の近くに配置する必要があります。IN ピンの最大許容スルー・レートは 100V/μs です。

### 入力ハード地絡

多くのシステム・アプリケーションでは入力短絡保護が必要です。ADPL86610 と ADPL86612 は、OUT ピンに流入し IN ピンから流出する逆方向電流を検知して、内蔵 FET をターンオフします。逆方向電流の大きさは、入力回路のインダクタンスと IN ピン近くに配置された容量に依存します。

$V_{IN}$  が  $(V_{OUT} - V_{IN}) > 60V$  となるほどに負の値となった場合は、デバイスが損傷する可能性があります。

### OUT コンデンサ

接続可能な最大容量性負荷 ( $C_{MAX}$ ) は、電流制限設定値 ( $I_{LIM}$  (mA))、ブランキング時間 ( $t_{BLANK}$  (ms))、入力電圧の関数です。 $C_{MAX}$  は次の関係式を用いて計算できます。

$$C_{MAX}(\mu F) = \frac{I_{LIM}(mA) \times t_{BLANK}(TYP)(ms)}{V_{IN}(V)}$$

例えば、 $V_{IN} = 24V$ 、 $t_{BLANK}$  (代表値) = 40ms、 $I_{LIM} = 250mA$  の場合、 $C_{MAX}$  は 416μF です。

出力コンデンサ値が  $C_{MAX}$  を超えると、誤って過電流状態をトリガする可能性があります。なお、上の式では、OUT ピンからは負荷電流が流れていないことを前提としている点に注意してください。引き出される負荷電流があれば、コンデンサの充電電流をオフセットすることになるため、充電時間が長くなり、過電流状態と誤判定する可能性が生じます。

### OUT 端子のホット・プラグイン

アプリケーションによっては、入力電圧の有無に関わらず、デバイスの OUT 端子に外部電圧が印加される可能性があります。こうした状況では、OUT ピンに流れ込んで IN ピンから流れ出す逆電流をデバイスが検知して、内蔵 FET をオフにします。OUT 端子に外部電圧が供給されると、ケーブルの寄生インダクタンスと入出力コンデンサによってオーバーシュートやリングングが発生します。これにより、供給電圧の 2 倍もの電圧が保護デバイスにかかり、デバイスの損傷につながる可能性があります。過電圧状態でも、ピンでの電圧が絶対最大定格を超過しないように維持することが推奨されます。OUT ピンの最大許容スルー・レートは 100V/μs です。

### 誘導性ハード地絡対応用の出力フリーホイール・ダイオード

誘導性負荷や長いケーブルがあり、突然の地絡からの保護を要するアプリケーションでは、OUT 端子とグラウンドの間にショットキー・ダイオードを配置することを推奨します。これは、短絡イベント中の誘導性のキックバックによる OUT での負のスパイクを防止するのが目的です。

### レイアウトと放熱

短絡状態を出力するためのスイッチ応答時間を最適化するには、全ての配線パターンをできるだけ短くして、望ましくない寄生インダクタンスの影響を減らすことが非常に重要です。入力コンデンサと出力コンデンサを、デバイスのできるだけ近く (5mm 以下) に配置してください。IN と OUT は、短く幅の広いパターンで電源バスに接続する必要があります。通常動作中は、消費電力は小さくパッケージの温度変化はわずかです。定常状態での通常動作時消費電力は次式で計算できます。

$$P_{(SS)} = I_{OUT}^2 \times R_{ON}$$

様々な動作温度での  $R_{ON}$  の値については、[電氣的特性](#)の表と[標準動作特性](#)を参照してください。

最大供給電圧で出力が連続的にグラウンドに短絡しても、オートリトライ設定のスイッチではサーマル・シャットダウンがトリップしません。オートリトライ・モードでのデバイスの消費電力は次式を使用して計算されます。

$$P_{(MAX)} = \frac{V_{IN(MAX)} \times I_{OUT(MAX)} \times t_{BLANK}}{t_{RETRY} + t_{BLANK}}$$

連続電流制限モードの場合は、フォルト状態時の消費電力によってデバイスがサーマル・シャットダウン・スレッシュホールドに達する可能性があるため、注意が必要です。システムの熱容量を大きくすると共に周囲への熱抵抗を低減するために、露出パッドとグラウンド・プレーン間にサーマル・ビアを設けることが強く推奨されます。

### ESD 保護

このデバイスは、0.47μF の低 ESR セラミック・コンデンサで IN がグラウンドにバイパスされている場合、IN への±15kV (HBM) の ESD で仕様規定されています。IN への ESD が±2kV (HBM) (代表値) の範囲では、コンデンサは必要ありません。全てのピンは代表値±2kV (HBM) の ESD 保護を備えています。図 33 は HBM を、図 34 はこれが低インピーダンス経路に放電する際に発生する電流波形を示しています。このモデルは対象とする ESD 電圧まで充電された 100pF のコンデンサで構成され、1.5kΩ の抵抗を介してデバイスに放電されま

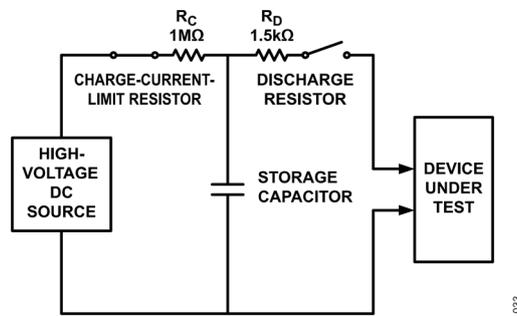


図 33. 人体モデルによる ESD 試験モデル

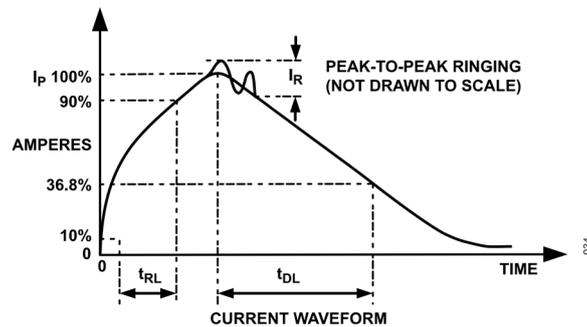


図 34. 人体モデルの電流波形

ADPL86610/ADPL86611/  
ADPL86612

OV、UV、逆方向保護付きの  
4.5V~60V、250mA 電流リミッタ

型番

| PART           | TEMP RANGE      | PIN PACKAGE | FEATURE DIFFERENCES                |
|----------------|-----------------|-------------|------------------------------------|
| ADPL86610ATB+T | -40°C to +125°C | 10 TDFN-EP* | OV, UV, Reverse Voltage Protection |
| ADPL86611ATB+T | -40°C to +125°C | 10 TDFN-EP* | OV, UV                             |
| ADPL86612ATB+T | -40°C to +125°C | 10 TDFN-EP* | Reverse Voltage Protection         |

+ 鉛 (Pb) フリー/RoHS 適合パッケージ。

T はテープのリール巻きを示します。

\*EP = 露出パッド

改訂履歴

| 版数 | 改訂日   | 説明   | 改訂ページ |
|----|-------|------|-------|
| 0  | 10/25 | 初版発行 | -     |