

## ブートストラップ・スイッチ内蔵 100V 同期整流式降圧コントローラ

### 特長

- ▶ 広い  $V_{IN}$  範囲：4V~100V
- ▶ 広い出力電圧範囲： $0.8V \leq V_{OUT} \leq 60V$
- ▶ ハイサイド・ゲート・ドライバ段用にブートストラップ・スイッチを内蔵
- ▶ UVLO 保護機能を備えた調整可能で正確なドライバ電圧
- ▶ 軽負荷時に連続、パルススキッピング、Burst Mode の動作を選択可能
- ▶ VPRG ピンによるプログラマブルな出力電圧（5V または 12V）
- ▶ 短絡フォルト時の電流制限フォールドバック
- ▶ 低い動作時  $I_Q$ ：5 $\mu$ A（48 $V_{IN}$ ~5 $V_{OUT}$ ）
- ▶ プログラマブルな周波数（100kHz~1MHz）
- ▶ 同期可能な周波数（100kHz~1MHz）
- ▶ スペクトラム拡散周波数変調
- ▶ 28 ピン（4mm × 5mm）、QFN パッケージ

### アプリケーション

- ▶ 産業用電源システム
- ▶ 防衛アビオニクス（航空電子機器）および医療用システム
- ▶ 電気通信用電源システム

### 代表的なアプリケーション回路

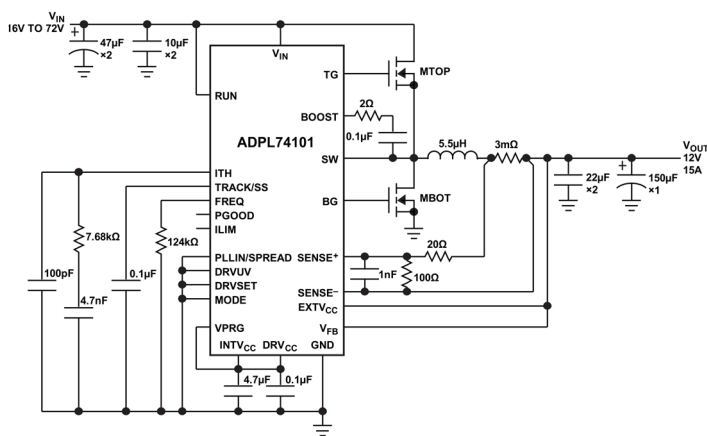


図 1. 高効率、12V 出力の降圧レギュレータ

### 概要

高性能降圧 DC/DC コントローラである ADPL<sup>®</sup>74101 は、あらゆる N チャンネル同期整流用金属酸化膜半導体電界効果トランジスタ（MOSFET）のパワー段を最大 100V の入力電圧から駆動できます。

ADPL74101 は、4V~5.5V の調整可能なゲート駆動電圧を備えているため、ロジックレベルの MOSFET を駆動するのに最適です。

スマート・ブートストラップ・スイッチを内蔵しているため、外部ダイオードが不要です。無負荷時の自己消費電流が非常に小さいため、バッテリー駆動システムでの動作時間を長くできます。MODE ピンを使用すれば、軽負荷時において、Burst Mode 動作、パルススキッピング・モード、連続インダクタ電流モードのいずれかを選択できます。

また、ADPL74101 は入力電源と出力電源の両方においてピーク放射ノイズおよびピーク伝導ノイズを大幅に低減するスペクトラム拡散動作を利用できるため、電磁干渉（EMI）規格に容易に適合できます。

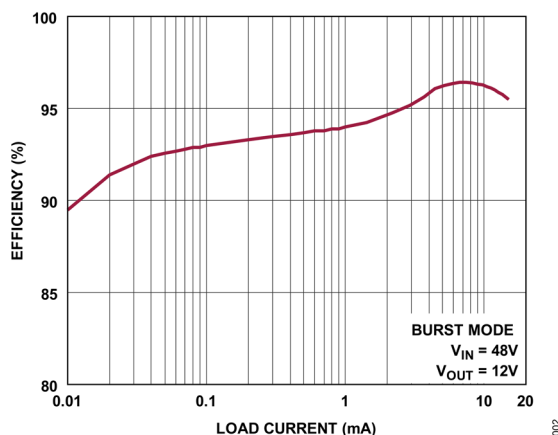


図 2. 図 1 の効率

## 目次

特長	1
アプリケーション	1
概要	1
代表的なアプリケーション回路	1
改訂履歴	4
仕様	5
絶対最大定格	9
静電放電 (ESD)	10
ESD に関する注意	10
ピン配置およびピン機能の説明	11
代表的な性能特性	14
機能図	18
動作原理	19
メイン制御ループ	19
電源およびバイアス電源 ( $V_{IN}$ 、 $EXTV_{CC}$ 、 $DRV_{CC}$ 、 $INTV_{CC}$ )	19
ハイサイド・ブートストラップ・コンデンサ	19
デッド・タイム制御	19
スタートアップおよびシャットダウン (RUN ピンおよび TRACK/SS ピン)	20
軽負荷時の動作 : Burst Mode 動作、パルススキッピング・モード、または強制連続モード (MODE ピン)	20
周波数の選択、スペクトラム拡散、フェーズ・ロック・ループ (FREQ ピンおよび PLLIN/SPREAD ピン)	21
出力過電圧保護	22
フォールドバック電流	22
パワー・グッド	22
アプリケーション情報	23
使用事例	23
インダクタ値の計算	23
インダクタ・コアの選択	23
電流検出方式の選択	24
値の小さな抵抗による電流検出	24
インダクタの DCR による電流検出	25
動作周波数の設定	27
軽負荷時動作モードの選択	28
デッド・タイム制御	29
パワーFETの選択	29

C <sub>IN</sub> と C <sub>OUT</sub> の選択.....	30
出力電圧の設定.....	31
RUN ピンと低電圧ロックアウト.....	31
ソフトスタートとトラッキング (TRACK/SS ピン) .....	32
INTV <sub>CC</sub> レギュレータ (OPTI-DRIVE) .....	33
上側 FET ドライバの電源 (C <sub>B</sub> ) .....	35
最小オン時間に関する考慮事項 .....	35
フォルト状態：電流制限とフォールドバック.....	36
フォルト状態：過電圧保護.....	36
フォルト状態：過熱保護.....	36
フェーズ・ロック・ループと周波数同期.....	36
効率に関する考慮事項.....	37
過渡応答のチェック .....	38
設計例.....	39
PCB ボード・レイアウト時のチェックリスト .....	40
PCB レイアウトのデバッグ .....	41
代表的なアプリケーション .....	43
関連製品.....	46
外形寸法.....	47
オーダー・ガイド.....	48

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	12/25	初版発行	-

## 仕様

表 1. 電気的特性

(特に指定のない限り、仕様値は、 $T_j = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{IN} = 12\text{V}$ 、 $\text{RUN} = 12\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
<b>Input Supply</b>						
Input Supply Operating Range	$V_{IN}$		4		100	V
Total Input Supply Current in Regulation	$I_{IN}$	48V to 5V, No Load <sup>1</sup> 14V to 3.3V, No Load <sup>1</sup>		5 14		$\mu\text{A}$ $\mu\text{A}$
<b>Controller Operation</b>						
Regulated Output Voltage Set Point	$V_{OUT}$		0.8		60	V
Regulated Feedback Voltage <sup>2</sup>	$V_{FB}$	$V_{IN} = 4\text{V to } 100\text{V}$ , ITH Voltage = 0.6V to 1.2V VPRG = Floating, $T_A = 25^{\circ}\text{C}$	0.792	0.8	0.808	V
		VPRG = Floating	0.788	0.8	0.812	V
		VPRG = 0V	4.925	5.0	5.075	V
		VPRG = INTV <sub>CC</sub>	11.82	12	12.18	V
Feedback Current <sup>2</sup>		VPRG = Floating, $T_A = 25^{\circ}\text{C}$	-50	0	+50	nA
		VPRG = 0V or INTV <sub>CC</sub> , $T_A = 25^{\circ}\text{C}$		1	2	$\mu\text{A}$
Feedback Overvoltage Threshold		Relative to $V_{FB}$ , $T_A = 25^{\circ}\text{C}$	7	10	13	%
Transconductance Amplifier <sup>2</sup>	$g_m$	ITH = 1.2V, Sink and Source Current = 5 $\mu\text{A}$		1.8		mMho
Maximum Current Sense Threshold	$V_{SENSE(\text{MAX})}$	$V_{FB} = 0.7\text{V}$ , SENSE <sup>-</sup> = 3.3V ILIM = 0V	21	26	31	mV
		ILIM = Floating	45	50	55	mV
		ILIM = INTV <sub>CC</sub>	67	75	83	mV
SENSE <sup>+</sup> Pin Current	$I_{SENSE^+}$	SENSE <sup>+</sup> = 3.3V, $T_A = 25^{\circ}\text{C}$	-1		+1	$\mu\text{A}$
SENSE <sup>-</sup> Pin Current	$I_{SENSE^-}$	SENSE <sup>-</sup> < 3V		1		$\mu\text{A}$
		$3.2\text{V} \leq \text{SENSE}^- < \text{INTV}_{CC} - 0.5\text{V}$		75		$\mu\text{A}$
		SENSE <sup>-</sup> > INTV <sub>CC</sub> + 0.5V		725		$\mu\text{A}$
Soft-Start Charge Current		TRACK/SS = 0V	9.5	12	14.5	$\mu\text{A}$
RUN Pin ON Threshold		RUN Rising	1.15	1.20	1.25	V

(特に指定のない限り、仕様値は、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{IN} = 12\text{V}$ 、 $\text{RUN} = 12\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
RUN Pin Hysteresis				120		mV
<b>DC Supply Current</b>						
$V_{IN}$ Shutdown Current		$\text{RUN} = 0\text{V}$		1		$\mu\text{A}$
$V_{IN}$ Sleep Mode Current		$\text{SENSE}^- < 3.2\text{V}$ , $\text{EXTV}_{CC} = 0\text{V}$		15		$\mu\text{A}$
Sleep Mode Current <sup>3</sup>						
$V_{IN}$ Current		$\text{SENSE}^- \geq 3.2\text{V}$ , $\text{EXTV}_{CC} = 0\text{V}$		5		$\mu\text{A}$
$V_{IN}$ Current		$\text{SENSE}^- \geq 3.2\text{V}$ , $\text{EXTV}_{CC} \geq 4.8\text{V}$		1		$\mu\text{A}$
$\text{EXTV}_{CC}$ Current		$\text{SENSE}^- \geq 3.2\text{V}$ , $\text{EXTV}_{CC} \geq 4.8\text{V}$		6		$\mu\text{A}$
$\text{SENSE}^-$ Current		$\text{SENSE}^- \geq 3.2\text{V}$		10		$\mu\text{A}$
Pulse-Skipping (PS) or Forced Continuous Mode (FCM), $V_{IN}$ or $\text{EXTV}_{CC}$ Current <sup>3</sup>				2		mA
<b>Gate Drivers</b>						
TG or BG On-Resistance		$\text{DRVSET} = \text{INTV}_{CC}$ Pull-Up Pull-Down		2.0 1.0		$\Omega$ $\Omega$
BOOST to $\text{DRV}_{CC}$ Switch On-Resistance		$\text{DRVSET} = \text{INTV}_{CC}$		7		$\Omega$
TG or BG Transition Time <sup>4</sup>		Rise Time, $C_{\text{LOAD}} = 3300\text{pF}$ Fall Time, $C_{\text{LOAD}} = 3300\text{pF}$		25 15		ns ns
TG Off to BG On Delay Time <sup>4</sup>						
Synchronous Switch On-Delay Time				20		ns
BG Off to TG On-Delay Time <sup>4</sup>						
Top Switch On-Delay Time				20		ns
TG Minimum On-Time <sup>5</sup>	$t_{\text{ON(MIN)}}$			40		ns

(特に指定のない限り、仕様値は、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{IN} = 12\text{V}$ 、 $\text{RUN} = 12\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Maximum Duty Factor for TG		Output in dropout, $V_{\text{FREQ}} = 0\text{V}$		99		%

**INTV<sub>CC</sub> Low-Dropout (LDO) Linear Regulators**

INTV <sub>CC</sub> Voltage for V <sub>IN</sub> and EXTV <sub>CC</sub> LDOs		EXTV <sub>CC</sub> = 0V for V <sub>IN</sub> LDO, EXTV <sub>CC</sub> = 12V for EXTV <sub>CC</sub> LDO DRVSET = INTV <sub>CC</sub> DRVSET = 0V DRVSET = 64.9kΩ	5.2 4.8 4.5	5.5 5.0 4.75	5.7 5.2 5.0	V V V	
DRV <sub>CC</sub> Load Regulation		DRV <sub>CC</sub> load current ( $I_{CC}$ ) = 0mA to 100mA, $T_A = 25^{\circ}\text{C}$		1	3	%	
Undervoltage Lockout	UVLO	DRV <sub>CC</sub> Rising					
		DRVUV = INTV <sub>CC</sub>	4.8	5.0	5.2	V	
		DRVUV = 0V	3.6	3.8	4.0	V	
		DRVUV = Floating	4.2	4.4	4.6	V	
		DRV <sub>CC</sub> Falling					
		DRVUV = INTV <sub>CC</sub>	4.55	4.75	4.95	V	
EXTV <sub>CC</sub> LDO Switchover Voltage EXTV <sub>CC</sub> Rising		DRVUV = INTV <sub>CC</sub> or Floating, $T_A = 25^{\circ}\text{C}$	5.75	5.95	6.15	V	
		DRVUV = 0V, $T_A = 25^{\circ}\text{C}$	4.6	4.76	4.9	V	
		EXTV <sub>CC</sub> LDO Switchover Hysteresis EXTV <sub>CC</sub> Falling					
EXTV <sub>CC</sub> LDO Switchover Hysteresis EXTV <sub>CC</sub> Falling		DRVUV = INTV <sub>CC</sub> or Floating		390		mV	
		DRVUV = 0V		220		mV	

**Spread Spectrum Oscillator and Phase-Locked Loop**

Fixed Frequencies	f <sub>OSC</sub>	PLLIN/SPREAD = 0V				
		FREQ Voltage ( $V_{\text{FREQ}}$ ) = 0V, $T_A = 25^{\circ}\text{C}$	320	370	420	kHz
		FREQ = 374kΩ		100		kHz
Synchronizable Frequency Range	f <sub>SYNC</sub>	FREQ = 75kΩ, $T_A = 25^{\circ}\text{C}$	450	500	550	kHz
		PLLIN/SPREAD = External Clock	0.1		1	MHz
PLLIN Input High Level			2.2			V
PLLIN Input Low Level					0.5	V

(特に指定のない限り、仕様値は、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{IN} = 12\text{V}$ 、 $\text{RUN} = 12\text{V}$ 、 $V_{PRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Spread Spectrum Frequency Range (Relative to $f_{osc}$ )		PLLIN/SPREAD = INTV <sub>CC</sub>				
		Minimum Frequency		0		%
		Maximum Frequency		20		%
<b>PGOOD Outputs</b>						
PGOOD Voltage Low		PGOOD = 2mA, $T_A = 25^{\circ}\text{C}$		0.2	0.4	V
PGOOD Leakage Current		PGOOD = 5V, $T_A = 25^{\circ}\text{C}$	-1	0	+1	$\mu\text{A}$
PGOOD Trip Level ( $V_{FB}$ with Respect to Set Regulated Voltage)		$T_A = 25^{\circ}\text{C}$				
		$V_{FB}$ Rising	7	10	13	%
		Hysteresis		1.6		%
		$V_{FB}$ Falling	-13	-10	-7	%
		Hysteresis		1.6		%
PGOOD Delay for Reporting a Fault				25		$\mu\text{s}$

<sup>1</sup> 本仕様については製品テストは行っていません。

<sup>2</sup> ADPL74101 は帰還ループでテスト済みです。このループでは  $V_{ITH}$  を仕様規定された電圧にサーボ制御して得られた  $V_{FB}$  を測定します。

<sup>3</sup> SENSE<sup>-</sup>のバイアス電流は、 $I_{VIN} = I_{SENSE-} \times V_{OUT} / (V_{IN} \times \eta)$  の式 ( $\eta$  は効率) に従って入力電源に反映されます。

<sup>4</sup> 立上がり時間および立下がり時間は、10%と90%のレベルで測定しています。遅延時間は50%のレベルで測定しています。

<sup>5</sup> インダクタのピーク to ピーク・リップル電流に対して仕様規定される最小オン時間条件は、最大負荷電流 ( $I_{MAX}$ ) の40%以上です。詳細については最小オン時間に関する考慮事項のセクションを参照してください。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 2. 絶対最大定格

PARAMETER	RATING
Input Supply ( $V_{IN}$ )	-0.3V to 100V
RUN	-0.3V to 100V
BOOST	-0.3V to 106V
SW	-5V to 100V
BOOST to SW	-0.3V to 6V
TG <sup>1</sup>	Not applicable
BG <sup>1</sup>	Not applicable
EXTV <sub>CC</sub>	-0.3V to 30V
DRV <sub>CC</sub> , INTV <sub>CC</sub> , BSTV <sub>CC</sub>	-0.3V to 6V
$V_{FB}$	-0.3V to 15V
PLLIN/SPREAD, FREQ	-0.3V to 6V
TRACK/SS	-0.3V to 6V
ITH	-0.3V to 6V
DRVSET, DRVUV	-0.3V to 6V
MODE, ILIM, VPRG	-0.3V to 6V
PGOOD	-0.3V to 6V
SENSE <sup>+</sup> , SENSE <sup>-</sup>	-0.3V to 65V
SENSE <sup>+</sup> to SENSE <sup>-</sup> Continuous	-0.3V to +0.3V
SENSE <sup>+</sup> to SENSE <sup>-</sup> <1ms	-100mA to 100mA
Operating Junction Temperature Range <sup>2</sup>	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C

<sup>1</sup> これらのピンには電圧も電流も印加しないでください。容量性負荷にのみ接続してください。それ以外の場合、恒久的な損傷が生じるおそれがあります。

<sup>2</sup> ADPL74101 は、 $-40^\circ\text{C}$ ~ $125^\circ\text{C}$ の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 ( $T_J$ , °C) は、次式を使って周囲温度 ( $T_A$ , °C) と消費電力 ( $P_D$ , ワット) から計算します： $T_J = T_A + (P_D \times \theta_{JA})$ 。ここで、 $\theta_{JA}$  (°C/W) はパッケージの熱抵抗です。

## 静電放電 (ESD)

上記の**絶対最大定格**を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

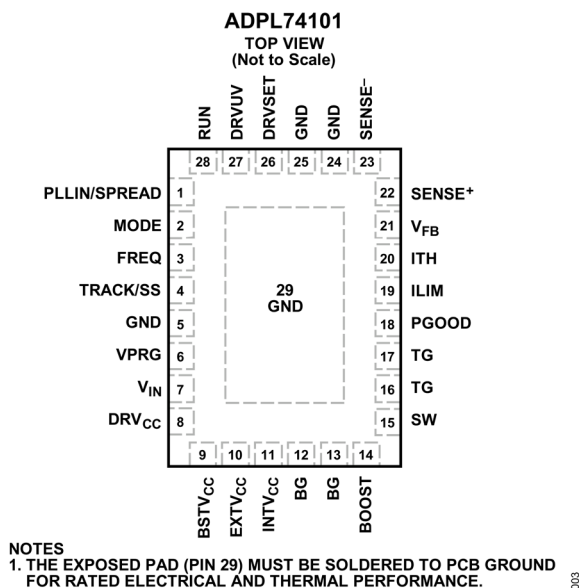


図 3. ピン配置

表 3. 端子説明

端子	名称	説明
1	PLLIN/SPREAD	位相検出器／スペクトラム拡散への外部同期入力のイネーブル。外部クロックが PLLIN/SPREAD に入力されると、フェーズ・ロック・ループにより TG の立上がり信号が外部クロックの立上がりエッジに同期されます。外部クロックに同期させない場合、この入力を INTV <sub>CC</sub> に接続すると、発振器のスペクトラム拡散ディザリングが有効になり、GND に接続すると、スペクトラム拡散ディザリングが無効になります。
2	MODE	モード・セレクト入力。この入力により、ADPL74101 の軽負荷時の動作が決まります。MODE を GND に接続すると、Burst Mode の動作が選択されます。MODE がフロート状態の場合は、GND に接続された 100kΩ の内部抵抗によって Burst Mode 動作が選択されます。MODE を INTV <sub>CC</sub> に接続すると、連続インダクタ電流動作になります。MODE を 100kΩ の抵抗を介して INTV <sub>CC</sub> に接続すると、パルススキッピング動作が選択されます。
3	FREQ	内部電圧制御発振器（VCO）用の周波数制御ピン。FREQ を GND に接続すると、370kHz の周波数に固定されます。FREQ と GND の間に抵抗を接続すると、100kHz～1MHz の範囲で周波数を設定できます。FREQ の容量は最小限に抑えてください。
4	TRACK/SS	外部トラッキング／ソフトスタート入力。TRACK/SS は、V <sub>FB</sub> 電圧を 0.8V または TRACK/SS ピンの電圧のいずれか低い方に安定化します。TRACK/SS には 12μA の内部プルアップ電流源が接続されています。TRACK/SS と GND の間に接続するコンデンサにより、最終のレギュレーション出力電圧までの立上がり時間が設定されます。ランプ上昇時間は、12.5nF の静電容量ごとに 1ms です。または、TRACK/SS に他の電源の抵抗分圧器を接続すると、起動時に出力が他の電源に追従します。
5	GND	グラウンド。このピンは、プリント回路基板（PCB）の GND にハンダ付けする必要があります。

6	VPRG	出力電圧制御ピン。VPRG は、外付け帰還抵抗で調整可能な出力モードにするか、12V または 5V の固定出力モードにするかを設定します。VPRG をフロート状態にすると、外付けの抵抗分圧器によって出力が 0.8V~60V の範囲に設定され、 $V_{FB}$ が 0.8V に安定化されます。 $V_{FB}$ の内部抵抗分圧器を介して VPRG を INTV <sub>CC</sub> に接続すると出力が 12V に設定され、同じく GND に接続すると出力が 5V に設定されます。
7	V <sub>IN</sub>	主電源ピン。V <sub>IN</sub> と GND の間にバイパス・コンデンサを接続する必要があります。
8	DRV <sub>CC</sub>	ゲート・ドライバ電源ピン。ゲート・ドライバは DRV <sub>CC</sub> から給電されます。DRV <sub>CC</sub> を INTV <sub>CC</sub> まで、INTV <sub>CC</sub> バイパス・コンデンサへの配線パターンとは別の配線パターンで接続します。
9	BSTV <sub>CC</sub>	ブートストラップ・ダイオード・アノード接続ピン。BSTV <sub>CC</sub> ピンと BOOST ピンの間にオプションでショットキー・ダイオードを外付けすると、DRV <sub>CC</sub> と BOOST の間の 7Ω のスイッチ抵抗のほとんどをバイパスできます。
10	EXTV <sub>CC</sub>	DRV <sub>CC</sub> に接続されている内部 LDO レギュレータへの外部電源入力。この LDO レギュレータは INTV <sub>CC</sub> に電力を供給し、EXTV <sub>CC</sub> が EXTV <sub>CC</sub> 切り替え電圧より高い場合は常に内部の V <sub>IN</sub> LDO レギュレータをバイパスします。電源およびバイパス電源 (V <sub>IN</sub> 、EXTV <sub>CC</sub> 、DRV <sub>CC</sub> 、INTV <sub>CC</sub> ) のセクションと INTV <sub>CC</sub> レギュレータ (OPTI-DRIVE) のセクションにおける EXTV <sub>CC</sub> の接続を参照してください。EXTV <sub>CC</sub> は 30V を超えないようにしてください。EXTV <sub>CC</sub> LDO レギュレータを使用しない場合は、EXTV <sub>CC</sub> を GND に接続します。
11	INTV <sub>CC</sub>	内部 LDO レギュレータの出力。INTV <sub>CC</sub> の電圧レギュレーション・ポイントは DRVSET ピンで設定します。INTV <sub>CC</sub> は、4.7μF~10μF のセラミック・コンデンサまたは他の等価直列抵抗 (ESR) の低いコンデンサで GND とデカップリングする必要があります。
12, 13	BG	下側電界効果トランジスタ (FET) 用の大電流ゲート・ドライバ。BG は DRV <sub>CC</sub> へプルアップされ、GND へプルダウンされます。BG を下側 FET のゲートに直接接続すると、ゲート駆動の遷移速度が最大になります。BG と下側 FET ゲートの間に抵抗を接続すると、ゲートのスルー・レートを調整できます。BG ピンにはできるだけ近くで相互に接続します。
14	BOOST	上側のフローティング・ドライバに供給するブートストラップ電源。BOOST ピンと SW ピンの間にコンデンサを接続します。下側 FET がオンになると、内部スイッチが DRV <sub>CC</sub> から BOOST ピンに電源を供給します。BOOST ピンの電圧振幅は DRV <sub>CC</sub> から (V <sub>IN</sub> + DRV <sub>CC</sub> ) までです。
15	SW	スイッチ・ノードのインダクタへの接続部。
16, 17	TG	上側 FET 用大電流ゲート・ドライバ。TG は BOOST へプルアップされ、SW へプルダウンされます。TG を上側 FET のゲートに直接接続すると、ゲート駆動の遷移速度が最大になります。TG と上側 FET ゲートの間に抵抗を接続すると、ゲートのスルー・レートを調整できます。TG ピンにはできるだけ近くで相互に接続します。
18	PGOOD	パワー・グッドを示す、オープン・ドレインのロジック出力。PGOOD は、 $V_{FB}$ の電圧が設定値の±10% 以内でない場合、GND にプルダウンされます。
19	ILIM	電流コンパレータの検出電圧範囲入力。ILIM を GND または INTV <sub>CC</sub> に接続するか、ILIM をフロート状態にすることで、最大電流検出閾値を 3 つのレベル (それぞれ 25mV、75mV、50mV) のいずれかに設定できます。
20	ITH	エラー・アンプの出力およびスイッチング・レギュレータの補償ポイント。電流コンパレータの作動閾値は、この制御電圧に応じて増加します。

21	V <sub>FB</sub>	エラー・アンプの帰還入力。VPRG がフロート状態の場合、V <sub>FB</sub> は出力電圧に対する外部抵抗分圧器により、外部で検出される帰還電圧を検知します。VPRG が GND または INTV <sub>CC</sub> に接続されている場合は、V <sub>FB</sub> は外部で検出される出力電圧を直接検知します。
22	SENSE <sup>+</sup>	差動電流コンパレータへの正側入力。ITH ピンの電圧および SENSE <sup>-</sup> ピンと SENSE <sup>+</sup> ピンの間の制御されたオフセットは、電流センス抵抗 (R <sub>SENSE</sub> ) と組み合わせて電流トリップ閾値を設定します。
23	SENSE <sup>-</sup>	差動電流コンパレータへの負側入力。SENSE <sup>-</sup> ピンの電圧が INTV <sub>CC</sub> より高い場合は、SENSE <sup>-</sup> ピンが電流コンパレータに電流を供給します。SENSE <sup>-</sup> ピンの電圧が 3.2V 以上の場合は、スリープ・モードでの自己消費電流のほとんどを V <sub>IN</sub> の代わりに供給して、入力換算の自己消費電流を更に低減します。
24, 25	GND	グラウンド。このピンは PCB の GND に接続します。
26	DRVSET	INTV <sub>CC</sub> のレギュレーション設定ピン。DRVSET は、INTV <sub>CC</sub> LDO リニア・レギュレータのレギュレーション・ポイントを設定します。DRVSET を GND に接続すると INTV <sub>CC</sub> は 5V に設定されます。DRVSET を INTV <sub>CC</sub> に接続すると INTV <sub>CC</sub> は 5.5V に設定されます。DRVSET と GND の間に抵抗 (50kΩ~110kΩ) を接続すると、電圧を 4V~5.5V の範囲に設定できます。この抵抗と 20μA の内部電流源により、INTV <sub>CC</sub> LDO レギュレータがレギュレーション・ポイントを設定するための電圧が生成されます。
27	DRVUV	DRV <sub>CC</sub> UVLO および EXT <sub>CC</sub> の切り替え設定ピン。DRVUV は、表 1 (電气的特性の表) に示すように、INTV <sub>CC</sub> UVLO および EXT <sub>CC</sub> の立上がりおよび立下がりの切り替え閾値を指定します。
28	RUN	コントローラの実行制御入力。RUN を 1.08V 未満にすると、コントローラのスイッチングがディスエーブルされます。RUN を 0.7V 未満にすると ADPL74101 はシャットダウンされ、自己消費電流が約 1μA に減少します。RUN ピンを V <sub>IN</sub> に接続すると常時オン動作になります。
29	GND (EPAD)	グラウンド (露出パッド)。定格の電气的性能および熱性能を得るため、露出パッドは PCB の GND にハンダ付けする必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

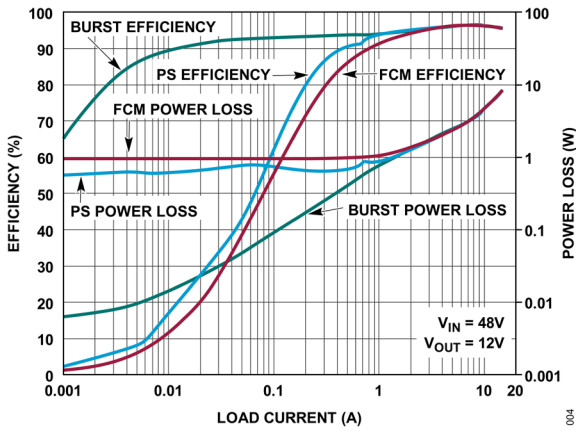


図 4. 効率および電力損失と負荷電流の関係、詳細については図 46 (代表的なアプリケーション) を参照

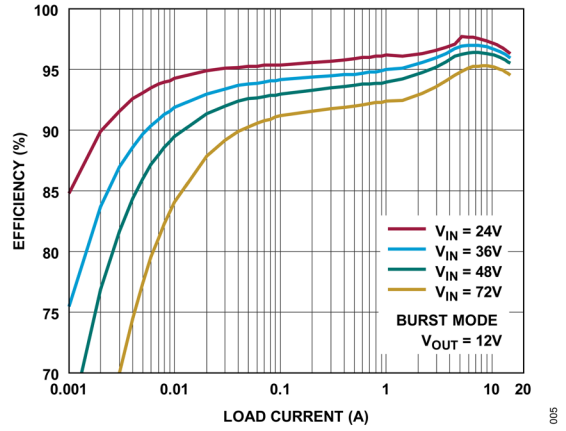


図 5. 効率と負荷電流の関係、詳細については図 46 (代表的なアプリケーション) を参照

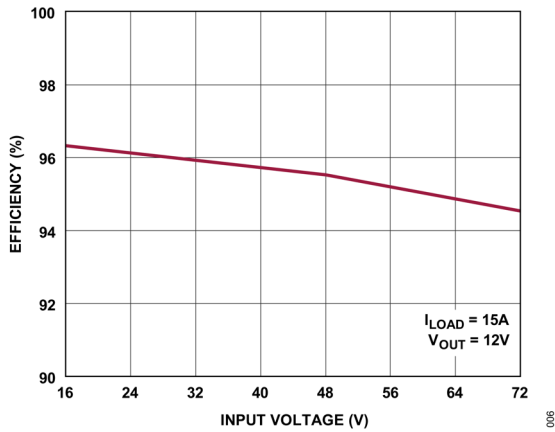


図 6. 効率と入力電圧の関係、詳細については図 46 (代表的なアプリケーション) を参照

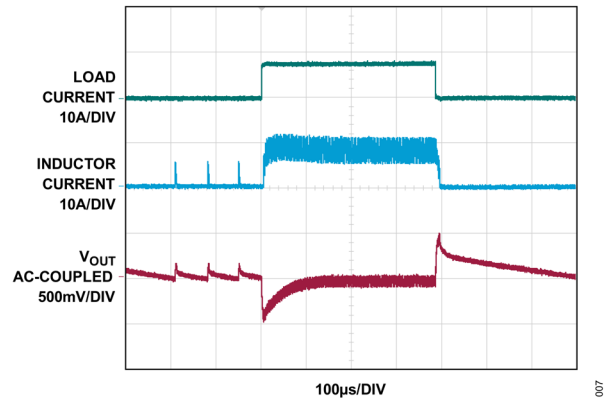


図 7. 負荷ステップでの Burst Mode 動作、詳細については図 46 (代表的なアプリケーション) を参照

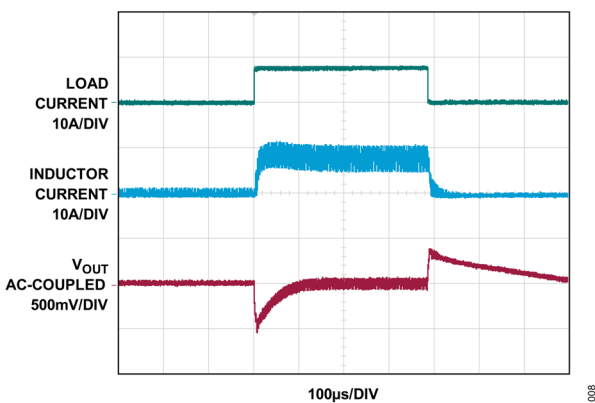


図 8. 負荷ステップでのパルススキッピング・モード、詳細については図 46 (代表的なアプリケーション) を参照

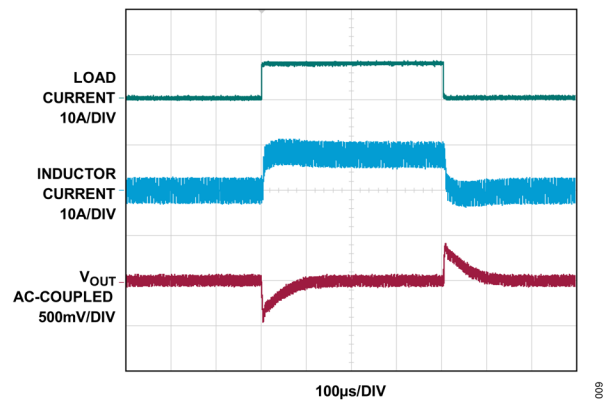


図 9. 負荷ステップでの強制連続モード、詳細については図 46 (代表的なアプリケーション) を参照

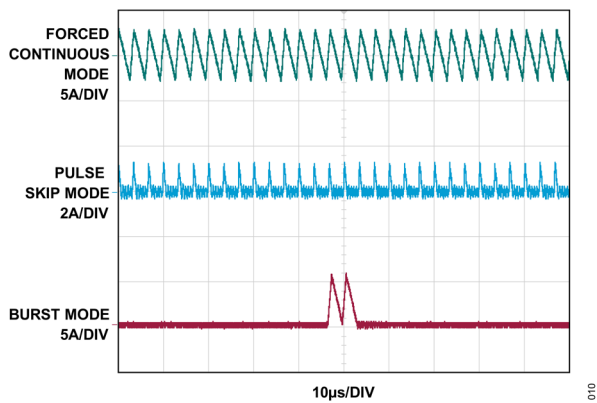


図 10. 軽負荷時のインダクタ電流、詳細については図 46 (代表的なアプリケーション) を参照

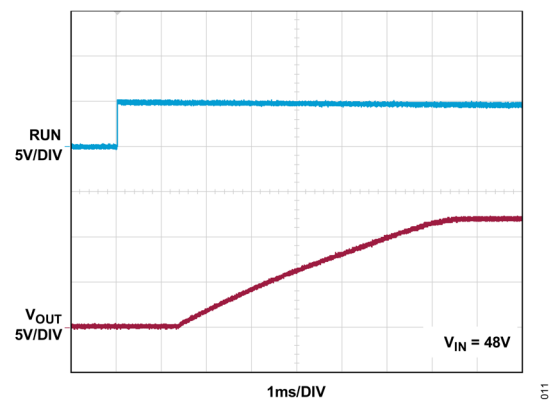


図 11. ソフト・スタートアップ、詳細については図 46 (代表的なアプリケーション) を参照

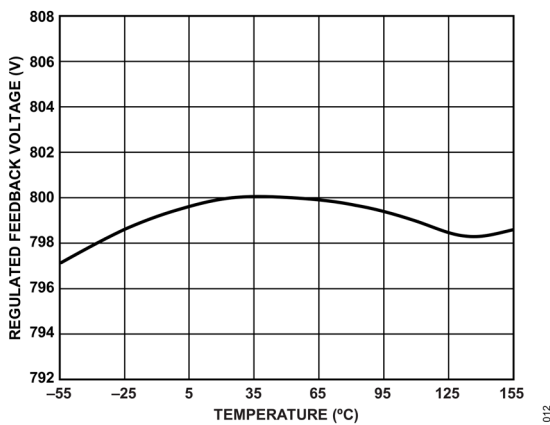


図 12. レギュレーション帰還電圧と温度の関係

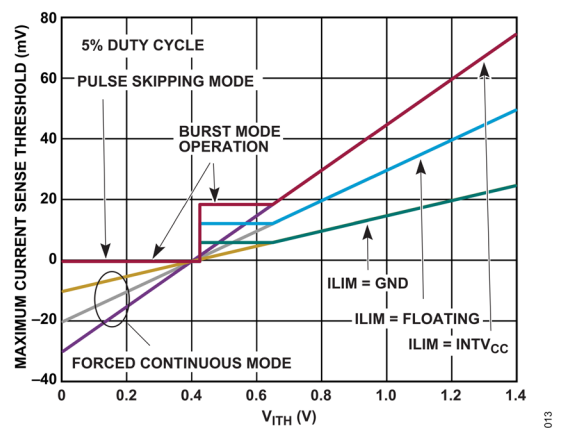


図 13. 最大電流検出閾値と V<sub>ITH</sub> の関係

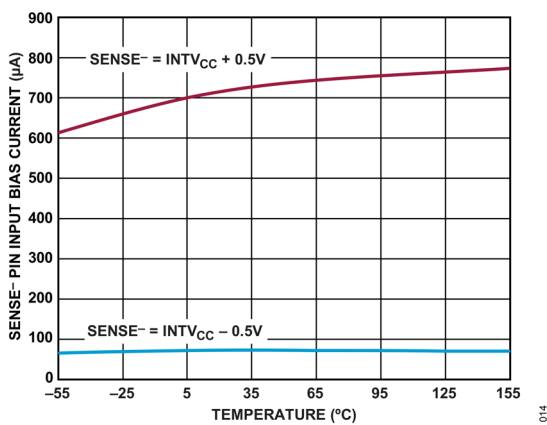


図 14. SENSE<sup>-</sup>ピン入力バイアス電流と温度の関係

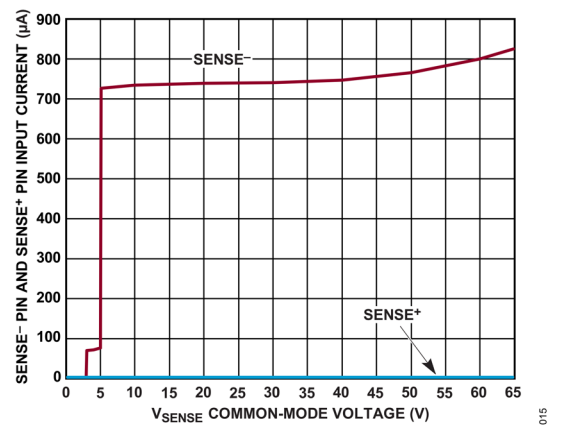


図 15. SENSE<sup>-</sup>ピンおよび SENSE<sup>+</sup>ピンの入力電流と V<sub>SENSE</sub> コモンモード電圧の関係

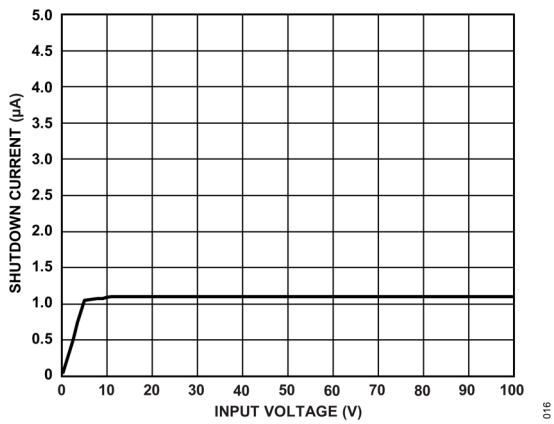


図 16. シャットダウン電流と入力電圧の関係

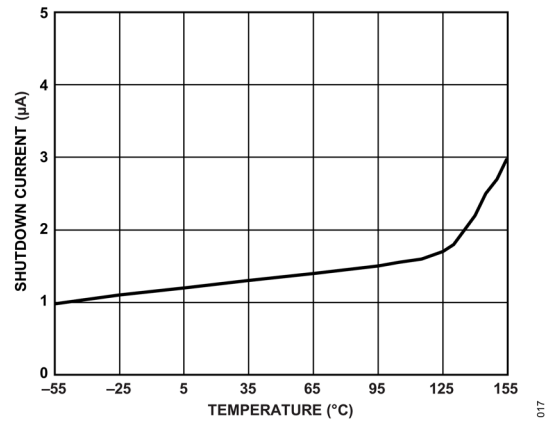


図 17. シャットダウン電流と温度の関係

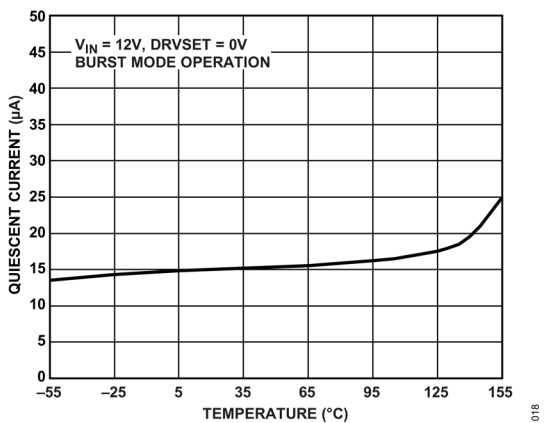


図 18. 自己消費電流と温度の関係

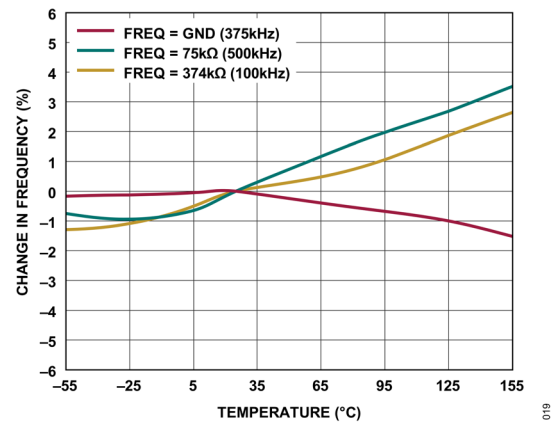


図 19. 発振器周波数と温度の関係

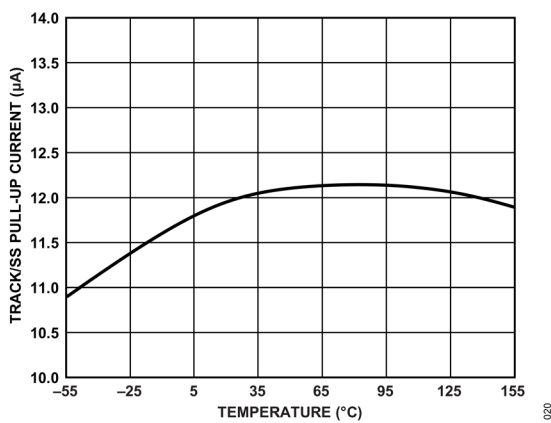


図 20. TRACK/SS プルアップ電流と温度の関係

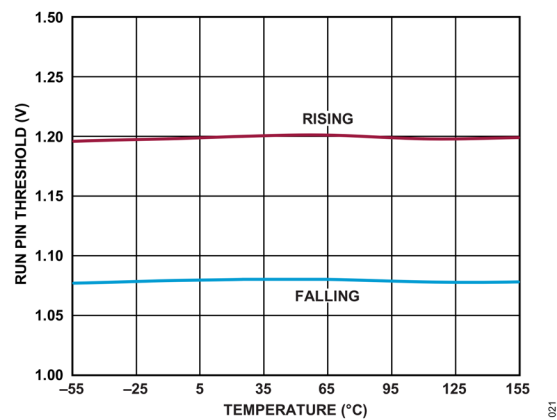


図 21. RUN ピンの閾値と温度の関係

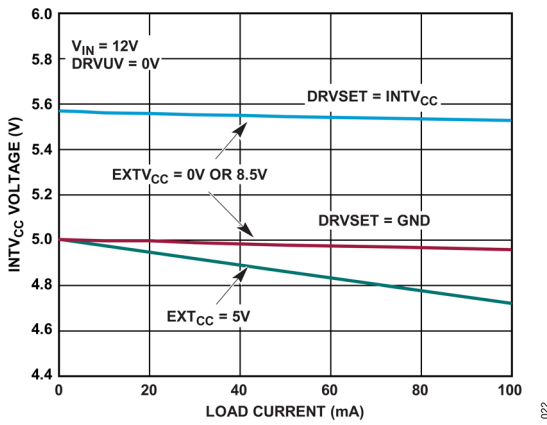


図 22. INTV<sub>CC</sub> 電圧と負荷電流の関係

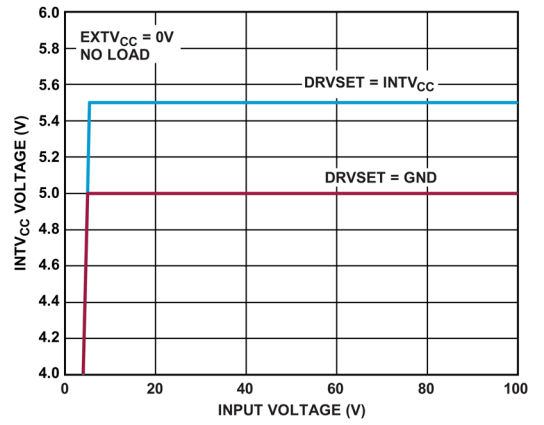


図 23. INTV<sub>CC</sub> 電圧と入力電圧の関係

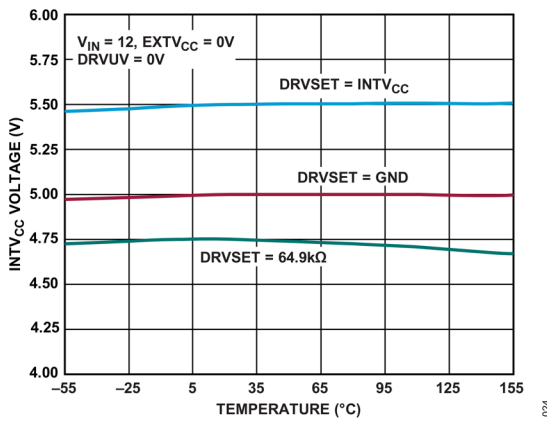


図 24. INTV<sub>CC</sub> 電圧と温度の関係

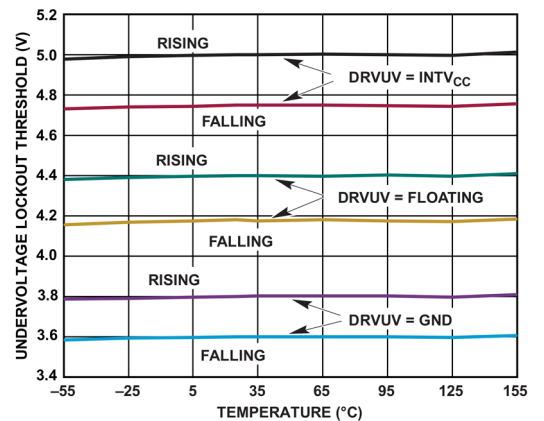


図 25. 低電圧ロックアウト閾値と温度の関係

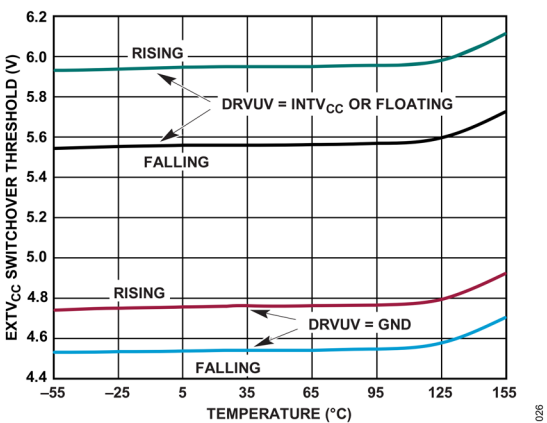


図 26. EXTV<sub>CC</sub> の切り替え閾値と温度の関係

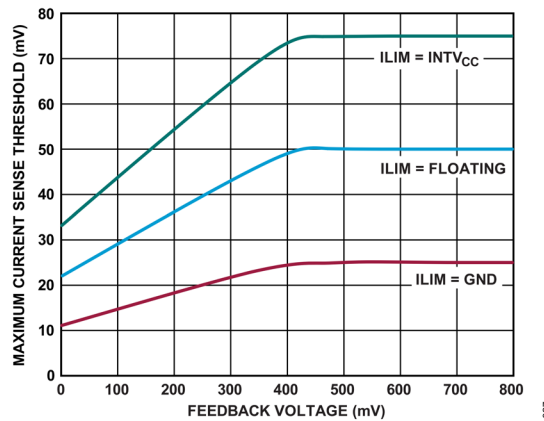


図 27. 最大電流検出閾値と帰還の関係

機能図

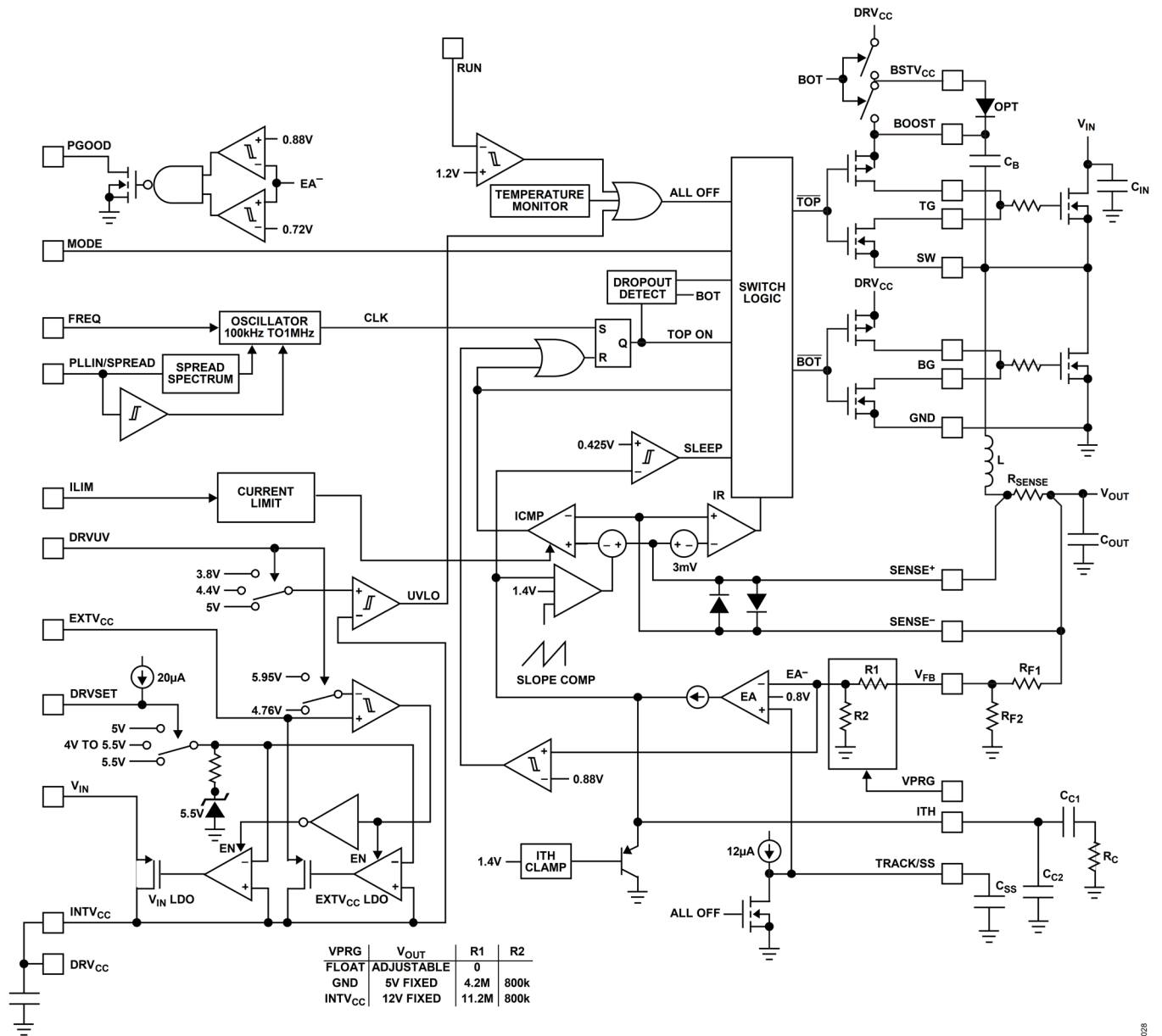


図 28. 機能図

028

## 動作原理

### メイン制御ループ

ADPL74101 は、固定周波数のピーク電流モード・アーキテクチャを採用した同期整流式コントローラです。通常動作時には、クロックがセット/リセット (SR) ラッチをセットすると外付けの上側 FET がオンになり、インダクタ電流が増加します。メインの電流コンパレータ (ICMP) が SR ラッチをリセットすると、メイン・スイッチがオフになります。サイクルごとに上側 FET がオフになった後、インダクタ電流が反転し始めて電流コンパレータ (IR) がそれを検出するか、または次のクロック・サイクルが始まるまで、下側 FET がオンになってインダクタ電流が減少します。

ICMP が作動してラッチをリセットするピーク・インダクタ電流は、エラー・アンプ (EA) の出力である ITH ピンの電圧によって制御されます。エラー・アンプは、 $V_{FB}$  ピンの出力電圧帰還信号 (出力電圧  $V_{OUT}$  と GND の間に接続した外付け抵抗分圧器で生成) を  $0.8V$  の内部リファレンス電圧と比較します。負荷電流が増加するとリファレンス電圧に対して  $V_{FB}$  がわずかに低くなるので、平均インダクタ電流が新しい負荷電流に見合った値となるまで、EA が ITH 電圧を上昇させます。

### 電源およびバイアス電源 ( $V_{IN}$ 、 $EXTV_{CC}$ 、 $DRV_{CC}$ 、 $INTV_{CC}$ )

$INTV_{CC}$  ピンは、上側と下側の FET ドライバおよびほとんどの内部回路に電力を供給する役割を果たします。FET ドライバ用の電源は  $DRV_{CC}$  ピンから供給されます。このピンはゲート・ドライバに電源を供給するために  $INTV_{CC}$  ピンに接続する必要があります。LDO リニア・レギュレータは  $V_{IN}$  ピンと  $EXTV_{CC}$  ピンの両方から利用可能で、 $INTV_{CC}$  に電力を供給します。これは、 $DRVSET$  ピンの制御により  $4V \sim 5.5V$  の範囲で設定できます。 $EXTV_{CC}$  ピンをその切り替え電圧より低い電圧に接続した場合、 $V_{IN}$  LDO レギュレータが  $INTV_{CC}$  に電力を供給します。 $EXTV_{CC}$  がその切り替え電圧を超えると、 $V_{IN}$  LDO レギュレータがオフになり、 $EXTV_{CC}$  LDO レギュレータがオンになります。 $EXTV_{CC}$  LDO レギュレータは、イネーブルになると  $INTV_{CC}$  に電力を供給します。 $EXTV_{CC}$  ピンを使用することで、ADPL74101 スイッチング・レギュレータの出力のような高効率の外部電源から  $INTV_{CC}$  の電力を供給できます。

### ハイサイド・ブートストラップ・コンデンサ

上側 FET ドライバは、フロート状態のブートストラップ・コンデンサ ( $C_B$ ) からバイアスされます。このコンデンサは通常、下側 FET がオンになるたびに、BOOST と  $DRV_{CC}$  の間の内部スイッチを介して充電されます。この内部スイッチは、下側 FET がオフの場合は高インピーダンスであり、デッド・タイム中に SW が GND より低い値を示す場合はブートストラップ・コンデンサの過充電を防止します。

入力電圧がその出力に近い電圧まで低下すると、ループがドロップアウト状態に入り、上側 FET を連続的にオンにしようとする可能性があります。ドロップアウト検出器はこのイベントを検出し、 $C_B$  を再充電できるように、10 サイクルごとに短時間、強制的に上側 FET をオフ、下側 FET をオンにします。それによって、370kHz 動作時のデューティサイクルは 99%、1MHz 動作時のデューティサイクルは約 99% となります。ブートストラップ・コンデンサの電圧が  $INTV_{CC}$  電圧の約 75% 未満まで低下すると、ブースト・リフレッシュ・パルスが 4 サイクルごとに増加し、 $C_B$  により多くの電荷を供給します。それによって、ドロップアウト時のデューティサイクルがわずかに低下します。

### デッド・タイム制御

ADPL74101 にはデッド・タイム制御機能があり、ドライバ・ロジックは、下側 FET がターンオフするのを待ってから上側 FET をターンオンし、また逆に、上側がオフするのを待ってから下側がオンします。デッド・タイム制御により、20ns の固定デッド・タイムが生じます。

## スタートアップおよびシャットダウン (RUN ピンおよび TRACK/SS ピン)

ADPL74101 をシャットダウンするには、RUN ピンを用います。RUN ピンの電圧を 1.08V より低くすると、メイン制御ループがシャットダウンします。RUN ピンを 0.7V より低くすると、コントローラと、INTV<sub>CC</sub> LDO レギュレータを含むほとんどの内部回路が無効化されます。このシャットダウン状態で ADPL74101 に流れる自己消費電流は 1 $\mu$ A にすぎません。

RUN ピンは外部からプルアップするか、ロジックで直接駆動する必要があります。RUN ピンは最大 100V (絶対最大値) まで許容できます。したがって、コントローラが連続的にイネーブルされ、シャットダウンされることのない常時オンのアプリケーションでは、このピンを V<sub>IN</sub> に接続できます。更に、V<sub>IN</sub> ピンと RUN ピンの間に抵抗分圧器を接続すれば、高精度の入力低電圧ロックアウトを設定し、調整可能なレベル未満で電源が動作しないようにすることができます。

V<sub>OUT</sub> のスタートアップは TRACK/SS ピンの電圧で制御されます。TRACK/SS ピンの電圧が 0.8V の内部リファレンス電圧よりも低い場合、ADPL74101 は V<sub>FB</sub> 電圧を 0.8V のリファレンス電圧ではなく TRACK/SS ピンの電圧に安定化します。この方法により、TRACK/SS ピンをソフトスタートとして使用することができるので、スタートアップ時に出力電圧を滑らかに上昇させ、入力電源の突入電流を制限できます。TRACK/SS ピンと GND の間の外付けコンデンサは 12 $\mu$ A の内部プルアップ電流で充電され、これによって TRACK/SS ピンに電圧ランプが発生します。TRACK/SS 電圧が 0V から 0.8V (およびそれ以上) まで直線的に増加するのに伴い、V<sub>OUT</sub> も 0V から最終値まで滑らかに増加します。

あるいは、TRACK/SS ピンを用いて、V<sub>OUT</sub> のスタートアップを別の電源に追従させることもできます。そのためには、通常、別の電源と GND の間の外付け抵抗分圧器を TRACK/SS ピンに接続する必要があります。詳細については、[RUN ピンと低電圧ロックアウトのセクション](#)および[ソフトスタートとトラッキング \(TRACK/SS ピン\)](#)のセクションを参照してください。

## 軽負荷時の動作 : Burst Mode 動作、パルススキッピング・モード、または強制連続モード (MODE ピン)

ADPL74101 は、軽負荷電流時において、高効率の Burst Mode 動作、固定周波数パルススキッピング・モード、または強制連続導通モードになるように設定できます。

Burst Mode 動作を選択するには、MODE ピンを GND に接続します。強制連続動作を選択するには、MODE ピンを INTV<sub>CC</sub> に接続します。パルススキッピング・モードを選択するには、MODE ピンを 1.2V より大きく INTV<sub>CC</sub> - 1.3V より小さい DC 電圧に接続します。MODE ピンがフロート状態の場合は、GND との間の 100k $\Omega$  の内部抵抗によって Burst Mode 動作が起動し、MODE ピンが 100k $\Omega$  の外付け抵抗を介して INTV<sub>CC</sub> に接続されている場合は、パルススキッピング・モードになります。

コントローラの Burst Mode 動作がイネーブルされているときは、ITH ピンの電圧が低い値を示している場合でも、インダクタの最小ピーク電流は最大値の約 25% に設定されます。平均インダクタ電流が負荷電流より大きい場合、EA は ITH ピンの電圧を低下させます。ITH 電圧が 0.425V より低くなると、内部のスリープ信号がハイになり (スリープ・モードが有効になり)、両方の外付け FET がオフになります。すると、ITH ピンは EA の出力から遮断され、0.45V を維持します。

スリープ・モードでは内部回路のほとんどがオフになっているので、ADPL74101 を流れる自己消費電流は 15 $\mu$ A に減少します。V<sub>OUT</sub> が 3.2V 以上の場合、この自己消費電流の大部分は SENSE ピンから供給され、V<sub>IN</sub>/V<sub>OUT</sub> の比に効率を乗じた値の分だけ入力換算の自己消費電流は減少します。

スリープ・モードでは、負荷電流が出力コンデンサから供給されます。出力電圧が低下するにつれて、EA の出力は上昇します。出力電圧が十分に低下すると、ITH ピンが EA の出力に再接続され、スリープ信号がローになり、コントローラは内部発振器の次のサイクルで上側 FET をオンにして通常の動作を再開します。

コントローラの Burst Mode 動作がイネーブルされていると、インダクタ電流は反転することができません。インダクタ電流がゼロに達する直前に、IR が下側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、コントローラは不連続動作状態で動作します。

強制連続動作の場合、軽負荷時または大きなトランジェント状態時にはインダクタ電流を反転させることができます。ピーク・インダクタ電流は、通常動作と全く同様に、ITH ピンの電圧によって決まります。このモードでは、軽負荷での効率が **Burst Mode** 動作の場合よりも低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルススキッピング・モードになるように **MODE** ピンを接続すると、ADPL74101 は軽負荷時にパルス幅変調 (PWM) のパルススキッピング・モードで動作します。このモードでは、出力電流が最大設計値の約 1%に低下するまで固定周波数動作が維持されます。軽負荷時には、**ICMP** は数サイクルの間トリップ状態を維持し、同じサイクル数の間上側 FET をオフしたままにする (つまり、パルスをスキップする) ことがあります。インダクタ電流は反転できません (不連続動作)。強制連続動作と同様、このモードでは、**Burst Mode** 動作と比較して、出力リップル、オーディオ・ノイズ、および RF 干渉が低減します。パルススキッピング・モードでは、低電流での効率が強制連続モードより高くなりますが、**Burst Mode** 動作ほど高くはありません。

強制連続モードやパルススキッピング・モードと異なり、**Burst Mode** 動作を外部クロックに同期させることはできません。そのため、**Burst Mode** 動作を選択し、スイッチング周波数が **PLLIN/SPREAD** ピンに印加された外部クロックに同期している場合、ADPL74101 は **Burst Mode** 動作から強制連続モードに切り替わります。

### 周波数の選択、スペクトラム拡散、フェーズ・ロック・ループ (FREQ ピンおよび PLLIN/SPREAD ピン)

ADPL74101 のコントローラの自走スイッチング周波数は、**FREQ** ピンを使って選択します。**FREQ** を **GND** に接続すると 370kHz が選択されます。**FREQ** と **GND** の間に抵抗を接続すると、周波数を 100kHz~1MHz の範囲で設定できます。

スイッチング・レギュレータは、電磁干渉 (EMI) が懸念されるアプリケーションでは特に問題を生じることがあります。EMI 性能を向上するために、ADPL74101 はスペクトラム拡散モードで動作できます。このモードは、**PLLIN/SPREAD** ピンを **INTV<sub>CC</sub>** に接続することで有効化できます。この機能により、スイッチング周波数は **FREQ** ピンで設定した周波数~+20% (代表値) の範囲内で変化します。

ADPL74101 ではフェーズ・ロック・ループ (PLL) が使用可能で、**PLLIN/SPREAD** ピンに接続された外部クロック信号源に内部発振器を同期させることができます。ADPL74101 の PLL は、外付けの上側 FET のターンオンを同期信号の立上がりエッジに一致させます。

PLL の周波数は、外部クロックが入力される前に、**FREQ** ピンで設定した自走周波数にプリバイアスされます。PLL を外部クロックの周波数の近くにプリバイアスしておくこと、PLL はわずかに変化させるだけで、外部クロックの立上がりエッジを **TG** の立上がりエッジに同期させることができます。より高速に外部クロックにロックインするには、**FREQ** ピンを使用して、内部発振器を概ね外部クロックの周波数の値に設定します。ADPL74101 の PLL は、周波数が 100kHz~1MHz の外部クロック源に確実にロックするよう設計されています。

**PLLIN/SPREAD** ピンはトランジスタ・トランジスタ・ロジック (TTL) に対応しており、閾値が 1.6V (立上がり) および 1.1V (立下がり) であるため、クロック信号の振幅が 0.5V~2.2V での動作が確保されています。

## 出力過電圧保護

ADPL74101 は過電圧コンパレータを備えており、トランジェント・オーバーシュートや、出力過電圧の原因となるその他の深刻な状態から保護します。 $V_{FB}$  ピンがレギュレーション・ポイントである 0.8V を 10%以上超えると、上側 FET がオフになり、インダクタ電流は反転できなくなります。

## フォールドバック電流

出力電圧が公称レベルの 70%未満に低下すると、フォールドバック電流制限機能が有効になり、過電流または短絡状態の深刻度に比例してピーク電流制限値が徐々に低下します。フォールドバック電流制限は、( $V_{FB}$  の電圧が TRACK/SS の電圧に追従している限り) ソフトスタート期間中は無効化されます。

## パワー・グッド

ADPL74101 には、内蔵 N チャンネル MOSFET のオープン・ドレインに接続されている PGOOD ピンがあります。 $V_{FB}$  電圧が 0.8V リファレンスの  $\pm 10\%$  以内でない場合、MOSFET がオンになり、PGOOD ピンをローにプルダウンします。また、RUN ピンがロー (シャットダウン) の場合も、PGOOD ピンはローになります。 $V_{FB}$  電圧が  $\pm 10\%$  の要件内にある場合は、MOSFET がオフになります。このピンは、外付け抵抗によって INTV<sub>CC</sub> などの 6V 以下の電源にプルアップできます。

## アプリケーション情報

### 使用事例

図 1 は、ADPL74101 のアプリケーション回路を簡略的に示しています。外付け部品の選択は主に負荷要件によって決まり、まずインダクタ、電流検出部品、動作周波数、軽負荷時の動作モードの選択から始めます。次に、入力コンデンサと出力コンデンサ、およびパワー FET で構成される残りの電力段コンポーネントを選択します。次に、帰還抵抗を選択して、目的の出力電圧を設定します。その後、ソフトスタート、バイアス、ループ補償などを使用する、残りの外付け部品を選択します。

### インダクタ値の計算

動作周波数が高いほど小さな値のインダクタとコンデンサを使用できるという意味で、動作周波数とインダクタの選択には相関関係があります。FET のスイッチング損失とゲート電荷損失のために、一般に周波数が高いほど効率が低下します。このトレードオフに加えて、リップル電流と小電流動作に対するインダクタ値の影響も考慮しなければなりません。インダクタの値はリップル電流に直接影響します。

最大平均インダクタ電流 ( $I_{L(MAX)}$ ) は、最大出力電流に等しくなります。ピーク電流は、平均インダクタ電流にインダクタ・リップル電流 ( $\Delta I_L$ ) の半分を加えたものに等しくなります。このリップル電流は式 1 に示すように、インダクタンス ( $L$ ) または周波数 ( $f$ ) が高くなるほど減少し、 $V_{IN}$  が高くなるほど増加します。

$$\Delta I_L = \frac{1}{f \times L} V_{OUT} \left( 1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (1)$$

$\Delta I_L$  が大きな値でもよければ低い値のインダクタンスを使用できますが、その場合は出力電圧リップルが大きくなり、コア損失も大きくなります。リップル電流を設定するための妥当な出発点は  $\Delta I_L = 0.3 \times I_{L(MAX)}$  です。 $\Delta I_L$  が最大になるのは、最大入力電圧の場合です。

インダクタの値は、2 次的な影響も与えます。必要な平均インダクタ電流が減少すると、ピーク電流が  $R_{SENSE}$  によって決定される電流制限の 25%未満になった時点で **Burst Mode** 動作への移行が開始されます。インダクタ値を低くする ( $\Delta I_L$  を高くする) と、この遷移はより低い負荷電流で起こるため、小電流動作のうち比較的值の高い範囲では効率が低下する可能性があります。**Burst Mode** 動作では、インダクタンス値が小さくなるとバースト周波数が低下します。

### インダクタ・コアの選択

より高いインダクタンス ( $L$ ) の値が定まったら、インダクタの種類を選択します。高効率レギュレータは、通常、低価格の鉄粉コアに見られるコア損失を許容できないので、より高価なフェライトまたはモリパーマロイのコアを使わざるを得ません。インダクタ値が同じ場合、実際のコア損失はコア・サイズではなく、選択するインダクタンス値に大きく依存します。インダクタンスが大きくなると、コア損失は減少します。しかし、インダクタンスを増加させるには巻き線数を増やす必要があるため、銅損失が増加します。

フェライトを使った設計ではコア損失が小さくなるので、スイッチング周波数が高い場合に適しています。したがって、設計目標を銅損失と飽和防止に集中できます。フェライト・コア材は強く飽和するため、設計のピーク電流を超えるとインダクタンスが急激に低下します。その結果、インダクタのリップル電流が飛躍的に増加し、それに伴い出力電圧リップルも増加します。コアは飽和させないようにしてください。

## 電流検出方式の選択

ADPL74101 はインダクタの DC 抵抗 (DCR) による検出または値の低い抵抗による検出のいずれかを使うように構成できます。2 つの電流検出方式のどちらを選択するかは、設計においてコスト、消費電力、精度のいずれを主に重視するかで決まります。DCR による検出が一般的に用いられるのは、高価な電流センス抵抗が不要で、特に大電流のアプリケーションで電力効率が向上するためです。一方、電流検出抵抗を使用すると、コントローラの非常に正確な電流制限値が得られます。他の外付け部品の選択は負荷条件によって決まり、 $R_{SENSE}$  ( $R_{SENSE}$  を使用する場合) とインダクタの値の選択から始めます。

$SENSE^+$  ピンと  $SENSE^-$  ピンは、電流コンパレータへの入力です。これらのピンのコモンモード電圧範囲は  $0V \sim 65V$  (詳細については絶対最大定格を参照) なので、ADPL74101 は最大  $60V$  の出力電圧を安定化できます。 $SENSE^+$  ピンは高インピーダンスであり、流れる電流は約  $1\mu A$  未満です。このようにインピーダンスが高いため、電流コンパレータをインダクタの DCR による検出に使うことができます。 $SENSE^-$  ピンのインピーダンスは、コモンモード電圧に応じて変化します。 $INTV_{CC} - 0.5V$  未満の場合、 $SENSE^-$  ピンは比較的高インピーダンスであり、約  $1\mu A$  の電流が流れます。 $SENSE^-$  ピンが  $INTV_{CC} + 0.5V$  を超えると、このピンにはより大きな電流 (約  $700\mu A$ ) が流れます。 $INTV_{CC} - 0.5V$  と  $INTV_{CC} + 0.5V$  の間で、電流は小電流から大電流に変化します。 $SENSE^-$  ピンの電圧が  $3.2V$  を超えると、 $V_{IN}$  ではなく  $V_{OUT}$  から内部回路にバイアスがかかるため、 $SENSE^-$  ピンには更に約  $70\mu A$  の電流が流れ、入力換算電源電流が減少します。

検出ラインに共通するフィルタ部品は ADPL74101 の近くに配置し、検出ラインは電流検出素子の下のケルビン接続点まで互いに近づけて配線する必要があります (図 29 を参照)。他の場所で電流を検出すると、寄生インダクタンスと容量が電流検出素子に実質的に追加され、センス端子の情報が劣化して、電流制限の設定値が予測不能になることがあります。DCR による検出を用いる場合、図 31 に示すように、 $R_1$  抵抗をスイッチング・ノードの近くに配置して、高感度の小信号ノードにノイズが結合しないようにします。

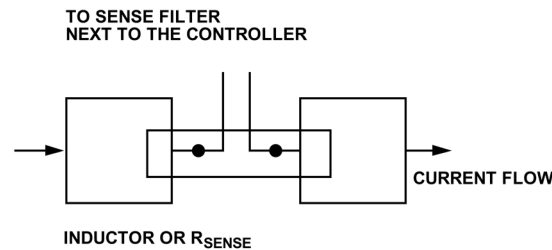


図 29. インダクタまたはセンス抵抗を使用した検出ラインの配置

## 値の小さな抵抗による電流検出

図 30 に、ディスクリット抵抗を使用した代表的な検出回路を示します。 $R_{SENSE}$  は必要な出力電流に基づいて選択します。コントローラの電流コンパレータの  $V_{SENSE(MAX)}$  は  $50mV$ 、 $25mV$ 、または  $75mV$  で、これは  $ILIM$  ピンの状態によって決まります。電流コンパレータの閾値電圧により、インダクタのピーク電流が設定されます。

最大インダクタ電流 ( $I_{L(MAX)}$ ) およびリップル電流 ( $\Delta I_L$ ) を用いると (インダクタ値の計算のセクションを参照)、目標とするセンス抵抗値は式 2 で与えられます。

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (2)$$

アプリケーションが全動作温度範囲にわたって確実に最大負荷電流を供給するようにするには、表 1 (電氣的特性の表) に示す  $V_{SENSE(MAX)}$  の最小値を選択します。

センス抵抗に寄生インダクタンス (ESL) があると、インダクタ値が小さめ (<3μH) のアプリケーションや電流が大きめ (>5A) のアプリケーションでは、電流検出信号に大きな誤差が生じます。この誤差は入力電圧に比例し、ライン・レギュレーションを劣化させたり、ループを不安定化させたりする可能性があります。図 30 に示すように、検出ピンに RC フィルタ (RF) を使用すると、この誤差を補償できます。ESL を最も抑えるには、RC フィルタの時定数を  $R_F \times C_F = ESL/R_{SENSE}$  ( $C_F$  はフィルタのコンデンサ) となるように設定します。一般に、1nF~10nF の範囲内になるように  $C_F$  を選択し、それに応じて  $R_F$  を計算します。この誤差を最小限に抑えるため、低 ESL でフットプリントの広い形状の表面実装型センス抵抗を推奨します。メーカーのデータシートで仕様規定されていない場合、ESL は、1206 フットプリントの抵抗器では 0.4nH、1225 フットプリントの抵抗器では 0.2nH と概算できます。

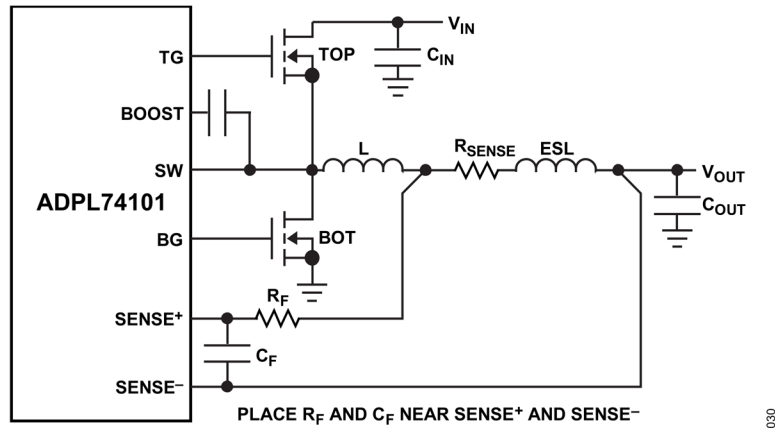


図 30. 抵抗を使用した電流検出

### インダクタの DCR による電流検出

大負荷電流時に可能な限り高い効率を必要とするアプリケーションの場合、図 31 に示すように、ADPL74101 はインダクタの DCR 両端の電圧降下を検出できます。インダクタの DCR とは、銅巻線の小さな DC 抵抗値を表し、値の小さい大電流インダクタでは 1mΩ 未満にもなり得ます。このようなインダクタを必要とする大電流アプリケーションでは、センス抵抗による電力損失は、インダクタの DCR による検出に比べると効率が数ポイント低下すると考えられます。

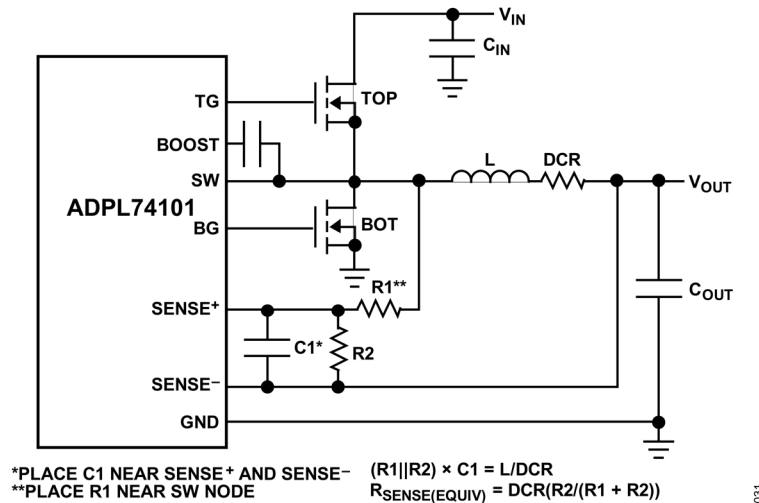


図 31. インダクタの DCR を用いた電流検出 ( $R_{SENSE(EQUIV)}$  は等価検出抵抗)

外部の $(R1||R2) \times C1$ の時定数が $L/DCR$ の時定数に等しくなるように選択すると、外付けコンデンサ両端の電圧降下はインダクタのDCR両端の電圧降下に $R2/(R1+R2)$ を乗じたものに等しくなります。 $R2$ は、目標とするセンス抵抗値よりもDCRが大きいアプリケーションに対して、センス端子両端の電圧を調整する抵抗です。外付けフィルタ部品を適切な大きさにするには、インダクタのDCRを知る必要があります。DCRは、インダクタンス、容量、抵抗(LCR)メータを用いて測定できます。ただし、DCRの許容誤差は常に同じではなく、温度によって変化します。詳細については、メーカーのデータシートを参照してください。

$I_{L(MAX)}$ および $\Delta I_L$ を用いて(インダクタ値の計算のセクションを参照)、目標とするセンス抵抗値は式3で与えられます。

$$R_{SENSE(EQUIV)} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (3)$$

アプリケーションが全動作温度範囲にわたって確実に最大負荷電流を供給するようにするには、表1(電気的特性の表)に示す $V_{SENSE(MAX)}$ の最小値を選択します。

次に、インダクタのDCRを決めます。メーカーから仕様が提供されている場合は、通常は $20^\circ\text{C}$ で規定されている最大値を使用します。銅抵抗の温度係数(約 $0.4\%/^\circ\text{C}$ )を考慮して、この値を増加させます。インダクタ温度の最大値( $T_{L(MAX)}$ )は控え目に見て $100^\circ\text{C}$ です。最大インダクタDCR( $DCR_{MAX}$ )をセンス抵抗の目標値( $R_D$ )に調整するには、式4で与えられる分圧比を使用します。

$$R_D = \frac{R_{SENSE(EQUIV)}}{DCR_{MAX} \text{ at } T_{L(MAX)}} \quad (4)$$

$C1$ は通常、 $0.1\mu\text{F} \sim 0.47\mu\text{F}$ の範囲内になるように選択します。この範囲では、等価抵抗( $R1||R2$ )が約 $2\text{k}\Omega$ になるため、SENSE+ピンの約 $1\mu\text{A}$ の電流に起因する誤差が低減します。

$R1||R2$ は、室温のインダクタンスと最大DCRによって式5で求められます。

$$R1 || R2 = \frac{L}{(DCR \text{ at } 20^\circ\text{C}) \times C1} \quad (5)$$

センス抵抗値は、以下に示す式6および式7で与えられます。

$$R1 = \frac{R1||R2}{R_D} \quad (6)$$

$$R2 = \frac{R1 \times R_D}{1 - R_D} \quad (7)$$

$R1$ の最大電力損失( $P_{LOSS}$ )はデューティサイクルに関連しており、連続モード時の最大入力電圧( $V_{IN(MAX)}$ )で発生します。これは、以下に示す式8で与えられます。

$$P_{LOSS} \text{ in } R1 = \frac{(V_{IN(MAX)} - V_{OUT}) \times V_{OUT}}{R1} \quad (8)$$

$R1$ の電力定格は $R1$ の $P_{LOSS}$ より大きくなるようにします。軽負荷時に高い効率がが必要な場合、DCR検出とセンス抵抗のどちらを使用するかを決定するときには、この電力損失を検討します。軽負荷時の電力損失は、 $R1$ によって余分のスイッチング損失が生じるため、センス抵抗の場合よりDCRネットワークの方がわずかに大きくなる可能性があります。ただし、DCRによる検出ではセンス抵抗の必要がないので、導通損失が減少し、重負荷時の効率が高くなります。ピーク効率はどちらの方法でもほぼ同じです。

動作周波数の設定

動作周波数の選択では、効率と部品サイズの間トレードオフがあります。動作周波数が高いと、小型のインダクタと値の小さいコンデンサを使用することができます。低い周波数で動作させるとゲート電荷と遷移損失が減るので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスの値や出力容量を大きくする必要があります。

高電圧アプリケーションでは、遷移損失が電力損失により大きく影響し、スイッチング周波数が 300kHz~900kHz の場合にサイズと効率の間で良好なバランスをとることができます。低電圧アプリケーションは、スイッチング損失が低いという利点があるため、必要に応じて最大 1MHz のスイッチング周波数で動作させることができます。スイッチング周波数は、表 4 に示すように、FREQ ピンと PLLIN/SPREAD ピンで設定します。

表 4. FREQ と PLLIN/SPREAD によるスイッチング周波数の設定

FREQ PIN	PLLIN/SPREAD PIN	FREQUENCY
0V	0V	370kHz
Resistor to GND	0V	100kHz to 1MHz
Any of the Above	External Clock, 100kHz to 1MHz	Phase-locked to external clock
Any of the Above	INTV <sub>CC</sub>	Spread spectrum f <sub>osc</sub> modulated 0% to +20%

FREQ ピンをグラウンドに接続すると、370kHz が選択されます。FREQ とグラウンドの間に抵抗を接続すると、100kHz~1MHz の範囲内で任意の周波数に設定できます。FREQ ピンの抵抗 (R<sub>FREQ</sub>) は、図 32 または式 9 により選択します。

$$R_{FREQ}(\text{in k}\Omega) = \frac{37\text{MHz}}{f_{osc}} \quad (9)$$

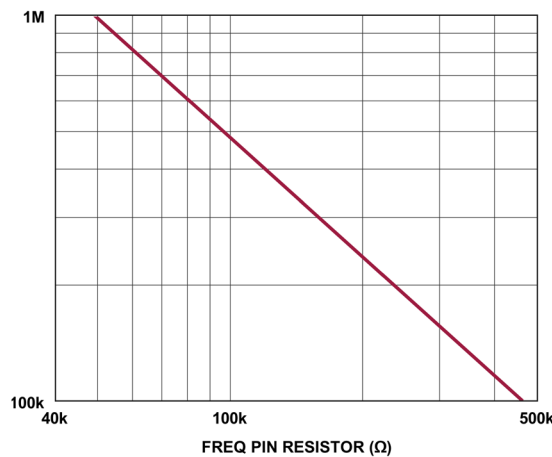


図 32. 発振器周波数と FREQ ピンの抵抗値の関係

EMI 性能を向上するため、PLLIN/SPREAD ピンを INTV<sub>CC</sub> に接続することによりスペクトラム拡散モードを選択できます。スペクトラム拡散モードを有効化した場合、スイッチング周波数は、FREQ ピンで選択した周波数から+20%までの範囲で調整されます。スペクトラム拡散モードは、MODE ピンで選択した任意の動作モード (Burst Mode、パルススキッピング・モード、または強制連続モード) で使用できます。

また、ADPL74101 では PLL が使用可能で、PLLIN/SPREAD ピンに接続された外部クロック信号源に内部発振器を同期させることができます。PLL のロック後、TG は外部クロック信号の立上がりエッジに同期されます。詳細については、[フェーズ・ロック・ループと周波数同期](#)のセクションを参照してください。

## 軽負荷時動作モードの選択

ADPL74101 は、軽負荷電流時において、高効率の Burst Mode 動作、固定周波数パルススキッピング・モード、または強制連続導通モードになるように設定できます。Burst Mode 動作を選択するには、MODE ピンを GND に接続します。強制連続動作を選択するには、MODE ピンを INTV<sub>CC</sub> に接続します。パルススキッピング・モードを選択するには、100kΩ の抵抗を介して MODE ピンを INTV<sub>CC</sub> に接続します。MODE ピンと GND の間にある 100kΩ の内部抵抗により、MODE ピンがフロート状態の場合は Burst Mode が選択されます。PLLIN/SPREAD ピンを介して外部クロックに同期させた場合、パルススキッピング・モードが選択されている場合は、ADPL74101 はそのモードで動作します。その他の場合、ADPL74101 は強制連続モードで動作します。

MODE ピンを用いて軽負荷時動作モードを選択する方法を表 5 に示します。

表 5. MODE ピンを使用した軽負荷時動作モードの選択

MODE PIN	LIGHT-LOAD OPERATING MODE	MODE WHEN SYNCHRONIZED
0V or Floating	Burst Mode	Forced Continuous
100kΩ to INTV <sub>CC</sub>	Pulse-Skipping	Pulse-Skipping
INTV <sub>CC</sub>	Forced Continuous	Forced Continuous

どの軽負荷時動作モードを選択するのが適切かは、それぞれのアプリケーションの条件によって決まります。Burst Mode 動作では、インダクタ電流は反転できません。インダクタ電流がゼロに達する前に、逆電流コンパレータが下側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、レギュレータは不連続動作状態で動作します。更に、負荷電流が少ないと、インダクタ電流はスイッチング周波数より低い周波数でバースト動作を開始し、スイッチングが停止している場合は低消費電流のスリープ・モードに入ります。その結果、Burst Mode 動作は軽負荷時に効率が最も高くなります。

強制連続モードでは、インダクタ電流は軽負荷で反転し、負荷に関係なく同じ周波数でスイッチングします。このモードでは、軽負荷での効率が Burst Mode 動作の場合よりもかなり低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルススキッピング・モードでは、出力電流が設計上の最大値の約 1% になるまで固定周波数動作が維持されます。負荷が非常に軽い場合には、PWM コンパレータは数サイクル間トリップ状態を維持し、同じサイクル数の間上側 FET をオフにしたままにする（つまり、パルスをスキップする）ことができます。インダクタ電流は反転できません（不連続動作）。強制連続動作と同様、このモードでは、Burst Mode 動作に比べて出力リップルとオーディオ・ノイズが小さくなり、RF 干渉が減ります。パルススキッピング・モードでは、軽負荷時の効率が強制連続モードより高くなりますが、Burst Mode 動作ほど高くはありません。したがって、パルススキッピング・モードは軽負荷時の効率、出力リップル、および EMI の間での妥協点となります。

アプリケーションによっては、システム内の条件に応じて軽負荷動作モードを変更した方が望ましい場合があります。例えば、システムが動作していない場合は、MODE ピンを 0V に維持することによって、高効率の Burst Mode 動作を選択することができます。システムが起動したら、外部クロックを PLLIN/SPREAD に送信するか、MODE を INTV<sub>CC</sub> に接続して、低ノイズの強制連続モードに切り替えることができます。このように動作中にモード変更を行うと、アプリケーションごとにそれぞれの軽負荷動作モードの利点が得られます。

### デッド・タイム制御

ADPL74101 はデッド・タイム制御を用いています。一方の FET がオフになってから他方の FET がオンになるまでのデッド・タイムが測定されます。BG 遷移と TG 遷移の間の遅延は約 20ns に固定されています。

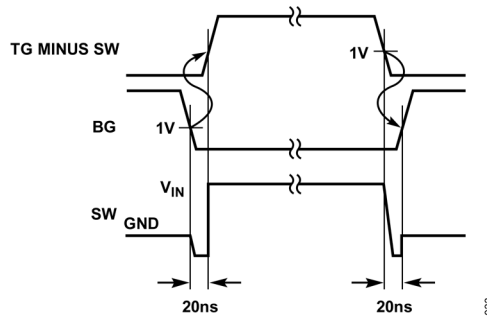


図 33. デッド・タイム制御

### パワーFET の選択

ADPL74101 では2つの外付けパワーFETを選択する必要があります。1つは上側（メイン）スイッチ用のNチャンネルFETで、もう1つは下側（同期）スイッチ用のNチャンネルFETです。ピーク to ピークのゲート駆動レベルは、INTV<sub>CC</sub> のレギュレーション・ポイント（4V~5.5V）によって設定されます。シリコン MOSFET の場合、ほとんどのアプリケーションでは、ロジックレベル閾値の MOSFET を使用する必要があります。FET のブレイクダウン電圧（BVD<sub>SS</sub>）仕様にも十分注意を払ってください。

パワーFET の選択基準には、オン抵抗（R<sub>DS(ON)</sub>）、ミラー容量（C<sub>MILLER</sub>）、入力電圧、および最大出力電流などがあります。C<sub>MILLER</sub> は、FET メーカーのデータシートに一般に記載されているゲート電荷曲線から概算できます。C<sub>MILLER</sub> は、曲線がほぼ平らな区間の水平軸に沿ったゲート電荷の増分を、MOSFET のドレイン端子とソース端子間の電圧差（V<sub>DS</sub>）の仕様規定されている変化量で割ったものに等しくなります。次に、この結果に、アプリケーションで印加される V<sub>DS</sub> とゲート電荷曲線で規定されている V<sub>DS</sub> との比を乗じます。デバイスが連続モードで動作している場合の上側 FET と下側 FET のデューティサイクルは、式 10 および式 11 で与えられます。

$$\text{Main Switch Duty Cycle} = \frac{V_{\text{OUT}}}{V_{\text{IN}}} \quad (10)$$

$$\text{Synchronous Switch Duty Cycle} = \frac{V_{\text{IN}} - V_{\text{OUT}}}{V_{\text{IN}}} \quad (11)$$

最大出力電流時における FET の消費電力は、式 12 と式 13 で与えられます。

$$P_{\text{MAIN}} = \frac{V_{\text{OUT}}}{V_{\text{IN}}} (I_{\text{MAX}})^2 \times (1 + \delta) R_{\text{DS(ON)}} + (V_{\text{IN}})^2 \left( \frac{I_{\text{MAX}}}{2} \right) \times (R_{\text{DR}}) (C_{\text{MILLER}}) \times \left( \frac{1}{V_{\text{INTVCC}} - V_{\text{THMIN}}} + \frac{1}{V_{\text{THMIN}}} \right) (f) \quad (12)$$

$$P_{\text{SYNC}} = \frac{V_{\text{IN}} - V_{\text{OUT}}}{V_{\text{IN}}} (I_{\text{MAX}})^2 (1 + \delta) R_{\text{DS(ON)}} \quad (13)$$

ここで、

P<sub>MAIN</sub> はメイン・スイッチの消費電力。

δ は R<sub>DS(ON)</sub> の温度依存性（δ ≒ 0.005/°C）。

R<sub>DR</sub> は FET のミラー閾値電圧における実効ドライブ抵抗（R<sub>DR</sub> ≒ 2Ω）。

V<sub>INTVCC</sub> は INTV<sub>CC</sub> の電圧。

V<sub>THMIN</sub> は、FET の最小閾値電圧の代表値。

P<sub>SYNC</sub> は同期スイッチの消費電力。

どちらの FET にも  $I^2R$  損失 ( $I^2R$  は FET の電力損失式) が生じますが、メイン N チャンネルの式には、高入力電圧で最も高くなる遷移損失の追加項が含まれます。 $V_{IN} < 20V$  の場合、大電流時の効率は一般に FET が大きいほど向上します。しかし、 $V_{IN} > 20V$  の場合は遷移損失が急速に増加し、 $C_{MILLER}$  が低く  $R_{DS(ON)}$  が高いデバイスを使用した方が、効率が高くなります。同期整流用 FET の損失は、入力電圧が高くなって、上側スイッチのデューティ・ファクタが低い場合や、短絡時に同期スイッチが周期の 100% 近くオンになる場合に最大になります。

### $C_{IN}$ と $C_{OUT}$ の選択

入力容量 ( $C_{IN}$ ) の選択は、一般に、入力ネットワーク (バッテリー、ヒューズ、またはコンデンサ) を介して実効値電流が流れ込む最も厳しい条件に基づいて行います。コンデンサの最大実効値電流の条件を求めるには、 $V_{OUT}$  と  $I_{OUT}$  の積の最大値を式 14 で使用する必要があります。

連続モードでは、上側 FET のソース電流は、デューティサイクルが  $V_{OUT}/V_{IN}$  の方形波になります。大きな電圧トランジェントを防ぐために、最大実効値電流 ( $I_{RMS}$ ) に対応するサイズの低 ESR (等価直列抵抗) のコンデンサを使用します。 $I_{MAX}$  において、最大実効値コンデンサ電流は、式 14 で与えられます。

$$C_{IN} \text{ Required } I_{RMS} \approx \frac{I_{MAX}}{V_{IN}} ((V_{OUT})(V_{IN} - V_{OUT}))^{1/2} \quad (14)$$

式 14 は  $V_{IN} = 2V_{OUT}$  で最大になります。ここで、 $I_{RMS} = I_{OUT}/2$  ( $I_{OUT}$  は出力電流) です。設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況はそれほど改善されないからです。多くの場合、メーカーの規定するコンデンサのリプル電流定格は、わずか 2000 時間の寿命に基づいていることに注意してください。したがって、コンデンサを更にデレーティングすることが推奨されます。つまり、要求よりも高い温度定格のコンデンサを選ぶようにします。設計上のサイズや高さの条件を満たすために、複数のコンデンサを並列に接続してもかまいません。ADPL74101 は動作周波数が高いため、 $C_{IN}$  にセラミック・コンデンサを使用することもできます。不明な点はメーカーにご相談ください。

ADPL74101 の  $V_{IN}$  ピンと GND の間のできるだけ ADPL74101 に近い位置に、小さい ( $0.1\mu F \sim 1\mu F$ ) バイパス・コンデンサを配置することも推奨されます。 $C_{IN}$  と  $V_{IN}$  ピンの間に  $1\Omega \sim 10\Omega$  の抵抗を接続すると、ノイズの多い入力電源からのアイソレーションが可能です。

出力容量 ( $C_{OUT}$ ) の選択は ESR によって決まります。一般に、ESR の条件を満たしていれば、その容量はフィルタリングにも十分です。出力リップル ( $\Delta V_{OUT}$ ) の概算値は式 15 で求められます。

$$\Delta V_{OUT} \approx \Delta I_L \left( ESR + \frac{1}{8fC_{OUT}} \right) \quad (15)$$

ここで、

$f$  は動作周波数。

$\Delta I_L$  はインダクタのリプル電流。

$\Delta I_L$  は入力電圧に応じて増加するので、入力電圧が最大の場合に出力リップルは最大となります。

## 出力電圧の設定

ADPL74101 の出力電圧は、[図 34](#) および [図 35](#) に示すように、出力の両端に注意深く配置された外付けの帰還抵抗分圧器によって設定します。レギュレーション出力電圧は式 16 により求めます。

$$V_{OUT} = 0.8V(1 + \frac{R_B}{R_A}) \quad (16)$$

抵抗  $R_A$  および抵抗  $R_B$  を  $V_{FB}$  ピンのすぐ近くに配置して、PCB の配線パターン長と、高感度の  $V_{FB}$  ノードでのノイズを最小限に抑えます。 $V_{FB}$  の配線パターンは、インダクタや SW の配線パターンなどのノイズ源から離して配線するよう注意してください。周波数応答を改善するには、フィードフォワード・コンデンサ ( $C_{FF}$ ) を使用します。

ADPL74101 は、VPRG ピンを通じて、12V または 5V の固定出力に設定できます。[図 35](#) は、固定出力モードの出力電圧を  $V_{FB}$  ピンで検出する方法を示しています。VPRG を  $INTV_{CC}$  に接続すると  $V_{OUT}$  を 12V に、GND に接続すると 5V に設定できます。VPRG をフロート状態にすると、外付け抵抗を使用して  $V_{OUT}$  を調整可能な出力モードに設定できます。

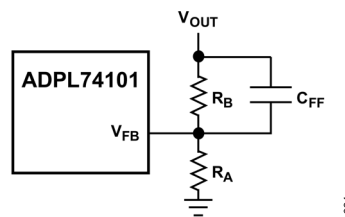


図 34. 調整可能出力電圧の設定

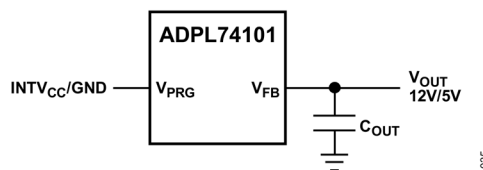


図 35. 12V または 5V の固定出力電圧の設定

## RUN ピンと低電圧ロックアウト

ADPL74101 は RUN ピンを使用して有効化します。RUN ピンは立上がり閾値が 1.2V で、100mV のヒステリシスがあります。RUN ピンの電圧を 1.08V 未満にすると、メイン制御ループがシャットダウンして、ソフトスタートがリセットされます。RUN ピンを 0.7V より低くすると、コントローラと、 $INTV_{CC}$  LDO レギュレータを含むほとんどの内部回路が無効化されます。この状態で ADPL74101 に流れる自己消費電流は、約 1 $\mu$ A にすぎません。

RUN ピンは高インピーダンスで、外部からプルアップあるいはプルダウンする必要があり、ロジックで直接駆動します。RUN ピンは最大 100V (絶対最大値) まで許容できます。したがって、コントローラが連続的にイネーブルされてシャットダウンされることのない常時オンのアプリケーションでは、ピンを  $V_{IN}$  に接続できるという利便性があります。RUN ピンはフロート状態にしないでください。

[図 36](#) に示すように、 $V_{IN}$  と GND の間に抵抗分圧器を接続することにより、RUN ピンを入力電源に対する高精度の UVLO として構成することもできます。

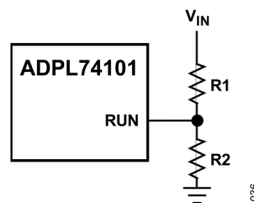


図 36. RUN ピンを UVLO として使用

V<sub>IN</sub> UVLO の閾値は、式 17 および式 18 で計算できます。

$$\text{UVLO RISING} = 1.2\text{V}\left(1 + \frac{R_1}{R_2}\right) \quad (17)$$

$$\text{UVLO FALLING} = 1.08\text{V}\left(1 + \frac{R_1}{R_2}\right) \quad (18)$$

R1 および R2 の分圧器を流れる電流は、ADPL74101 のシャットダウン、スリープ、およびアクティブ電流に加わります。この電流がアプリケーション回路全体の効率に与える影響を最小限に抑えるようにしてください。シャットダウン時とスリープ時の自己消費電流に対する影響を低く抑えるために、MΩ 単位の抵抗値が必要になることがあります。

### ソフトスタートとトラッキング (TRACK/SS ピン)

V<sub>OUT</sub> のスタートアップは TRACK/SS ピンの電圧で制御されます。TRACK/SS ピンの電圧が内部リファレンス電圧の 0.8V よりも低い場合、ADPL74101 は V<sub>FB</sub> ピン電圧を内部リファレンス電圧ではなく TRACK/SS ピンの電圧に安定化します。TRACK/SS ピンを使って、外部ソフトスタート機能を設定するか、または V<sub>OUT</sub> が起動時に別の電源をトラッキングするように設定できます。

ソフトスタートは、TRACK/SS ピンと GND の間にコンデンサを接続することで有効になります。12μA の内蔵電流源がこのコンデンサを充電して、TRACK/SS ピンに直線的なランプ電圧を発生させます。ADPL74101 はその帰還電圧（したがって V<sub>OUT</sub>）を TRACK/SS ピンの電圧に応じて安定化するので、V<sub>OUT</sub> は 0V から最終的な安定値まで滑らかに上昇できます。目的のソフトスタート時間 (t<sub>ss</sub>) に対して、ソフトスタート・コンデンサ (C<sub>SS</sub>) = t<sub>ss</sub> × 15nF/ms を選択します。

または、図 37 および図 38 に定性的に示すように、TRACK/SS ピンを使用して、起動時に別の電源に追従させることもできます。別の電源に追従させるには、図 39 に示すように、リーダ電源 (V<sub>X</sub>) からフォロワ電源 (V<sub>OUT</sub>) の TRACK/SS ピンに抵抗分圧器を接続します。起動中、V<sub>OUT</sub> は、式 19 に示す抵抗分圧器によって設定された比率に従って V<sub>X</sub> に追従します。

$$\frac{V_X}{V_{OUT}} = \frac{R_A}{R_{TRACKA}} \times \frac{R_{TRACKA} + R_{TRACKB}}{R_A + R_B} \quad (19)$$

同時トラッキング (起動時に V<sub>OUT</sub> = V<sub>X</sub>) の場合は、R<sub>TRACKA</sub> = R<sub>A</sub> および R<sub>TRACKB</sub> = R<sub>B</sub> に設定します。

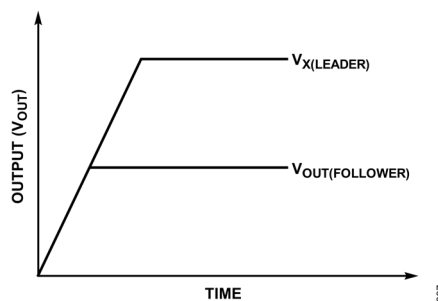


図 37. 同時トラッキング

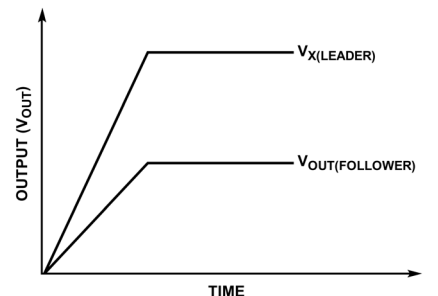


図 38. 比例トラッキング

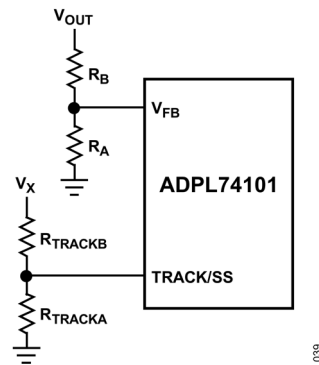


図 39. TRACK/SS ピンをトラッキングに使用

**INTV<sub>CC</sub> レギュレータ (OPTI-DRIVE)**

ADPL74101 は 2 つの独立した LDO リニア・レギュレータを内蔵しており、EXTV<sub>CC</sub> ピンの電圧および DRVSET ピンと DRVUV ピンの接続に応じて、VIN ピンまたは EXTV<sub>CC</sub> ピンのいずれかから INTV<sub>CC</sub> ピンに電力を供給します。DRV<sub>CC</sub> ピンは FET ゲート・ドライバ用の電源ピンであり、INTV<sub>CC</sub> ピンに接続する必要があります。VIN LDO レギュレータと EXTV<sub>CC</sub> LDO レギュレータは、DRVSET ピンの設定に応じて、INTV<sub>CC</sub> を 4V~5.5V の間で安定化します。それぞれの LDO レギュレータは少なくとも 100mA のピーク電流を供給できます。

INTV<sub>CC</sub> ピンは、4.7μF 以上のセラミック・コンデンサで GND にバイパスします。コンデンサはピンのできるだけ近くに配置してください。FET ゲート・ドライバが必要とする高周波のトランジェント電流を供給するために、DRV<sub>CC</sub> ピンと GND ピンの間に更に 1μF のセラミック・コンデンサを配置することを推奨します。

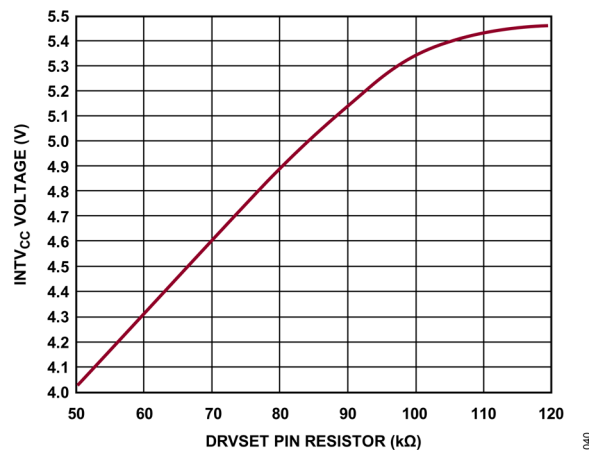
DRVSET ピンは INTV<sub>CC</sub> の電源電圧を設定し、DRVUV ピンは様々な INTV<sub>CC</sub> の UVLO と EXTV<sub>CC</sub> の切り替え閾値の電圧を選択します。表 6 は、様々な DRVSET ピンの構成と、各構成に対応する電圧設定を示しています。表 7 は、様々な DRVUV ピンの構成と電圧設定を示しています。DRVSET ピンを INTV<sub>CC</sub> に接続すると INTV<sub>CC</sub> が 5.5V に設定されます。DRVSET ピンを GND に接続すると、INTV<sub>CC</sub> が 5.0V に設定されます。図 40 に示すように、INTV<sub>CC</sub> の電圧を 4V~5.5V に設定するには、DRVSET と GND の間に 43kΩ~100kΩ の抵抗を接続します。

表 6. DRVSET ピンの構成と電圧設定

DRVSET PIN	INTV <sub>CC</sub> VOLTAGE (V)
GND	5.0
INTV <sub>CC</sub>	5.5
Resistor to GND 43kΩ to 100kΩ	4 to 5.5

表 7. DRVUV ピンの構成と電圧設定

DRVUV PIN	INTV <sub>CC</sub> UVLO RISING and FALLING THRESHOLDS (V)	EXTV <sub>CC</sub> SWITCHOVER RISING and FALLING THRESHOLDS (V)
GND	3.8 and 3.6	4.76 and 4.54
Floating	4.4 and 4.18	5.95 and 5.56
INTV <sub>CC</sub>	5 and 4.75	5.95 and 5.56

図 40. INTV<sub>CC</sub> 電圧と DRVSET ピンの抵抗値の関係

大型の FET を高周波で駆動する高入力電圧アプリケーションでは、ADPL74101 の最大ジャンクション温度定格を超える可能性があります。ゲート充電電流が支配的になる INTV<sub>CC</sub> 電流は、V<sub>IN</sub> LDO レギュレータまたは EXT<sub>VCC</sub> LDO レギュレータのどちらからでも供給できます。EXT<sub>VCC</sub> ピンの電圧が切り替え閾値（DRVUVV ピンで指定する 4.76V または 5.95V）未満の場合は、V<sub>IN</sub> LDO レギュレータが有効になります。この場合、IC の消費電力は V<sub>IN</sub> × INTV<sub>CC</sub> 電流 (I<sub>INTVCC</sub>) に等しくなります。効率に関する考慮事項のセクションで説明しているように、ゲート充電電流は動作周波数に依存します。ジャンクション温度を推定するには、表 2 に記載されている式を使用します。例えば、周囲温度が 70°C で EXT<sub>VCC</sub> 電源を使用しない場合、ADPL74101 の INTV<sub>CC</sub> 電流は、式 20 に示すように 36V 電源では 36mA 未満に制限されます。

$$T_j = 70^\circ\text{C} + (36\text{mA})(36\text{V})(43^\circ\text{C}/\text{W}) = 125^\circ\text{C} \quad (20)$$

最大ジャンクション温度を超えないようにするために、連続導通モード（MODE = INTV<sub>CC</sub>）動作時の最大 V<sub>IN</sub> における入力電源電流を確認してください。

EXT<sub>VCC</sub> に印加された電圧が立上がり切り替え閾値を超えると、V<sub>IN</sub> LDO レギュレータがオフになり、EXT<sub>VCC</sub> LDO レギュレータが有効化されます。EXT<sub>VCC</sub> が立下がり切り替え閾値を超えている限り、EXT<sub>VCC</sub> LDO レギュレータはオンのままです。EXT<sub>VCC</sub> LDO レギュレータは、INTV<sub>CC</sub> 電圧を DRVSET ピンで設定された電圧に安定化しようとし、EXT<sub>VCC</sub> が 5V 未満の場合は、LDO レギュレータはドロップアウト状態になり、INTV<sub>CC</sub> 電圧は EXT<sub>VCC</sub> とほぼ等しくなります。EXT<sub>VCC</sub> が設定された電圧より大きい場合（絶対最大値 30V まで）、INTV<sub>CC</sub> は設定された電圧に安定化されます。EXT<sub>VCC</sub> LDO レギュレータを使用すると、FET ドライバと制御回路の電源を、通常動作時には ADPL74101 のスイッチング・レギュレータ出力（4.7V ≤ V<sub>OUT</sub> ≤ 30V）から供給させ、出力がレギュレーション範囲から外れた場合（起動時または短絡時など）には V<sub>IN</sub> LDO レギュレータから供給させることができます。EXT<sub>VCC</sub> LDO から規定値以上の電流が必要な場合は、EXT<sub>VCC</sub> ピンと INTV<sub>CC</sub> ピンの間に外付けのショットキー・ダイオードを追加します。この場合は、EXT<sub>VCC</sub> ピンに 6V を超える電圧を印加しないでください。

ドライバ電流および制御電流に起因する V<sub>IN</sub> 電流は、V<sub>OUT</sub>/(V<sub>IN</sub> × 効率) に比例するため、出力から INTV<sub>CC</sub> に電力を供給すれば効率と熱特性を大幅に改善できます。レギュレータ出力が 5V～30V の場合は、EXT<sub>VCC</sub> ピンを V<sub>OUT</sub> に接続します。EXT<sub>VCC</sub> ピンを 8.5V 電源に接続すると、式 20 に示すジャンクション温度は 125°C から式 21 で与えられる温度まで低下します。

$$T_j = 70^\circ\text{C} + (36\text{mA})(8.5\text{V})(43^\circ\text{C}/\text{W}) = 83^\circ\text{C} \quad (21)$$

ただし、3.3V など他の低電圧出力の場合、出力から INTV<sub>CC</sub> の電力を得るには追加回路が必要です。

以下に EXT<sub>V</sub>CC の 3 つの可能な接続方法を示します。

1. EXT<sub>V</sub>CC を接地します。この接続では、内部の V<sub>IN</sub> LDO レギュレータが INTV<sub>CC</sub> に電源を供給するため、入力電圧が高い場合、効率が最大 10% 以上低下します。
2. EXT<sub>V</sub>CC をレギュレータ出力に直接接続します。この接続は、出力範囲が 5V~30V のアプリケーションにおける一般的な接続であり、最高の効率が得られます。
3. EXT<sub>V</sub>CC を外部電源に接続します。外部電源を利用できる場合は、FET のゲート駆動要件に適合していれば、外部電源を使用して EXT<sub>V</sub>CC に電力を供給できます。この電源は、V<sub>IN</sub> より高くても低くてもかまいません。ただし、EXT<sub>V</sub>CC 電圧が低いほど効率が高くなります。
4. EXT<sub>V</sub>CC を、出力をソースとする昇圧回路またはチャージ・ポンプに接続します。出力が 5V 未満のレギュレータの場合、出力をソースとし EXT<sub>V</sub>CC 切り替え閾値以上に昇圧された電圧に EXT<sub>V</sub>CC を接続することでも、効率を改善できます。

### 上側 FET ドライバの電源 (C<sub>B</sub>)

BOOST ピンに接続されている外付けのブートストラップ・コンデンサ (C<sub>B</sub>) は、上側 FET のゲート駆動電圧を供給します。図 28 (機能図) に示す C<sub>B</sub> は、SW ピンがローで下側 FET がオンになっている場合に DRV<sub>CC</sub> から内部スイッチを介して充電されます。内部スイッチのオン抵抗は約 7Ω です。特定の動作条件において C<sub>B</sub> より多くの充電電流を供給するには、BST<sub>V</sub>CC と BOOST の間にショットキー・ダイオードを外付けし、DRV<sub>CC</sub> と BOOST の間の内部スイッチ抵抗のほとんどをバイパスします。

上側 FET がオンになると、ドライバは C<sub>B</sub> 電圧を目的の FET のゲート・ソース間に印加し、FET をエンハンスして、上側スイッチをオンにします。スイッチ・ノード電圧 SW は V<sub>IN</sub> まで上昇し、BOOST ピンの電圧もこれに追従します。上側 FET がオン状態の場合、昇圧電圧は、V<sub>BOOST</sub> = V<sub>IN</sub> + V<sub>INTVCC</sub> であり、入力電源電圧より高くなります。C<sub>B</sub> の値は、上側 FET の総入力容量の 100 倍にする必要があります。標準的なアプリケーションでは、C<sub>B</sub> の値は 0.1μF で十分です。

### 最小オン時間に関する考慮事項

最小オン時間 (t<sub>ON(MIN)</sub>) は、ADPL74101 が上側 FET をオンにできる最小時間です。t<sub>ON(MIN)</sub> は、内部タイミング遅延と FET をオンするのに必要なゲート電荷によって決まります。低デューティサイクルのアプリケーションでは、この最小オン時間の制限に接近することがあります。式 22 を満たすように注意してください。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN} \times f} \quad (22)$$

デューティサイクルが最小オン時間要件を下回ると、コントローラはサイクルのスキップを開始します。出力電圧は引き続き安定化されますが、リップル電圧および電流は増加します。ADPL74101 の最小オン時間は約 40ns です。ただし、ピーク検出電圧が低下するにつれて、最小オン時間は約 60ns まで徐々に増加していきます。これは、強制連続アプリケーションで軽負荷時にリップル電流が小さい場合に、特に問題となります。この状態でデューティサイクルが最小オン時間の制限を下回ると、著しいサイクル・スキッピングが発生し、それに伴い電流と電圧のリップルが大きくなる可能性があります。

### フォルト状態：電流制限とフォールドバック

ADPL74101 は、出力が GND に短絡した場合に負荷電流を低減する電流フォールドバック機能を備えています。出力電圧がレギュレーション・ポイントの 70%を下回ると、最大検出電圧は最大値の 100%から 40%まで徐々に低下します。デューティサイクルが低い短絡状態では、ADPL74101 はサイクル・スキップを開始して短絡電流を制限します。この状況では下側 FET が大半の電力を消費しますが、通常動作時よりは少なく済みます。短絡リップル電流 ( $\Delta I_{L(SC)}$ ) は  $t_{ON(MIN)}$  (約 40ns)、入力電圧、およびインダクタ値によって決まり、式 23 で与えられます。

$$\Delta I_L = t_{ON(MIN)} \times \frac{V_{IN}}{L} \quad (23)$$

その結果の平均短絡電流 ( $I_{SC}$ ) は式 24 で与えられます。

$$I_{SC} = 40\% \times I_{LIM(MAX)} - \frac{\Delta I_{L(SC)}}{2} \quad (24)$$

ここで  $I_{LIM(MAX)}$  は最大ピーク・インダクタ電流です。

### フォルト状態：過電圧保護

出力電圧が増加して設定レギュレーション・ポイントを 10%上回ると、過電圧状態が解消されるまで上側 FET がオフになり、インダクタ電流は反転できなくなります。

### フォルト状態：過熱保護

高温時、または内部消費電力により過剰な自己発熱が発生した場合（例えば INTV<sub>CC</sub> から GND への短絡など）、ADPL74101 は内蔵の過熱シャットダウン回路によってシャットダウンします。内部ダイ温度が 180°C を超えると、INTV<sub>CC</sub> LDO レギュレータとゲート・ドライバが無効化されます。ダイが冷却されて 160°C まで下がると、ADPL74101 は INTV<sub>CC</sub> LDO レギュレータを有効化して、ソフトスタートの起動から動作を再開します。長期間の過剰ストレス ( $T_J > 125^\circ\text{C}$ ) は、デバイスの性能を低下させたりデバイス寿命を縮めたりする可能性があるため、避けてください。

### フェーズ・ロック・ループと周波数同期

ADPL74101 は PLL を内蔵しており、上側 FET のターンオンを、PLLIN/SPREAD ピンに印加される外部クロック信号の立上がりエッジに同期させることができます。

FREQ ピンを使って自走周波数を必要な同期周波数の近くに設定することにより、高速フェーズ・ロックを実現できます。同期の前に、PLL は、FREQ ピンによって設定された周波数にプリバイアスされます。その結果、PLL は微調整を行うだけで、フェーズ・ロックおよび同期を実行できます。必須ではありませんが、自走周波数を外部クロック周波数の近くに設定すると、PLL がロックする際に発振器が広い周波数範囲を通過するのを防ぐことができます。

外部クロックに同期している場合、MODE ピンによってパルススキッピング・モードが選択されていると、ADPL74101 はこのモードで動作し、それ以外の場合は強制連続モードで動作します。ADPL74101 は、2.2V 以上から 0.5V 以下までスイングする PLLIN/SPREAD ピンに印加される外部クロックに同期するよう設計されています。なお、ADPL74101 が同期できる外部クロック周波数は 100kHz~1MHz の範囲のみです。

## 効率に関する考慮事項

スイッチング・レギュレータの効率（パーセント）は、出力電力を入力電力で割った値に 100% を乗じたものです。効率を制限しているのは何か、何を変更すれば最も効率が向上するのかを判定するには、個々の損失を分析することが有効です。パーセント効率は、式 25 で表されます。

$$\% \text{Efficiency} = 100\% - (L1 + L2 + L3 + \dots) \quad (25)$$

ここで、L1、L2、L3 などは、入力電力に対する各損失の割合をパーセンテージで表したものです。

回路内で電力を消費するすべての要素で損失が生じますが、ADPL74101 の回路の損失の大部分は、以下に示す主な 4 つの損失要因によって生じます。すなわち、IC の  $V_{IN}$  電流、INTV<sub>CC</sub> レギュレータの電流、I<sup>2</sup>R 損失、および上側 FET の遷移損失です。

$V_{IN}$  電流は表 1（電気的特性の表）に示されている DC 電源電流であり、FET のドライブ電流および制御電流は含まれません。Burst Mode 動作での軽負荷時を除き、 $V_{IN}$  電流で生じる損失は通常は小さな値 (<0.1%) で済みます。

INTV<sub>CC</sub> 電流は、FET のドライブ電流と制御電流の和です。FET のドライブ電流は、パワー FET のゲート容量が切り替わることにより発生します。FET のゲートがローからハイ、そして再度ローに切り替わるたびに、一定量の電荷 (dQ) が INTV<sub>CC</sub> から GND に移動します。その結果生じる dQ/時間 (dt) が INTV<sub>CC</sub> から流れる電流となり、通常は制御回路の電流よりはるかに大きくなります。連続モードでは、ゲート充電電流 (I<sub>GATECHG</sub>) = スwitching 周波数 (f<sub>sw</sub>) × (Q<sub>T</sub> + Q<sub>B</sub>) となります。ここで、Q<sub>T</sub> と Q<sub>B</sub> は、上側 FET と下側 FET のゲート電荷です。

出力から得られる電源から EXT<sub>VCC</sub> を介して INTV<sub>CC</sub> に電力を供給すると、ドライブおよび制御回路に必要な  $V_{IN}$  電流は、 $V_{OUT}/(V_{IN} \times \text{効率})$  の倍率で変化します。例えば、20V から 5V へのアプリケーションでは、INTV<sub>CC</sub> の電流が 10mA の場合に  $V_{IN}$  電流が約 2.5mA になります。その結果、（ドライブが  $V_{IN}$  から直接電力を供給されている場合）10% 以上であった中間電流損失は、わずかに数パーセントに減少します。

I<sup>2</sup>R 損失は、入力ヒューズ（使用する場合）、FET、インダクタ、電流検出抵抗、入力と出力のコンデンサの ESR の各 DC 抵抗から予測されます。連続モードでは、L と R<sub>SENSE</sub> に平均出力電流が流れますが、上側 FET と下側 FET の間でチョッピングされます 2 つの FET の R<sub>DS(ON)</sub> がほぼ同じ場合、一方の FET の抵抗に L の抵抗 R<sub>SENSE</sub>、および ESR を加算するだけで、I<sup>2</sup>R 損失を求めることができます。

例えば、各 R<sub>DS(ON)</sub> = 30mΩ、R<sub>L</sub> = 50mΩ、R<sub>SENSE</sub> = 10mΩ、および ESR = 40mΩ（入力容量と出力容量の両方の損失の和）の場合、全抵抗は 130mΩ です。その結果、出力電流が 1A から 5A に増加すると、5V 出力の場合は 3%~13% の損失が生じ、3.3V 出力の場合は 4%~20% の損失が生じます。外付け部品および出力電力レベルが同じ場合、効率は V<sub>OUT</sub> の 2 乗に反比例して変化します。高性能デジタル・システムでは、出力電圧をより低く、電流をより大きくすることがますます必要となっており、その相乗効果により、スイッチング・レギュレータ・システムの損失項の重要性は倍増ではなく 4 倍増となります。

遷移損失は上側 FET にのみ適用され、高入力電圧（通常 15V 以上）で動作する場合にのみ顕著になります。遷移損失は式 26 を用いて概算できます。

$$\text{TRANSITION LOSS} = (1.7)(V_{IN})^2 \times I_{L(\text{MAX})} \times C_{RSS} \times f_{SW} \quad (26)$$

ここで、C<sub>RSS</sub> は逆伝達容量です。

また、銅のパターンや内部バッテリーの抵抗、などその他の隠れた損失により、ポータブル・システムでは更に 5%~10% の効率低下が生じる可能性があります。これらのシステム・レベルの損失を設計段階で盛り込むことが重要です。内部バッテリーとヒューズの抵抗損失は、スイッチング周波数において C<sub>IN</sub> に適切な電荷を蓄積し、ESR を小さくすれば最小限に抑えることができます。25W 電源の場合、一般に ESR が最大 20mΩ~50mΩ、容量が最小 20μF~40μF のコンデンサが必要です。インダクタ・コアの損失などその他の損失は、一般には 2% 未満の損失増にしかありません。

## 過渡応答のチェック

レギュレータのループ応答を調べるには、負荷電流の過渡応答をチェックします。スイッチング・レギュレータは、DC（抵抗性）負荷電流のステップへの応答に数サイクルを要します。負荷ステップが発生すると、 $V_{OUT}$ は  $\Delta I_{LOAD} \times ESR$  に等しい大きさだけシフトします。ここで、 $ESR$  は  $C_{OUT}$  の等価直列抵抗です。また、 $\Delta I_{LOAD}$  は  $C_{OUT}$  の充放電を開始し、帰還誤差信号を生成して、レギュレータを電流の変化に適応させ、 $V_{OUT}$  を定常値に戻します。この回復期間に、 $V_{OUT}$  をモニタし、安定性に問題があることを示す過度のオーバーシュートやリングングが発生するかをチェックできます。

OPTI-LOOP 補償が備わっているため、幅広い範囲の出力容量値および  $ESR$  値にわたって過渡応答を最適化できます。ITH ピンを使用すれば、制御ループの動作を最適化できるだけでなく、DC 結合された AC フィルタ付きクロード・ループ応答テスト・ポイントを利用することもできます。このテスト・ポイントにおける DC ステップ、立上がり時間、セトリングは、クロード・ループ応答を正確に反映します。2 次特性が支配的なシステムの場合は、このピンに現れるオーバーシュートのパーセンテージを使って位相マージンやダンピング・ファクタを予想できます。ピンの立上がり時間を調べることによって、帯域幅を見積もることも可能です。図 1、図 42、図 44、図 46 に示す ITH 外付け部品は、ほとんどのアプリケーションで適切な出発点となります。

ITH に直列に接続された補償用の抵抗 ( $R_c$ ) と補償コンデンサ ( $C_c$ ) のフィルタにより、支配的なポールとゼロのループ補償が設定されます。これらの値は、最終的な PCB レイアウトが完了し、特定の出力コンデンサの種類と値を決定した後、過渡応答を最適化するために多少（初期値の 0.5~2 倍）の変更が可能です。ループのゲインと位相は出力コンデンサの種類と値によって決まるので、適切な出力コンデンサを選択する必要があります。立上がり時間が  $1\mu\text{s} \sim 10\mu\text{s}$  で、最大負荷電流の 20%~80% の出力電流パルスによって出力電圧波形と ITH ピン波形が生じ、これにより帰還ループを遮断しなくともループ全体の安定性を判断できます。

パワーFET を出力コンデンサの両端に直接接続し、適切な信号発生器でそのゲートを駆動するのが、現実的な負荷ステップ状態を発生させる実用的な方法です。出力電流のステップ変化によって生じる初期出力電圧ステップは、帰還ループの帯域幅内に収まらない可能性があります。したがって、この信号を用いて位相マージンを決定することはできません。ITH ピンの信号を調べる方が確実なのはこのためです。この信号は帰還ループ内にあり、フィルタを通した補償済みの制御ループ応答です。ループのゲインは  $R_c$  と共に増加し、ループの帯域幅は  $C_c$  の減少と共に増加します。 $R_c$  を  $C_c$  の減少と同じ比率で増加させると、ゼロ周波数は一定に保たれるため、帰還ループの最も重要な周波数範囲で位相のずれが同じに保たれます。出力電圧のセトリングの挙動はクロード・ループ・システムの安定性に関係しており、実際の全体的電源性能を表します。

大容量の ( $> 1\mu\text{F}$ ) 電源バイパス・コンデンサが接続されている負荷で切り替えが行われると、更に大きなトランジェントが発生します。放電したバイパス・コンデンサが実質的に  $C_{OUT}$  と並列接続された状態になるため、 $V_{OUT}$  が急激に低下します。抵抗の小さい負荷スイッチを短時間で駆動した場合は、どのようなレギュレータも、この出力電圧の突然のステップ変化を防げるような速度で電流の供給を変更することはできません。

$C_{LOAD}$  と  $C_{OUT}$  の比率が 1:50 より大きい場合は、スイッチの立上がり時間を制御して、負荷の立上がり時間を  $C_{LOAD} \times 25\mu\text{s}/\mu\text{F}$  程度に制限する必要があります。これにより、 $10\mu\text{F}$  のコンデンサでは  $250\mu\text{s}$  の立上がり時間が必要になり、充電電流は約  $200\text{mA}$  に制限されます。

## 設計例

設計例として、公称入力電圧 ( $V_{IN(NOMINAL)} = 12V$ 、 $V_{IN(MAX)} = 22V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 20A$ 、 $f_{SW} = 1MHz$ ) と仮定します。

アプリケーション回路の設計は以下の手順で行います。

1. 動作周波数を設定します。周波数は内部のプリセット値ではありません。したがって、FREQ ピンから GND への抵抗が必要であり、その値は式 27 で与えられます。

$$R_{FREQ}(\text{in k}\Omega) = \frac{37MHz}{1MHz} = 37k\Omega \quad (27)$$

2. インダクタの値を決定します。最初に、インダクタのリプル電流が 30% であることに基づいて値を選択します。インダクタの値を計算するには、式 28 を使用します。

$$L = \frac{V_{OUT}}{f_{SW} \times \Delta I_L} \left( 1 - \frac{V_{OUT}}{V_{IN(NOMINAL)}} \right) = 0.4\mu H \quad (28)$$

リプル電流が最大値となるのは、入力電圧が最大の場合です。この場合、 $V_{IN} = 22V$  でのリプルは 35% です。

3. 最小オン時間が 40ns という要件に違反していないか確認します。最小オン時間となるのは、 $V_{IN(MAX)}$  の場合で、式 29 で表されます。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)} \times f_{SW}} = 150ns \quad (29)$$

この時間は最小オン時間の要件を満たすのに十分な値です。最小オン時間の要件を満たしていない場合、ADPL74101 は入力電圧が高い場合にパルススキップするため、結果として低周波動作になり、インダクタ電流のリプルが期待値より大きくなります。これが望ましくない場合は、周波数を低くして（それに応じてインダクタの値を調整し）、最小オン時間付近の動作にならないようにします。

4.  $R_{SENSE}$  の抵抗値を選択します。インダクタのピーク電流は、最大直流出力電流にインダクタのリプル電流の半分を加えたもので、この場合は  $20A \times (1 + 0.30/2) = 23A$  です。次に、 $R_{SENSE}$  抵抗の値は、最大電流検出閾値の最小値 ( $I_{LIM}$  がフロート状態の場合には 45mV) に基づいて、式 30 で与えられます。

$$R_{SENSE} \leq \frac{45mV}{23A} \cong 2m\Omega \quad (30)$$

更に余裕を持たせるために、より低い値の  $R_{SENSE}$  を使用することもできます（例えば、1.8m $\Omega$ ）。ただし、インダクタの飽和電流が  $V_{SENSE(MAX)}/R_{SENSE}$  以上の余裕を持つようにしてください。ここで、 $V_{SENSE(MAX)}$  にはその最大値である 55mV を使用します。

5. 帰還抵抗を選択します。軽負荷時の効率が要求される場合は、値の大きな帰還抵抗を使用して、帰還抵抗分圧器による電流を最小限に抑えることができます。ただし、ほとんどのアプリケーションでは、帰還抵抗分圧器に流すことが許容される電流の範囲は 10 $\mu A$  ~ 100 $\mu A$ （またはそれ以上）となります。帰還分圧器電流が 50 $\mu A$  の場合、 $R_A = 0.8V/50\mu A = 16k\Omega$  となります。したがって  $R_B$  は、 $R_B = R_A(3.3V/0.8V - 1) = 50k\Omega$  と計算できます。
6. FET を選択します。特定のアプリケーションでの FET の性能を評価する最善の方法は、ベンチ上で回路を構築してテストすることであり、これは ADPL74101 の評価用ボードを用いて容易に実行できます。ただし、アプリケーションについて根拠に基づく推定をしておく、FET を最初を選択する際に役立ちます。これは大電流、低電圧のアプリケーションであるため、 $I^2R$  損失の方が上側 FET の遷移損失よりも支配的になる可能性が高くなります。したがって、ゲート電荷の少ない FET ではなく、 $R_{DS(ON)}$  の小さい FET を選択して、複合損失項を最小限に抑えます。下側 FET には遷移損失が発生しないため、その電力損失は、通常、 $I^2R$  損失が主体となります。この理由から、下側 FET を選択する場合は、上側 FET より  $R_{DS(ON)}$  が小さくゲート電荷が多くなるようにするのが一般的です。

このアプリケーションでは大電流が流れるため、2つのFETを並列に接続して、消費電力の均一性を高め、かつ $R_{DS(ON)}$ を低減することが必要になる場合があります。ゲート駆動電圧が5.5V (INTV<sub>CC</sub>)に制限されるため、必ずロジックレベル閾値のMOSFETを選択するようにしてください。

7. 入力と出力のコンデンサを選択します。C<sub>IN</sub>には、規定の動作温度で10A (I<sub>OUT</sub>/2、余裕を持った値)以上のRMS電流定格に適合するものを選択します。C<sub>OUT</sub>には、出力リップルが小さくなるよう、ESRが3mΩのものを選択します。ESRをこのレベルまで低減するには、複数のコンデンサを並列に接続することが必要になる場合があります。連続モードでの出力リップルが最大となるのは、入力電圧が最大の場合です。ESRに起因する出力電圧リップル (V<sub>ORIPPLE</sub>)は、おおよそ式31で与えられます。

$$V_{ORIPPLE} = ESR \times \Delta I_L = 3m\Omega \times 6A = 18mV_{p-p} \quad (31)$$

3.3V出力では、18mV<sub>p-p</sub>はピーク to ピーク電圧リップルの0.55%に相当します。

8. バイアス電源の部品を決定します。安定化出力はEXTV<sub>CC</sub>の切り替え閾値以下なので、INTV<sub>CC</sub>のバイアスには使用できません。ただし、別の5V電源が利用可能な場合は、その電源をEXTV<sub>CC</sub>に接続して効率を向上させます。ソフトスタートを6.7msにする場合は、TRACK/SSピンのコンデンサとして0.1μFを選択します。バイアス部品の最初の推定値として、INTV<sub>CC</sub>の容量 (C<sub>INTVCC</sub>) = 4.7μF、C<sub>B</sub> = 0.1μFを選択します。
9. アプリケーション固有のパラメータを決めて設定します。軽負荷時の効率と固定周波数動作の間のトレードオフに基づいて、MODEピンを設定します。固定周波数、スペクトラム拡散、フェーズ・ロック周波数のどれが必要かに基づいて、PLLIN/SPREADピンを設定します。RUNピンを使用してレギュレータ動作の最小入力電圧を制御することも、RUNピンをV<sub>IN</sub>に接続して常時オン動作にすることもできます。最初の見積もりとして、代表的なアプリケーションに記載してあるITH補償コンポーネントを使用し、過渡応答の安定性を確認してから、必要に応じて修正します。

## PCBボード・レイアウト時のチェックリスト

図41は、連続モードで動作している同期整流式レギュレータの様々な分岐に現れる電流波形を示しています。

PCBのレイアウトを行う際には、デバイスが適切に動作するように以下のチェックリストを使用します。

1. BGの配線パターンをまとめて引き回し、それらを下側FETゲートのできるだけ近くで接続します。ゲート抵抗を使用する場合は、抵抗の接続をFETゲートのできるだけ近くで接続します。BGを下側FETゲートから離して接続すると、ADPL74101のデッド・タイム制御回路が不正確になることがあります。TGの配線パターンをまとめて引き回し、それらを上側FETゲートのできるだけ近くで接続します。
2. ICのGNDピンとC<sub>INTVCC</sub>のGNDの帰還路は、1つにまとめたC<sub>OUT</sub>の負端子に戻す必要があります。上側NチャンネルFETとC<sub>IN</sub>コンデンサで形成される経路は、リード線とPCB配線パターンを短くします。出力コンデンサの負端子と入力コンデンサの負端子をできるだけ近づけ、コンデンサを互いに隣接させて、ループから離します。
3. ADPL74101のV<sub>FB</sub>ピンの抵抗分圧器を、C<sub>OUT</sub>の正端子と信号のGNDに接続します。抵抗分圧器はV<sub>FB</sub>ピンの近くに配置して、高感度のV<sub>FB</sub>ノードへのノイズ結合を最小限に抑えます。帰還抵抗を入力コンデンサからの大電流入力経路に沿って配置しないでください。
4. SENSE<sup>-</sup>とSENSE<sup>+</sup>のリード線は、PCB配線パターン間隔を最小にして一緒に配線します。可能な場合は、これらのパターンを1つの内層上で高周波のスイッチング・ノードから離して配線します。SENSE<sup>+</sup>とSENSE<sup>-</sup>の間のフィルタ・コンデンサは、できるだけデバイスに近づけて配置します。センス抵抗にはケルビン接続を使って高精度の電流検出を確保します。

- INTV<sub>CC</sub>デカップリング・コンデンサは、INTV<sub>CC</sub>と電源 GND ピンの間で IC に近づけて接続します。このコンデンサは FET ドライバの電流ピークを伝送します。ノイズ性能を向上するために、DRV<sub>CC</sub> ピンと GND ピンの間に 1μF のセラミック・コンデンサを追加します。
- スイッチング・ノード (SW)、トップ・ゲート・ノード (TG)、昇圧ノード (BOOST) を、敏感な小信号ノード、特に電圧および電流の検出帰還ピンから遠ざけます。これらのノードはすべて、大きな信号が高速で移動します。したがって、ノードは ADPL74101 の出力側に配置し、PCB パターンの占有面積を最小限にします。
- 改良型のスター・グラウンド手法を使用します。つまり、PCB の入力コンデンサおよび出力コンデンサと同じ側にある低インピーダンスで広い銅領域を中心的な接地点とし、ここに INTV<sub>CC</sub>デカップリング・コンデンサの基部、帰還抵抗分圧器の基部、およびデバイスの GND ピンを接続します。

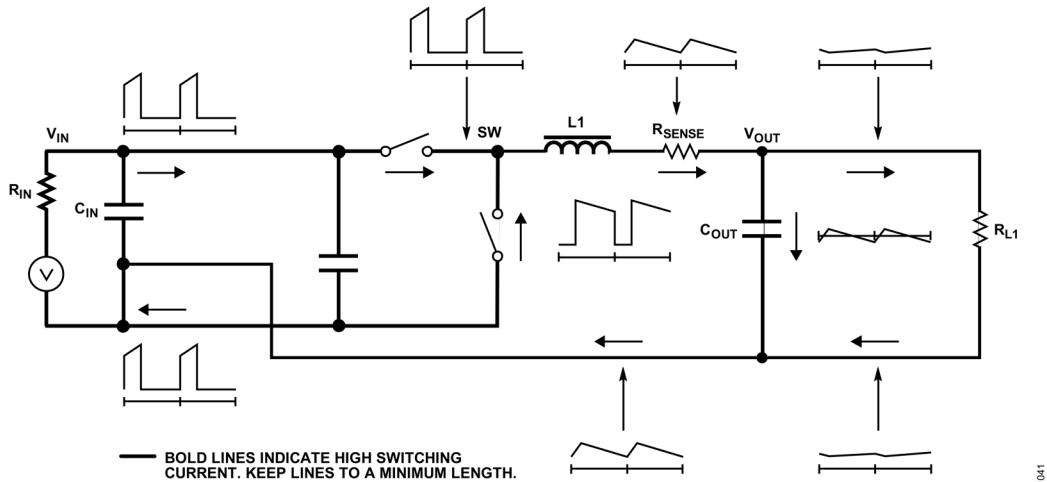


図 41. 分岐電流波形

### PCB レイアウトのデバッグ

回路のテスト中にインダクタの電流をモニタするには、DC~50MHz の電流プローブを使用します。出力スイッチング・ノード (SW ピン) をモニタして、オシロスコープを内部発振器に同期させ、実際の出力電圧も調べます。アプリケーションで予想される動作電圧および電流範囲で、適切な性能が達成されていることをチェックします。動作周波数は、ドロップアウト状態になるまでの入力電圧範囲で、また出力負荷が低電流動作閾値 (Burst Mode 動作時の最大設計電流レベルの 25% (代表値)) を下回るまで、維持される必要があります。

適切に設計された低ノイズの PCB を用いれば、デューティサイクルのパーセンテージがサイクル間で変動することはありません。低調波の周期でデューティサイクルが変動する場合、電流検出入力または電圧検出入力にノイズを拾っているか、またはループ補償が適切でない可能性があります。レギュレータの帯域幅を最適化する必要がない場合は、ループを過補償にして PCB レイアウトの不備を補うことができます。

V<sub>IN</sub> をその公称レベルから低下させ、ドロップアウト状態のレギュレータ動作を確認します。出力をモニタしながら更に V<sub>IN</sub> を下げて動作を確認し、低電圧ロックアウト回路の動作をチェックします。問題があるのは出力電流が大きいときのみ、または入力電圧が高いときのみであるかどうかを調べます。入力電圧が高かつ出力電流が小さいときに問題が発生する場合は、BOOST、SW、TG、場合によっては BG と、ノイズの影響を受けやすい電圧ピンおよび電流ピンとの間に容量性結合がないかを調べます。電流検出ピンの両端に、IC のピンに隣接してコンデンサを配置します。このコンデンサは、高周波容量性結合による差動ノイズの混入の影響を最小限に抑えるのに役立ちます。入力電圧が低く電流出力負荷が大きいときに問題が生じる場合は、C<sub>IN</sub>、上側 FET、下側 FET のそれぞれと、高感度の電流検出および電圧検出パターンとの誘導性結合を調べます。更に、これらの部品とデバイスの GND ピンとの間にある、共通 GND 経路の電圧ビクアップも調べます。

電流検出のリード線を逆方向に接続した場合、それ以外の点ではスイッチング・レギュレータが正しく動作するため、かえって見逃すおそれのある問題が生じます。このような不適切な接続状態でも出力電圧は維持されますが、電流モード制御の利点は得られません。電圧ループの補償の方が部品選択による影響にはるかに敏感です。この動作は、電流センス抵抗を一時的に短絡することで調べることができます。レギュレータによる出力電圧の制御は維持されます。

代表的なアプリケーション

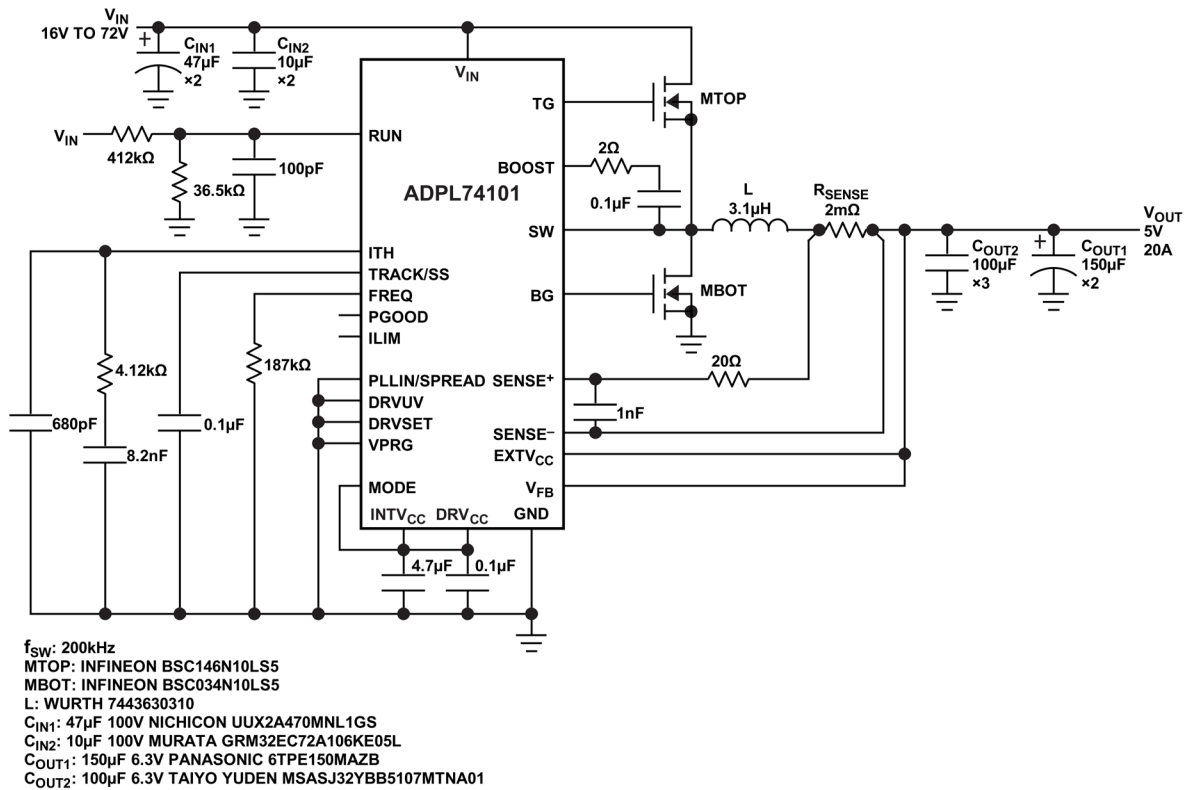


図 42. 高効率、5V<sub>OUT</sub> 20A の降圧レギュレータ

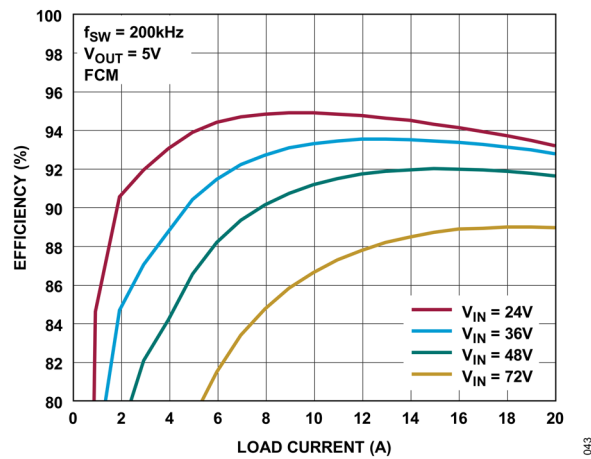
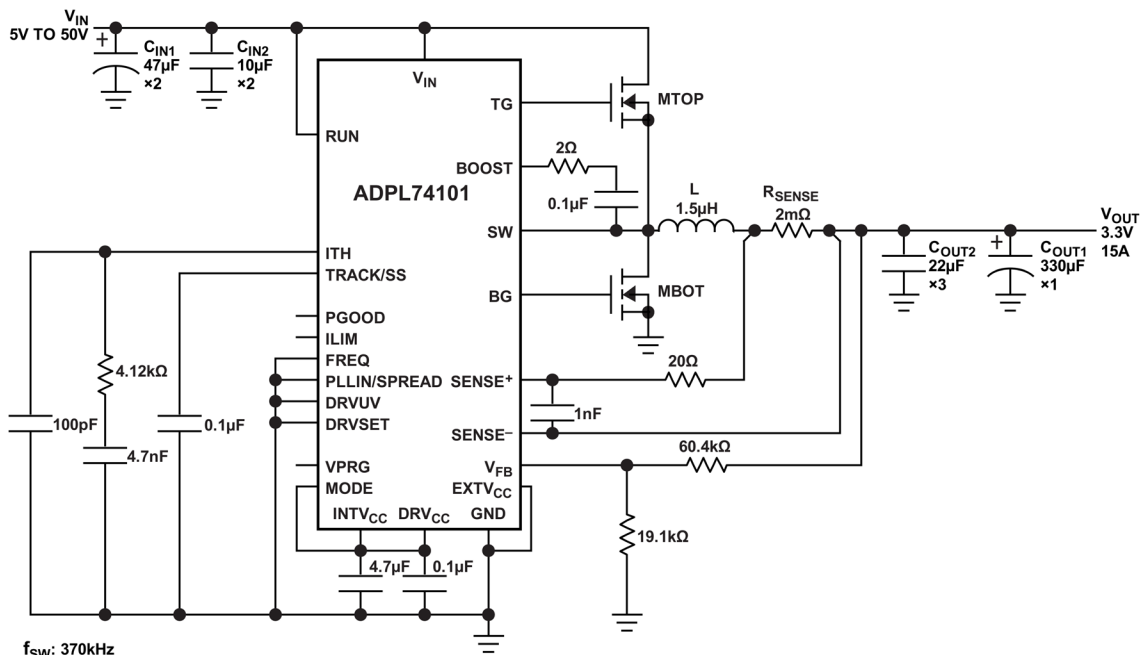


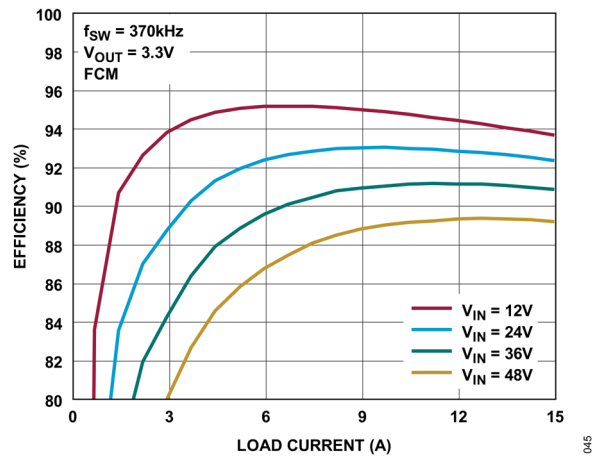
図 43. 図 42 の V<sub>OUT</sub> の効率と負荷電流の関係



$f_{SW}$ : 370kHz  
 MTOP: ONSEMI NTMFS5C670NL  
 MBOT: ONSEMI NTMFS5C646NL  
 L: COILCRAFT XGL1010-152  
 $C_{IN1}$ : 47µF 100V NICHICON UUX2A470MNL1GS  
 $C_{IN2}$ : 10µF 100V MURATA GRM32EC72A106KE05L  
 $C_{OUT1}$ : 330µF 6.3V PANASONIC 6TPE330MFL  
 $C_{OUT2}$ : 22µF 10V MURATA GRM31CR71A226K

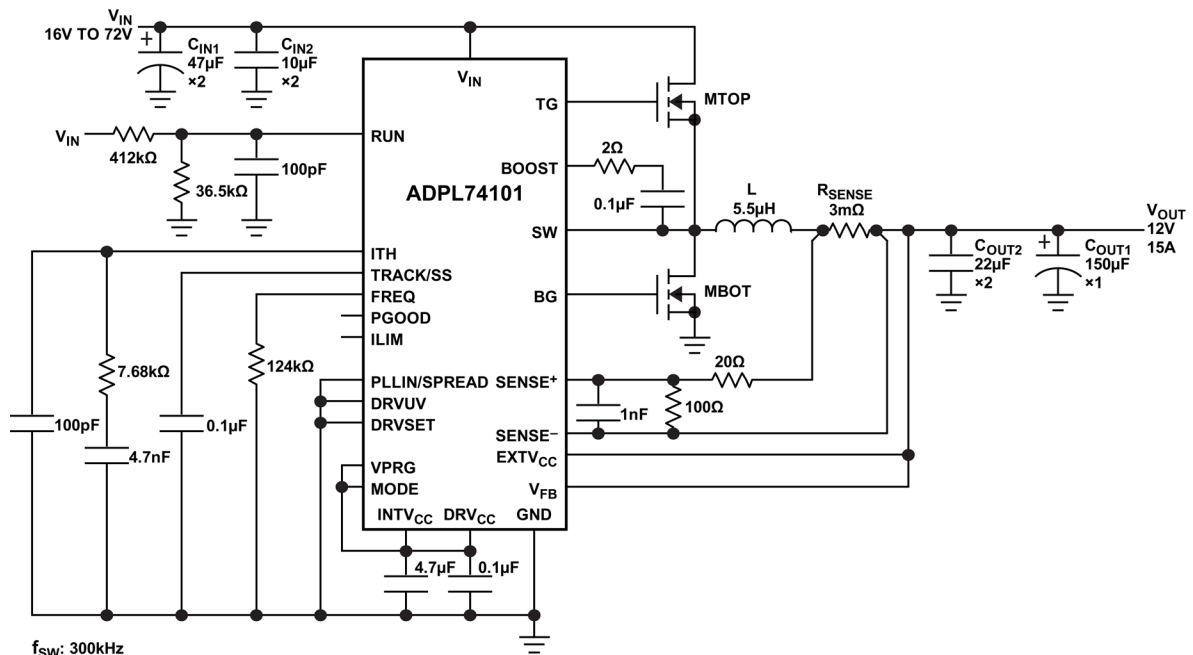
044

図 44. 高効率、3.3V<sub>OUT</sub>の降圧レギュレータ



045

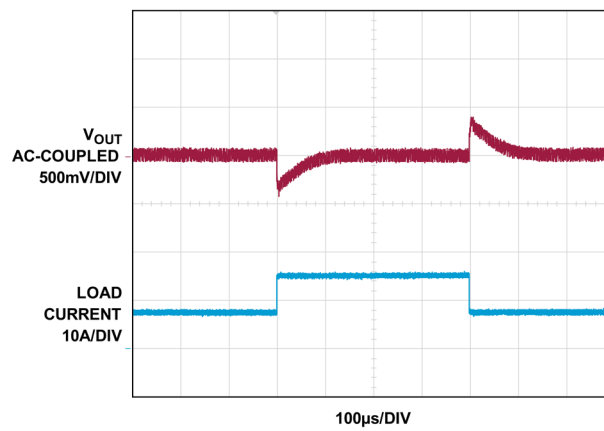
図 45. 図 44 の V<sub>OUT</sub> の効率と負荷電流の関係



- f<sub>SW</sub>: 300kHz
- MTOP: INFINEON BSC146N10LS5
- MBOT: INFINEON BSC070N10LS5
- L: WURTH 7443630550
- C<sub>IN1</sub>: 47µF 100V NICHICON UUX2A470MNL1GS
- C<sub>IN2</sub>: 10µF 100V MURATA GRM32EC72A106KE05L
- C<sub>OUT1</sub>: 150µF 16V PANASONIC 16TQC150MYF
- C<sub>OUT2</sub>: 22µF 25V AVX 12103D226MAT2A

046

図 46. 高効率、12V<sub>OUT</sub>の降圧レギュレータ



047

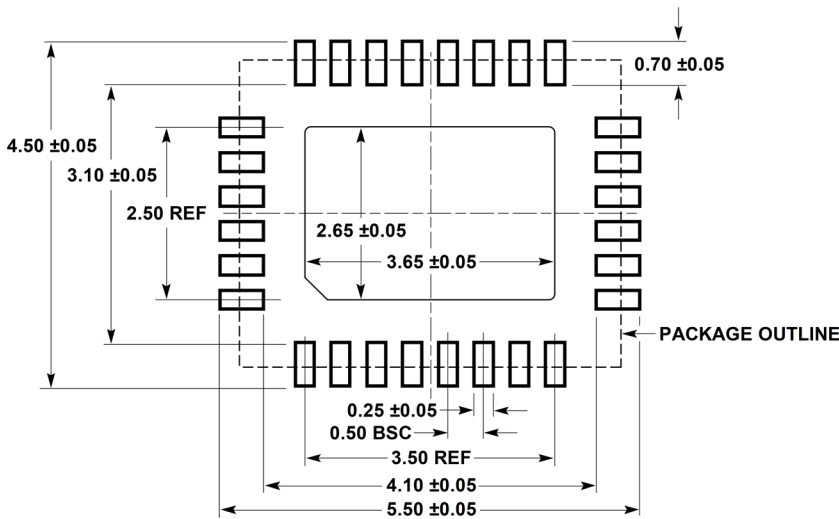
図 47. 図 46 の負荷ステップ応答

## 関連製品

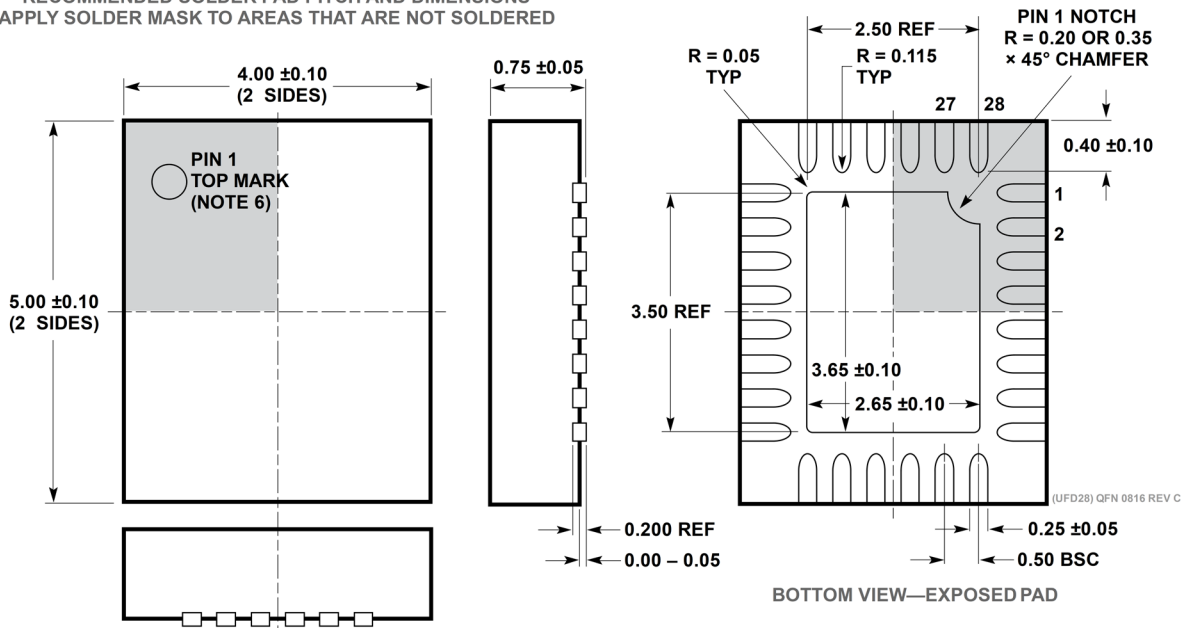
製品番号	説明	注釈
LTC7897	ゲート駆動を 5V~10V でプログラム可能な低 $I_Q$ の 140V 同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 140V$ , $V_{OUT}$ : 最大 135V、固定動作周波数: 100kHz~3MHz、4mm × 5mm、28 ピン・クワッド・フラット・ノー・リード (QFN)
LTC7810	150V、低 $I_Q$ 、デュアル、100%デューティサイクルの 2 相同期整流式降圧 DC/DC コントローラ、10V ゲート駆動	$4.5V \leq V_{IN} \leq 140V$ , $1V \leq V_{OUT} \leq 60V$ , $I_Q = 110\mu A$ 、PLL 固定周波数: 50kHz~750kHz、48 ピン、7mm × 7mm、eLQFP パッケージ
LTC7803	スペクトラム拡散機能を備えた 40V、低 $I_Q$ 、3MHz、同期整流式降圧コントローラ	PLL 固定周波数: 100kHz~3MHz、 $4.5V \leq V_{IN} \leq 40V$ , $I_Q = 12\mu A$ , $0.8V \leq V_{OUT} \leq 40V$ , 3mm × 3mm、16 ピン QFN パッケージ、16 ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)
LTC7805	40V、低 $I_Q$ 、デュアル、2 相、100%デューティサイクル同期整流式降圧コントローラ	PLL 固定周波数: 100kHz~3MHz、 $4.5V \leq V_{IN} \leq 40V$ , $I_Q = 14\mu A$ , $V_{OUT}$ : 最大 40V、4mm × 5mm、28 ピン QFN パッケージ
LTC7802	スペクトラム拡散機能を備えた 40V、低 $I_Q$ 、3MHz デュアル、2 相、同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 40V$ , $V_{OUT}$ : 最大 40V, $I_Q = 12\mu A$ 、PLL 固定周波数: 100kHz~3MHz、4mm × 5mm、28 ピン QFN パッケージ
LTC7800	60V、低 $I_Q$ 、高周波数同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 60V$ , $0.8V \leq V_{OUT} \leq 24V$ , $I_Q = 50\mu A$ 、PLL 固定周波数: 320kHz~2.25MHz、3mm × 4mm、20 ピン QFN パッケージ
LTC7804	スペクトラム拡散機能を備えた 40V、低 $I_Q$ 、3MHz、同期整流式昇圧コントローラ	$4.5V \leq V_{IN} \leq 40V$ , $V_{OUT}$ : 最大 40V、固定動作周波数: 100kHz~3MHz、3mm × 3mm、QFN-16
LTC3866	mΩ 以下の DCR による検出および差動出力検出機能を備えた 38V 同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 38V$ , $0.6V \leq V_{OUT} \leq 3.5V$ 、PLL 固定周波数: 250kHz~770kHz、4mm × 4mm、24 ピン QFN パッケージ、24 ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)
LTC3833	差動出力電圧の検出機能を備えた 38V 同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 38V$ , $0.6V \leq V_{OUT} \leq 5.5V$ 、PLL 固定周波数: 200kHz~2MHz、3mm × 4mm、20 ピン QFN パッケージ、20 ピン TSSOP
LTC7801	150V、低 $I_Q$ 、同期整流式降圧 DC/DC コントローラ	$4.5V \leq V_{IN} \leq 140V$ , $150V_{PK}$ , $0.8V \leq V_{OUT} \leq 60V$ , $I_Q = 40\mu A$ 、PLL 固定周波数: 50kHz~900kHz、4mm × 5mm、24 ピン QFN パッケージ、24 ピン TSSOP

外形寸法

**UFD Package**  
**28-Lead Plastic QFN (4mm x 5mm)**  
**(Reference LTC DWG # 05-08-1712 Rev C)**



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- NOTE:
1. DRAWING PROPOSED TO BE MADE A JEDEC PACKAGE OUTLINE MO-220 VARIATION (WGHD-3).
  2. DRAWING NOT TO SCALE
  3. ALL DIMENSIONS ARE IN MILLIMETERS
  4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
  5. EXPOSED PAD SHALL BE SOLDER PLATED
  6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

## オーダー・ガイド

表 8. オーダー・ガイド

MODEL	TEMPERATURE RANGE	PACKAGE DESCRIPTION	PACKAGE OPTION
ADPL74101ACPZ-RL	-40°C to +125°C	28-Lead (4mm x 5mm) Plastic Quad Flat No-lead (QFN) package	05-08-1712

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。