

4 ピン SOT23 パッケージのマニュアル・リセット付き 低消費電力監視回路

特長

- ▶ 低電源電流：温度範囲全体（+125°C）にわたって 3.6V で 5 μ A（代表値）、6.8 μ A（最大値）
- ▶ 工場出荷時設定のリセット閾値オプション：1.02V~4.8V、50mV/100mV 刻み
- ▶ マニュアル・リセット入力
- ▶ 有効なリセットを 1V 以上の V_{CC} に対し確保
- ▶ オープン・ドレインのリセット出力
- ▶ 電源過渡耐性
- ▶ 動作温度範囲：-40°C~+125°C

アプリケーション

- ▶ ポータブル/バッテリー駆動および産業用機器
- ▶ 電子書籍/タブレット
- ▶ スマートフォン

簡略アプリケーション回路図

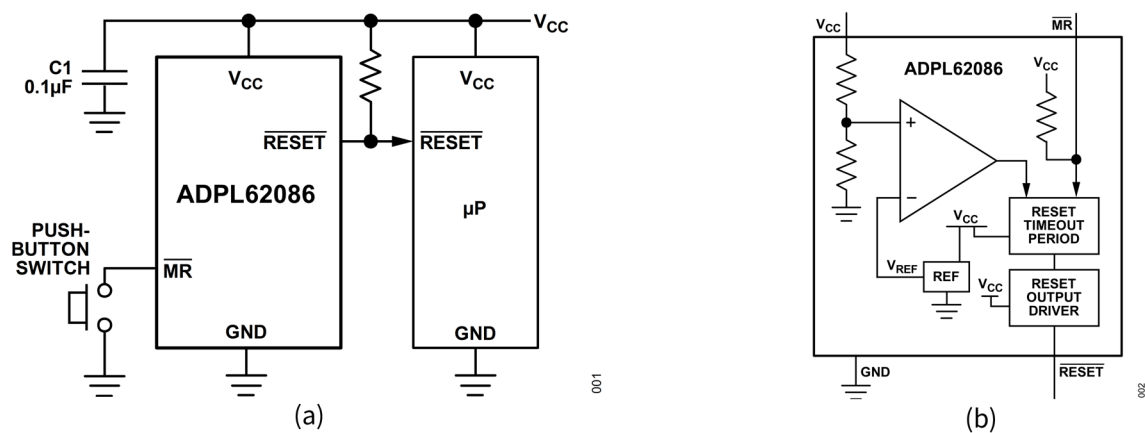


図 1. (a)代表的なアプリケーション回路と(b)機能ブロック図

改訂履歴

11/2024 - Rev 0: Initial Release

仕様

表 1. 電気的特性

(特に指定のない限り、 $V_{CC} = 1V \sim 5.5V$ 、 $C1 = 0.1\mu F$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は $T_A = +25^\circ C$ での値。¹⁾)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range	V_{CC}	²	1.0		5.5	V
V_{CC} Undervoltage Lockout	V_{CCUVLO}	³			0.9	V
Supply Current	I_{CC}	$V_{CC} = 5.5V$, no load		7	10	μA
		$V_{CC} = 3.6V$, $\overline{RESET}$ no load		5	6.8	μA
Threshold Voltage	V_{TH}	$T_A = -40^\circ C$ to $+125^\circ C$	$V_{TH} - 3.0\%$		$V_{TH} + 3.0\%$	V
Reset Threshold Hysteresis	V_{HYST}	V_{CC} rising		5		$\%V_{TH}$
Reset Threshold Tempco	$\Delta V_{TH}/^\circ C$			30		ppm/ $^\circ C$

RESET OUTPUT

Output Low ³	V_{OL}	$V_{CC} = V_{TH(MIN)}$, $V_{TH} > 4.25V$, $I_{SINK} = 10mA$			0.4	V
		$V_{CC} = V_{TH(MIN)}$, $V_{TH} > 2.5V$, $I_{SINK} = 3.2mA$			0.4	V
		$V_{CC} = V_{TH(MIN)}$, $V_{TH} > 1.67V$, $I_{SINK} = 1mA$			0.4	V
		$V_{CC} = V_{TH(MIN)}$, $V_{TH} > 1V$, $I_{SINK} = 100\mu A$			0.4	V
		$V_{CC} \geq 0.95V$, $I_{SINK} = 80\mu A$			0.4	V
		$V_{CC} > 0.9V$, V_{CC} falling, $I_{SINK} = 15\mu A$			0.4	V
High-Impedance Input Leakage Current		Reset not asserted		0.2	1	μA

MANUAL RESET INPUT ($\overline{MR}$)

$\overline{MR}$ Input High Voltage	V_{IH}		$0.7 \times V_{CC}$			V
$\overline{MR}$ Input Low Voltage	V_{IL}				$0.3 \times V_{CC}$	V
$\overline{MR}$ Pull-up Resistance			25	50	80	k Ω

TIMING

Reset Timeout Period	t_{RP}	$V_{CC1} = 1.1V \times V_{TH}$	$t_{RP} - 50\%$	t_{RP}	$t_{RP} + 50\%$	ms
----------------------	----------	--------------------------------	-----------------	----------	-----------------	----

(特に指定のない限り、 $V_{CC} = 1V \sim 5.5V$ 、 $C1 = 0.1\mu F$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は $T_A = +25^\circ C$ での値。¹⁾)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{MR}$ Minimum Pulse Width	t_{MPW}		1			μs
$\overline{MR}$ Glitch Rejection	t_{EGR}			100		ns
$\overline{MR}$ to Reset Delay				200		ns
V_{CC} to Reset Delay	t_{RD}	V_{CC} falling at $10mV/\mu s$ from $(V_{TH} + 100mV)$ to $(V_{TH} - 100mV)$		30		μs

¹⁾ 製品テストは $T_A = +25^\circ C$ でのみ行っています。加熱制限値は設計により確保されていますが、製品テストは行っていない。

²⁾ リセットは $V_{CC} = 1V$ まで確保されています。

³⁾ 設計により裏付けられていますが、製品テストは行っていない。

タイミング図

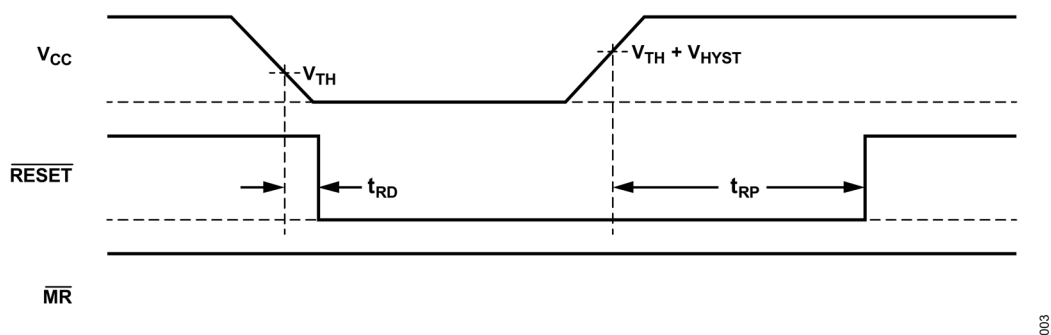


図 2. リセットのタイミング図

絶対最大定格

(特に指定のない限り、 $T_A = +25^{\circ}\text{C}$ 。)

表 2. 絶対最大定格

PARAMETER	RATING
V_{CC}	-0.3V to +6V
$\overline{\text{RESET}}$	-0.3V to +6V
$\overline{\text{MR}}$	-0.3V to ($V_{CC} + 0.3\text{V}$)
Input/Output Current (all pins)	20mA
Continuous Power Dissipation ($T_A = +70^{\circ}\text{C}$) (derate 3.4mW/ $^{\circ}\text{C}$ above $+70^{\circ}\text{C}$)	276mW
Operating Temperature Range	-40°C to $+125^{\circ}\text{C}$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Junction Temperature	$+150^{\circ}\text{C}$
Lead Temperature (soldering, 10s)	$+300^{\circ}\text{C}$
Soldering Temperature (reflow)	$+260^{\circ}\text{C}$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

パッケージ情報

表 3. パッケージ情報

4 SOT23	
Package Code	U4+1
Outline Number	21-0052
Land Pattern Number	90-0183
Thermal Resistance, Multilayer Board:	
Junction-to-Ambient (θ_{JA})	290°C/W
Junction-to-Case (θ_{JC})	100°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、[パッケージ索引](#)で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[IC パッケージの熱特性評価](#)を参照してください。

ピン配置およびピン機能の説明

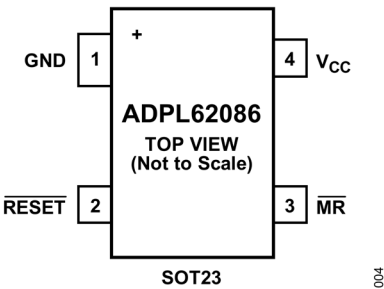


図 3. ピン配置

端子説明

表 4. 端子説明

端子	名称	説明
1	GND	グラウンド。
2	$\overline{\text{RESET}}$	アクティブ・ロー、オープン・ドレインのリセット出力。 V_{CC} がディテクタ閾値 (V_{TH}) 未満に低下するか、 $\overline{\text{MR}}$ がローにプルダウンされると、 $\overline{\text{RESET}}$ が高インピーダンスからアクティブ・ローへ変化します。 V_{CC} がリセット閾値を超え、 $\overline{\text{MR}}$ がハイになっても、リセット・タイムアウト時間の間、 $\overline{\text{RESET}}$ はローを維持します。
3	$\overline{\text{MR}}$	アクティブ・ローのマニュアル・リセット入力。リセットするにはローに駆動します。 $\overline{\text{MR}}$ がローである間、および、 $\overline{\text{MR}}$ がハイに駆動された後のリセット・タイムアウト時間の間（該当の場合）、リセットはアクティブ状態を維持します。 $\overline{\text{MR}}$ は内蔵プルアップ抵抗が V_{CC} に接続されており、使用しない場合は無接続のままにできます。
4	V_{CC}	電源電圧およびリセット閾値モニタ用入力。 V_{CC} ピンと GND ピンの間には、デバイスにできるだけ近い位置に 0.1 μF のデカップリング・コンデンサを配置することを推奨します。

代表的な性能特性

(特に指定のない限り、 $V_{CC} = 3.3V$ 、 $T_A = +25^\circ C$ 。)

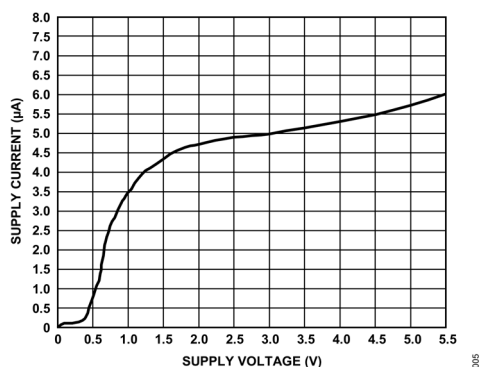


図 4. 電源電流と電源電圧の関係

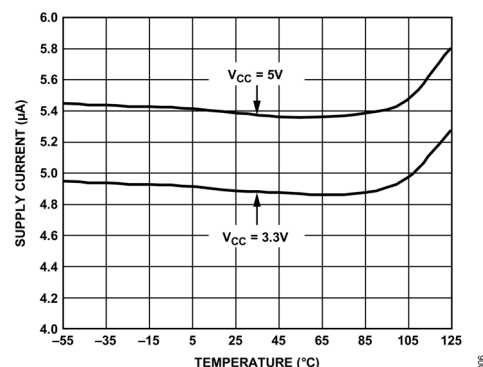


図 5. 電源電流と温度の関係

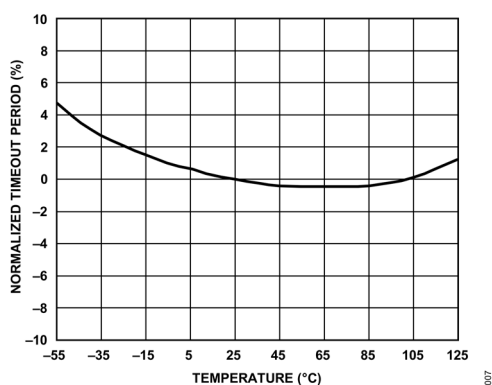


図 6. 正規化タイムアウト時間と温度の関係

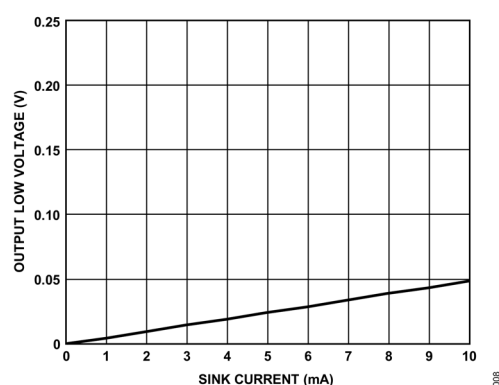


図 7. 出力ロー電圧とシンク電流の関係

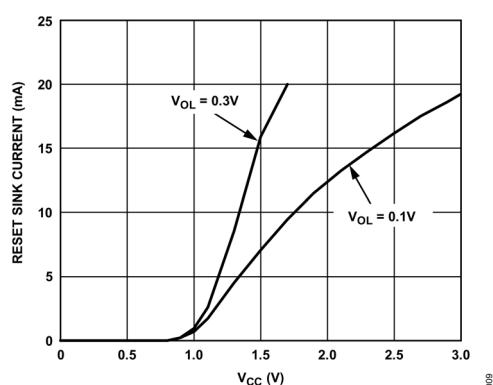


図 8. リセット・シンク能力と V_{CC} の関係

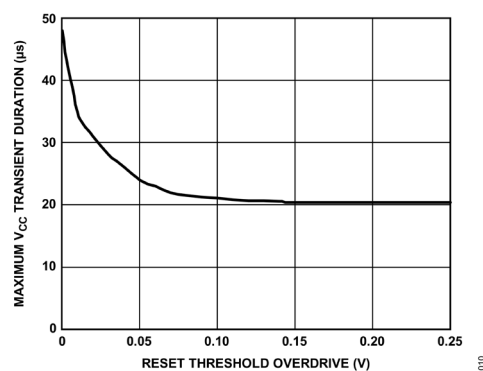


図 9. V_{CC} の最大トランジェント時間とリセット閾値オーバードライブの関係

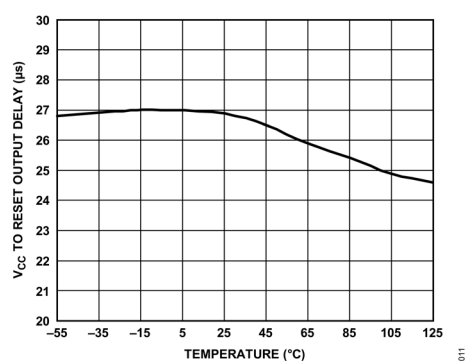


図 10. V_{CC} からリセットまでの出力遅延と温度の関係

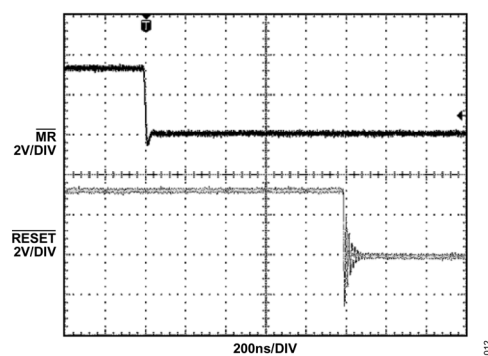


図 11. $\overline{\text{MR}}$ から $\overline{\text{RESET}}$ までの出力遅延

動作原理

ADPL62086 は、工場出荷時に設定されたリセット閾値を使用して 1.02V～4.8V の電圧をモニタする監視回路です。ADPL62086 にはマニュアル・リセット ($\overline{\text{MR}}$) 入力が備わっており、外部ロジック回路でリセットを開始できます。

ADPL62086 は、オープン・ドレインでアクティブ・ローのリセット出力を備えています。モニタ対象の電圧が閾値を上回るとリセット出力がアサートされ、リセット・タイムアウト時間が経過するまでアサートされたままになります。

電源およびモニタ対象入力 (V_{CC})

ADPL62086 は 1.0V～5.5V の V_{CC} 電源電圧で動作します。 V_{CC} には、 $V_{\text{TH}} + V_{\text{HYS}}$ の立上がり閾値と V_{TH} の立下がり閾値があります。 V_{CC} が $V_{\text{TH}} + V_{\text{HYS}}$ を超え、 $\overline{\text{MR}}$ がハイになると、リセット・タイムアウト時間 (t_{RP}) の経過後に $\overline{\text{RESET}}$ がハイになります。 V_{CC} が V_{TH} 未満に低下すると、固定遅延時間 (t_{RD}) の経過後に $\overline{\text{RESET}}$ がローになります。[図 2](#) を参照してください。 V_{CC} ピンと GND ピンの間には、デバイスにできるだけ近い位置に 0.1 μF のデカップリング・コンデンサを配置することを推奨します。

マニュアル・リセット入力 ($\overline{\text{MR}}$)

多くのマイクロプロセッサ (μP) ベースの製品には、マニュアル・リセット機能が必要となります。これにより、オペレータやテスト担当者によって、あるいは外部デジタル回路によってリセット信号を生成することが可能になります。 $\overline{\text{MR}}$ がロジックローになるとリセットがアサートされます。 $\overline{\text{MR}}$ がローの間、あるいは、 $\overline{\text{MR}}$ がハイに復帰後リセット・アクティブ・タイムアウト時間 (t_{RP}) または遅延時間 (t_{ON}) が経過するまでの間、リセットはアサートされたままになります。この入力には 50k Ω のプルアップ抵抗があるため、使用しない場合は無接続のままにできます。 $\overline{\text{MR}}$ は、TTL または CMOS のロジック・レベル、あるいは、オープン・ドレイン／コレクタ出力で駆動できます。マニュアル動作の場合、ノーマリ・オープンのもーメンタリ・スイッチを $\overline{\text{MR}}$ と GND の間に接続します。外付けのバウンス防止回路は不要です。 $\overline{\text{MR}}$ を長いケーブルで駆動する場合、または、デバイスをノイズの多い環境で用いる場合は、 $\overline{\text{MR}}$ とグラウンドの間に 0.1 μF のコンデンサを接続して、ノイズ耐性を強化します。

アプリケーション情報

双方向リセット・ピンを備えるマイクロプロセッサとのインターフェース

ADPL62086 の $\overline{\text{RESET}}$ はオープン・ドレインであるため、双方向リセット・ピンを備える μP と容易にインターフェースできます。デバイスの $\overline{\text{RESET}}$ 出力をプルアップ抵抗 1 つを用いて μP の $\overline{\text{RESET}}$ 入力に直接接続すると、どちらのデバイスからもリセットをアサートできます (図 12)。

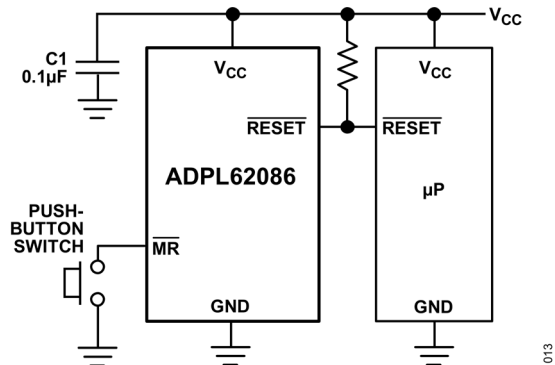


図 12. 双方向リセット・ピンを備えるマイクロプロセッサとのインターフェース

 V_{CC} の負方向へのトランジェントに対する ESD 保護

ADPL62086 は、 V_{CC} の短時間の負方向へのトランジェント（グリッチ）に対し、比較的耐性があります。図 9 は、代表的なトランジェント・パルス幅とリセットをトリガするのに必要な振幅の関係を示しています。リセット閾値オーバードライブは、パルスが実際のリセット閾値をどの程度下回るか指定するもので、最大トランジェント時間は、パルスがリセット閾値を下回る際のパルスの幅を指定するものです。パルスがこの曲線の上側の領域にある場合、リセットがトリガされます。パルスがこの曲線の下側の領域にある場合、リセットはトリガされません。 V_{CC} ピンと GND ピンの間には、デバイスにできるだけ近い位置に $0.1\mu\text{F}$ のデカップリング・コンデンサを配置することを推奨します。

オーダー・ガイド

表 5. オーダー・ガイド

PART NUMBER	TEMPERATURE RANGE	PIN-PACKAGE	TOP MARK
ADPL62086US16N+T	-40°C to +125°C	4 SOT23	KAKU
ADPL62086US29Q+T	-40°C to +125°C	4 SOT23	KAKV
ADPL62086US30E+T	-40°C to +125°C	4 SOT23	KAKW
ADPL62086US46N+T	-40°C to +125°C	4 SOT23	KAKX

+は鉛（Pb）フリー／RoHS 準拠のパッケージであることを示します。

T=テープ&リール。

選択ガイド

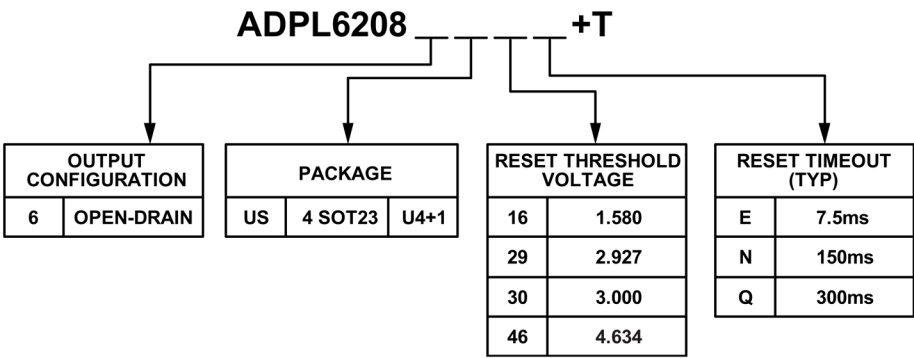


図 13. 選択ガイド

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。