

20V、200mA、低ノイズの CMOS LDO リニア・レギュレータ

特長

- ▶ 低ノイズ：固定出力電圧値に関わらず $20\mu\text{V}_{\text{RMS}}$
- ▶ 78dB の PSRR (10kHz、 $V_{\text{OUT}} \leq 5\text{V}$ 、 $V_{\text{IN}} = 7\text{V}$)
- ▶ 入力電圧範囲：2.7V~20V
- ▶ 最大出力電流：200mA
- ▶ 初期精度： $\pm 1\%$
- ▶ ライン、負荷、温度に対する精度
 - ▶ $\pm 1.8\%$ 、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$
- ▶ 低ドロップアウト電圧：220mV (200mA 負荷、 $V_{\text{OUT}} = 5\text{V}$ での代表値)
- ▶ ユーザ・プログラマブルなソフトスタート
- ▶ 低静止電流、 $I_{\text{GND}} = 80\mu\text{A}$ (無負荷時での代表値)
- ▶ 低シャットダウン電流： $V_{\text{IN}} = 5\text{V}$ 時に $1.8\mu\text{A}$ 、 $V_{\text{IN}} = 20\text{V}$ 時に $3.0\mu\text{A}$
- ▶ 小型の $2.2\mu\text{F}$ セラミック出力コンデンサで安定
- ▶ 固定出力電圧オプション：1.8V、2.5V、3.3V、5V
- ▶ 調整可能な出力範囲：1.2V~ $V_{\text{IN}} - V_{\text{DO}}$ (出力は初期設定値より大きい範囲で調整可能)
- ▶ 高精度イネーブル
- ▶ 6 ピン LFCSP (2mm × 2mm)、8 ピン SOIC

アプリケーション

- ▶ ノイズに敏感なアプリケーションのレギュレーション
 - ▶ ADC および DAC 回路、高精度アンプ、VCO V_{TUNE} 制御用電源
- ▶ 通信およびインフラストラクチャ
- ▶ 医療機器、ヘルスケア機器
- ▶ 工業用機器、計測機器

代表的なアプリケーション回路

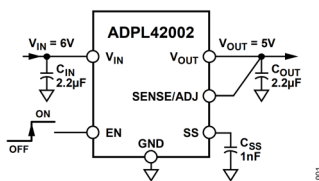


図 1. 固定出力電圧 5V の ADPL42002

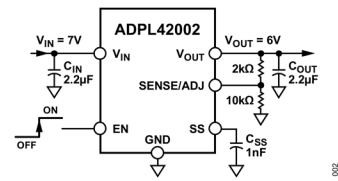


図 2. 5V 出力を 6V に調整した ADPL42002

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1
アプリケーション	1
概要	1
代表的なアプリケーション回路	1
改訂履歴	3
仕様	4
絶対最大定格	6
熱データ	6
熱抵抗	7
ピン配置およびピン機能の説明	8
端子説明	8
代表的な性能特性	9
動作原理	13
アプリケーション情報	14
設計ツール	14
コンデンサの選択	14
出力コンデンサ	14
入力バイパス・コンデンサ	14
プログラマブルな高精度イネーブル	14
ソフトスタート	16
調整可能モードの ADPL42002 でのノイズ低減	17
ノイズ低減がスタートアップ時間に及ぼす影響	17
電流制限と熱過負荷保護	18
プリント回路基板レイアウトに関する考慮事項	19
外形寸法	20
オーダー・ガイド	21

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/25	初版発行	–
1	3/25	特長のセクションで初期精度を±1%に更新	1
		表 2 でコンデンサ ESR の最小値を 0.001 に更新	5
		動作原理のセクションで静止電流の値を 240μF に更新	13
		プリント回路基板レイアウトに関する考慮事項のセクションで表 6 のリンクを削除	19

仕様

表 1. 電気的特性

(特に指定のない限り、 $V_{IN} = V_{OUT} + 1V$ または $2.7V$ のいずれか大きい方、 $V_{OUT} = 5V$ 、 $EN = V_{IN}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 2.2\mu F$ 、 C_{SS} = オープン、代表値は $T_A = 25^\circ C$ での値、最大値/最小値は $T_J = -40^\circ C \sim +125^\circ C$ での値。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range	V_{IN}		2.7		20	V
Operating Supply Current	I_{GND}	$I_{OUT} = 0\mu A$		80	170	μA
		$I_{OUT} = 200mA$		240	380	μA
Shutdown Current	I_{GND-SD}	$EN = GND$		1.8		μA
		$EN = GND, V_{IN} = 20V$		3.0	10	μA
Output Voltage Accuracy	V_{OUT}	$I_{OUT} = 10mA, T_J = 25^\circ C$	-1		+1	%
		$100\mu A < I_{OUT} < 200mA$, $V_{IN} = (V_{OUT} + 1V) \text{ to } 20V$	-1.8		+1.8	%
Line Regulation	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 1V) \text{ to } 20V$	-0.015		+0.015	%/V
Load Regulation ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100\mu A \text{ to } 200mA$		0.002	0.004	%/mA
Sense Input Bias Current	$SENSE_{I-BIAS}$	$100\mu A < I_{OUT} < 200mA$, $V_{IN} = (V_{OUT} + 1V) \text{ to } 20V$		10	1000	nA
Dropout Voltage ²	$V_{DROPOUT}$	$I_{OUT} = 10mA$		30	60	mV
		$I_{OUT} = 200mA$		220	450	mV
Start-Up Time ³	$t_{START-UP}$	$V_{OUT} = 5V$		400		μs
Soft Start Source Current	$SS_{I-SOURCE}$	$SS = GND$		1.15		μA
Current-Limit Threshold ⁴	I_{LIMIT}		250	360	460	mA

THERMAL SHUTDOWN

Threshold	TS_{SD}	T_J rising		150		$^\circ C$
Hysteresis	TS_{SD-HYS}			15		$^\circ C$

UNDERVOLTAGE THRESHOLDS

Input Voltage Rising	$UVLO_{RISE}$				2.7	V
Input Voltage Falling	$UVLO_{FALL}$		2.2			V
Hysteresis	$UVLO_{HYS}$			230		mV

PRECISION EN INPUT

Logic High	EN_{HIGH}	$2.7V \leq V_{IN} \leq 20V$	1.15	1.22	1.30	V
Logic Low	EN_{LOW}		1.06	1.12	1.18	V
Logic Hysteresis	EN_{HYS}			100		mV
Leakage Current	I_{EN-LKG}	$EN = V_{IN} \text{ or } GND$		0.04	1	μA
Delay Time	t_{EN-DLY}	From EN rising from 0V to V_{IN} to $0.1 \times V_{OUT}$		80		μs

(特に指定のない限り、 $V_{IN} = V_{OUT} + 1V$ または $2.7V$ のいずれか大きい方、 $V_{OUT} = 5V$ 、 $EN = V_{IN}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 2.2\mu F$ 、 $C_{SS} = \text{オープン}$ 、代表値は $T_A = 25^\circ C$ での値、最大値/最小値は $T_J = -40^\circ C \sim +125^\circ C$ での値。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Noise	OUT_{NOISE}	10Hz to 100kHz, all output voltage options		20		μV_{RMS}
Power Supply Rejection Ratio	PSRR	1MHz, $V_{IN} = 7V$, $V_{OUT} = 5V$		40		dB
		100kHz, $V_{IN} = 7V$, $V_{OUT} = 5V$		58		dB
		10kHz, $V_{IN} = 7V$, $V_{OUT} = 5V$		78		dB

¹ $100\mu A$ と $200mA$ の負荷を使用したエンドポイント計算に基づきます。 $1mA$ 未満の負荷に対する代表的な負荷レギュレーション性能については、図 6 を参照してください。

² ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。ドロップアウト電圧は、 $2.7V$ を超える出力電圧に対してのみ適用されます。

³ スタートアップ時間は、 EN の立上がりエッジから OUT が公称値の 90% になるまでの時間として定義されます。

⁴ 電流制限の閾値は、出力電圧が規定代表値の 90% に低下する電流値として定義されます。例えば、 $5.0V$ 出力電圧の電流制限値は、出力電圧が $5.0V$ の 90% ($4.5V$) に低下する電流値として定義されます。

表 2. 電気的特性

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT AND OUTPUT CAPACITANCE						
Minimum Capacitance ¹	C_{MIN}	$T_A = -40^\circ C$ to $+125^\circ C$	1.5			μF
Capacitor Effective Series Resistance (ESR)	R_{ESR}	$T_A = -40^\circ C$ to $+125^\circ C$	0.001		0.3	Ω

¹ 最小入力容量と最小出力容量は、全動作範囲で $1.5\mu F$ より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの動作条件の全範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用を推奨します。Y5V コンデンサと Z5U コンデンサはすべての LDO に推奨できません。

絶対最大定格

表 3. 絶対最大定格

PARAMETER	RATING
V_{IN} to GND	-0.3V to +24V
V_{OUT} to GND	-0.3V to V_{IN}
EN to GND	-0.3V to +24V
SENSE/ADJ to GND	-0.3V to +6V
SS to GND	-0.3V to V_{IN} or +6V (whichever is less)
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J)	150°C
Operating Ambient Temperature (T_A) Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱データ

絶対最大定格は、組合わせではなく個別に適用されます。ジャンクション温度の制限値を超えると、ADPL42002 が損傷を受けることがあります。周囲温度を監視しても、 T_J が仕様規定の温度内とは限らない場合があります。消費電力が大きく、熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路基板（PCB）の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度がこの最大値を超えてもかまいません。デバイスのジャンクション温度は、周囲温度、デバイスの消費電力（ P_D ）、パッケージのジャンクション-周囲間の熱抵抗（ θ_{JA} ）に依存します。

最大 T_J は次式を使って T_A と P_D から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (1)$$

パッケージの θ_{JA} は、4 層ボードを使ったモデリングと計算に基づいています。 θ_{JA} は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 θ_{JA} の値は、PCB 材料、レイアウト、環境条件に応じて変化します。 θ_{JA} の規定値は、4 インチ × 3 インチの 4 層回路ボードに基づいています。ボード構造については JESD51-7 と JESD51-9 を参照してください。

Ψ_{JB} はジャンクション-ボード間の熱特性評価パラメータで、単位は $^{\circ}\text{C}/\text{W}$ です。パッケージの Ψ_{JB} は、4 層ボードを使ったモデリングと計算に基づいています。JESD51-12「Guidelines for Reporting and Using Electronic Package Thermal Information」には、熱特性評価パラメータは熱抵抗と同じではないと記載されています。 Ψ_{JB} は、熱抵抗 (θ_{JB}) の場合のように 1 つのパスではなく、複数のサーマル・パスを通過する電力成分を表します。したがって、 Ψ_{JB} サーマル・パスには、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで Ψ_{JB} を有効にしているファクタなどがあります。最大 T_J は次式を使ってボード温度 (T_B) と P_D から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (2)$$

Ψ_{JB} の詳細については、JESD51-8 と JESD51-12 を参照してください。

熱抵抗

θ_{JA} 、 θ_{JC} 、 Ψ_{JB} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Ψ_{JB}	UNIT
6-Lead LFCSP	72.1	42.3	47.1	$^{\circ}\text{C}/\text{W}$
8-Lead SOIC	52.7	41.5	32.7	$^{\circ}\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

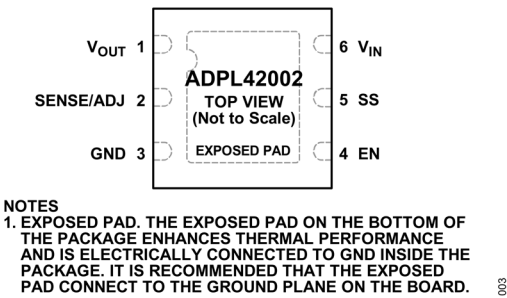


図 3. 6 ピン LFCSP のピン配置

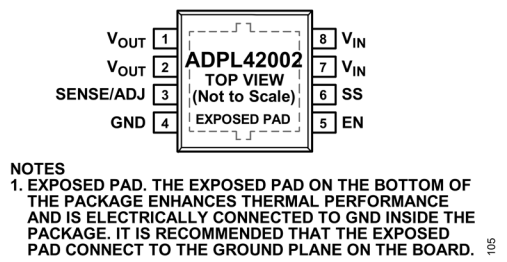


図 4. 8 ピン SOIC のピン配置

端子説明

表 5. 端子説明

ピン		名称	説明
6 ピン LFCSP	8 ピン SOIC		
1	1, 2	V _{OUT}	安定化された出力電圧。V _{OUT} は、2.2μF 以上のコンデンサで GND にバイパスしてください。
2	3	SENSE/ADJ	センス入力（SENSE）。負荷に接続してください。外付けの抵抗分圧器を使用することで、固定出力電圧より高い出力電圧にも設定できます（ADJ）。
3	4	GND	グラウンド。
4	5	EN	LDO の動作を制御するイネーブル・ピン。EN をハイにするとレギュレータがオンになります。EN をローにするとレギュレータがオフになります。自動スタートアップの場合は、EN を V _{IN} に接続してください。
5	6	SS	ソフトスタート。このピンに接続される外付けコンデンサによって、ソフトスタート時間が決まります。標準のスタートアップ時間（380μs）を使用する場合、このピンはオープンにしてください。このピンはグラウンドに接続しないでください。DS のその他の場合の標準的なソフトスタート時間は 400μs です。
6	7, 8	V _{IN}	レギュレータの入力電源。V _{IN} は、2.2μF 以上のコンデンサで GND にバイパスしてください。
		EP	露出パッド。パッケージ底面の露出パッドは熱性能を強化します。露出パッドは、パッケージ内部で GND に電氣的に接続されています。露出パッドは基板のグラウンド・プレーンに接続することを推奨します。

代表的な性能特性

特に指定のない限り、 $V_{IN} = V_{OUT} + 1V$ または $2.7V$ のいずれか大きい方、 $V_{OUT} = 5V$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 2.2\mu F$ 、 $T_A = 25^\circ C$ 。

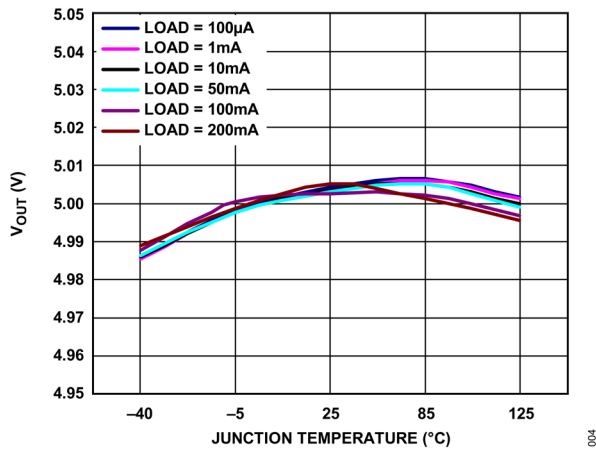
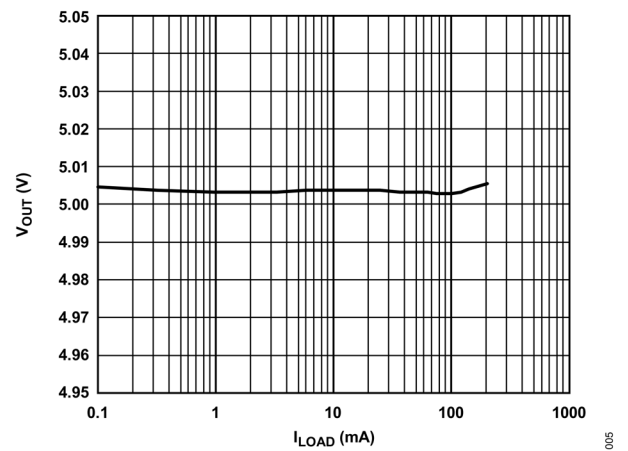
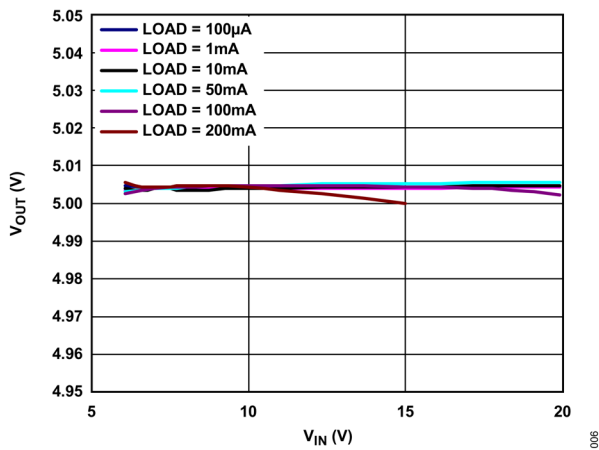
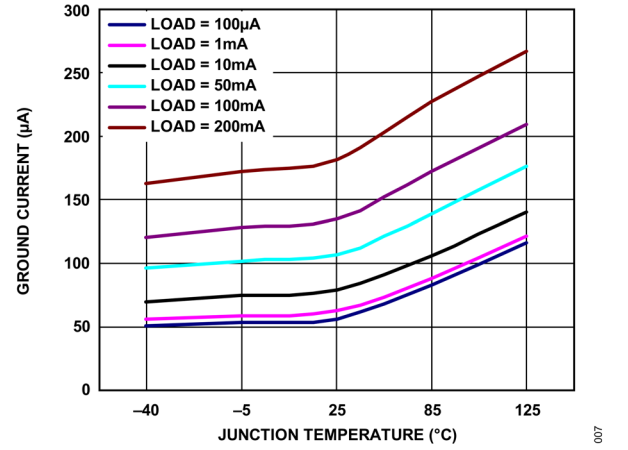
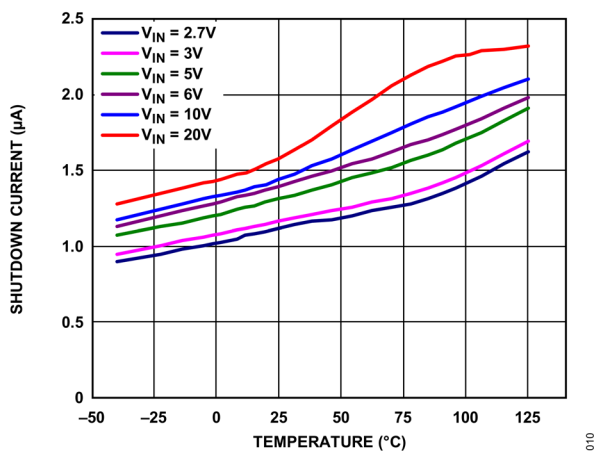
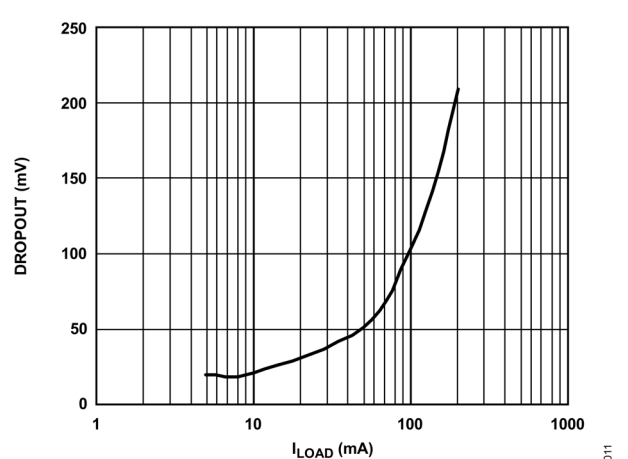
図 5. 出力電圧 (V_{OUT}) とジャンクション温度の関係図 6. 出力電圧 (V_{OUT}) と負荷電流 (I_{LOAD}) の関係図 7. 出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係

図 8. グラウンド電流とジャンクション温度の関係

図 9. 様々な入力電圧 (V_{IN}) でのシャットダウン電流と温度の関係図 10. ドロップアウト電圧と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = 5V$

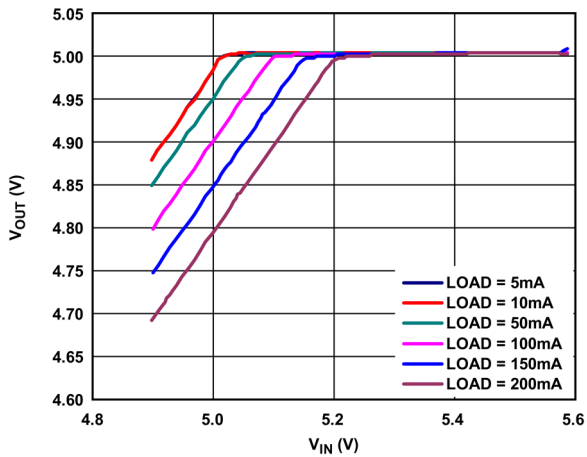


図 11. ドロップアウト時における出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = 5V$

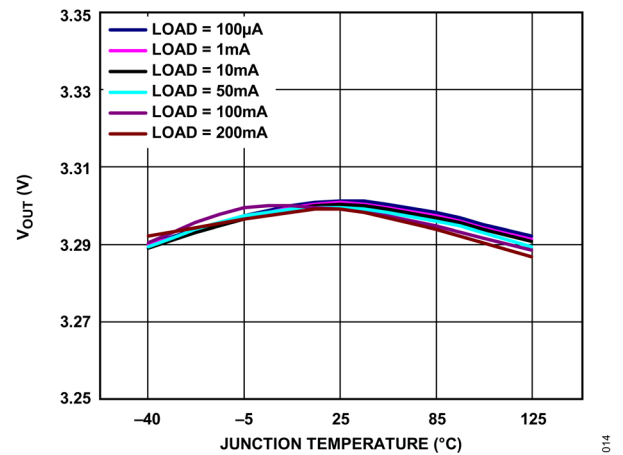


図 12. 出力電圧 (V_{OUT}) とジャンクション温度 (T_J) の関係、 $V_{OUT} = 3.3V$

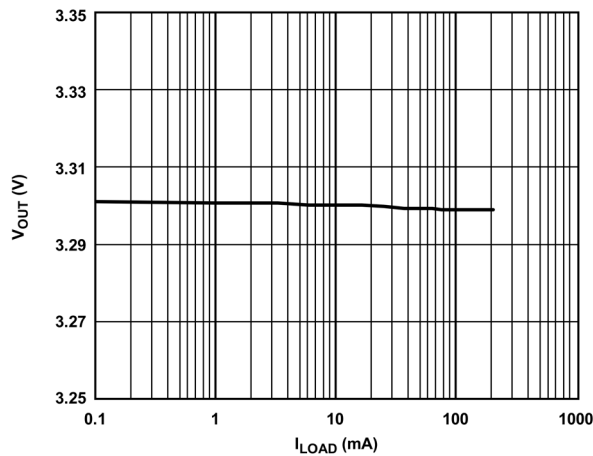


図 13. 出力電圧 (V_{OUT}) と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = 3.3V$

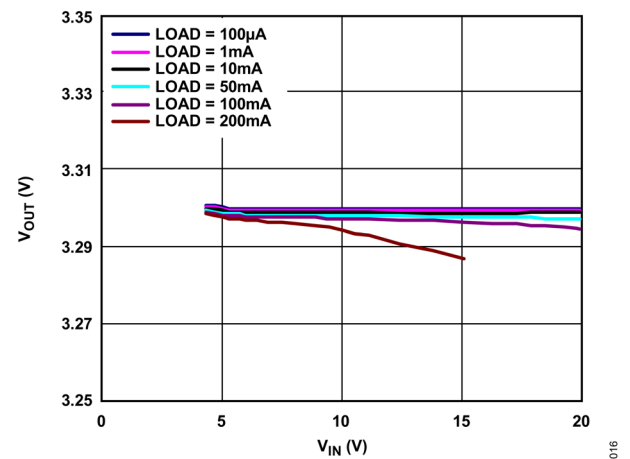


図 14. 出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = 3.3V$

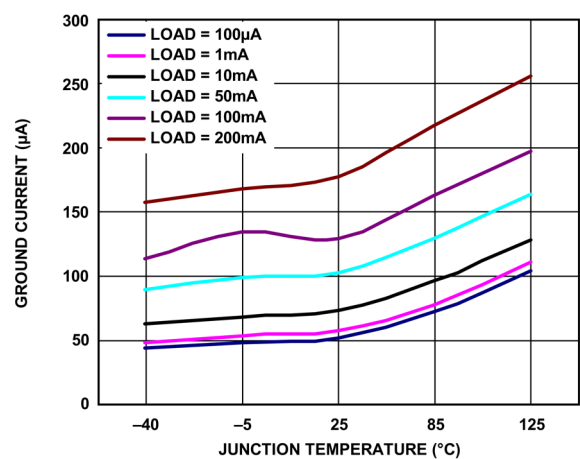


図 15. グラウンド電流とジャンクション温度 (T_J) の関係、 $V_{OUT} = 3.3V$

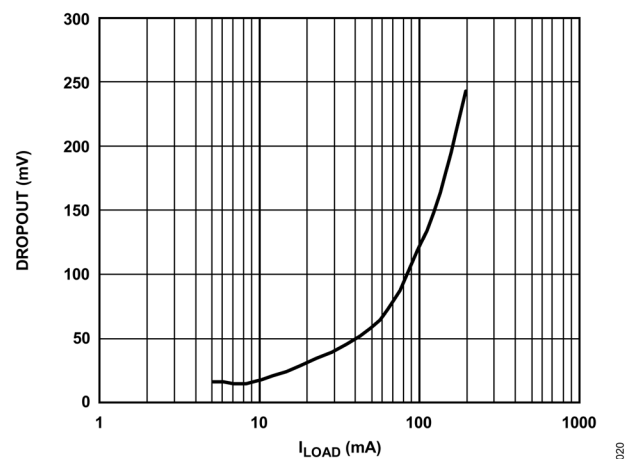


図 16. ドロップアウト電圧と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = 3.3V$

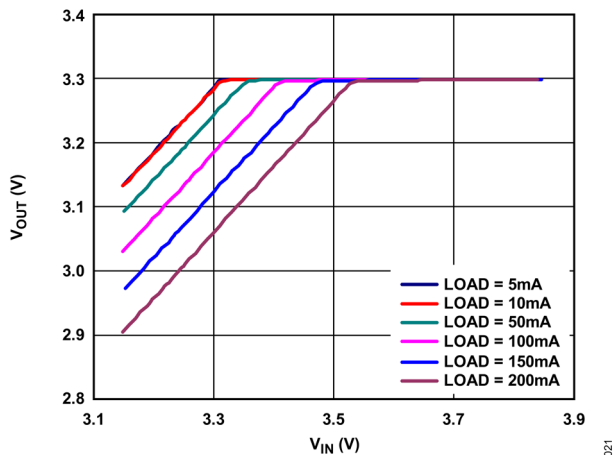


図 17. ドロップアウト時における出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = 3.3V$

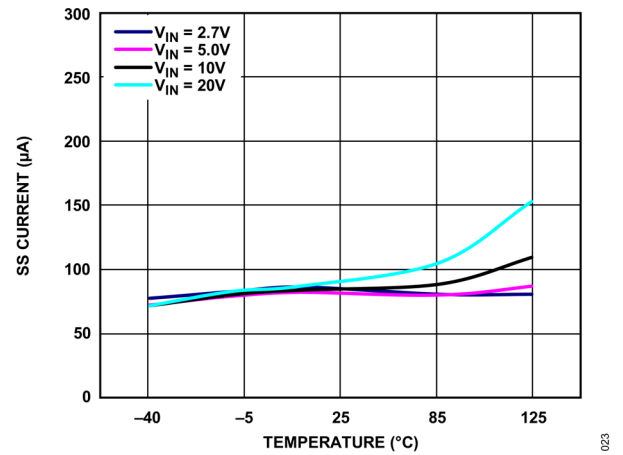


図 18. 様々な入力電圧 (V_{IN}) でのソフトスタート (SS) 電流と温度の関係、 $V_{OUT} = 5V$

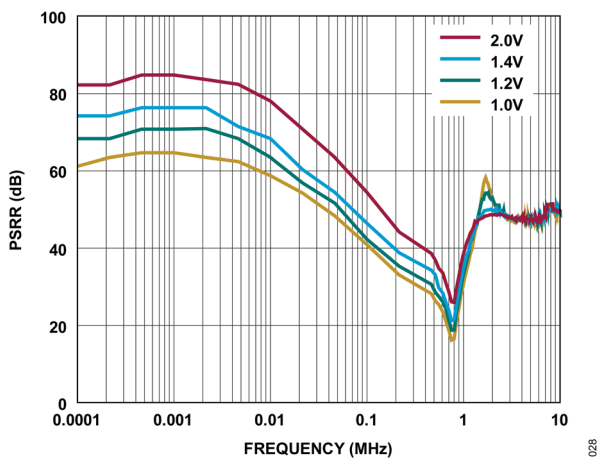


図 19. 様々なヘッドルーム電圧での電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} = 5V$

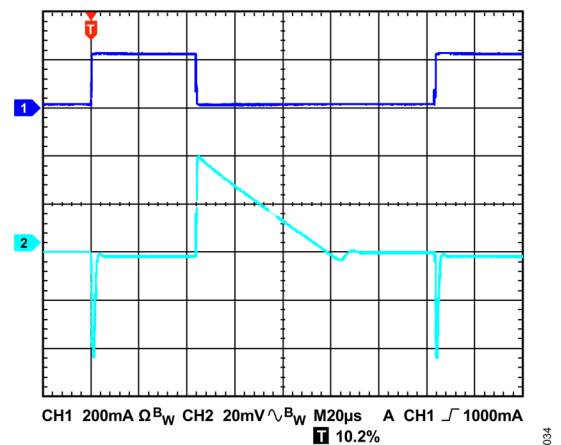


図 20. 負荷過渡応答、 $I_{LOAD} = 1mA \sim 200mA$ 、 $V_{OUT} = 5V$ 、 $V_{IN} = 7V$ 、CH1 は負荷電流、CH2 は V_{OUT}

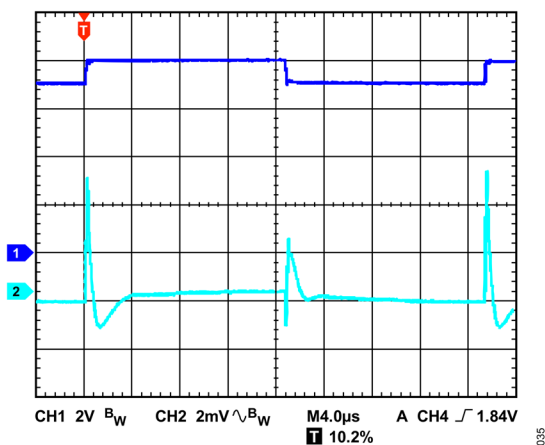


図 21. ライン過渡応答、 $I_{LOAD} = 200mA$ 、 $V_{OUT} = 5V$ 、CH1 は V_{IN} 、CH2 は V_{OUT}

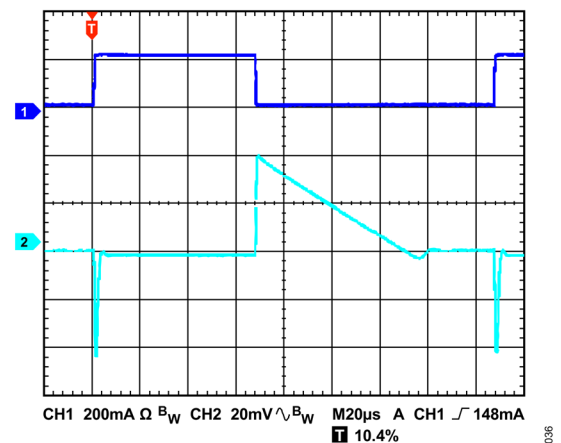


図 22. 負荷過渡応答、 $I_{LOAD} = 1mA \sim 200mA$ 、 $V_{OUT} = 3.3V$ 、 $V_{IN} = 5V$ 、CH1 は負荷電流、CH2 は V_{OUT}

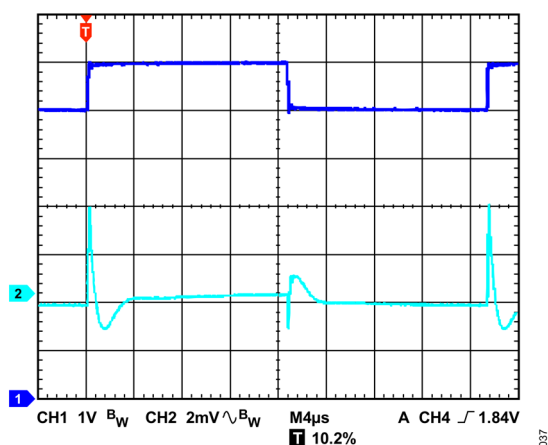


図 23. ライン過渡応答、 $I_{LOAD} = 200mA$ 、 $V_{OUT} = 3.3V$ 、
CH1 は V_{IN} 、CH2 は V_{OUT}

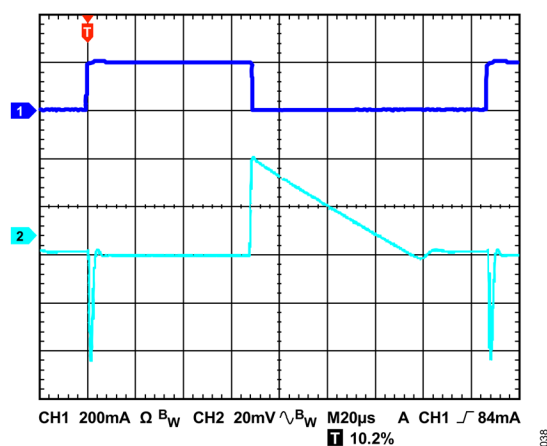


図 24. 負荷過渡応答、 $I_{LOAD} = 1mA \sim 200mA$ 、 $V_{OUT} = 1.8V$ 、
 $V_{IN} = 3V$ 、CH1 は負荷電流、CH2 は V_{OUT}

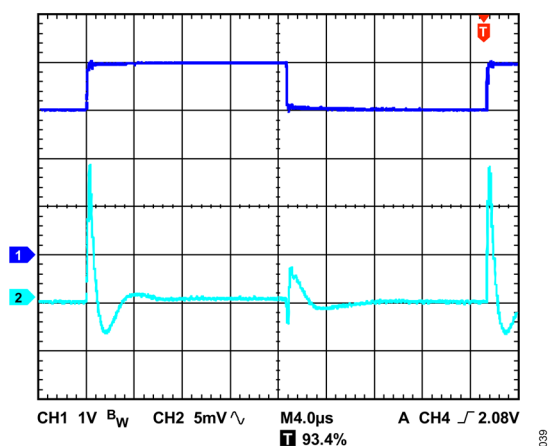


図 25. ライン過渡応答、 $I_{LOAD} = 200mA$ 、 $V_{OUT} = 1.8V$ 、
CH1 は V_{IN} 、CH2 は V_{OUT}

動作原理

ADPL42002 は、2.7V～20V で動作し、最大 200mA の電流を出力する低静止電流の LDO リニア・レギュレータです。全負荷時に流れる静止電流が 240μA（代表値）と低いため、ポータブル機器に最適です。シャットダウン時の消費電流は室温で 3μA（代表値）未満です。

ADPL42002 は、小型の 2.2μF セラミック・コンデンサを使用するように最適化されており、優れたトランジェント性能を備えています。

ADPL42002 の内部は、リファレンス（電圧源）、エラー・アンプ、PMOS パス・トランジスタで構成されています。出力電流は、エラー・アンプによって制御される PMOS パス・デバイスを経由して供給されます。エラー・アンプはリファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低いと、PMOS デバイスのゲート電圧が低くなるので、通過する電流が増え、出力電圧が上昇します。帰還電圧がリファレンス電圧より高いと、PMOS デバイスのゲート電圧が高くなるので、通過する電流が減り、出力電圧が低下します。

ADPL42002 には、1.2V～5.0V の範囲で 4 つの固定出力電圧オプションがあります。ADPL42002 のアーキテクチャでは、外付け分圧器を使用することですべての固定出力電圧をより高い電圧に設定できます。例えば、5V の固定出力は、次式に従って 6V 出力に設定できます。

$$V_{OUT} = 5V (1 + R1/R2) \quad (3)$$

ここで、R1 と R2 は図 26 に示す出力分圧器の抵抗です。

調整可能な ADPL42002 の出力電圧を設定する場合は、式 3 の 5V を 1.2V に置き換えます。

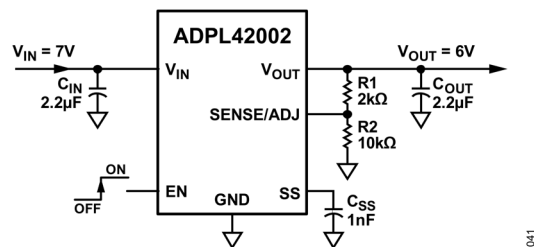


図 26. 出力電圧を調整する場合の代表的なアプリケーション図

SENSE/ADJ ピンの入力電流によって生じる出力電圧誤差を小さくするため、R2 の値は 200kΩ 未満にすることを推奨します。例えば、R1 と R2 が 200kΩ でデフォルトの出力電圧が 1.2V の場合、調整後の出力電圧は 2.4V になります。25°C での SENSE/ADJ ピンの入力電流を 10nA（代表値）とすると、SENSE/ADJ ピン入力電流によって生じる出力電圧誤差は 1mV、すなわち 0.04% になります。

ADPL42002 では、EN ピンを使用して、通常動作状態で VOUT ピンをイネーブル/ディスエーブルします。EN がハイのとき VOUT はオンになり、EN がローのとき VOUT はオフになります。自動スタートアップの場合は、EN を VIN に接続します。

アプリケーション情報

設計ツール

ADPL42002 は設計ツールである LTpowerCAD®と LTspice®でサポートされており、電源設計とシミュレーションのすべてを行うことができます。設計ツールの詳細については、ADPL42002 の製品ページ (www.analog.com/jp/ADPL42002) を参照してください。

コンデンサの選択

出力コンデンサ

ADPL42002 は、省スペースの小型セラミック・コンデンサで動作するように設計されていますが、等価直列抵抗 (ESR) 値に注意すれば、汎用のコンデンサでも動作します。出力コンデンサの ESR は、LDO 制御ループの安定性に影響します。ADPL42002 を安定に動作させるには、ESR が 0.3Ω 以下で最小 $2.2\mu\text{F}$ のコンデンサの使用を推奨します。負荷電流の変化に対する過渡応答も、出力コンデンサの影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADPL42002 の過渡応答を改善することができます。出力容量が $2.2\mu\text{F}$ の場合の過渡応答を図 27 に示します。

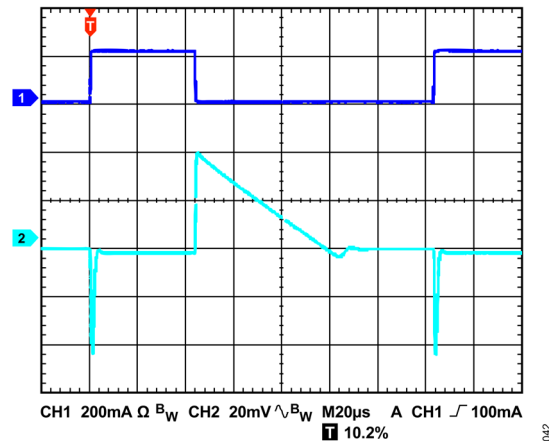


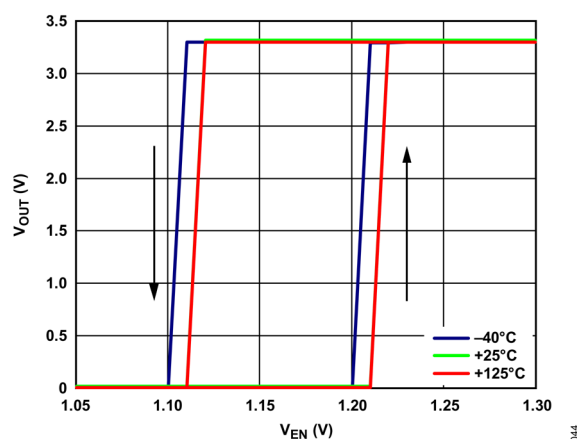
図 27. 出力過渡応答、 $V_{\text{OUT}} = 5\text{V}$ 、 $C_{\text{OUT}} = 2.2\mu\text{F}$ 、CH1 は負荷電流、CH2 は V_{OUT}

入力バイパス・コンデンサ

V_{IN} と GND の間に $2.2\mu\text{F}$ のコンデンサを接続すると、特に入力の配線パターンが長い場合やソース・インピーダンスが高い場合に、PCB レイアウトに対する回路の感度を下げることができます。出力コンデンサで $2.2\mu\text{F}$ を超える容量が必要な場合は、これに対応して入力コンデンサの値も増やします。

プログラマブルな高精度イネーブル

ADPL42002 では、EN ピンを使用して、通常動作状態で V_{OUT} ピンをイネーブル/ディスエーブルします。図 28 に示すように、EN の電圧が上昇して 1.2V (公称値) の上側閾値を上回ると、 V_{OUT} がオンします。EN の電圧が下降して 1.1V (公称値) の下側閾値を下回ると、 V_{OUT} がオフします。EN 閾値のヒステリシスは約 100mV です。

図 28. EN ピン動作に対する代表的な V_{OUT} 応答

上側と下側の閾値はユーザ・プログラマブルで、2 個の抵抗を使用して公称 1.2V の閾値より高く設定することができます。抵抗値 R_{EN1} と R_{EN2} は次式によって求められます。

$$R_{EN2} = \text{nominally } 10\text{k}\Omega \text{ to } 100\text{k}\Omega \quad (5)$$

$$R_{EN1} = R_{EN2} \times (V_{IN} - 1.2\text{V}) / 1.2\text{V} \quad (6)$$

ここで、 V_{IN} は目的のオン電圧です。

ヒステリシス電圧は $(R_{EN1} + R_{EN2}) / R_{EN2}$ 倍に増加します。図 29 に示す例では、イネーブル閾値は 3.6V で、ヒステリシスは 300mV です。

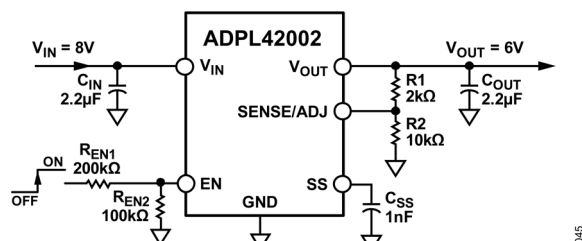


図 29. EN ピンの代表的な分圧器

EN ピンの代表的なヒステリシスを図 28 に示します。このヒステリシスは、EN ピンが閾値を通過するときに EN のノイズにより発生するおそれのあるオン／オフ発振を防止します。

ソフトスタート

ADPL42002 は内部ソフトスタート機能を使って、出力をイネーブルしたときの突入電流を制限します（SS ピンがオープンになっている場合）。3.3V オプションでのスタートアップ時間は、EN がアクティブ閾値を通過してから、出力が最終値の 90% に達するまでの約 400 μ s です。図 30 に示すように、スタートアップ時間は出力電圧の設定には依存しません。

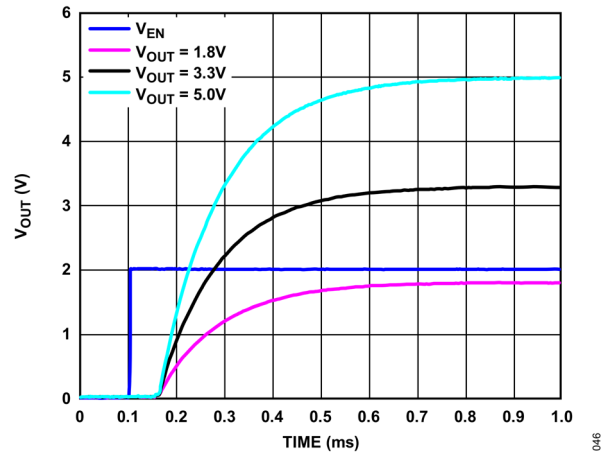


図 30. 代表的なスタートアップ動作

外付けコンデンサを SS ピンに接続することでソフトスタート時間を設定します。SS ピンをオープンにすると、標準のスタートアップ時間である 400 μ s になります。このピンはグラウンドに接続しないでください。外付けのソフトスタート・コンデンサ (C_{SS}) を使用した場合のソフトスタート時間は次式で求められます。

$$SS_{TIME} \text{ (sec)} = t_{START-UP \text{ at } 0pF} + (0.6 \times C_{SS})/I_{SS} \quad (7)$$

ここで、

$t_{START-UP \text{ at } 0pF}$ は $C_{SS} = 0pF$ の場合のスタートアップ時間（代表値 400 μ s）。

C_{SS} はソフトスタート・コンデンサ (F)。

I_{SS} はソフトスタート電流（代表値 1.15 μ A）。

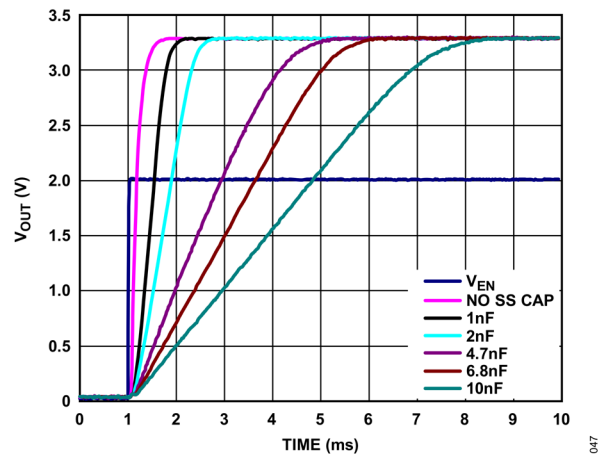


図 31. 様々な C_{SS} での代表的なソフトスタート動作

調整可能モードの ADPL42002 でのノイズ低減

ADPL42002 は、LDO のエラー・アンプをユニティ・ゲインに保ち、リファレンス電圧と出力電圧を同じ値に設定することで超低出力ノイズを実現しています。従来の感覚で考えると、出力電圧を調整できる LDO ではこのアーキテクチャは機能しません。しかし、ADPL42002 のアーキテクチャでは、外付け分圧器を使用することですべての固定出力電圧をより高い電圧に設定できます。例えば、5V の固定出力は、式 3 に従って 10V 出力に設定できます（図 32 を参照）。

$$V_{OUT} = 5V(1 + R1/R2) \quad (8)$$

この方法で ADPL42002 を使用した場合のデメリットは、出力電圧に比例した出力電圧ノイズが生じることです。そのため、目標電圧に近い固定出力電圧を選択することで出力ノイズの増加を抑えるのが最善です。

調整可能な LDO の回路を修正することで、固定出力の ADPL42002 におけるノイズに近いレベルまで出力電圧ノイズを低減させることができます。図 32 に示す回路では、出力電圧設定用の抵抗分圧器に 2 つの部品が追加されています。C_{NR} と R_{NR} を R1 に並列に追加で接続することで、エラー・アンプの AC ゲインを低減します。R_{NR} は R2 に対して小さい値を選択します。R_{NR} を R2 の 1%~10% の値にした場合、エラー・アンプの最小 AC ゲインはおおよそ 0.1dB~0.8dB です。実際のゲインは、並列接続された R_{NR} と R1 の組み合わせによって決まります。このゲインにより、エラー・アンプは常にユニティ・ゲインよりわずかに大きなゲインで動作します。

C_{NR} は、1Hz~50Hz の周波数範囲のリアクタンスが R1 - R_{NR} になるものを選択します。この設定によって、エラー・アンプの AC ゲインが DC ゲインより 3dB 低くなる周波数が定まります。

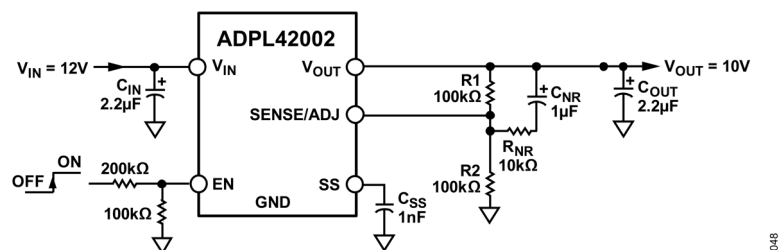


図 32. ノイズを低減させる修正回路

ノイズ低減がスタートアップ時間に及ぼす影響

ADPL42002 のスタートアップ時間はノイズ低減回路の影響を受けるため、電源シーケンスが重要なアプリケーションではこれを考慮する必要があります。

ノイズ低減回路はフィードバック・ループに極を形成し、スタートアップ時間を長くします。調整可能モデルでノイズ低減ネットワークを使用した場合のスタートアップ時間は、次式を使用して概算できます。

$$SSNR_{TIME} \text{ (sec)} = 5.5 \times C_{NR} \times (R_{NR} + R_{FB1}) \quad (9)$$

図 32 に示すような、1μF の C_{NR}、10kΩ の R_{NR}、100kΩ の R1 の組み合わせでは、スタートアップ時間は約 0.6 秒になります。SSNR_{TIME} が SS_{TIME} より大きい場合は、ソフトスタート・コンデンサよりも SSNR_{TIME} によってスタートアップ時間が決まります。

電流制限と熱過負荷保護

ADPL42002 は、過電流保護回路と熱過負荷保護回路により過大な消費電力による損傷から保護されています。ADPL42002 は、出力負荷が 360mA（代表値）に達すると、電流を制限するように設計されています。出力負荷が 360mA を超えると、出力電圧を下げて一定の電流制限値に維持します。

また、ジャンクション温度を最大 150°C（代表値）に制限する熱過負荷保護機能を備えています。過酷な状態（高周囲温度や高消費電力）でジャンクション温度が 150°C を超えると、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が 135°C を下回ると、出力が再びオンになり、出力電流は動作値に戻ります。

V_{OUT} からグラウンドへのハード短絡が発生する場合を考えます。まず、ADPL42002 の電流制限により、360mA だけ短絡箇所に流れます。ジャンクションの自己発熱が非常に大きくなって 150°C を超えると、サーマル・シャットダウン機能が作動して、出力がオフになり、出力電流はゼロまで減少します。ジャンクション温度が下がり 135°C を下回ると、出力がオンになって短絡箇所に 360mA の電流が流れ、ジャンクション温度が再び 150°C を超えます。135°C と 150°C の間で発生するこの熱発振により、360mA と 0mA の間で電流発振が発生します。出力が短絡状態にある限り、この発振は継続します。

電流制限と熱制限の保護機能は、偶発的な過負荷状態からデバイスを保護します。信頼性の高い動作を実現するには、ジャンクション温度が 125°C を超えないようにデバイスの消費電力を外部で制限します。

プリント回路基板レイアウトに関する考慮事項

ADPL42002 のピンに接続する銅の量を増やすことによりパッケージからの放熱を改善することができます。ただし、最終的には効果の限界点に達して、それ以上銅の面積を増やしても放熱を大きく改善できなくなります。

入力コンデンサは V_{IN} ピンと GND ピンのできるだけ近くに配置します。出力コンデンサは V_{OUT} ピンと GND ピンのできるだけ近くに配置します。0805 または 1206 サイズのコンデンサと抵抗を使うと、面積に制約のあるボード上で最小のフットプリント・ソリューションを実現できます。

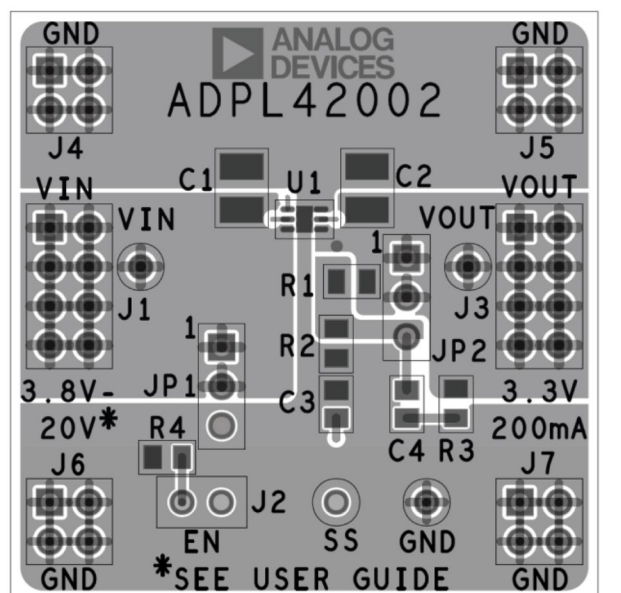


図 33. LFCSP の PCB レイアウト例

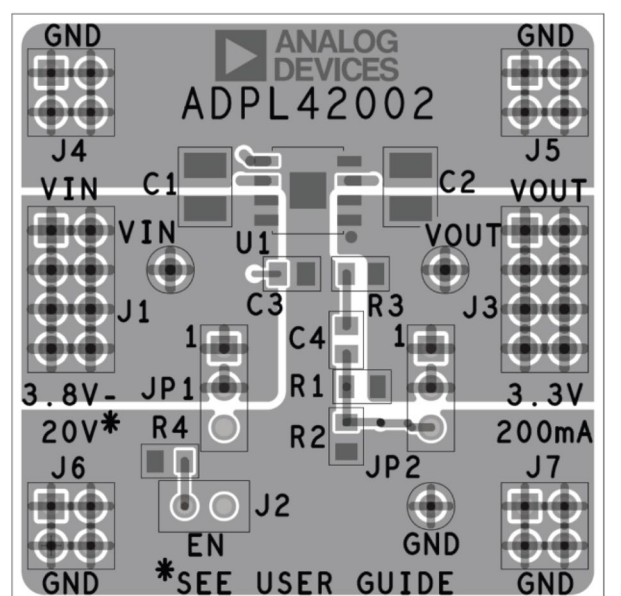


図 34. SOIC の PCB レイアウト例

外形寸法

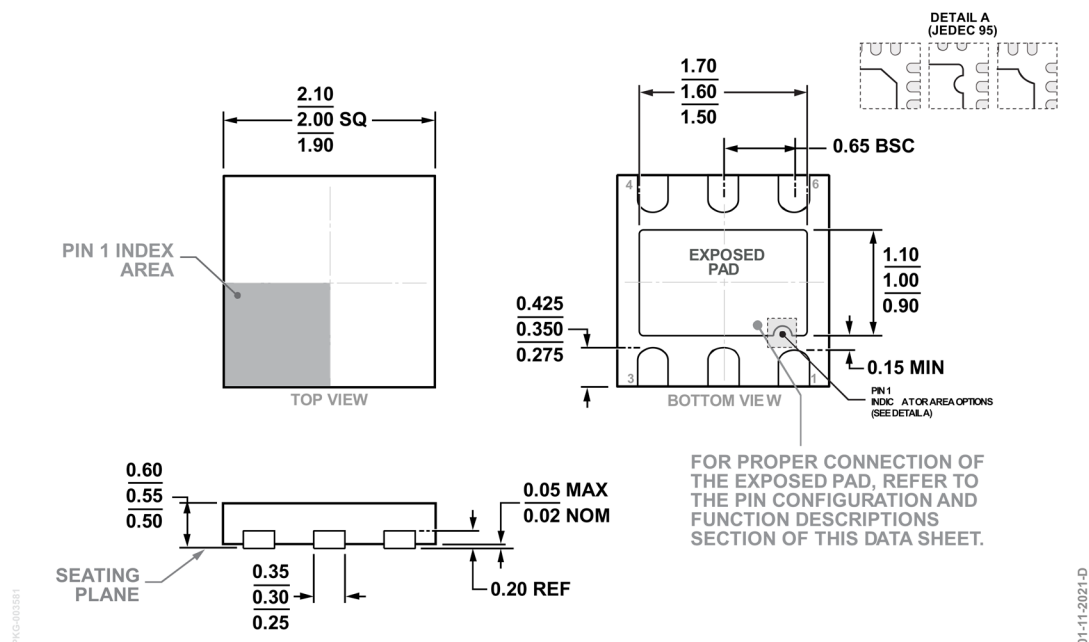
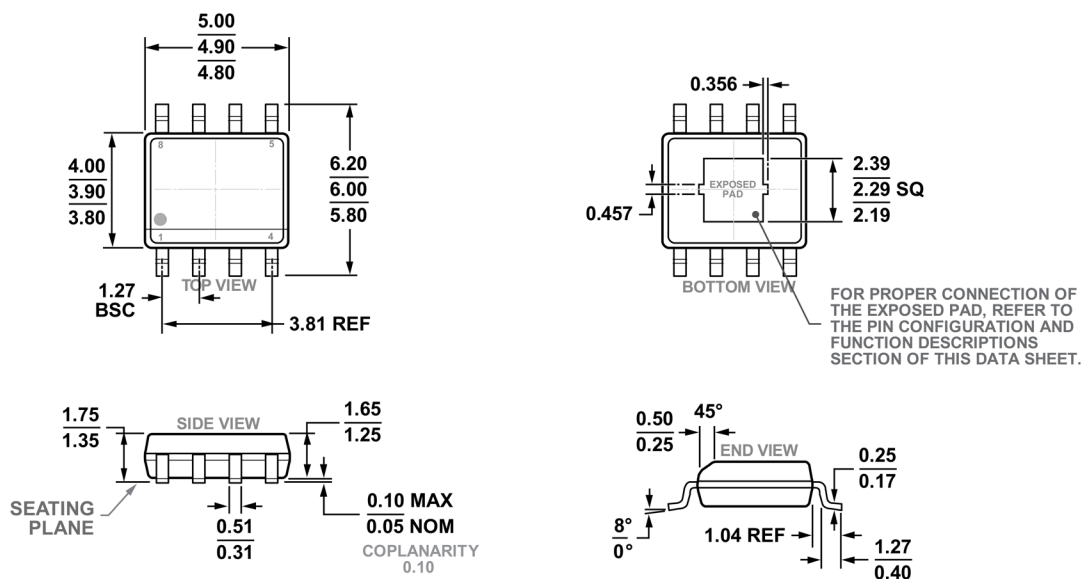


図 35.6 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]

本体：2mm × 2mm、パッケージ高さ：0.55mm (CP-6-3)

寸法：mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

図 36.8 ピン標準スモール・アウトライン・パッケージ、露出パッド付き [SOIC_N_EP]

ナロー・ボディ (RD-8-1)

寸法：mm

オーダー・ガイド

表 6. オーダー・ガイド

MODEL ¹	TEMPERATURE RANGE	OUTPUT VOLTAGE (V) ²	PACKAGE DESCRIPTION	PACKAGE OPTION	MARKING CODE
ADPL42002ACPZN-R7	-40°C to +125°C	Adjustable (1.2 V)	6-Lead LFCSP	CP-6-3	LXW
ADPL42002ACPZN1.8-R7	-40°C to +125°C	1.8	6-Lead LFCSP	CP-6-3	LXS
ADPL42002ACPZN2.5-R7	-40°C to +125°C	2.5	6-Lead LFCSP	CP-6-3	LXT
ADPL42002ACPZN3.3-R7	-40°C to +125°C	3.3	6-Lead LFCSP	CP-6-3	LXU
ADPL42002ACPZN5.0-R7	-40°C to +125°C	5	6-Lead LFCSP	CP-6-3	LXV
ADPL42002ARDZ-R7	-40°C to +125°C	Adjustable (1.2 V)	8-Lead SOIC_N_EP	RD-8-1	42002
ADPL42002ARDZ-1.8-R7	-40°C to +125°C	1.8	8-Lead SOIC_N_EP	RD-8-1	200218
ADPL42002ARDZ-2.5-R7	-40°C to +125°C	2.5	8-Lead SOIC_N_EP	RD-8-1	200225
ADPL42002ARDZ-3.3-R7	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-1	200233
ADPL42002ARDZ-5.0-R7	-40°C to +125°C	5	8-Lead SOIC_N_EP	RD-8-1	420025

¹ Z = RoHS 準拠製品。² その他の電圧オプションについては、最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。

表 7. 出力電圧オプション

MODEL ¹	OUTPUT VOLTAGE (V) ²
ADPL42002ACPZN-R7	Adjustable
ADPL42002ACPZN1.8-R7	1.8
ADPL42002ACPZN2.5-R7	2.5
ADPL42002ACPZN3.3-R7	3.3
ADPL42002ACPZN5.0-R7	5.0
ADPL42002ARDZ-R7	Adjustable
ADPL42002ARDZ-1.8-R7	1.8
ADPL42002ARDZ-2.5-R7	2.5
ADPL42002ARDZ-3.3-R7	3.3
ADPL42002ARDZ-5.0-R7	5.0

¹ Z = RoHS 準拠製品。² その他の電圧オプションについては、最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。

表 8. 評価用ボード

MODEL ¹	PACKAGE DESCRIPTION
EVAL-ADPL42002CP-AZ	LFCSP Evaluation Board
EVAL-ADPL42002RD-AZ	SOIC Evaluation Board

¹ Z = RoHS 準拠製品。

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：ADPL42002

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：3 ページ、改訂履歴、3/25 の欄

【誤】

「動作原理のセクションで静止電流の値を 240μF に更新」

【正】

「動作原理のセクションで静止電流の値を 240μA に更新」