



## 低消費電力モード対応の 5.5V 500mA LDO リニア・レギュレータ

ADPL40505A

### 概要

ADPL40505A は、5.5V の P チャンネル金属酸化膜半導体 (PMOS) 低ドロップアウト (LDO) リニア・レギュレータであり、最大 500mA の負荷電流を供給します。ADPL40505A は、自己消費電流を非常に低く抑える低消費電力動作モードを備えています。

このレギュレータは、プログラマブルな突入電流制限、出力過電流制限、逆電流制限、熱過負荷保護機能を提供する内部回路により、損傷から完全に保護されています。ADPL40505A は、出力コンデンサを短時間で放電する 800Ω のアクティブ放電機能を備えています。

ADPL40505A は高い柔軟性も備えており、2つの外部帰還抵抗を使って 0.8V~5.0V の範囲で出力電圧を調節できます。

ADPL40505A は、8 ピンの 2mm × 2mm 薄型デュアル・フラット・リードなし (TDFN) パッケージで提供されます。

### アプリケーション

- 携帯電話
- デジタル・カメラおよびオーディオ機器
- 携帯型バッテリー駆動機器

型番は、データシートの末尾に記載しています。

### アプリケーション構成図

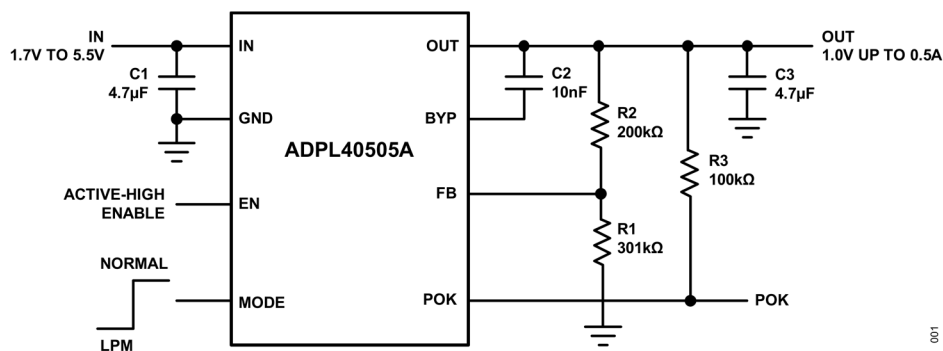


図 1. アプリケーション構成図

### 特長

- 入力電源電圧範囲：1.7V~5.5V
- 出力電圧範囲：0.8V~5.0V
- 最大出力電流：500mA
- 500mA 負荷で最大 120mV のドロップアウト (3.6V<sub>IN</sub>)
- 無負荷時の電源電流 (低消費電力モード)：20µA
- 電源電流 (通常動作モード)：350µA
- シャットダウン電源電流：< 1µA
- 出力ノイズ：45µV<sub>RMS</sub> (10Hz~100kHz)
- 10kHz での PSRR：60dB (負荷電流 250mA、入出力電圧差 300mV)
- 負荷、ライン、温度の変動に対する DC 精度：±2%
- アクティブ放電：OUT で 800Ω
- 2µF (最小実効値) の出力容量で安定動作
- プログラマブルなソフトスタート・レート
- 過電流および過熱保護
- 逆電流保護
- パワー-OK 出力
- 2mm × 2mm 8 ピン TDFN パッケージ
- 動作温度：-40°C~+125°C

## 目次

概要 .....	1
アプリケーション .....	1
特長 .....	1
アプリケーション構成図 .....	1
絶対最大定格 .....	3
パッケージ情報 .....	3
電気的特性 .....	4
標準動作特性 .....	6
ピン配置 .....	8
端子説明 .....	8
標準アプリケーション回路 .....	9
簡略化したブロック図 .....	9
詳細説明 .....	10
動作モード .....	10
低消費電力モードの動作 .....	10
通常消費電力モードの動作 .....	10
モードの遷移 .....	10
イネーブル (EN) .....	11
バイパス (BYP) .....	11
パワーOK (POK) .....	12
保護 .....	13
アクティブ放電 .....	13
低電圧ロックアウト (UVLO) .....	13
出力電圧の設定 .....	13
アプリケーション情報 .....	14
入力コンデンサと出力コンデンサ .....	14
熱に関する考慮事項 .....	14
型番 .....	15
改訂履歴 .....	16

**絶対最大定格**

IN、OUT、EN、FB～GND ..... -0.3V～+6V  
 MODE、BYP、POK～GND ..... -0.3V～+6V  
 出力短絡時間 ..... 連続  
 連続消費電力 (T<sub>A</sub> = +70°C)  
 TDFN (+70°Cを超えると 11.7mW/°C で  
 ディレーティング) ..... 937.9mW

動作ジャンクション温度範囲 ..... -40°C～+125°C  
 最高ジャンクション温度 ..... +150°C  
 保管温度範囲 ..... -65°C～+150°C  
 リード温度 (ハンダ付け処理、10 秒) ..... +300°C  
 ハンダ付け処理温度 (リフロー) ..... +260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

**パッケージ情報****TDFN**

Package Code	T822+3C
Outline Number	<a href="#">21-0168</a>
Land Pattern Number	<a href="#">90-0065</a>
Thermal Resistance, Four-Layer Board	
Junction to Ambient (θ <sub>JA</sub> )	85.3°C/W
Junction to Case (θ <sub>JC</sub> )	8.9°C/W

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[パッケージ索引](#)で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[IC パッケージの熱特性評価](#)を参照してください。

## 電氣的特性

(特に指定のない限り、 $V_{IN} = 3.6V$ 、 $V_{OUT} = 1.8V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ 、 $C_{BYP} = 10nF$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $MODE = HIGH$ 、代表値は  $T_J = +25^{\circ}C$  での値、[Note 1](#) を参照。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range	$V_{IN}$	Guaranteed by output accuracy $V_{OUT} < V_{IN} - V_{DO}$	1.7		5.5	V
Input Undervoltage Lockout	$V_{UVLO}$	$V_{IN}$ rising, 100mV hysteresis	1.5	1.6	1.7	V
Output Voltage Range	$V_{OUT}$	Guaranteed by output accuracy, programmed using external resistor-divider	0.8		5.0	V
Feedback (FB) Accuracy	$V_{FB}$	MODE = HIGH, $I_{OUT}$ from 0.1mA to 500mA, $V_{IN}$ from $V_{OUT} + 0.3V$ to 5.5V, $V_{IN} > 1.7V$	0.588	0.6	0.612	V
		MODE = LOW, $I_{OUT}$ from 0.1mA to 20mA, $V_{IN}$ from $V_{OUT} + 0.3V$ to 5.5V, $V_{IN} > 1.7V$	0.588	0.6	0.612	
Output Capacitance	$C_{OUT}$	Effective capacitance required for stability and proper operation	2	4.7		$\mu F$
Input Supply Current	$I_{SD}$	$V_{EN} = 0V$	$T_J = +25^{\circ}C$	0.01	1	$\mu A$
			$T_J = +125^{\circ}C$	1.6		
	$I_Q$	EN = HIGH, MODE = HIGH, $I_{OUT} = 0mA$	350	750		
EN = HIGH, MODE = LOW, $I_{OUT} = 0mA$		20	50			
Line Regulation	$ACC_{LINE\_REG}$	$V_{IN}$ from 3.6V to 5.5V, $I_{OUT} = 500mA$ , $V_{OUT} = 3.3V$		0.068		%/V
Load Regulation	$ACC_{LOAD\_REG}$	$I_{OUT}$ from 0.1mA to 500mA, $V_{IN} = V_{OUT} + 0.3V$		0.078		%
Load Transient		$I_{OUT} = 50mA$ to 500mA or 500mA to 50mA, $t_{RISE} = t_{FALL} = 1\mu s$		48		mV
Line Transient		$V_{IN} = 2.1V$ to 2.5V to 2.1V, $I_{OUT} = 500mA$ , $t_{RISE} = t_{FALL} = 5\mu s$		5		mV
Output Transient at MODE Transition		MODE rising or falling, $I_{OUT} = 1mA$		20.5		mV
MODE Transition Time		MODE from LOW to HIGH to $I_{OUT} = 500mA$		50		$\mu s$
Power-Supply Rejection Ratio	PSRR	$V_{IN} = 3.6V$ , $V_{OUT} = 3.3V$ , $I_{OUT} = 100mA$	$f = 1kHz$	70		dB
			$f = 10kHz$	68		
			$f = 100kHz$	50		
			$f = 1MHz$	34		
Active Discharge Resistance	$R_{DIS}$	$V_{EN} = 0V$		800		$\Omega$
Output Noise		$V_{IN} = 2.1V$ , $I_{OUT} = 100mA$ , 10Hz to 100kHz	$C_{BYP} = 47nF$	45		$\mu V_{RMS}$
Dropout Voltage ( <a href="#">Note 2</a> )	$V_{DO}$	$I_{OUT} = 500mA$ , when MODE = HIGH	$V_{IN} = 3.6V$	60	120	mV
Dropout Voltage ( <a href="#">Note 2</a> )	$V_{DO}$	$I_{OUT} = 20mA$ , when MODE = LOW	$V_{IN} = 3.6V$	54	108	mV

(特に指定のない限り、 $V_{IN} = 3.6V$ 、 $V_{OUT} = 1.8V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ 、 $C_{BYP} = 10nF$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $MODE = HIGH$ 、代表値は  $T_J = +25^{\circ}C$  での値、[Note 1](#) を参照。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Maximum Current Limit	$I_{LIM}$	MODE = HIGH, $V_{OUT} = 0.9 \times V_{OUT\_NOMINAL}$ , $V_{OUT\_NOMINAL} = 1.8V$ , $V_{IN} - V_{OUT} = 500mV$		600	700	800	mA
		MODE = LOW, $V_{OUTS}/OUT = 0.9 \times V_{NOMINAL}$ , $V_{OUT\_NOMINAL} = 1.8V$		22			
BYP Capacitor Range	$C_{BYP}$			0.001		0.1	$\mu F$
BYP Soft-Start Current		From BYP to GND during startup			50		$\mu A$
EN/MODE Input Threshold	$V_{IH}$	$V_{IN}$ from 1.7V to 5.5V	$V_{EN}$ and $V_{MODE}$ rising		0.8	1.2	V
	$V_{IL}$	$V_{IN}$ from 1.7V to 5.5V	$V_{EN}$ and $V_{MODE}$ falling	0.4	0.7		
EN/MODE Input Leakage Current	$I_{EN\_LK}$ , $I_{MODE\_LK}$	$V_{EN}$ and $V_{MODE}$ from 0 to 5.5V	$T_J = +25^{\circ}C$	-1	0.001	1	$\mu A$
			$T_J = +125^{\circ}C$		0.01		
POK Threshold		$V_{OUT}$ when POK switches	$V_{OUT}$ rising	88	91	94	%
			$V_{OUT}$ falling		88		
POK Voltage Low	$V_{OL}$	$I_{POK} = 1mA$			10	100	mV
POK Leakage Current	$I_{POK\_LK}$	$V_{POK} = 5.5V$	$T_J = +25^{\circ}C$	-0.1	0.001	0.1	$\mu A$
			$T_J = +125^{\circ}C$		0.01		
IN Reverse Current Threshold		$V_{OUT} = 3.6V$ , when $V_{IN}$ falls to 0V	MODE = HIGH		200		mA
			MODE = LOW		10		
Thermal Shutdown Threshold		$T_J$ , when the output turns on/off	$T_J$ rising		165		$^{\circ}C$
			$T_J$ falling		150		

**Note 1:** 仕様規定された動作温度範囲および電源電圧範囲における制限値は、設計および特性評価により確保されています。また、出荷テストは室温でのみ実施しています。

**Note 2:** ドロップアウト電圧は、 $V_{OUT}$  が公称値の 95% のときの  $(V_{IN} - V_{OUT})$  として定義されます。

標準動作特性

特に指定のない限り、 $V_{IN} = 2.1V$ 、 $V_{OUT} = 1.8V$ 、 $T_A = +25^\circ C$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $C_{BYP} = 10nF$ 。

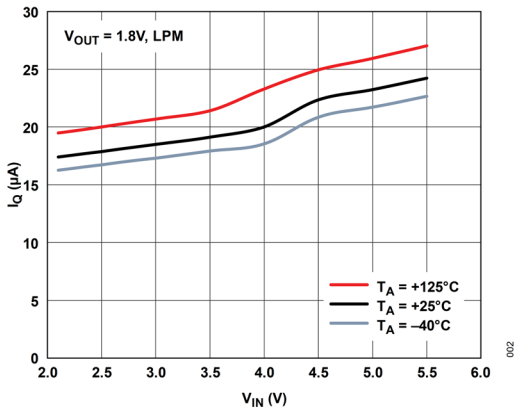


図 2. 静止電流と入力電圧の関係

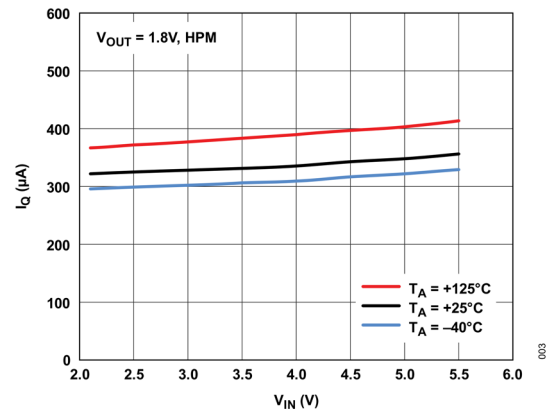


図 3. 静止電流と入力電圧の関係

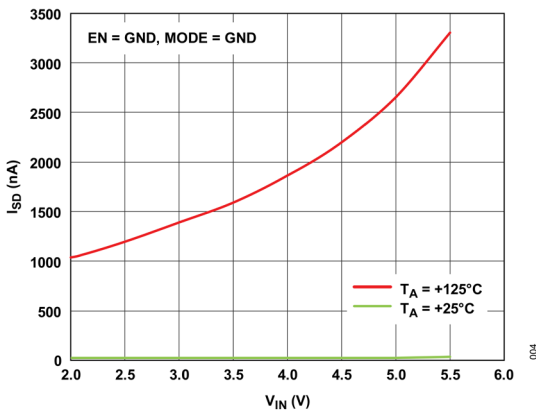


図 4. シャットダウン電流と入力電圧の関係

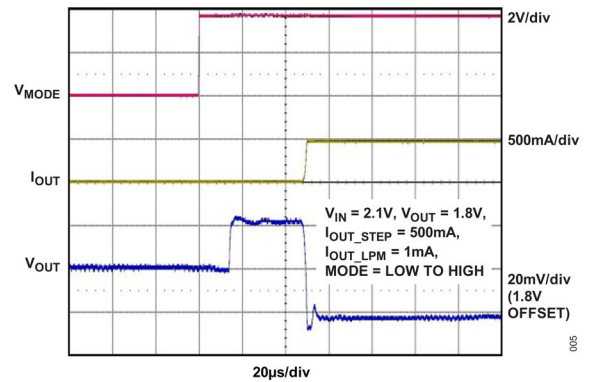


図 5. モードと負荷過渡応答

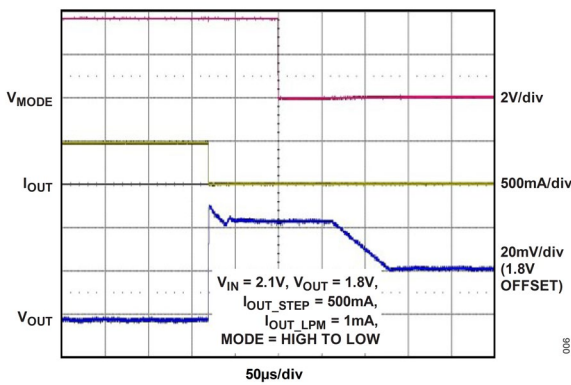


図 6. モードと負荷過渡応答

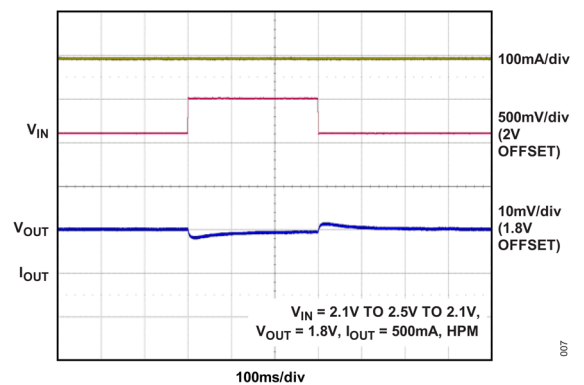


図 7. ライン過渡応答

特に指定のない限り、 $V_{IN} = 2.1V$ 、 $V_{OUT} = 1.8V$ 、 $T_A = +25^{\circ}C$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $C_{BYP} = 10nF$ 。

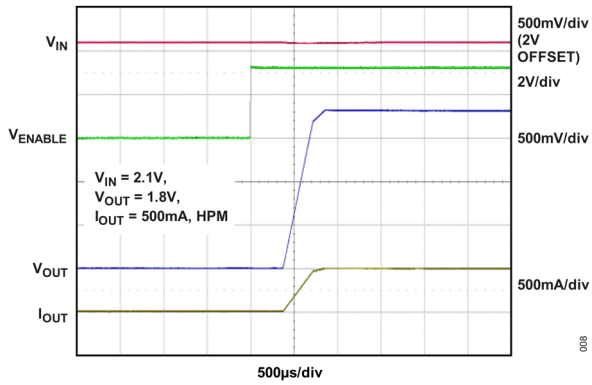


図 8. ソフトスタート応答

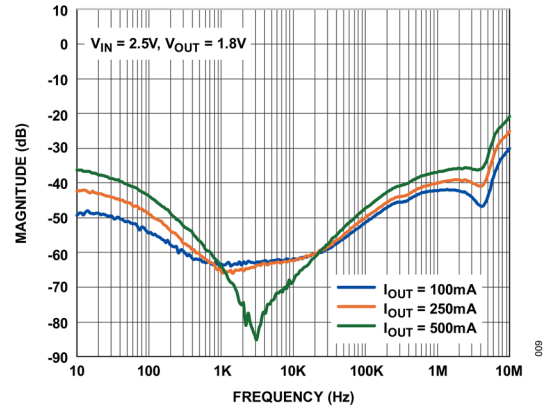


図 9. 入力電源 PSRR と周波数の関係

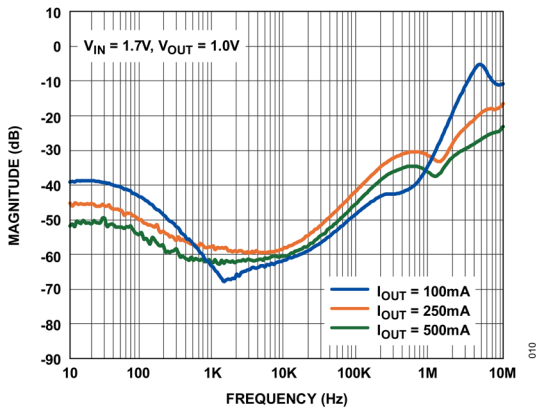
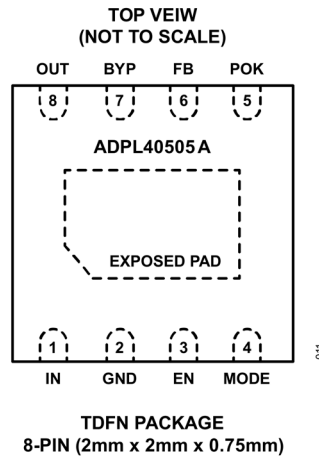


図 10. 入力電源 PSRR と周波数の関係

## ピン配置



NOTES:  
THE EXPOSED PAD ON THE UNDERSIDE OF THE PACKAGE MUST BE SOLDERED TO THE GROUND PLANE TO INCREASE THE RELIABILITY OF THE SOLDER JOINTS AND TO MAXIMIZE THE THERMAL CAPABILITY OF THE PACKAGE.

図 11. ピン配置

## 端子説明

ピン番号	名称	機能
1	IN	レギュレータ電源入力ピン。1.7V~5.5V の電圧源に接続し、4.7μF のコンデンサで IN から GND にバイパスします。
2	GND	レギュレータ・グラウンド・ピン。最大限の性能を得るには、IN および OUT のバイパス・コンデンサの GND 接続をこのピンに接続します。このピンは、プリント回路基板 (PCB) レイアウトで EP に短絡します。
3	EN	イネーブル入力ピン。レギュレータ出力をイネーブル (V <sub>EN</sub> ハイ) またはディスエーブル (V <sub>EN</sub> ロー) するには、このピンをロジック信号に接続します。有効な電源電圧が存在するときに出力を常時イネーブルに保ちたい場合は、IN に接続してください。EN をローにする (ディスエーブルする) と、出力は 800Ω の内部アクティブ放電回路を通じて GND に短絡されます。
4	MODE	モード選択ピン。通常動作にする場合はこのピンをロジック・ハイ信号に接続し、低消費電力動作にするにはロジック・ロー信号に接続します。MODE がハイの場合、LDO がレギュレーション状態のときの最大出力負荷電流は 500mA で、MODE がローの場合の最大出力負荷電流は 20mA です。
5	POK	パワーOK 出力ピン。レギュレータ出力がレギュレーション電圧に達した後でハイになる信号を生成するには、このピンと電源の間にプルアップ抵抗を接続します。
6	FB	帰還入力ピン。出力電圧を設定するには、OUT と GND の間に抵抗分圧器ストリングを接続して、その中点をこのピンに接続します。標準アプリケーション回路の場合： $V_{OUT} = 0.6V \times (1 + R_{FBTOP}/R_{FBBOT})$
7	BYP	バイパス・コンデンサ入力ピン。出力ノイズを減らしてレギュレータのソフトスタート・レートを設定するには、OUT と BYP の間に 0.001μF~0.1μF のコンデンサを接続します。
8	OUT	レギュレータ出力ピン。プログラムされた出力レギュレーション電圧において、MODE = HIGH のときは最大 500mA をソースし、MODE = LOW のときは最大 20mA をソースします。4.7μF (実効容量 2μF 以上) の低等価直列抵抗 (ESR < 0.03Ω) コンデンサを使って、GND にバイパスしてください。
EP	EP	露出パッド。最大限のヒート・シンク性能を得るために、露出パッドは熱抵抗の小さいグラウンド・プレーンに接続します。内部で GND に接続されています。

標準アプリケーション回路

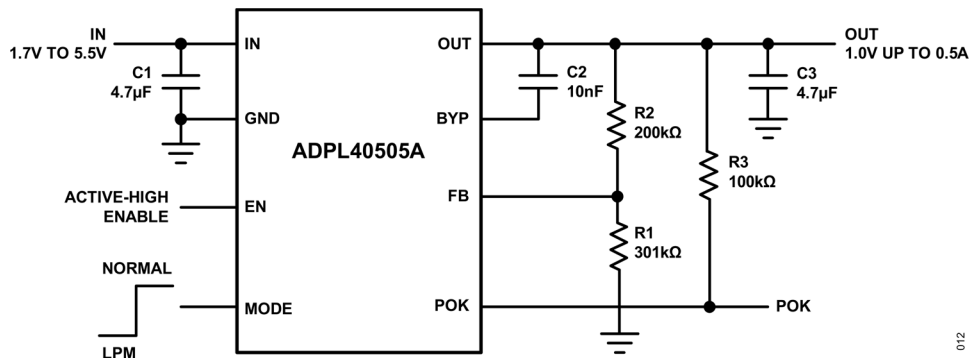


図 12. 標準アプリケーション回路

簡略化したブロック図

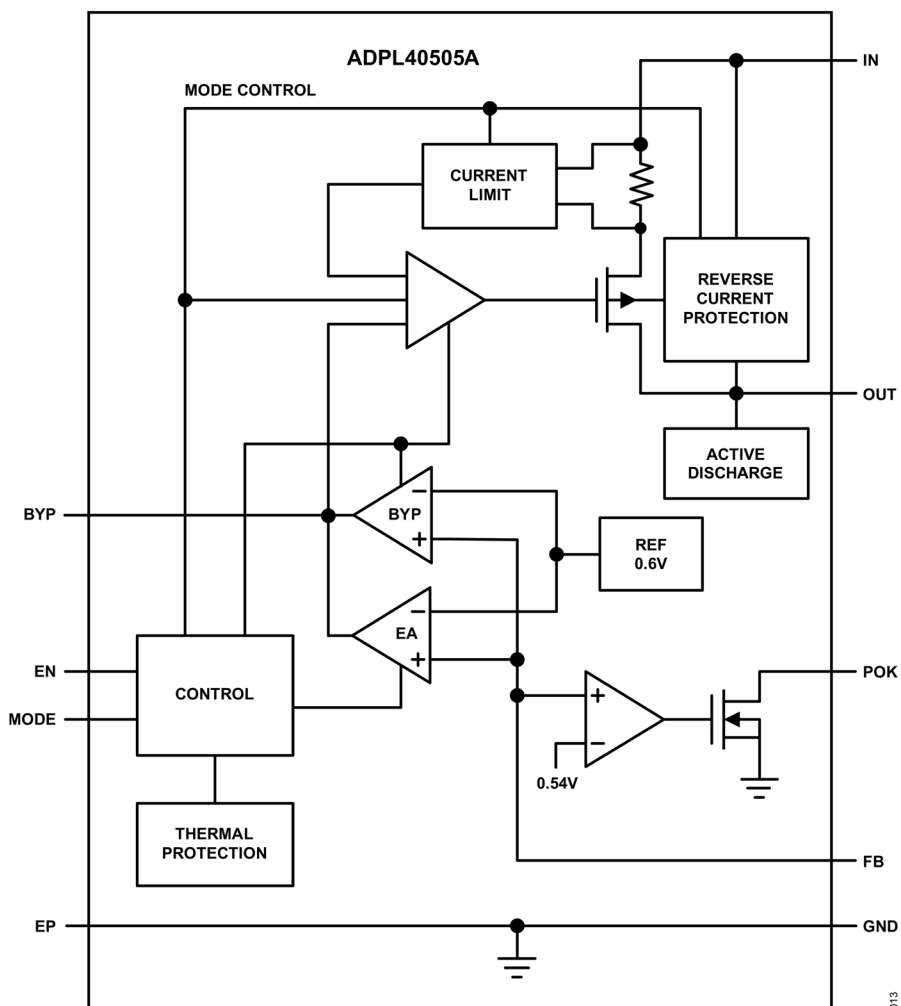


図 13. 簡略化したブロック図

## 詳細説明

ADPL40505A は、最大 500mA の負荷電流を供給する 5.5V の PMOS リニア・レギュレータです。このレギュレータはライン電圧、負荷、温度の変動に対して $\pm 2\%$ の出力精度を維持することができ、自己消費電流を非常に低く抑える低消費電力動作モードを備えています。低消費電力モードでは、最大 20mA の負荷電流を供給でき、無負荷状態で流れる自己消費電流は 20 $\mu$ A です。

このレギュレータは 1.7V~5.5V の広い入力電源範囲を備えています。出力電圧は 0.8V~5.0V の範囲の値に調節可能です。ADPL40505A の出力電圧は、2つの外部帰還抵抗を使って調節できます。

このレギュレータは、プログラマブルな突入電流制限、出力過電流制限、逆電流制限、熱過負荷保護機能を提供する内部回路により、損傷から完全に保護されています。

## 動作モード

ADPL40505A は低消費電力モードと通常消費電力モードで使用できます。モードは、MODE ピンの状態に基づいて選択されます。スタートアップ時には、MODE ピンの状態に関わらず、常に通常消費電力モードになります。ソフトスタートが完了するとデバイスが MODE ピンの状態を読み出し、必要に応じて動作モードを調節します。

### 低消費電力モードの動作

ADPL40505A は、MODE ピンがローになると低消費電力モードになります。このモードでデバイスは 20 $\mu$ A の電流を消費し、最大 20mA の電流をソースできます。

### 通常消費電力モードの動作

ADPL40505A は、MODE ピンがハイになると通常消費電力モードになります。このモードでデバイスは 350 $\mu$ A の電流を消費し、最大 500mA の電流をソースできます。

### モードの遷移

低消費電力モードから通常消費電力モードへの遷移時には内部のレギュレーション・ポイントが調節され、その結果として出力に過渡的な変動が生じます。この変動は負荷電流と温度の関数で、それが最大になるのは、低消費電力モードの負荷電流が最大 (20mA) のとき、およびダイ温度が上昇したときです。モード遷移時の出力電圧の過渡的な変動を最小限に抑えるには、負荷電流を 1mA 以下のレベルに保つことが推奨されます。ホストが通常消費電力モードでサポートされている負荷電流を印加できるようになるまでには、50 $\mu$ s のセトリング時間を要します。

デバイスを低消費電力モードに戻す準備がホスト側で整ったら、ホストは、MODE ピンをローにする 80 $\mu$ s 前までに、低消費電力モードでサポートされているレベルまで負荷電流を減らす必要があります。同様に、MODE ピンがハイからローへ遷移すると、出力に過渡的な変動が生じます。セトリング時間中は負荷電流を一定に保つ必要があり、その後調整を行うことができます。

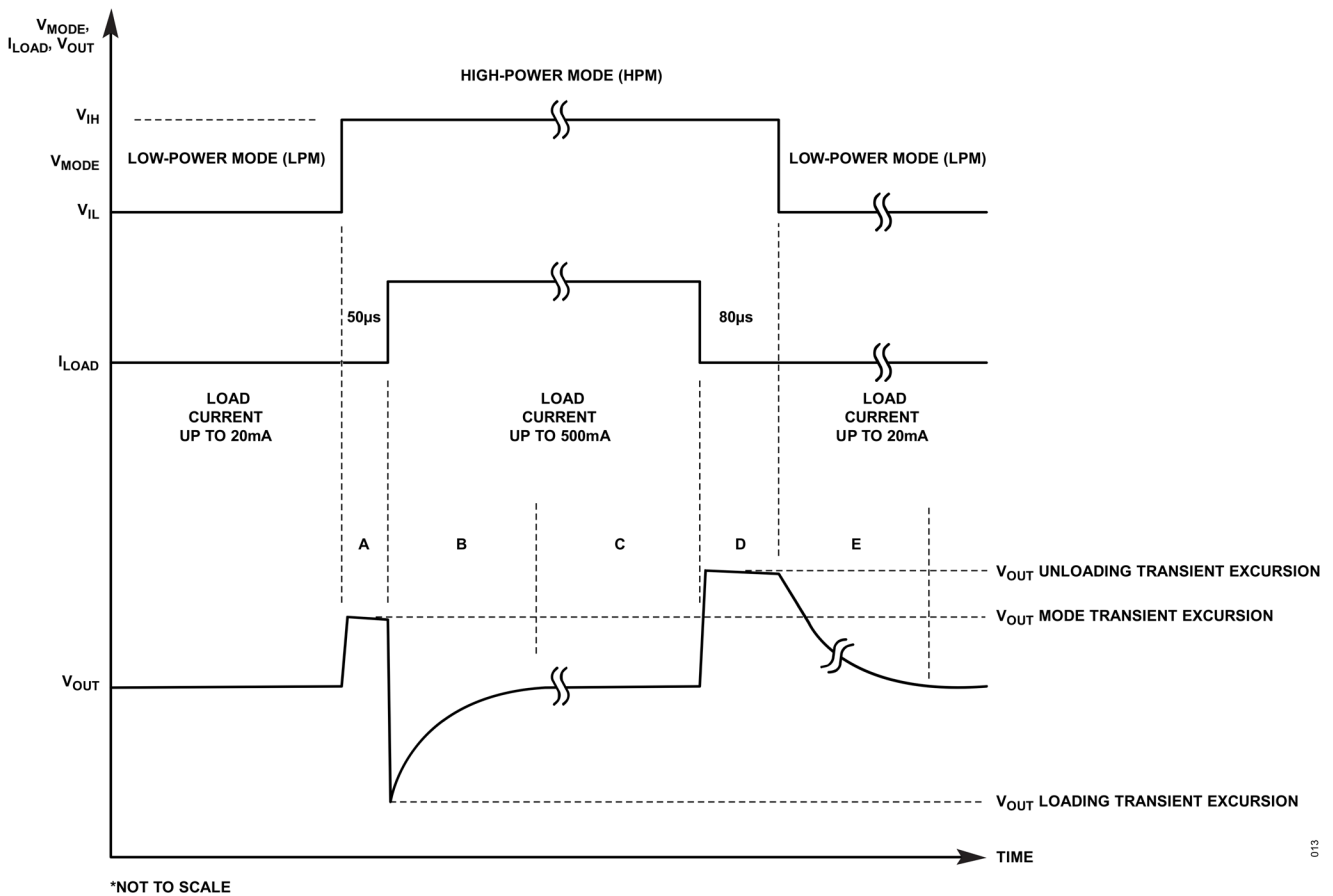


図 14. モードの遷移

モードの遷移を図 14 に示します。遷移は、以下の異なる動作領域を経て行われます。

- A – MODE ピンはローからハイに遷移しますが、負荷電流は低消費電力モードの範囲に保たれます。出力電圧はモード遷移によって増加し、その後にセトリングを開始します。通常消費電力モードの電流ステップは、50µs が経過した後に加えることができます。
- B – 50µs 後に、通常消費電力モードの負荷ステップが加えられます。出力電圧は負荷過渡状態から回復していきます。
- C – デバイスが負荷過渡状態から完全に回復します。
- D – ホストは、モードが低消費電力モードに変わる前に負荷電流を減らします。これによって負荷減少に伴う過渡現象が生じ、その後に出力電圧がセトリングを開始します。80µs のセトリング時間が経過すると、ホストが MODE ピンをローに遷移させることができます。
- E – 出力電圧が目標レベルに戻ります。

## イネーブル (EN)

ADPL40505A にはイネーブル入力 (EN) があります。EN をローにすると出力がシャットダウンされます。シャットダウン・モードでデバイスが入力電源から消費する電流は 10nA です。EN をハイにすると出力がイネーブルになります。独立したシャットダウン信号を使用できない場合は、EN を IN に接続してください。EN をローにすると、出力は 800Ω の内部アクティブ放電回路を通じてグラウンド電位に下げられます。

## バイパス (BYP)

BYP と OUT の間に接続したコンデンサは、リファレンス、帰還抵抗、およびレギュレータの入力段のノイズを除去し、高速の帰還経路となって過渡応答を改善します。0.01µF のコンデンサは約 32Hz で入力ノイズをロール・オフします。スタートアップ時の出力電圧のスルー・レートも、BYP コンデンサによって決まります。0.01µF のコンデンサであれば、スルー・レートは 5V/ms になります。このスタートアップ・レートにより、スタートアップ時には 23.5mA のスルー電流が入力から流れて 4.7µF の出力容量を充電します。

BYP コンデンサの値は  $0.001\mu\text{F}\sim 0.1\mu\text{F}$  に調整でき、起動スルー・レートは次式に従って変化します。

$$\text{Startup Slew Rate} = (5\text{V/ms}) \times (0.01\mu\text{F}/C_{\text{BYP}})$$

ここで、 $C_{\text{BYP}}$  の単位は  $\mu\text{F}$  です。

出力ノイズは約  $1.0\mu\text{V}_{\text{RMS}}$  の改善があるもののほぼ一定を保つので、 $10\text{nF}$  より大きい BYP コンデンサを選択する主な目的は、ソフトスタートを低速にして突入電流を最小化することです。

このスルー・レートはスタートアップ時にだけ適用されます。過負荷状態からの回復は、約  $1/500$  のスルー・レートで行われます。また、BYP は低周波フィルタ・ノードなのでリークの影響を受けやすくなります。BYP に約  $10\text{nA}$  のリーク電流があると、出力に測定可能なレベルの不正確が生じるため、避けるべきです。

## パワーOK (POK)

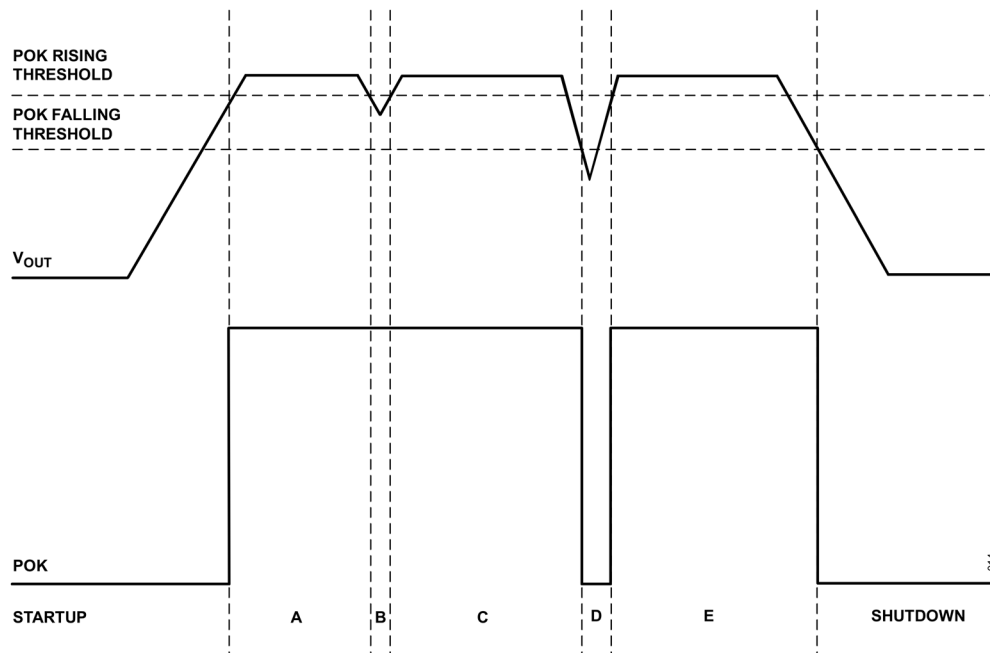


図 15. 代表的な POK 動作

POK ピンの動作と出力電圧の関係を図 15 に示します。この動作は以下の異なる領域を経て行われます。

- A – デバイスはレギュレーション状態です。
- B –  $V_{\text{OUT}}$  が低下しますが、POK の立下がりスレッショルドまでは達しません。
- C – デバイスはレギュレーション状態です。
- D –  $V_{\text{OUT}}$  が POK の立下がりスレッショルドを超えて低下します。POK は、 $V_{\text{OUT}}$  が POK 立上がりエッジ・スレッショルドを超える値に回復するまでローになります。
- E – デバイスはレギュレーション状態です。

パワーOK (POK) 機能は出力電圧を監視し、レギュレーション状態にあることを通知します。POK 端子はオープン・ドレインであり、他のデバイスにデバイスのレギュレーション状態を通知してシーケンス処理に使用できるようにするには、外部電源へのプルアップ抵抗が必要です。外部プルアップ電源電圧が、受信側のデバイスについて有効なロジック・レベルになっているかどうかを確認してください。プルアップ抵抗の範囲は  $10\text{k}\Omega\sim 200\text{k}\Omega$  です。その下限は POK トランジスタのプルダウン強度によって決まり、上限は POK 端子の最大リーク電流によって決まります。デバイスがシャットダウン状態の間は、信号はローになります。

スタートアップ中は POK がローに駆動されます。出力電圧が POK の立上がりスレッショルド（レギュレーション目標値の 91%）に達すると、POK がリリリースされてプルアップされます。レギュレーション中に出力電圧が一時的に POK 立下がりスレッショルドを下回ると、POK 信号がローに駆動されて、出力電圧がレギュレーションを外れて低下したことを示します。シャットダウン時には、出力電圧が POK の立下がりスレッショルド（レギュレーション目標値の 88%）を下回ると、POK 信号がローになります。POK 信号は出力電圧の遷移中も有効です。

## 保護

ADPL40505A は、電流制限保護と過熱負荷保護の回路により、回路の限界を超える条件から完全に保護されています。出力を GND に短絡すると、出力コンデンサが短絡経路から放電した後は、出力電流が 700mA（代表値）に制限されます。このような条件では、デバイスの温度が急速に上昇します。ジャンクション温度が+165°C に達すると、過熱保護回路が出力デバイスを遮断します。デバイスの温度が+150°C まで下がると、レギュレータはレギュレーションを再開します。フォルトが継続している場合には、ジャンクション温度が+150°C~+165°C の範囲で変化しながら出力がオンとオフを繰り返します。このようなフォルト条件下や+125°C を超えるジャンクション温度での連続的な動作は、長期的な信頼性が低下する可能性があるため、推奨しません。ドロップアウト時は、850mA（代表値）で電流制限がトリガされます。制限がトリガされると、デバイスは電流を 700mA に制限します。

ADPL40505A は、出力電圧が入力より高いときの逆電流保護機能を備えています。ADPL40505A は逆電圧検出器を内蔵しており、IN が OUT より低くなるとレギュレータを遮断してボディ・ダイオード接続を開放し、逆電流が流れるのを防止します。逆電流は通過素子であるボディ・ダイオードを流れる電流であり、特に高い電流レベルにおいて消費電力や長期的信頼性への影響があることから、望ましくありません。システム中でデバイスが過度な熱にさらされて、ダイ温度が望ましくないレベルまで上昇したときにも、過熱保護がトリガされます。

## アクティブ放電

EN がローになると、ADPL40505A は OUT と GND の間に 800Ω の抵抗を接続して、出力コンデンサを放電します。この機能は出力コンデンサの放電に要する時間を短縮するので、システムの電源シーケンスが容易になります。

## 低電圧ロックアウト (UVLO)

ADPL40505A の低電圧ロックアウト (UVLO) 回路は入力電圧のグリッチに迅速に反応し、レールが UVLO 立下がりスレッショルドを下回ると、デバイスの出力をディスエーブルします。ほとんどのアプリケーションでは、ローカルな入力容量で過渡的なブラウンアウト条件を防止します。パワーアップ時に入力電圧が UVLO 立上がりスレッショルドを超過すると、デバイスがレディになります。

V<sub>IN</sub> のパワーアップ時、ADPL40505A は、V<sub>IN</sub> が V<sub>IN</sub> UVLO 立上がりスレッショルドを超えた後に、V<sub>OUT</sub> のソフトスタートを開始します。これにより、適切な V<sub>OUT</sub> のランプ・アップとレギュレーション状態への遷移が確保されます。ドロップアウト状態に入るのを防止するために、V<sub>OUT</sub> のソフトスタート・レートは V<sub>IN</sub> のスルー・レート以下の速度にします。状況によっては、V<sub>IN</sub> のトランジェントによってレギュレータがドロップアウトする場合があります。再度 V<sub>IN</sub> が上昇を開始し、デバイスがドロップアウト状態から脱すると、出力がオーバーシュートする可能性があります。イネーブル信号を使用することや、大きい C<sub>BYP</sub> でソフトスタート時間を長くすることによって、この状況を避けられます。

## 出力電圧の設定

ADPL40505A は、外部帰還抵抗を使って出力レギュレーション電圧を設定します。出力電圧は 0.8V~5.0V の範囲に設定可能です。FB 入力バイアス電流の誤差を最小限に抑えるために、ボトム帰還抵抗 R1 は 301kΩ 以下に設定してください。トップ帰還抵抗 R2 の値は次式のように計算できます。

$$R2 = R1 \times (V_{OUT}/V_{FB} - 1)$$

ここで、V<sub>FB</sub> は帰還レギュレーション電圧 (0.6V) です。

例えば、出力を 1.0V に設定するには R2 を以下のようにする必要があります。

$$R2 = 301k\Omega \times (1.0V/0.6V - 1) = 200k\Omega$$

ノイズ性能を最適化するために、R1 はこれより小さくすることを推奨します。

抵抗分圧器の値とその公差は、V<sub>OUT</sub> の精度に直接影響します。精度 1% 以内の抵抗を推奨します。表 1 に帰還抵抗の推奨値を示します。

表 1. 推奨帰還抵抗値

TARGETED OUTPUT VOLTAGE (V)	TOP FEEDBACK RESISTOR VALUES (kΩ)	BOTTOM FEEDBACK RESISTOR VALUES (kΩ)	CALCULATED OUTPUT VOLTAGE (V)
0.8	100	301	0.799
1.0	200	301	0.999
1.2	301	301	1.200
1.5	453	301	1.503
1.8	604	301	1.804
2.5	953	301	2.500
3.0	1210	301	3.012
3.3	1370	301	3.331
5.0	2210	301	5.005

## アプリケーション情報

### 入力コンデンサと出力コンデンサ

ADPL40505A は、入出力端子に等価直列抵抗 (ESR) が低いセラミック・コンデンサを使用して安定動作するように設計されています。このような種類のアプリケーションでは、X7R 誘電体の多層セラミック・コンデンサ (MLCC) がよく使用され、温度範囲にわたって容量が比較的安定しているため、推奨されます。ただし実効容量は、動作時の DC バイアス、温度による容量の許容誤差、誘導体の選択に依存します。したがって、コンデンサのデータシートをよく検討する必要があります。

ADPL40505A は、入力点と出力点の両方に 4.7μF (実効容量 2.0μF) の X7R セラミック・コンデンサを使用した場合の動作を対象に、設計および特性評価が行われています。パターンの寄生成分を最小化するため、これらのコンデンサは入力端子と出力端子のそれぞれにできるだけ近づけて配置する必要があります。安定性に起因する最大出力容量の制限はありません。ただし、5V 出力のアプリケーションでは、誘導経路の短絡電流ビルドアップを最小限に抑えるために、最大実効出力容量を 4.7μF に保つことを推奨します。

### 熱に関する考慮事項

ADPL40505A の性能を最適化するため、デバイスの電力消費と PCB の熱設計に特に配慮します。レギュレータの消費電力は入出力間の電圧差と負荷条件に依存します。これは次の式で計算できます。

$$\text{Power Loss (W)} = (V_{\text{IN}} - V_{\text{OUT}}) \times I_{\text{LOAD}}$$

与えられた目標出力電圧に対して入力電圧を注意深く選択することにより、最適な消費電力を実現できます。

デバイスの主な熱伝導経路は、パッケージの露出パッドを通る経路です。この結果、サーマル・パッドをデバイス下の銅パッド領域にはんだ付けする必要があります。PCB のサーマル・パッド内にメッキ処理のサーマル・ビアを配置し、システム中の複数の GND 層の間で熱が伝達するようにします。ハンダの空隙を最小化するため、このビアはキャップ処理します。消費電力の最大値は、ジャンクション温度の最大値を +125°C 未満に保った状態での、デバイスのジャンクションから周囲への熱抵抗によって決まります。パッケージの熱特性は、[パッケージ情報](#)のセクションに示しています。

$V_{\text{IN}} = 3.3\text{V}$ 、 $V_{\text{OUT}} = 2.5\text{V}$ 、負荷電流 300mA 時の 1 次消費電力予想値は次のようになります。

$$\text{Loss (W)} = (V_{\text{IN}} - V_{\text{OUT}}) \times I_{\text{LOAD}} = (3.3\text{V} - 2.5\text{V}) \times 0.3\text{A} = 0.24\text{W}$$

周囲温度  $T_A = 25^\circ\text{C}$  で ADPL40505AATA+ を使用したとすると、この消費電力によってジャンクション温度は次の値まで上昇します。

$$T_J = (PD \times \theta_{\text{JA}}) + T_A = (0.24\text{W} \times 85.3^\circ\text{C/W}) + 25^\circ\text{C} = 45.47^\circ\text{C}$$

## 型番

PART	TEMPERATURE RANGE	PIN-PACKAGE	FEATURE
ADPL40505AATA+	-40°C to +125°C	8-pin, 2mm x 2mm TDFN	MODE pin, FB pin with external feedback divider network, POK output
ADPL40505AATA+T	-40°C to +125°C	8-pin, 2mm x 2mm TDFN	MODE pin, FB pin with external feedback divider network, POK output

+ 鉛 (Pb) フリー/RoHS 適合パッケージ。

T はテープのリール巻きを示します。

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/25	初版発行	-

## 注記