

## 低ノイズ、200mA、CMOS リニア・レギュレータ

### 特長

- ▶ 低ノイズ：20 $\mu$ V<sub>RMS</sub>
- ▶ ノイズ・バイパス・コンデンサが不要
- ▶ 1 $\mu$ Fのセラミック入出力コンデンサによる安定動作
- ▶ 最大出力電流：200mA
- ▶ 入力電圧範囲：2.2V~5.5V
- ▶ 低自己消費電流
  - ▶ I<sub>GND</sub> = 20 $\mu$ A (I<sub>OUT</sub> = 0 $\mu$ A)
  - ▶ I<sub>GND</sub> = 290 $\mu$ A (I<sub>OUT</sub> = 200mA)
- ▶ 低シャットダウン電流：<1 $\mu$ A
- ▶ 低ドロップアウト電圧：150mV (I<sub>OUT</sub> = 200mA)
- ▶ 初期精度： $\pm$ 1%
- ▶ 電源ライン、負荷、温度に対する精度： $\pm$ 2.5%
- ▶ 7つの固定出力電圧オプション：1.2V、1.5V、1.8V、2.5V、2.8V、3.0V、3.3V
- ▶ PSRR 性能：70dB (10kHz)
- ▶ 電流制限と熱過負荷保護
- ▶ ロジック制御によるイネーブル
- ▶ EN 入力にプルダウン抵抗を内蔵
- ▶ 5ピン薄型スモール・アウトライン・トランジスタ・パッケージ
- ▶ 6ピン・リード・フレーム・チップ・スケール・パッケージ

### アプリケーション

- ▶ RF、電圧制御発振器 (VCO)、フェーズ・ロック・ループ (PLL) 電源
- ▶ 携帯電話
- ▶ デジタル・カメラおよびオーディオ機器
- ▶ 携帯型バッテリー駆動機器
- ▶ ポスト DC/DC レギュレーション
- ▶ 携帯型医療機器

### 代表的なアプリケーション回路

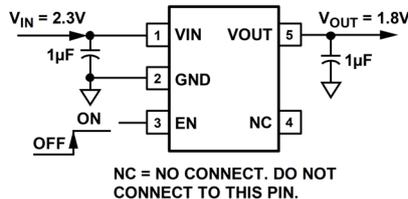


図 1. 1.8V 固定出力電圧の TSOT ADPL40502

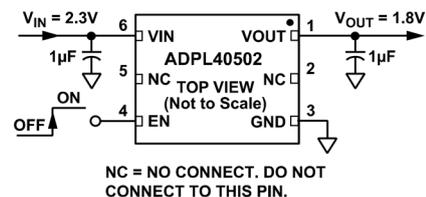


図 2. 1.8V 固定出力電圧の LFCSP ADPL40502

### 概要

ADPL40502 は、2.2V~5.5V で動作し、最大 200mA の電流を出力する低ノイズ低ドロップアウト (LDO) リニア・レギュレータです。200mA 負荷でのドロップアウト電圧が 150mV と低いため、効率が向上し、広い入力電圧範囲での動作が可能になります。

革新的な回路トポロジを採用している ADPL40502 は、バイパス・コンデンサがなくても低ノイズ性能を実現できるため、ノイズの影響を受けやすいアナログ・アプリケーションおよび RF アプリケーションに最適なデバイスです。また、ADPL40502 は、電源電圧変動除去比 (PSRR) やラインおよび負荷のトランジェント性能を損なうことなく低ノイズ性能を実現します。200mA の負荷で動作電源電流が 290 $\mu$ A と低いため、ADPL40502 はバッテリー駆動の携帯型機器に適しています。

ADPL40502 の EN 入力にはプルダウン抵抗が内蔵されています。

ADPL40502 は、スペースに制約がある高性能アプリケーションに必要とされる条件を満たすため、1 $\mu$ F、 $\pm$ 30%の小型セラミック入出力コンデンサで安定して動作するよう特別に設計されています。

ADPL40502 は、7つの固定出力電圧オプション (1.2V~3.3V) に対応しています。

短絡保護回路と熱過負荷保護回路により、悪条件下での損傷を防止します。ADPL40502 は、小型の 5ピン TSOT および 2mm × 2mm の 6ピン LFCSP で提供され、様々な携帯型電源アプリケーションの要件を満たす最小フットプリントのソリューションを実現します。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

#### Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1
アプリケーション.....	1
概要.....	1
代表的なアプリケーション回路.....	1
改訂履歴.....	2
仕様.....	3
絶対最大定格.....	5
熱データ.....	5
熱抵抗.....	6
ESDに関する注意.....	6
ピン配置およびピン機能の説明.....	7
端子説明.....	7
代表的な性能特性.....	8
動作原理.....	11
アプリケーション情報.....	11
コンデンサの選択.....	11
イネーブル機能.....	12
電流制限と熱過負荷保護.....	13
プリント回路基板のレイアウトに関する考慮事項.....	14
外形寸法.....	15
オーダー・ガイド.....	16
出力電圧オプション.....	16

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	12/24	初版発行	-

## 仕様

表 1. 電気的特性

(特に指定のない限り、 $V_{IN} = (V_{OUT} + 0.4V)$ と2.2Vのいずれか大きい方、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 1\mu F$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$  (代表値は25°Cにおける値)。 $V_{IN}$ は入力電圧、 $V_{OUT}$ は出力電圧、 $I_{OUT}$ は出力電流、 $C_{IN}$ は入力容量、 $C_{OUT}$ は出力容量です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range	$V_{IN}$		2.2		5.5	V
Operating Supply Current	$I_{GND}$	$I_{OUT} = 0\mu A$		20	40	$\mu A$
		$I_{OUT} = 10mA$		75	105	$\mu A$
		$I_{OUT} = 200mA$		290	390	$\mu A$
Shutdown Current	$I_{GND-SD}$	EN = GND		0.2	1.0	$\mu A$
Output Voltage Accuracy	$V_{OUT}$	$I_{OUT} = 10mA$	-1		+1	%
		$100\mu A < I_{OUT} < 200mA$ , $V_{IN} = (V_{OUT} + 0.4V)$ to 5.5V	-3		+2	%
Line Regulation	$\Delta V_{OUT} / \Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4V)$ to 5.5V, $T_J = -40^{\circ}C$ to $+125^{\circ}C$	-0.05		+0.05	%/V
Load Regulation <sup>1</sup>	$\Delta V_{OUT} / \Delta I_{OUT}$	$I_{OUT} = 100\mu A$ to 200mA		0.006	0.012	%/mA
Dropout Voltage <sup>2</sup>	$V_{DROPOUT}$	$I_{OUT} = 10mA$		10	30	mV
		$I_{OUT} = 200mA$		150	230	mV
Start-up Time <sup>3</sup>	$t_{START-UP}$	$V_{OUT} = 3.3V$		180		$\mu s$
Current-Limit Threshold <sup>4</sup>	$I_{LIMIT}$	$T_J = 0^{\circ}C$ to $+125^{\circ}C$	220	300	400	mA
<b>Undervoltage Lockout</b>						
Input Voltage Rising	$UVLO_{RISE}$				1.96	V
Input Voltage Falling	$UVLO_{FALL}$		1.28			V
Hysteresis	$UVLO_{HYS}$			120		mV
<b>Thermal Shutdown</b>						
Threshold	$TS_{SD}$	$T_J$ rising		150		$^{\circ}C$
Hysteresis	$TS_{SD-HYS}$			15		$^{\circ}C$
<b>EN Input</b>						
Logic High	$V_{IH}$	$2.2V \leq V_{IN} \leq 5.5V$	1.2			V
Logic Low	$V_{IL}$	$2.2V \leq V_{IN} \leq 5.5V$			0.4	V
Pull-Down Resistance	$R_{EN}$	$V_{IN} = EN$ voltage ( $V_{EN}$ ) = 5.5V		2.6		M $\Omega$
<b>Output Noise</b>						

(特に指定のない限り、 $V_{IN} = (V_{OUT} + 0.4V)$ と2.2Vのいずれか大きい方、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 10mA$ 、 $C_{IN} = C_{OUT} = 1\mu F$ 、 $T_A = -40^\circ C \sim +125^\circ C$  (代表値は25°Cにおける値)。 $V_{IN}$ は入力電圧、 $V_{OUT}$ は出力電圧、 $I_{OUT}$ は出力電流、 $C_{IN}$ は入力容量、 $C_{OUT}$ は出力容量です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Noise	$OUT_{NOISE}$	10Hz to 100kHz, $V_{IN} = 5V$ , $V_{OUT} = 3.3V$		20		$\mu V_{RMS}$
		10Hz to 100kHz, $V_{IN} = 5V$ , $V_{OUT} = 2.5V$		20		$\mu V_{RMS}$
<b>Power Supply Rejection Ratio</b>						
Power Supply Rejection Ratio	PSRR	10kHz, $V_{IN} = 3.8V$ to 4.3V, $V_{OUT} = 3.3V$ , $I_{OUT} = 10mA$		70		dB
		100kHz, $V_{IN} = 3.8V$ to 4.3V, $V_{OUT} = 3.3V$ , $I_{OUT} = 10mA$		55		dB

- <sup>1</sup> 0.1mA と 200mA の負荷を使用したエンドポイント計算に基づきます。1mA 未満の負荷に対する代表的な負荷レギュレーション性能については、図6を参照してください。
- <sup>2</sup> ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。この電圧は、2.2V を超える出力電圧に対してのみ適用されます。
- <sup>3</sup> スタートアップ時間は、EN の立上がりエッジから  $V_{OUT}$  が公称値の90%になるまでの時間として定義されます。
- <sup>4</sup> 電流制限の閾値は、出力電圧が仕様規定されている代表値の90%に低下する電流値として定義されます。例えば、3.0V の出力電圧に対する電流制限値は、出力電圧が3.0V の90% (2.7V) に低下する電流値として定義されます。

表2. 入出力コンデンサの推奨仕様

PARAMETER	SYMBOL	CONDITIONS	COMMENTS	MIN	TYP	MAX	UNITS
Minimum Input and Output Capacitance <sup>1</sup>	$C_{MIN}$	$T_A = -40^\circ C$ to $+125^\circ C$		0.7			$\mu F$
Capacitor ESR	$R_{ESR}$	$T_A = -40^\circ C$ to $+125^\circ C$		0.001		0.2	$\Omega$

- <sup>1</sup> 最小入力容量と最小出力容量は、全動作範囲で0.7 $\mu F$ より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの動作条件の全範囲を考慮する必要があります。X7RタイプとX5Rタイプのコンデンサの使用を推奨します。Y5VコンデンサとZ5Uコンデンサは、全ての低ドロップアウト(LDO)レギュレータに推奨しません。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

PARAMETER	RATING
$V_{IN}$ to GND	-0.3V to +6.5V
$V_{OUT}$ to GND	-0.3 V to $V_{IN}$
EN to GND	-0.3V to +6.5V
Temperature Range	
Storage	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Operating Junction	$-40^\circ\text{C}$ to $+125^\circ\text{C}$
Operating Ambient	$-40^\circ\text{C}$ to $+125^\circ\text{C}$
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度を超えると ADPL40502 は損傷を受けることがあります。周囲温度を監視しても、 $T_J$  が仕様規定の温度内とは限らない場合があります。消費電力が大きく、熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路基板 (PCB) の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度がこの最大値を超えてもかまいません。デバイスの  $T_J$  は、 $T_A$ 、デバイスの消費電力 ( $P_D$ )、パッケージのジャンクションと周囲環境間の熱抵抗 ( $\theta_{JA}$ ) に依存します。

$T_A$  および  $P_D$  から最大の  $T_J$  を計算するには、次式を使用します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージの  $\theta_{JA}$  は 4 レイヤ・ボードを使ったモデリングと計算に基づきます。 $\theta_{JA}$  はアプリケーションとボード・レイアウトに大きく依存します。最大  $P_D$  が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 $\theta_{JA}$  の値は、PCB 材料、レイアウト、環境条件に応じて変化します。 $\theta_{JA}$  の規定値は、4 インチ × 3 インチの 4 レイヤ回路ボードに基づいています。ボード構造の詳細については、JESD51-7 および JESD51-9 を参照してください。

$\Psi_{JB}$  は、ジャンクション/ボード間の熱特性評価パラメータで、単位は  $^\circ\text{C}/\text{W}$  です。パッケージの  $\Psi_{JB}$  は、4 層ボードを使ったモデリングと計算に基づいています。JESD51-12 「Guidelines for Reporting and Using Electronic Package Thermal Information」には、熱特性評価パラメータは熱抵抗と同じではないと記載されています。 $\Psi_{JB}$  は、 $\theta_{JB}$  の場合のように 1 つの熱経路ではなく、複数の熱経路を通過する電力成分を表します。

したがって、 $\Psi_{JB}$  の熱経路には、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで  $\Psi_{JB}$  を有効にしているファクタなどがあります。ボード温度 ( $T_B$ ) および  $P_D$  から最大の  $T_J$  を計算するには、次式を使用します。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

$\Psi_{JB}$  の詳細については、JESD51-8 および JESD51-12 を参照してください。

### 熱抵抗

$\theta_{JA}$  と  $\Psi_{JB}$  は最も厳しい条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\Psi_{JB}$	Unit
5-Lead TSOT (UJ-5)	170	43	°C/W
6-Lead LFCSP (CP-6-3)	63.6	28.3	°C/W

### ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

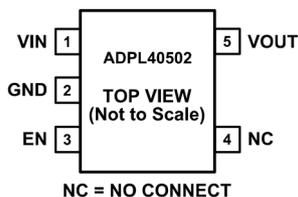
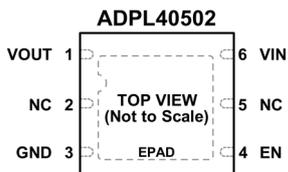


図 3. 5 ピン TSOT のピン配置



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

図 4. 6 ピン LFCSP のピン配置

端子説明

表 5. 端子説明

ピン		記号	説明
TSOT	LFCSP		
1	6	V <sub>IN</sub>	レギュレータの入力電源。V <sub>IN</sub> は、1μF以上のコンデンサでGNDにバイパスしてください。
2	3	GND	グラウンド。
3	4	EN	イネーブル入力。ENをハイ・レベルにするとレギュレータがオンになり、ENをロー・レベルにするとレギュレータがオフになります。自動スタートアップの場合は、ENをV <sub>IN</sub> に接続してください。
4	2	NC	接続なし。内部接続されていません。
5	1	V <sub>OUT</sub>	安定化された出力電圧。V <sub>OUT</sub> は、1μF以上のコンデンサでGNDにバイパスしてください。
Not Applicable	5	NC	接続なし。内部接続されていません。
Not Applicable		EPAD	露出パッド。露出パッドはグラウンドに接続する必要があります。露出パッドは、パッケージの熱性能を強化します。

代表的な性能特性

特に指定のない限り、 $V_{IN} = 5V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 1mA$ 、 $C_{IN} = C_{OUT} = 1\mu F$ 、 $T_A = 25^\circ C$ 。

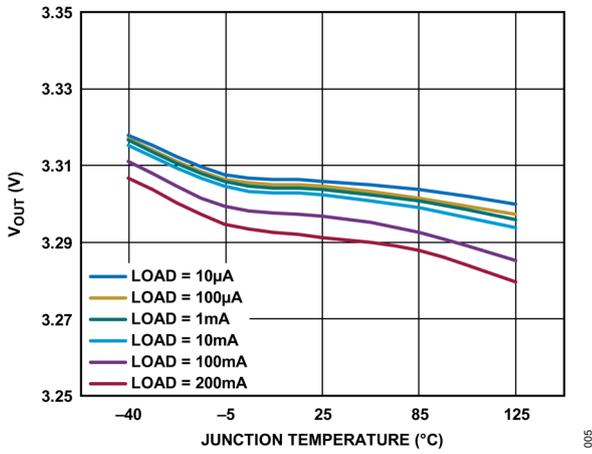


図 5. 出力電圧 ( $V_{OUT}$ ) とジャンクション温度 ( $T_J$ ) の関係

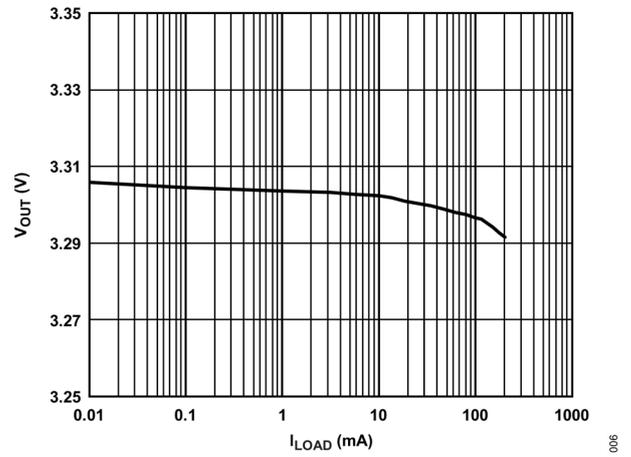


図 6. 出力電圧 ( $V_{OUT}$ ) と負荷電流 ( $I_{LOAD}$ ) の関係

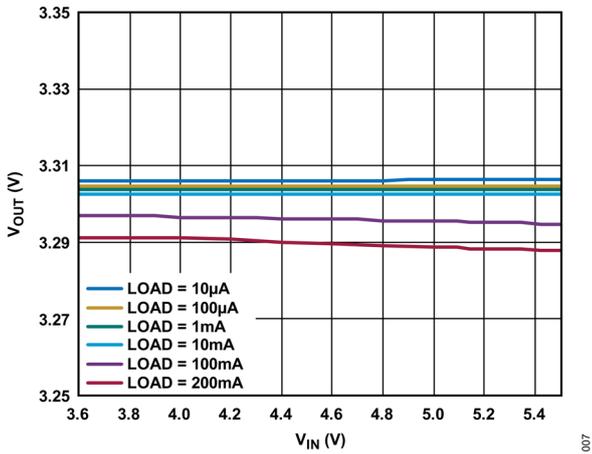


図 7. 出力電圧 ( $V_{OUT}$ ) と入力電圧 ( $V_{IN}$ ) の関係

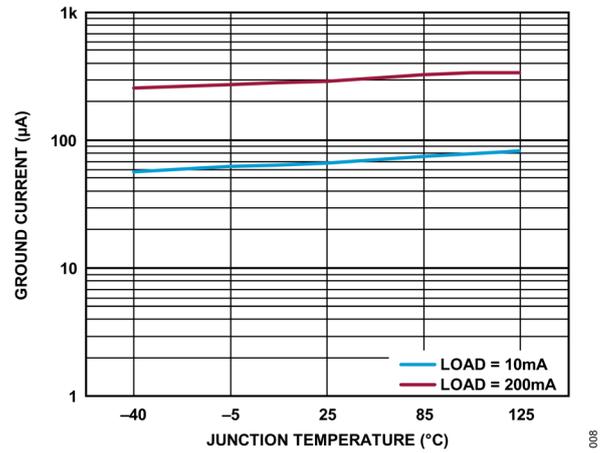


図 8. グラウンド電流 ( $I_{GND}$ ) とジャンクション温度 ( $T_J$ ) の関係

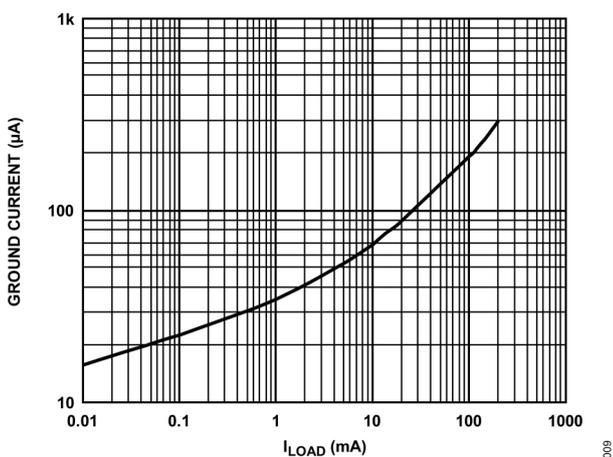


図 9. グラウンド電流 ( $I_{GND}$ ) と負荷電流 ( $I_{LOAD}$ ) の関係

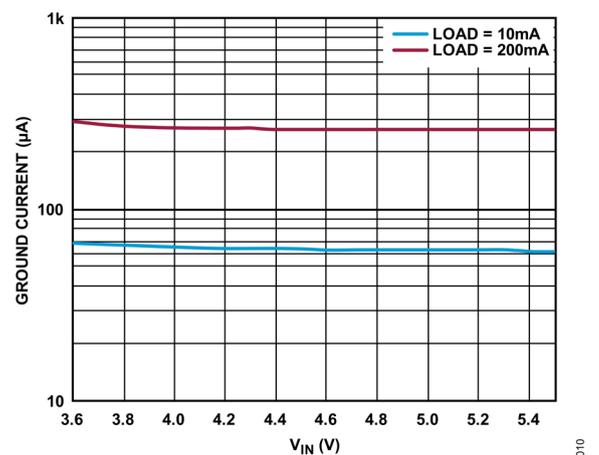
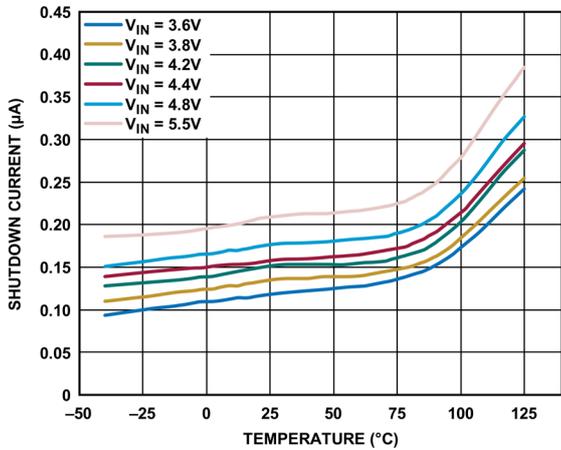


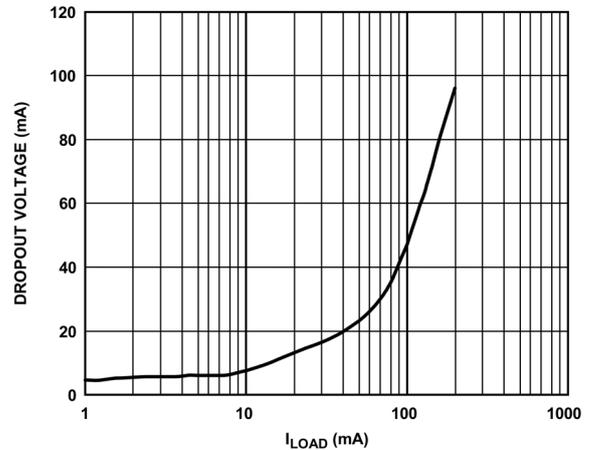
図 10. グラウンド電流 ( $I_{GND}$ ) と入力電圧 ( $V_{IN}$ ) の関係

代表的な性能特性



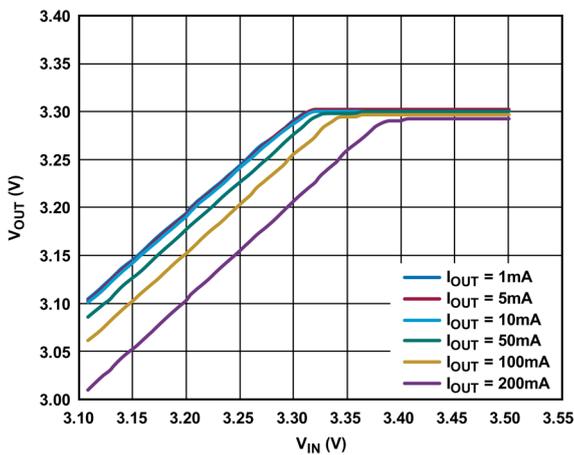
011

図 11. 様々な入力電圧におけるシャットダウン電流 ( $I_{GND-SD}$ ) と温度 ( $T_j$ ) の関係



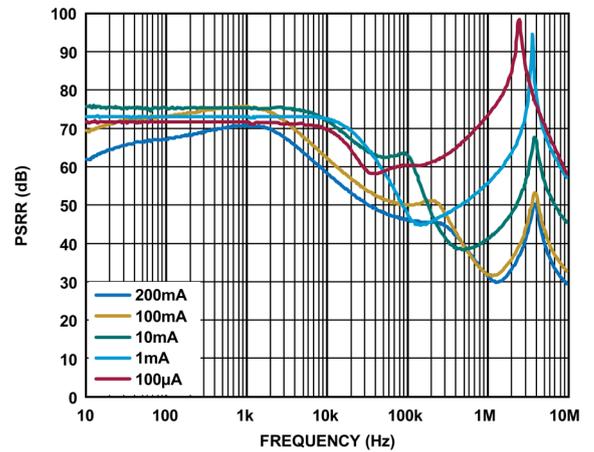
012

図 12. ドロップアウト電圧 ( $V_{DROP-OUT}$ ) と負荷電流 ( $I_{LOAD}$ ) の関係



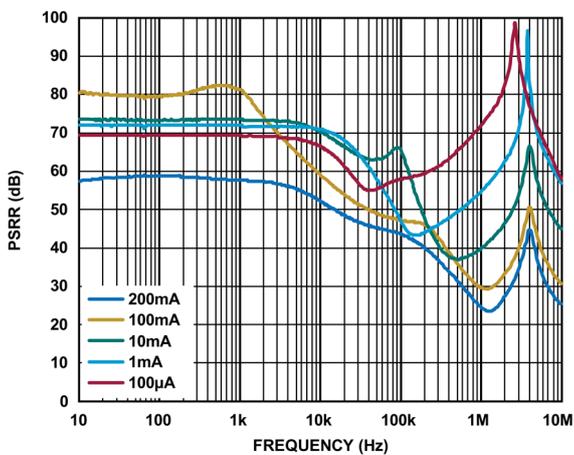
013

図 13. 出力電圧 ( $V_{OUT}$ ) と入力電圧 ( $V_{IN}$ ) の関係 (ドロップアウト時)



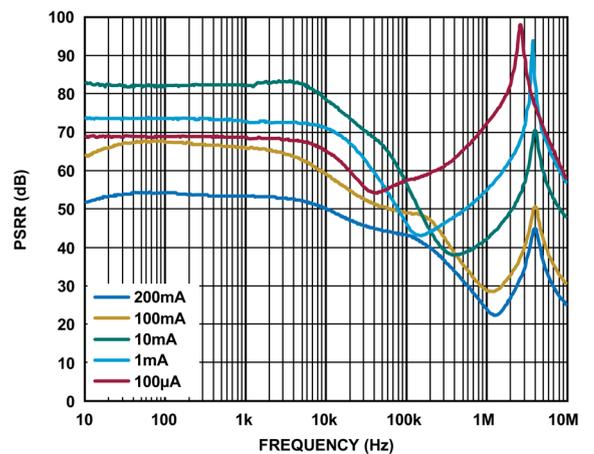
015

図 14. 電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} = 1.2V$ 、 $V_{IN} = 2.2V$



016

図 15. 電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} = 2.8V$ 、 $V_{IN} = 3.3V$



017

図 16. 電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} = 3.3V$ 、 $V_{IN} = 3.8V$

代表的な性能特性

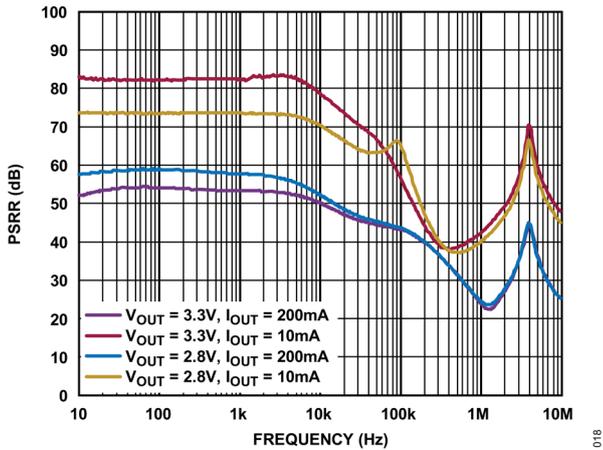


図 17. 様々な出力電圧および負荷電流における電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} - V_{IN} = 0.5V$

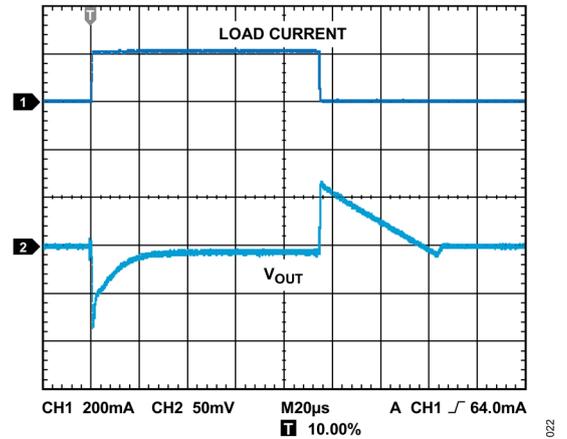


図 18. 負荷過渡応答、  
 $C_{IN} = C_{OUT} = 1\mu F$ 、 $I_{LOAD} = 1mA \sim 200mA$

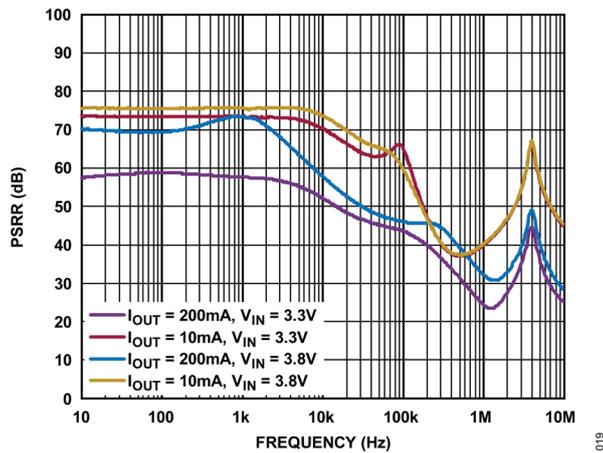


図 19. 様々な電圧および負荷電流における電源電圧変動除去比 (PSRR) と周波数の関係、 $V_{OUT} = 2.8V$

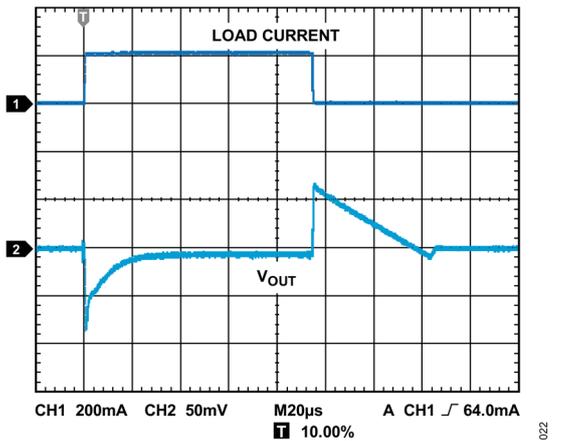


図 20. 負荷過渡応答、  
 $C_{IN} = C_{OUT} = 1\mu F$ 、 $I_{LOAD} = 1mA \sim 200mA$

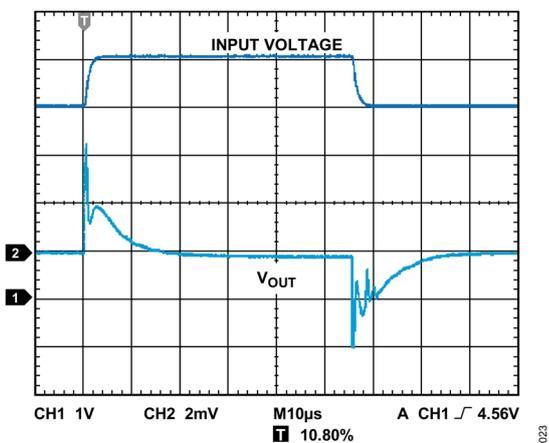


図 21. ライン過渡応答、 $C_{IN} = C_{OUT} = 1\mu F$ 、 $I_{LOAD} = 200mA$

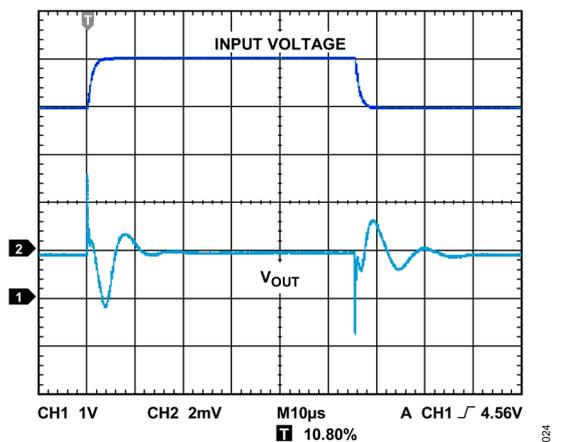


図 22. ライン過渡応答、 $C_{IN} = C_{OUT} = 1\mu F$ 、 $I_{LOAD} = 1mA$

## 動作原理

ADPL40502 は、2.2V~5.5V で動作し、最大 200mA の電流を出力する低ノイズ低自己消費電流の LDO リニア・レギュレータです。全負荷時に流れる動作電源電流が 290 $\mu$ A (代表値) と低いため、ADPL40502 はバッテリー駆動の携帯型機器に最適です。シャットダウン時に消費する電流は、代表値で 0.2 $\mu$ A です。

ADPL40502 の内部は、リファレンス (電圧源)、エラー・アンプ、帰還分圧器、PMOS パス・トランジスタで構成されています。出力電流は、エラー・アンプによって制御される PMOS パス・デバイスを経由して供給されます。エラー・アンプはリファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低いと、PMOS デバイスのゲート電圧が低くなるので、通過する電流が増え、出力電圧が上昇します。帰還電圧がリファレンス電圧より高いと、PMOS デバイスのゲート電圧が高くなるので、通過する電流が減り、出力電圧が低下します。

EN 入力に内蔵のプルダウン抵抗は、このピンがオープン状態の場合に入力をローに保持します。

ADPL40502 には、1.2V~3.3V の範囲で 7 つの出力電圧オプションがあります。ADPL40502 では、EN ピンを使用して、通常動作状態で V<sub>OUT</sub> ピンを有効化/無効化します。EN がハイのとき V<sub>OUT</sub> はオンになり、EN がローのとき V<sub>OUT</sub> はオフになります。自動スタートアップにするには、EN を V<sub>IN</sub> に接続します。

## アプリケーション情報

### コンデンサの選択

#### 出力コンデンサ

ADPL40502 は、省スペースが可能な小型セラミック・コンデンサで動作するように設計されていますが、等価直列抵抗 (ESR) 値に関する注意を払えば一般的に使用されているほとんどのコンデンサでも動作できます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響します。ADPL40502 を安定に動作させるには、ESR が 1 $\Omega$  以下で最小 1 $\mu$ F のコンデンサの使用を推奨します。負荷電流の変化に対する過渡応答も、出力コンデンサの影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADPL40502 の過渡応答を改善することができます。出力容量が 1 $\mu$ F の場合の過渡応答を図 23 に示します。出力コンデンサを選択する際には、DC 電圧、温度、AC 信号に対するセラミック・コンデンサのディレーティングを考慮することが必要です。実効容量は、コンデンサの公称値より 80%低い値になることもあります。ディレーティング曲線は、セラミック・コンデンサの主要メーカーであれば、どこからも入手可能です。

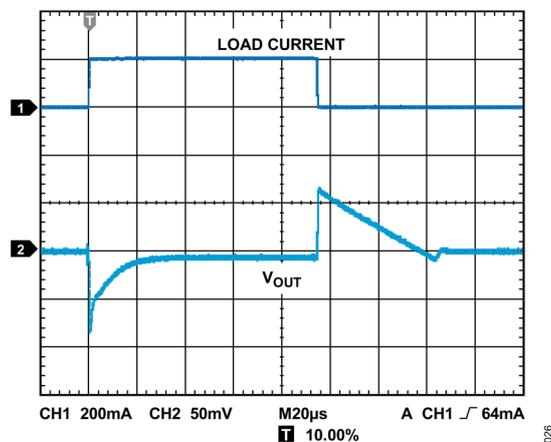


図 23. 出力過渡応答、C<sub>OUT</sub> = 1 $\mu$ F

## 入力バイパス・コンデンサ

$V_{IN}$  と GND の間に  $1\mu\text{F}$  のコンデンサを接続すると、特に入力の配線パターンが長い場合やソース・インピーダンスが高い場合に、PCB レイアウトに対する回路の感度を下げることができます。 $1\mu\text{F}$  を超える出力コンデンサが必要な場合は、これに一致するよう入力コンデンサの値を大きくしなくてはなりません。出力コンデンサを選択する際には、DC 電圧、温度、AC 信号に対するセラミック・コンデンサのディレーティングを考慮することが必要です。実効容量は、コンデンサの公称値より 80%低い値になることもあります。ディレーティング曲線は、セラミック・コンデンサの主要メーカーであれば、どこからも入手可能です。

## イネーブル機能

ADPL40502 では、EN ピンを使用して、通常動作状態で  $V_{OUT}$  ピンを有効化/無効化します。図 24 に示すように、EN の電圧が上昇してアクティブ閾値を上回ると、 $V_{OUT}$  がオンになります。EN の電圧が下降して非アクティブ閾値を下回ると、 $V_{OUT}$  がオフになります。

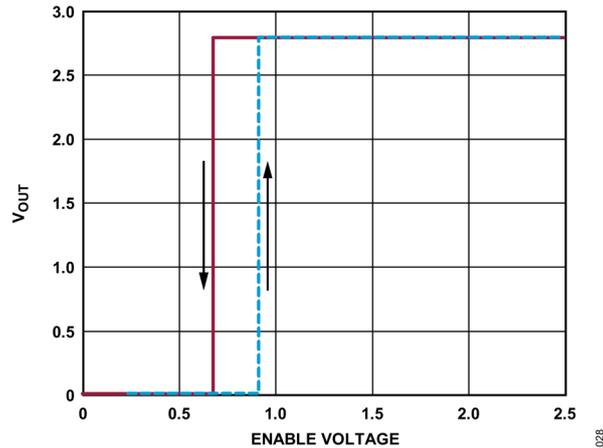


図 24. ADPL40502 の EN ピンの代表的な動作

図 24 に示すように、EN ピンにはヒステリシスがあり、これによって、EN ピンが閾値ポイントを通過する際のノイズに起因するオン/オフ発振を防止します。

EN ピンのアクティブ閾値および非アクティブ閾値は、 $V_{IN}$  電圧から供給されます。そのため、これらの閾値は、入力電圧の変化に伴って変動します。図 25 に、入力電圧が  $2.2\text{V}\sim 5.5\text{V}$  の間で変化する場合の、EN の代表的なアクティブ閾値および非アクティブ閾値を示します。

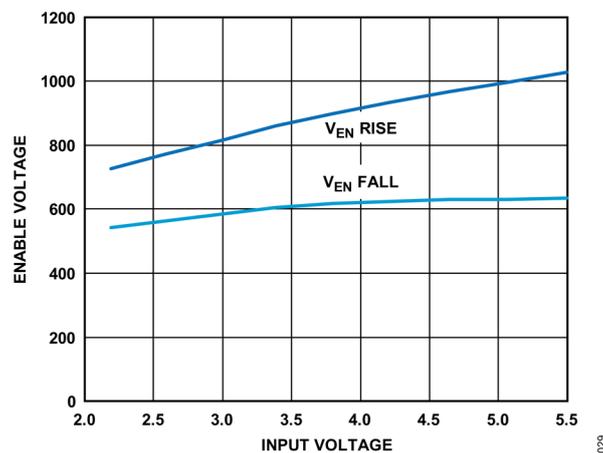


図 25. EN ピンの代表的な閾値と入力電圧の関係

ADPL40502は内部ソフトスタート機能を使って、出力を有効化したときの突入電流を制限します。3.3Vオプションでのスタートアップ時間は、ENのアクティブ閾値を通過してから出力が最終値の90%に達するまでの約180 $\mu$ sです。図26に、入力電圧が2.2V~5.5Vの間で変化する場合の、ENの代表的なアクティブ閾値および非アクティブ閾値を示します。

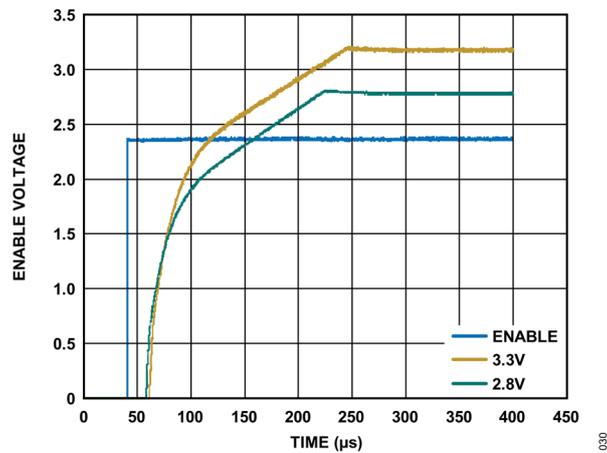


図 26. 代表的なスタートアップ動作

## 電流制限と熱過負荷保護

ADP40502は、過電流保護回路と熱過負荷保護回路により過大な消費電力による損傷から保護されています。ADPL40502は、出力負荷が300mA（代表値）に達すると、電流を制限するように設計されています。出力負荷が300mAを超えると、出力電圧を下げ、一定の電流制限値に維持します。

また、ジャンクション温度を最大150 $^{\circ}$ C（代表値）に制限する熱過負荷保護機能を備えています。過酷な状態（高周囲温度や高消費電力）で、ジャンクション温度が150 $^{\circ}$ Cを超え始めると、出力がオフになり、出力電流が0まで減少します。ジャンクション温度が135 $^{\circ}$ Cを下回ると、出力は再びオンになり、出力電流は公称値に戻ります。

$V_{OUT}$ からグラウンドへのハード短絡が発生する場合を考えます。まず、ADPL40502の電流制限により、300mAだけ短絡箇所に流れます。ジャンクションの自己発熱により温度が150 $^{\circ}$ Cを超えると、サーマル・シャットダウン機能が作動して、出力がオフになり、出力電流は0まで減少します。ジャンクション温度が下がり135 $^{\circ}$ Cを下回ると、出力がオンになって短絡箇所に300mAの電流が流れ、ジャンクション温度が再び150 $^{\circ}$ Cを超えます。135 $^{\circ}$ Cと150 $^{\circ}$ Cの間で発生するこの熱発振により、300mAと0mAの間で電流発振が発生します。出力が短絡状態にある限り、この発振は続きます。

電流制限と熱制限の保護機能は、偶発的な過負荷状態からデバイスを保護します。信頼性の高い動作を実現するには、ジャンクション温度が125 $^{\circ}$ Cを超えないようにデバイスの消費電力を外部で制限する必要があります。

プリント回路基板のレイアウトに関する考慮事項

ADPL40502 のピンに接続する銅の量を増やことによりパッケージからの放熱を向上することができます。

入力コンデンサは  $V_{IN}$  ピンと GND ピンのできるだけ近くに配置します。出力コンデンサは  $V_{OUT}$  ピンと GND ピンのできるだけ近くに配置します。0402 または 0603 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。

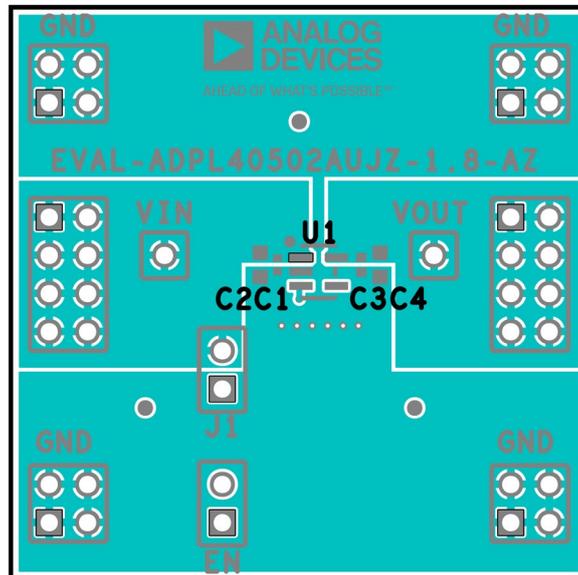


図 27. TSOT の PCB レイアウト例

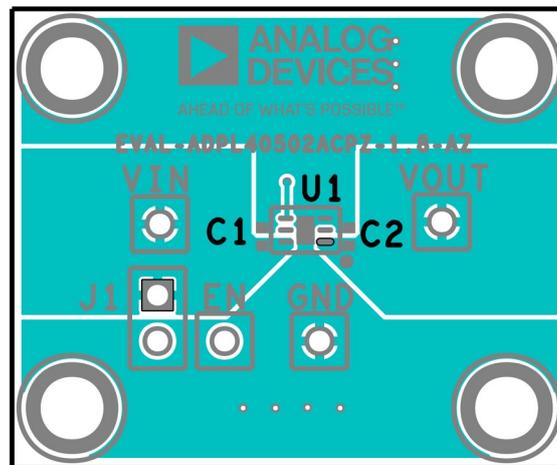


図 28. LFCSP の PCB レイアウト例

外形寸法

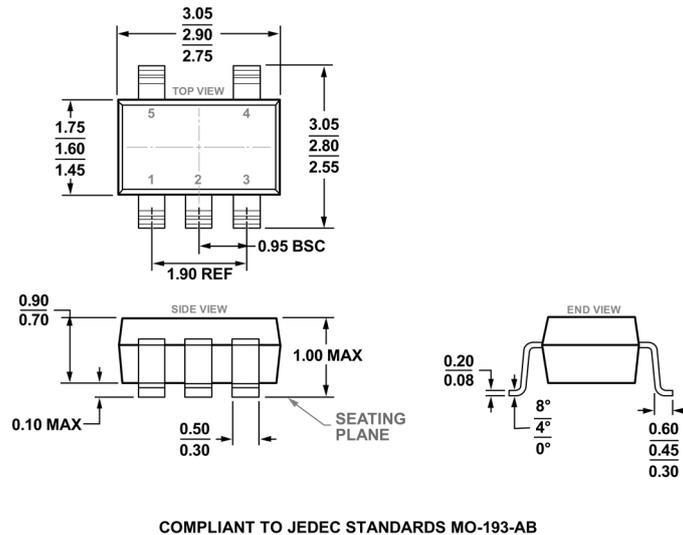


図 29.5 ピン薄型スモール・アウトライン・トランジスタ・パッケージ [TSOT] (UJ-5)  
寸法：mm

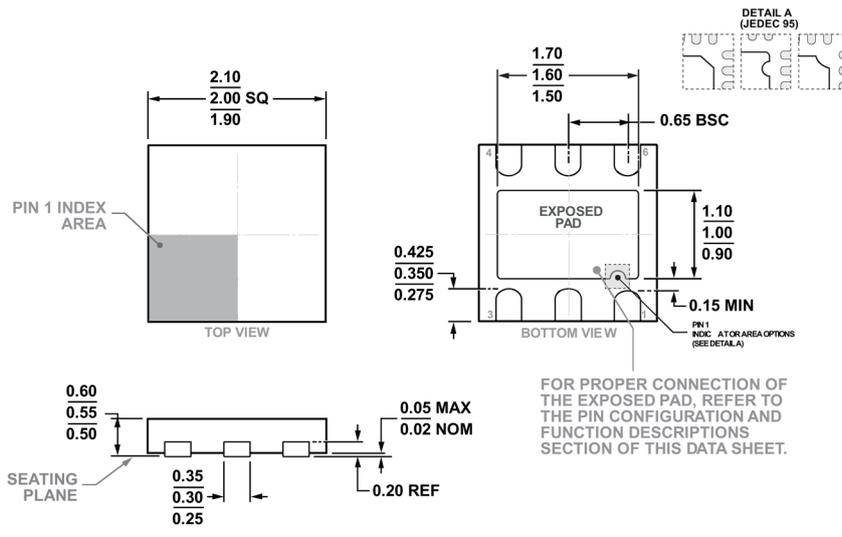


図 30.6 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP] 2mm × 2mm ボディ、0.55mm パッケージ高 (CP-6-3)  
寸法：mm

## オーダー・ガイド

表 6. オーダー・ガイド

MODEL <sup>1</sup>	TEMPERATURE RANGE	PACKAGE DESCRIPTION	PACKING QUANTITY
ADPL40502ACPZ-1.2-R7	-40°C to +125°C	6-Lead LFCSP (2mm x 2mm w/ EP)	Reel, 3000
ADPL40502ACPZ-1.8-R7	-40°C to +125°C	6-Lead LFCSP (2mm x 2mm w/ EP)	Reel, 3000
ADPL40502ACPZ-2.5-R7	-40°C to +125°C	6-Lead LFCSP (2mm x 2mm w/ EP)	Reel, 3000
ADPL40502ACPZ-3.0-R7	-40°C to +125°C	6-Lead LFCSP (2mm x 2mm w/ EP)	Reel, 3000
ADPL40502ACPZ-3.3-R7	-40°C to +125°C	6-Lead LFCSP (2mm x 2mm w/ EP)	Reel, 3000
ADPL40502AUJZ-1.2-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-1.5-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-1.8-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-2.5-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-2.8-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-3.0-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000
ADPL40502AUJZ-3.3-R7	-40°C to +125°C	5-Lead TSOT	Reel, 3000

<sup>1</sup> Z = RoHS 準拠製品。

## 出力電圧オプション

表 7. 出力電圧オプション

MODEL <sup>1</sup>	OUTPUT VOLTAGE (V) <sup>2</sup>
ADPL40502ACPZ-1.2-R7, ADPL40502AUJZ-1.2-R7	1.2
ADPL40502AUJZ-1.5-R7	1.5
ADPL40502ACPZ-1.8-R7, ADPL40502AUJZ-1.8-R7	1.8
ADPL40502ACPZ-2.5-R7, ADPL40502AUJZ-2.5-R7	2.5
ADPL40502AUJZ-2.8-R7	2.8
ADPL40502ACPZ-3.0-R7, ADPL40502AUJZ-3.0-R7	3.0
ADPL40502ACPZ-3.3-R7, ADPL40502AUJZ-3.3-R7	3.3

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> その他の電圧オプションについては、最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2025年7月1日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年7月1日

製品名：ADPL40502

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：13 ページ、上から 2 行目

【誤】

「図 26 に、入力電圧が 2.2V~5.5V の間で変化する場合の、EN の代表的なアクティブ  
閾値および非アクティブ閾値を示します」

【正】

「図 26 に、出力電圧が 2.8V、3.3V の時の ENABLE 信号とソフトスタート出力の関係を  
示します。」