

1A、60V のスイッチを内蔵した低 I_Q の 昇圧／SEPIC／反転コンバータ

特長

- ▶ 入力電圧範囲：3.2V～36V
- ▶ 低自己消費電流および低リップルの Burst Mode[®]動作：
 $I_Q = 6\mu A$
- ▶ 1A、60V のパワー・スイッチ
- ▶ 1本の帰還ピンを使用して、正または負の出力電圧を設定
- ▶ 固定スイッチング周波数：2MHz
- ▶ 高精度の 1.6V EN/UVLO ピン閾値
- ▶ 内部補償機能とソフトスタート機能
- ▶ 低背型（1mm）ThinSOT[™] パッケージ

アプリケーション

- ▶ 産業用機器
- ▶ テレコム
- ▶ 医療用診断機器
- ▶ ポータブル電子機器

本紙記載の登録商標および商標は、すべて各社の所有に属します。
5438499、7463497、7471522 などの米国特許によって保護されています。

簡略アプリケーション回路図

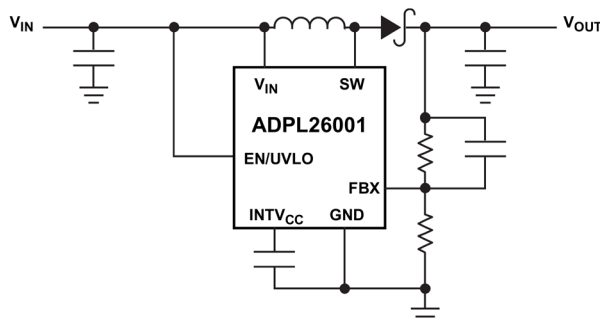


図 1. 昇圧コンバータの簡略図

概要

ADPL26001 は、1本の帰還ピンを使用して正または負の出力電圧を生成できる、電流モード DC/DC コンバータです。このデバイスは、昇圧、シングルエンド・プライマリ・インダクタンس・コンバータ（SEPIC）、または反転コンバータとして構成可能で、消費される自己消費電流はわずか $6\mu A$ です。低リップルの Burst Mode 動作により、非常に少量の出力電流まで高い効率を維持できると同時に、標準的なアプリケーションにおいて出力リップルを 15mV 未満に維持できます。内部で補償される電流モード・アーキテクチャにより、広い範囲の入力電圧および出力電圧にわたって安定した動作が得られます。ソフトスタート機能と周波数フォールドバック機能が内蔵されているため、起動時にインダクタ電流が制御されます。ADPL26001 には 2MHz の高スイッチング周波数と組み合わせた小型パッケージ・オプションがあり、小さなフットプリントを維持しながら、全体的に効率的で省スペースかつコスト効率に優れたソリューションを実現します。

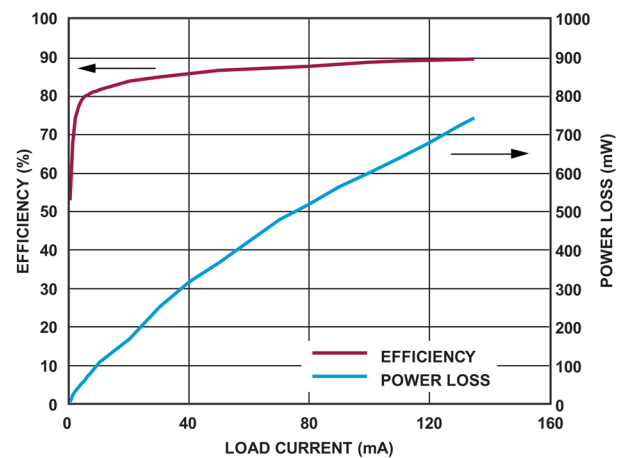


図 2. 効率および電力損失と負荷電流の関係（図 28 の回路）

目次

特長.....	1	出力キャパシタと出力リップル.....	15
アプリケーション.....	1	補償.....	15
概要.....	1	セラミック・キャパシタ.....	15
簡略アプリケーション回路図.....	1	ダイオードの選択.....	16
改訂履歴.....	2	レイアウトのヒント.....	16
仕様.....	3	熱に関する考慮事項.....	16
絶対最大定格.....	4	その他のトポロジ：SEPIC および反転.....	17
ピン配置およびピン機能の説明.....	5	SEPIC コンバータのアプリケーション.....	17
端子説明.....	5	SEPIC コンバータ：スイッチのデューティ・サイクルと周波数.....	17
代表的な性能特性.....	6	SEPIC コンバータ：最大出力電流能力とインダクタの選択.....	17
ブロック図.....	9	SEPIC コンバータ：出力ダイオードの選択.....	19
動作原理.....	10	SEPIC コンバータ：出力キャパシタと入力キャパシタの選択.....	20
アプリケーション情報.....	11	SEPIC コンバータ：DC カップリング・キャパシタの選択.....	20
超低自己消費電流の実現.....	11	反転コンバータのアプリケーション.....	20
EN/UVLO ピンを使用した入力ターンオン閾値およびターンオフ閾値の設定.....	12	反転コンバータ：スイッチのデューティ・サイクルと周波数.....	20
INTV _{CC} レギュレータ.....	12	反転コンバータ：インダクタ、出力ダイオード、および入力キャパシタの選択.....	21
デューティ・サイクルに関する考慮事項.....	12	反転コンバータ：出力キャパシタの選択.....	21
出力電圧の設定.....	13	反転コンバータ：DC カップリング・キャパシタの選択.....	21
ソフトスタート.....	13	代表的なアプリケーション回路.....	22
周波数フォールドバック.....	14	外形寸法.....	26
過熱ロックアウト.....	14	オーダー・ガイド.....	27
スイッチング周波数とインダクタの選択.....	14		
入力キャパシタ.....	15		

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/23	初版発行	—

仕様

表 1. 電気的特性

(特に指定のない限り、 $T_A = T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{\text{IN}} = 12\text{V}$ 、 $\text{EN/UVLO} = 12\text{V}$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
V _{IN} Operating Voltage Range	V _{IN}		3.2		36	V
V _{IN} Quiescent Current at Shutdown	I _{Q-SD}	V _{EN/UVLO} = 0.2V, T _A = 25°C		0.9	2	μA
		V _{EN/UVLO} = 0.2V		2	5	
		V _{EN/UVLO} = 1.5V, T _A = 25°C		2	5	
		V _{EN/UVLO} = 1.5V		3.6	9.5	
V _{IN} Quiescent Current	I _Q	Sleep Mode, Not Switching, T _A = 25°C		5.5	10	μA
		Sleep Mode, Not Switching		8.5	15	
		Active Mode, Not Switching, T _A = 25°C		780	1100	
		Active Mode, Not Switching		840	1200	
FBX Regulation						
FBX Regulation Voltage	V _{FBX_REG}	FBX > 0V	1.568	1.6	1.632	V
		FBX < 0V	-0.820	-0.80	-0.780	
FBX Line Regulation		FBX > 0V, 3.2V < V _{IN} < 36V, T _A = 25°C		0.005	0.015	%/V
		FBX < 0V, 3.2V < V _{IN} < 36V, T _A = 25°C		0.005	0.015	
FBX Pin Current	I _{FBX}	FBX = 1.6V, -0.8V	-10		10	nA
Oscillator						
Switching Frequency (f _{osc})	f _{SW}	V _{IN} = 24V	1.8	2.0	2.2	MHz
Minimum On-Time	t _{ON_MIN}	V _{IN} = 24V, T _A = 25°C		70	110	ns
Minimum Off-Time	t _{OFF_MIN}	V _{IN} = 24V, T _A = 25°C		50	70	ns
Switch						
Maximum Switch Current-Limit Threshold	I _{SW_LIM}		1.0	1.2	1.5	A
Switch R _{DS(ON)}	R _{DS(ON)}	I _{SW} = 0.5A, T _A = 25°C		400		mΩ
Switch Leakage Current	I _{SW_LKG}	V _{SW} = 60V, T _A = 25°C		0.1	1	μA
EN/UVLO Logic						
EN/UVLO Pin Threshold (Rising)	V _{EN_R}	Start Switching	1.620	1.68	1.755	V
EN/UVLO Pin Threshold (Falling)	V _{EN_F}	Stop Switching	1.556	1.60	1.644	V
EN/UVLO Pin Current	I _{EN}	V _{EN/UVLO} = 1.6V	-40		40	nA
Soft-Start						
Soft-Start Time	t _{SS}	V _{IN} = 24V, T _A = 25°C		1		ms

絶対最大定格

表 2. 絶対最大定格

PARAMETER	RATING
SW	60V
V_{IN} , EN/UVLO	36V
EN/UVLO Pin Above V_{IN} Pin	6V
INTV _{CC} ¹	4V
FBX	±4V
Temperature Range	
Operating Junction ^{2,3}	–40°C to 125°C
Storage	–65°C to 150°C

¹ INTV_{CC} は、外部から駆動できません。このピンに部品を追加することや、負荷をかけることはできません。

² ジャンクション温度が+125°Cを超えると、動作寿命が短くなります。

³ このデバイスは、過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は150°Cを超えています。仕様規定された最大動作ジャンクション温度を超えてデバイスを連続動作させると、寿命が短くなります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ピン配置およびピン機能の説明

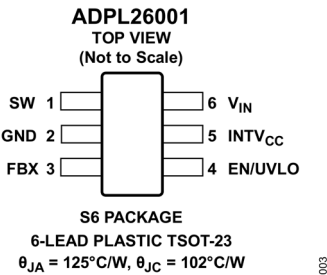


図 3. ピン配置

端子説明

端子	名称	説明
1	SW	内部パワー・スイッチの出力。このピンに接続される金属のパターン面積を最小限に抑えて、EMI を低減します。
2	GND	ADPL26001 のグラウンド接続。ADPL26001 で発生する熱を拡散するために、グラウンド・ピンは広い銅層に接続します。
3	FBX	正出力または負出力用の電圧レギュレーション帰還ピン。このピンは出力と GND の間の抵抗分圧器に接続します。FBX の電圧が GND に近い起動時やフォルト状態時には、FBX はスイッチング周波数を減少させます。
4	EN/UVLO	シャットダウンおよび低電圧検出ピン。ADPL26001 はこのピンがローになるとシャットダウンされ、このピンがハイになるとアクティブになります。電圧が 1.6V の高精度閾値より低くなると、デバイスは低電圧ロックアウト状態になり、スイッチング動作を停止します。これにより、システム入力電圧を抵抗で分割して EN/UVLO ピンに入力することにより、システム入力電圧に対して低電圧ロックアウト (UVLO) 閾値を設定できます。このピンの 80mV のヒステリシスによって、ピンの電圧が 1.68V を超えたときにデバイスのスイッチング動作が確実に再開されます。EN/UVLO ピンの電圧が 0.2V を下回ると、V _{IN} の電流が 1μA 未満に減少します。シャットダウン機能および UVLO 機能が不要な場合は、このピンをシステム入力に直接接続できます。
5	INTV _{CC}	内部負荷用の安定化された 3V 電源。INTV _{CC} ピンは、最小 1μF の低等価直列抵抗 (ESR) セラミック・キャパシタでグラウンドにバイパスする必要があります。このピンに部品を追加することや、負荷をかけることはできません。
6	V _{IN}	入力電源。このピンはローカルでバイパスする必要があります。入力キャパシタの正端子は V _{IN} ピンにできるだけ近付けて接続し、負端子は GND ピンにできるだけ近付けて接続してください。

代表的な性能特性

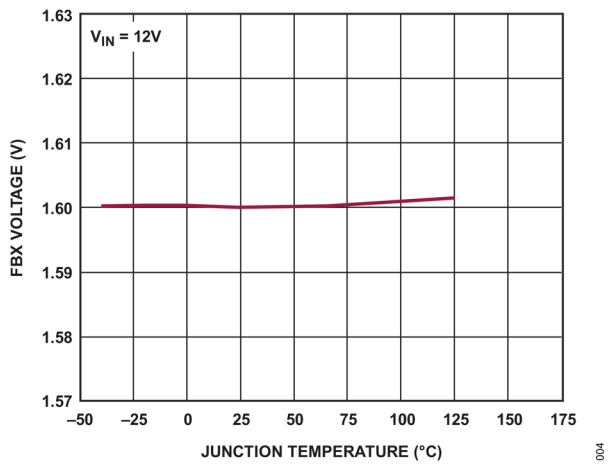
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

図 4. FBX の正のレギュレーション電圧と温度の関係

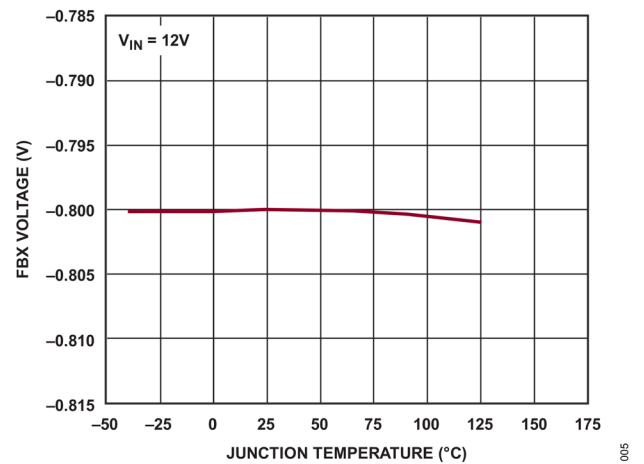


図 5. FBX の負のレギュレーション電圧と温度の関係

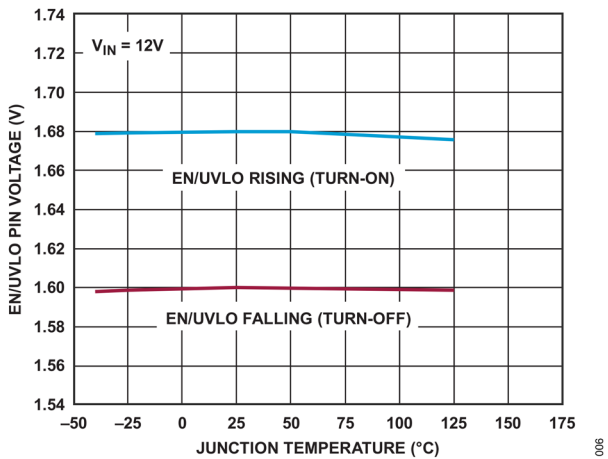


図 6. EN/UVLO ピン閾値と温度の関係

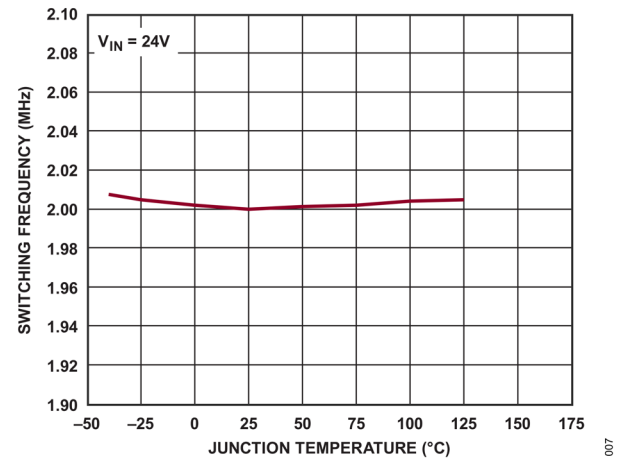


図 7. スイッチング周波数と温度の関係

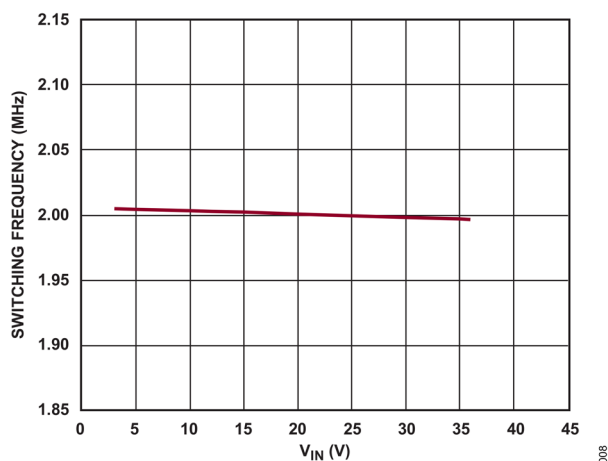
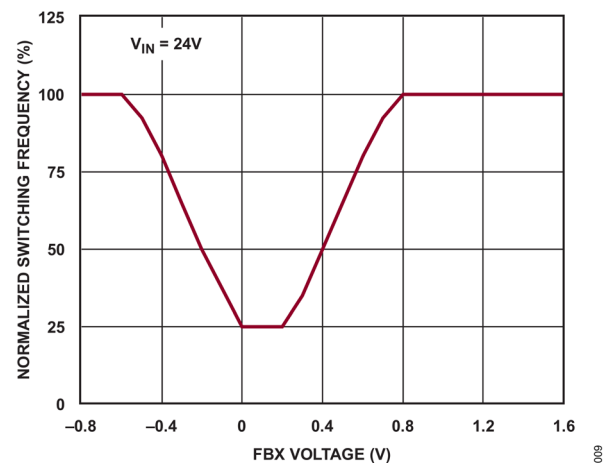
図 8. スイッチング周波数と V_{IN} の関係

図 9. 正規化されたスイッチング周波数と FBX 電圧の関係

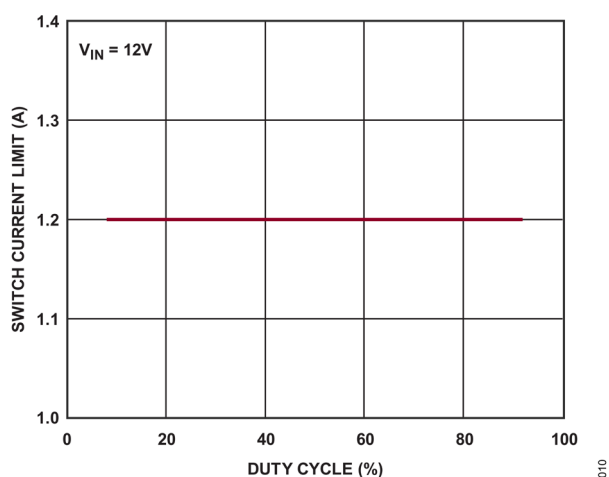


図 10. スイッチの電流制限値とデューティ・サイクルの関係

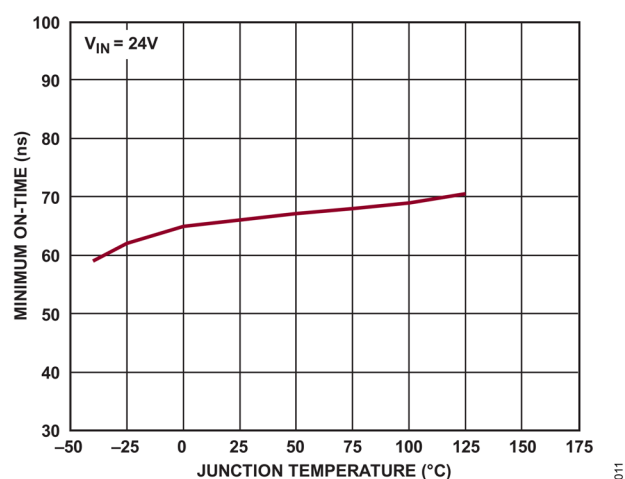


図 11. スイッチの最小オン時間と温度の関係

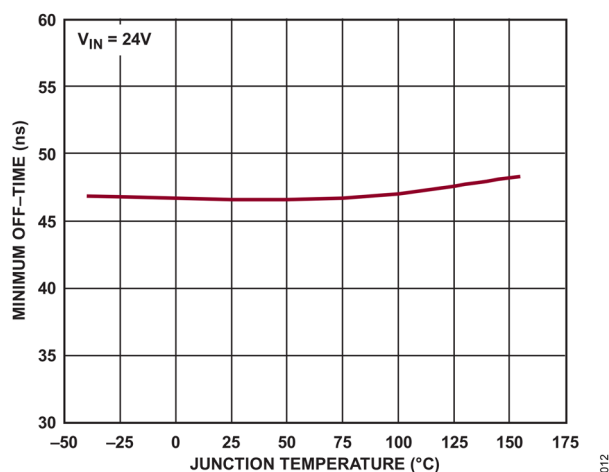


図 12. スイッチの最小オフ時間と温度の関係

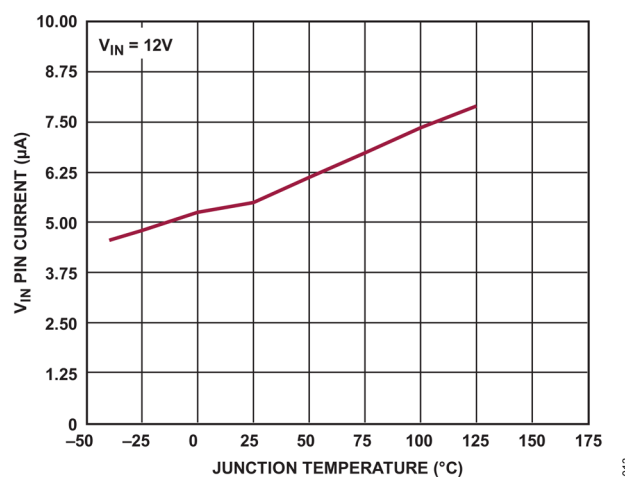


図 13. V_{IN} ピン電流（スリープ・モード、スイッチング動作なし）と温度の関係

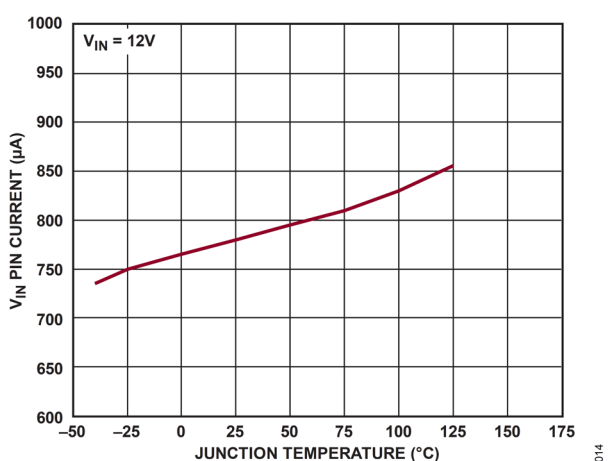


図 14. V_{IN} ピン電流（アクティブ・モード、スイッチング動作なし）と温度の関係

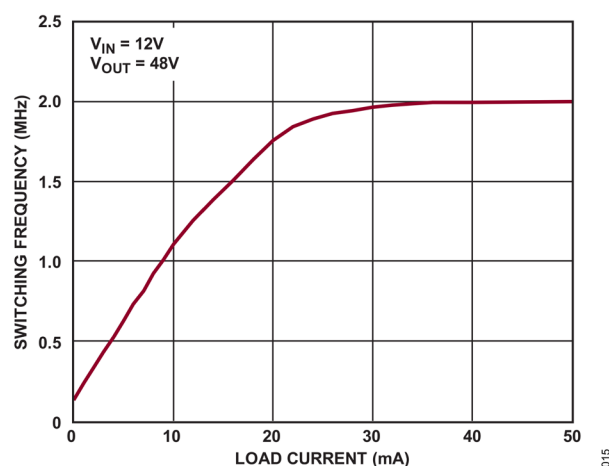


図 15. バースト周波数と負荷電流の関係（図 28 の回路）

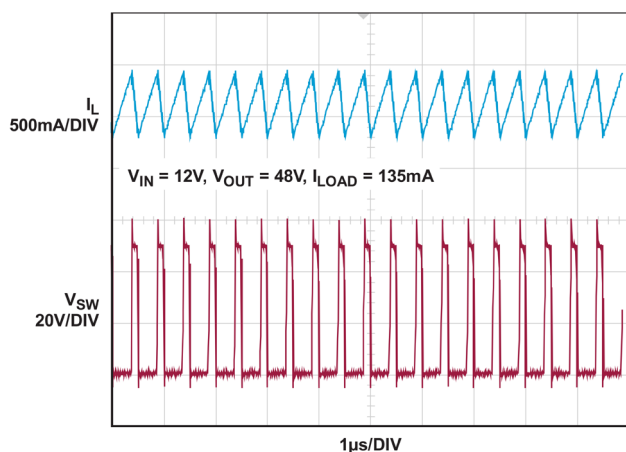


図 16. スイッチング波形 (CCM の図 28 の回路)

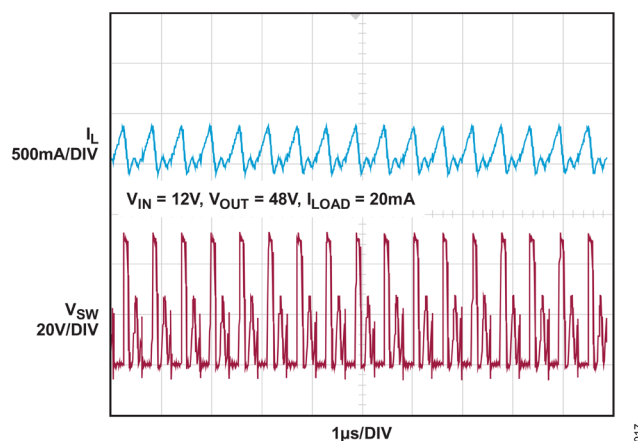


図 17. スイッチング波形
(DCM/ライト Burst Mode の図 28 の回路)

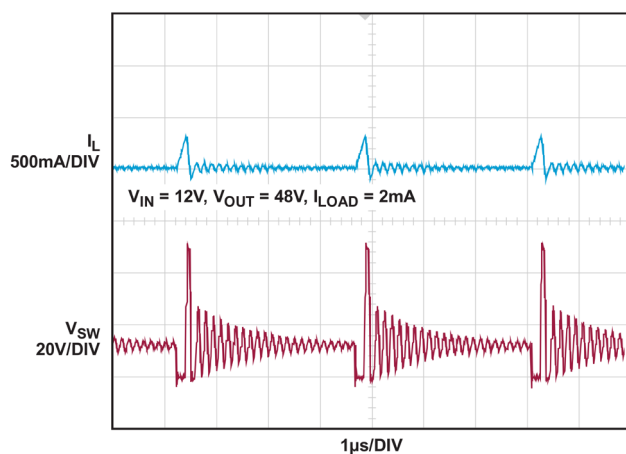


図 18. スイッチング波形
(ディープ Burst Mode の図 28 の回路)

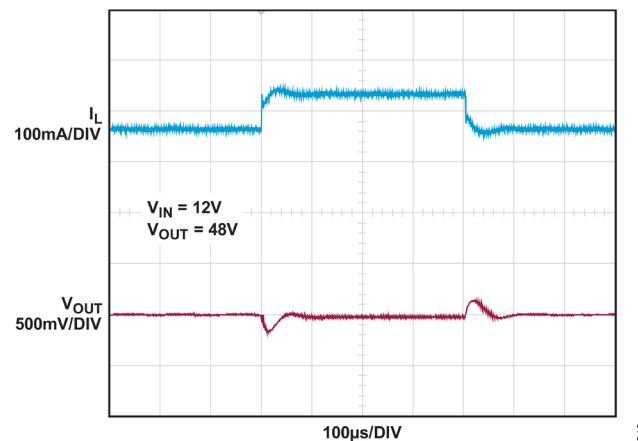


図 19. V_{OUT} の過渡応答：67.5mA～135mA～67.5mA の
負荷電流トランジェント (図 28 の回路)

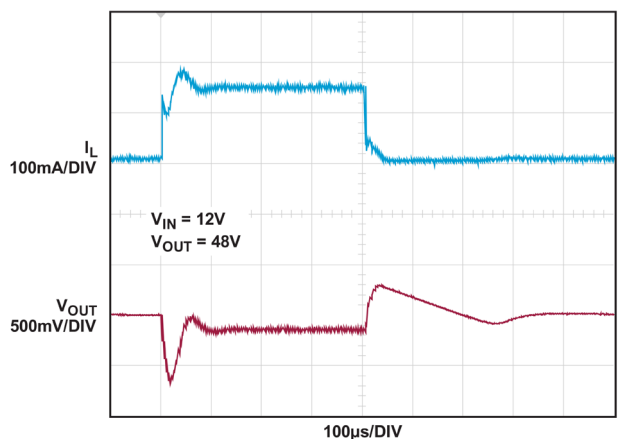
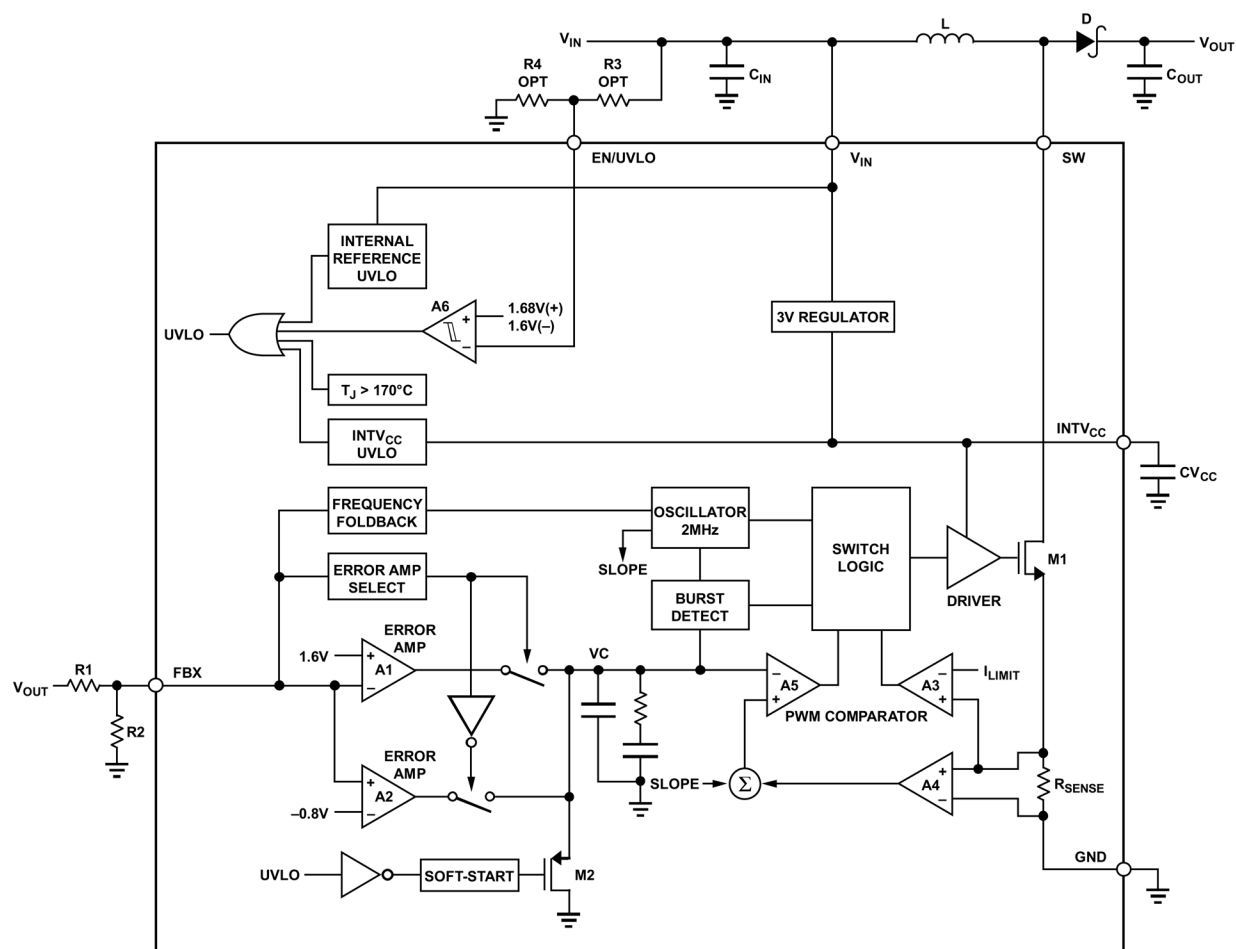


図 20. V_{OUT} の過渡応答：5mA～135mA～5mA の
負荷電流トランジェント (図 28 の回路)

ブロック図



021

動作原理

ADPL26001 は固定周波数の電流モード制御方式を使用して、優れたライン・レギュレーションと負荷レギュレーションを実現します。動作をより深く理解するには、[ブロック図](#)を参照してください。各クロック・サイクルの開始時に、2MHz の内部発振器が内部のパワー・スイッチをオンにします。次に、電流コンパレータが作動してパワー・スイッチをオフにするまでインダクタを流れる電流が増加します。スイッチがオフになるときのピーク・インダクタ電流は、内部 VC ノードの電圧によって制御されます。エラー・アンプは、FBX ピンの電圧と内部リファレンス電圧（選択したトポロジに応じて 1.60V または -0.80V）を比較することによって、VC ノードをサーボ制御します。負荷電流が増加すると、内部リファレンスに比べて FBX ピンの電圧が減少します。これにより、新しい負荷電流が満たされるまで、エラー・アンプは VC の電圧を上昇させます。このようにして、エラー・アンプは適切なピーク・スイッチ電流レベルを設定し、出力を安定化された状態に保ちます。

ADPL26001 は、1 本の FBX ピンを使用して正または負の出力電圧を生成することができます。昇圧コンバータまたは SEPIC コンバータとして構成して正の出力電圧を生成するか、または反転コンバータとして構成して負の出力電圧を生成することができます。[ブロック図](#)に示すように、昇圧コンバータとして構成した場合、 V_{OUT} と GND の間に接続された分圧器（R1 と R2）によって、FBX ピンは 1.60V の内部バイアス電圧にプルアップされます。アンプ A2 は非アクティブになり、アンプ A1 は FBX から VC への（反転）増幅を行います。ADPL26001 が反転構成の場合、 V_{OUT} と GND の間に接続された分圧器によって、FBX ピンは -0.80V にプルダウンされます。アンプ A1 は非アクティブになり、アンプ A2 は FBX から VC への（非反転）増幅を行います。

EN/UVLO ピンの電圧が 1.6V 未満になると、ADPL26001 は UVLO になり、スイッチング動作を停止します。EN/UVLO ピンの電圧が 1.68V（代表値）を超えると、ADPL26001 はスイッチング動作を再開します。EN/UVLO ピンの電圧が 0.2V 未満になると、ADPL26001 は V_{IN} から 1 μ A の電流を引き出すだけになります。

軽負荷時の効率を最適化するため、ADPL26001 は軽負荷状態では Burst Mode で動作します。バーストとバーストの間では、出力スイッチの制御に関連する全ての回路がシャットダウンし、入力電源電流が 6 μ A に減少します。

アプリケーション情報

超低自己消費電流の実現

軽負荷時の効率を向上させるために、ADPL26001は低リップルの Burst Mode アーキテクチャを採用しています。これによって、入力自己消費電流と出力リップルを最小限に抑えながら、出力キャパシタの充電を目的の出力電圧に維持します。Burst Mode 動作では、ADPL26001は単一の小電流パルスを出力キャパシタに供給し、それに続くスリープ期間には出力キャパシタから出力電力が供給されます。スリープ・モード時に ADPL26001 が消費する電流はわずか $6\mu\text{A}$ です。

出力負荷が減少するにつれ、単一電流パルスの周波数は低下し（図 21 を参照）、ADPL26001 がスリープ・モードになっている時間のパーセンテージは増加します。この結果、軽負荷時の効率は標準的なコンバータよりはるかに高くなります。軽負荷時の自己消費電流性能を最適化するには、帰還抵抗分圧器の電流を最小限に抑える必要があります。この電流が負荷電流として出力に現れるためです。更に、出力から発生する可能性のあるリーク電流も、全て等価出力負荷に追加されるため、最小限に抑える必要があります。ショットキ・ダイオードの逆バイアスされたリークが、リーク電流に最大の影響を与えている可能性があります。（詳細については、ダイオードの選択のセクションを参照してください）。

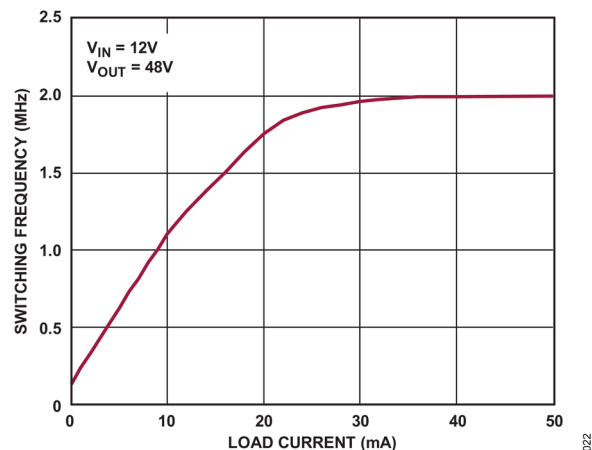


図 21. バースト周波数と負荷電流の関係（図 28 の回路）

Burst Mode 動作時はスイッチの電流制限値が約 240mA であるため、図 22 に示すような出力電圧リップルが現れます。出力容量を大きくすると、それに応じて出力リップルは小さくなります。出力負荷がゼロから徐々に増加するにつれ、スイッチング周波数も増加しますが、図 21 に示すように、内部発振器によって定められた固定の 2MHz が上限値となります。ADPL26001 が固定周波数の 2MHz に達する出力負荷は、入力電圧、出力電圧、およびインダクタをどう選択するかによって変わります。

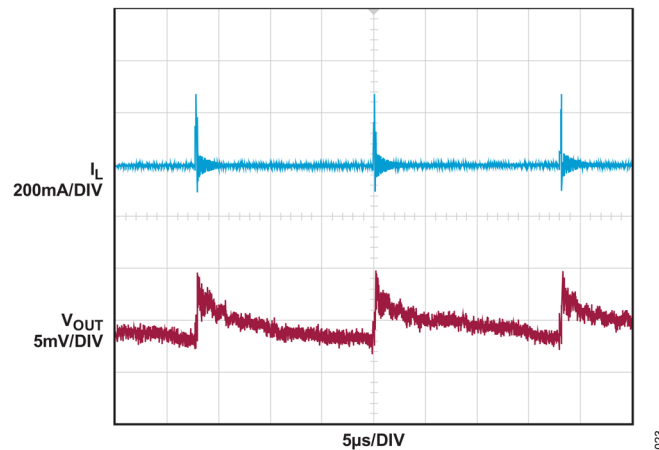


図 22. Burst Mode 動作

EN/UVLO ピンを使用した入力ターンオン閾値およびターンオフ閾値の設定

EN/UVLO ピンの電圧は、ADPL26001 をイネーブルするか、またはシャットダウン状態にするかを制御します。1.6V のリファレンスと、ヒステリシス特性（代表値 80mV）が内蔵されたコンパレータ A6 を使用すると、デバイスがオン／オフするシステム入力電圧を正確に設定できます（ブロック図を参照）。代表的な入力の立下がりおよび立上がり閾値電圧は、次の式で計算できます。

$$V_{IN(FALLING,UVLO(-))} = 1.60 \times (R3 + R4)/R4$$

$$V_{IN(RISING,UVLO(+))} = 1.68 \times (R3 + R4)/R4$$

EN/UVLO ピンの電圧が 0.2V 未満になると、 V_{IN} の電流が 1μA 未満に低下します。EN/UVLO ピンを入力電源 V_{IN} に直接接続すると、デバイスを常にイネーブルにして動作させることができます。ロジック入力によって EN/UVLO ピンを制御することもできます。

軽負荷電流に対して Burst Mode で動作しているとき、R3 と R4 の回路を流れる電流が、ADPL26001 が消費する電源電流より簡単に大きくなる場合があります。したがって、R3 と R4 を十分に大きくして、軽負荷での効率に及ぼす影響を最小限に抑える必要があります。

INTV_{CC} レギュレータ

V_{IN} から給電される低ドロップアウト（LDO）リニア・レギュレータは、INTV_{CC} ピンで 3V の電源を生成します。1μF 以上の低 ESR セラミック・キャパシタを使用して INTV_{CC} ピンをグラウンドにバイパスし、内部パワー-MOSFET のゲート・ドライバが必要とする大きな過渡電流を供給する必要があります。

このピンに部品を追加することや、負荷をかけることはできません。INTV_{CC} の（ソフトスタートとスイッチング動作を可能にする）立上がり閾値は、2.6V（代表値）です。INTV_{CC} の（スイッチング動作を停止してソフトスタートをリセットする）立下がり閾値は、2.5V（代表値）です。

デューティ・サイクルに関する考慮事項

ADPL26001 の最小オン時間、最小オフ時間、およびスイッチング周波数（ f_{osc} ）は、コンバータの許容可能な最小デューティ・サイクルと最大デューティ・サイクルを規定します（表 1 の最小オン時間（Minimum On-Time）、最小オフ時間（Minimum Off-Time）、スイッチング周波数（Switching Frequency）、および次の式を参照）。

$$\text{Minimum Allowable Duty Cycle} = \text{Minimum On-Time}_{(MAX)} \times f_{OSC(MAX)}$$

$$\text{Maximum Allowable Duty Cycle} = 1 - \text{Minimum Off-Time}_{(MAX)} \times f_{OSC(MAX)}$$

連続導通モード (CCM) で動作する昇圧コンバータの場合、必要なスイッチ・デューティ・サイクルの範囲は次式で計算できます。

$$D_{MIN} = 1 - V_{IN(MAX)} / (V_{OUT} + V_D)$$

$$D_{MAX} = 1 - V_{IN(MIN)} / (V_{OUT} + V_D)$$

ここで、 V_D はダイオードの順方向電圧降下です。特定のアプリケーションで、上記のデューティ・サイクルの計算結果が ADPL26001 の最小許容デューティ・サイクルまたは最大許容デューティ・サイクル（あるいはその両方）に違反する場合、不連続導通モード (DCM) で動作させると解決できる場合があります。 V_{IN} レベルと V_{OUT} レベルが同じ場合、DCM での動作は、CCM での動作ほど低いデューティ・サイクルを必要としません。DCM では、CCM より高いデューティ・サイクルの動作も可能です。DCM には、低調波発振および右半面ゼロ (RHPZ) を防ぐために必要なインダクタ値およびデューティ・サイクルに対する制限がなくなるという利点もあります。DCM にはこのような利点がありますが、インダクタのピーク電流が高くなるほど使用可能な出力電力が低くなり、効率が低下するというトレードオフがあります。

出力電圧の設定

出力電圧は、出力と FBX ピンの間に抵抗分圧器を接続することで設定されます。正の出力電圧を得るには、次式に従って抵抗値を選択します。

$$R1 = R2 \times (V_{OUT} / 1.60V - 1)$$

負の出力電圧を得るには、次式に従って抵抗値を選択します。

$$R1 = R2 \times (|V_{OUT}| / 0.80V - 1)$$

R1 および R2 の位置は [ブロック図](#) に示されています。出力電圧の精度を確保するために、1% の抵抗を推奨します。

FBX の抵抗分圧器の抵抗値を大きくすると、入力自己消費電流が減少し、軽負荷時の効率が向上します。FBX の抵抗分圧器の抵抗 R1 および R2 は、通常 $25k\Omega \sim 1M\Omega$ の範囲内にします。ほとんどのアプリケーションでは、高い値の FBX 分圧器抵抗と組み合わせて V_{OUT} と FBX の間に進相キャパシタを使用します（詳細については、[補償](#) のセクションを参照してください）。

ソフトスタート

ADPL26001 は、起動時またはフォルト状態からの回復時にピーク・スイッチ電流と出力電圧 (V_{OUT}) のオーバーシュートを制限する機能をいくつか備えています。これらの機能の主な目的は、外付け部品や負荷の損傷を防ぐことです。

スイッチング・レギュレータでは、起動時に大きなピーク・スイッチ電流が発生することがあります。 V_{OUT} がその最終値から大きく離れているため、帰還ループが飽和します。更に、レギュレータは出力キャパシタをできるだけ急速に充電しようとするので、大きなピーク電流が発生します。大きなサージ電流によって、インダクタが飽和したり、パワー・スイッチが機能不良になったりすることがあります。

ADPL26001 内部のソフトスタート機能を使用してこのメカニズムに対処します。[ブロック図](#) に示すように、ソフトスタート機能は、M2 を介して VC の上昇／下降を制御することによって、パワー・スイッチ電流の上昇／下降を制御します。この制御により、起動時のピーク電流を制限しながら、出力キャパシタをその最終値に向けて徐々に充電することができます。[図 28](#) の回路に対する出力電圧と電源電流を [図 23](#) に示します。出力電圧と電源電流が両方とも徐々に上昇していることがわかります。

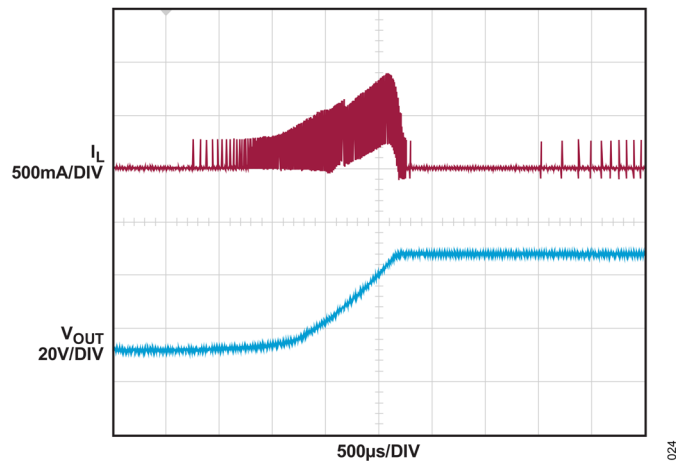


図 23. ソフトスタート波形

INTV_{CC}の低電圧 (INTV_{CC} < 2.5V) や過熱ロックアウト ($T_J > 170^{\circ}\text{C}$) が生じると直ちにスイッチングが停止し、内部ソフトスタート機能がリセットされ、VC がプルダウンされます。全てのフォルトが解消されると、ADPL26001 は VC をソフトスタートし、それによってインダクタのピーク電流をソフトスタートします。

周波数フォールドバック

V_{OUT} が非常に低くなる起動時またはフォルト状態の間、インダクタのピーク電流の制御を維持するために、極めて小さいデューティ・サイクルが必要になる場合があります。パワー・スイッチの最小オン時間制限が、このような低いデューティ・サイクルの実現を妨げることがあります。このようなシナリオでは、各サイクル中にインダクタ電流の立上がりインダクタ電流の立下がりを上回るため、インダクタ電流がスイッチ電流制限を超えて増加します。ADPL26001 は、FBX ピンの電圧が GND の電圧 (低い V_{OUT} レベル) に近付くたびにスイッチング周波数をフォールドバックすることによって、このような状態から保護します。この周波数フォールドバックによってスイッチオフ時間が長くなり、それによってインダクタ電流が各サイクルで十分低下できます (詳細については、図 9 を参照してください)。

過熱ロックアウト

ADPL26001 はダイの温度が 170°C (代表値) に達すると、スイッチング動作を停止して過熱ロックアウト状態になります。ダイ温度が 5°C (公称) 低下すると、デバイスはインダクタのピーク電流をソフトスタートして、スイッチング動作を再開します。

スイッチング周波数とインダクタの選択

ADPL26001 は 2MHz でスイッチングを行うため、値の小さなインダクタを使用できます。通常は 0.68μH~10μH で十分です。飽和することなく 1.4A 以上に対応できるインダクタを選択し、インダクタの DCR (銅線の抵抗) を小さくして、I²R 電力損失を最小限に抑えるよう徹底してください。各インダクタが全スイッチ電流の半分しか流さない SEPIC トポロジのようなアプリケーションでは、インダクタに要求される処理電流は小さくなる場合があることに注意してください。効率を向上させるには、体積がより大きく、同様の値を持つインダクタを使用します。様々なメーカーからサイズや形の異なるインダクタが多数供給されています。2MHz で損失の少ないコア材料 (フェライト・コアなど) を選択します。インダクタに対して選択される最終的な値は、最大負荷での定常状態でピーク・インダクタ電流が 1A を超えない値である必要があります。許容誤差があるため、必ず最小限のインダクタンス値、スイッチング周波数、およびコンバータの効率を考慮してください。

表 3. インダクタ・メーカー

SUPPLIER	PHONE	WEBSITE
Sumida	(847) 956-0666	www.sumida.com
TDK	(847) 803-6100	www.tdk.com
Murata	(714) 852-2001	www.murata.com
Coilcraft	(847) 639-6400	www.coilcraft.com
Würth	(605) 886-4385	www.we-online.com

入力キャパシタ

ADPL26001 回路の入力は、X7R タイプまたは X5R タイプのセラミック・キャパシタを V_{IN} ピンと GND ピンのできるだけ近くに配置してバイパスします。Y5V タイプは温度や印加電圧が変化すると性能が低下するので、使用しないでください。ADPL26001 をバイパスするには 4.7 μ F～10 μ F のセラミック・キャパシタが適しており、リップル電流を容易に処理できます。入力電源のインピーダンスが高い場合、あるいは長い配線やケーブルによって大きなインダクタンスが存在する場合は、更に大きい容量が必要になることがあります。これには性能のさほど高くない電解キャパシタを使用できます。

セラミックの入力キャパシタに関する注意点は、ADPL26001 の最大入力電圧定格に関することです。セラミック入力キャパシタは、パターンまたはケーブルのインダクタンスと組み合わさって、高品質の（不足減衰の）タンク回路を形成します。ADPL26001 回路を通電状態の電源に接続すると、入力電圧が公称値の 2 倍まで上昇して、ADPL26001 の定格電圧を超えるおそれがありますが、この状況は簡単に回避できます（詳細については、アプリケーション・ノート 88 : Ceramic Input Capacitors Can Cause Overvoltage Transients を参照してください）。

出力キャパシタと出力リップル

出力リップル電圧を最小限に抑えるため、出力には低 ESR のキャパシタを用いる必要があります。積層セラミック・キャパシタは、小型で ESR が極めて低いため、優れた選択肢になります。キャパシタは X5R または X7R タイプを使用してください。これらのキャパシタは、低出力リップルで良好な過渡応答を実現します。ほとんどのアプリケーションでは 4.7 μ F～15 μ F の出力キャパシタで十分ですが、出力電流が非常に低いシステムでは 1 μ F または 2.2 μ F の出力キャパシタしか必要ない場合もあります。固体タンタル・キャパシタまたは OS-CON キャパシタを使用することもできますが、セラミック・キャパシタよりも占有する基板面積が広くなり、ESR が大きくなります。必ず電圧定格が十分大きなキャパシタを使用してください。

補償

ADPL26001 は内部補償されています。出力キャパシタに低 ESR（セラミック）キャパシタを用いるか、高 ESR（タンタルまたは OS-CON）キャパシタを用いるかの判定は、システム全体の安定性に影響する可能性があります。いずれのキャパシタの ESR も容量自体と共に、システムに 1 つのゼロを与えます。タンタル・キャパシタおよび OS-CON キャパシタでは、ESR が高いためこのゼロは低周波数に位置しますが、セラミック・キャパシタのゼロは、これよりはるかに高周波数に位置し、一般的には無視できます。

V_{OUT} と FBX の間の抵抗と並列にキャパシタを配置することで、進相ゼロを意図的に導入することができます。抵抗とキャパシタに適切な値を選択することで、コンバータ全体の位相余裕を向上するようゼロ周波数を設計できます。ゼロ周波数の代表的な目標値は 30kHz～60kHz です。

補償の実際的なアプローチは、このデータシートの回路の中でユーザのアプリケーションと同様のものを探して出発点とすることです。出力キャパシタやフィード・フォワード・キャパシタ（出力から FBX への帰還抵抗の両端に接続）を調整することで性能を最適化します。

セラミック・キャパシタ

セラミック・キャパシタは小型、堅牢で、ESR が非常に小さいキャパシタです。ただし、セラミック・キャパシタには圧電特性があるため、ADPL26001 に使用すると問題を引き起こすことがあります。Burst Mode 動作時の ADPL26001 のスイッチング周波数は、負荷電流に依存します。また、負荷が非常に小さい場合は、ADPL26001 がセラミック・キャパシタをオーディオ周波数で発振させて、可聴ノイズを発生することがあります。Burst Mode 時の ADPL26001 は低い電流制限値で動作するので、通常は非常に静かでノイズが気になることはありませんが、これが許容できない場合は、出力に高性能のタンタル・キャパシタまたは電解キャパシタを使用してください。低ノイズのセラミック・キャパシタを使用することもできます。

表 4. セラミック・キャパシタのメーカー

SUPPLIER	PHONE	WEBSITE
Taiyo Yuden	(408) 573-4150	www.ty-top.com
AVX	(803) 448-9411	www.kyocera-avx.com
Murata	(714) 852-2001	www.murata.com

ダイオードの選択

ADPL26001 では、ショットキ・ダイオードの使用を推奨します。低負荷時に低い自己消費電流が要求される場合は、リーク電流の少ないショットキ・ダイオードが必要になります。ダイオードのリーク電流は、出力に等価負荷として現れるため、最小限に抑える必要があります。ターゲット・アプリケーションに対して十分な逆電圧定格を備えているショットキ・ダイオードを選択します。

表 5. 推奨するショットキ・ダイオード

PART NUMBER	AVERAGE FORWARD CURRENT (mA)	REVERSE VOLTAGE (V)	REVERSE CURRENT (μA)	MANUFACTURER
PMEG6010CEJ	≤1000	≤60	50	NXP
PMEG6030EP	≤3000	≤60	200	NXP

レイアウトのヒント

ADPL26001 は高速で動作するので、基板レイアウトには細心の注意が必要です。レイアウトで注意を怠ると性能の低下を招きます。図 24 に推奨する部品配置を示します。

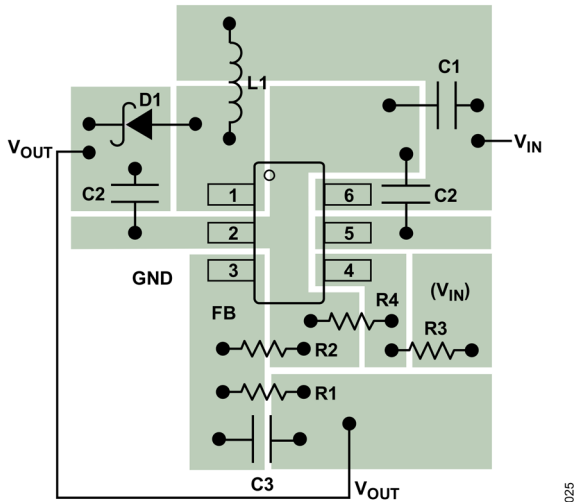


図 24. 推奨レイアウト

熱に関する考慮事項

ADPL26001 から効率よく放熱するには、PCB のレイアウトに細心の注意を払う必要があります。2 番ピンはグランド・プレーンに接続する必要があります。ADPL26001 で発生する熱を拡散し、ピン配置およびピン機能の説明のセクションに記載した熱抵抗 (θ_{JA}) の値を更に低減するには、グランド・プレーンを広い銅層に接続する必要があります。ADPL26001 内の消費電力 ($P_{DISS_ADPL26001}$) は、効率の測定で計算された全電力損失からインダクタとショットキ・ダイオードの電力損失を差し引くことによって推定できます。ADPL26001 のジャンクション温度は次式で概算できます。

$$T_J(ADPL26001) = T_A + \theta_{JA} \times P_{DISS_ADPL26001}$$

その他のトポロジ：SEPIC および反転

昇圧トポロジの他に、ADPL26001 は SEPIC または反転トポロジで構成できます。以下に、SEPIC コンバータと反転コンバータの分析を行います。

SEPIC コンバータのアプリケーション

図 25 に示すように、ADPL26001 は SEPIC として構成できます。このトポロジでは、目的の出力電圧に対して入力電圧を高く、等しく、または低くすることができます。変換率をデューティ・サイクルの関数として表すと、次のようになります（CCM の場合）。

$$\frac{V_{OUT} + V_D}{V_{IN}} = \frac{D}{1 - D}$$

SEPIC コンバータでは、入力と出力の間に DC 経路は存在しません。これは、回路がシャットダウン状態のとき、出力を入力電源から遮断する必要のあるアプリケーションでは、昇圧コンバータより有利です。

SEPIC コンバータ：スイッチのデューティ・サイクルと周波数

CCM で動作している SEPIC コンバータの場合、メイン・スイッチのデューティ・サイクルは、出力電圧（ V_{OUT} ）、入力電圧（ V_{IN} ）、およびダイオードの順方向電圧（ V_D ）に基づいて計算できます。

デューティ・サイクルが最大（ D_{MAX} ）になるのは、コンバータが最小入力電圧で動作しているときです。

$$D_{MAX} = \frac{V_{OUT} + V_D}{V_{IN(MIN)} + V_{OUT} + V_D}$$

逆に、デューティ・サイクルが最小（ D_{MIN} ）になるのは、コンバータが最大入力電圧で動作しているときです。

$$D_{MIN} = \frac{V_{OUT} + V_D}{V_{IN(MAX)} + V_{OUT} + V_D}$$

D_{MAX} と D_{MIN} は、次の条件を満たすようにしてください。

$$D_{MAX} < 1 - \text{Minimum Off-Time}_{(MAX)} \times f_{OSC(MAX)}$$

および

$$D_{MIN} > \text{Minimum On-Time}_{(MAX)} \times f_{OSC(MAX)}$$

ここで、Minimum Off-Time（最小オフ時間）、Minimum On-Time（最小オン時間）、および f_{OSC} は、表 1 で仕様規定されています。

SEPIC コンバータ：最大出力電流能力とインダクタの選択

図 25 に示すように、SEPIC コンバータには 2 個のインダクタ L_1 と L_2 があります。 L_1 と L_2 は独立したものにできますが、 L_1 と L_2 にはスイッチング・サイクル全体を通じて同じ電圧が加えられるので、同じコアに巻き付けることも可能です。

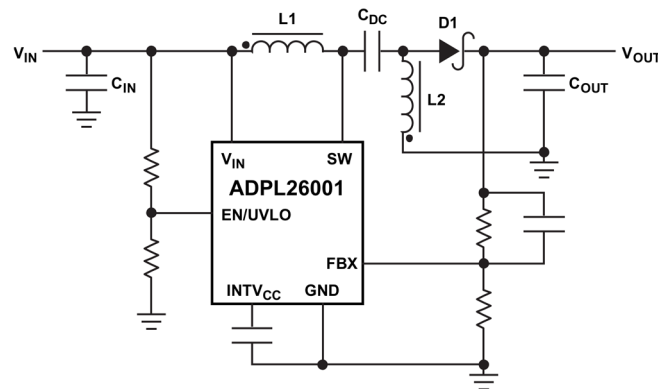


図 25. SEPIC トポロジで構成された ADPL26001

SEPIC トポロジでは、L1 を流れる電流はコンバータの入力電流です。理論的には出力電力と入力電力が等しいという事実に基づき、L1 と L2 の最大平均インダクタ電流は次のようになります。

$$I_{L1(MAX)(AVE)} = I_{IN(MAX)(AVE)} = I_{O(MAX)} \times \frac{D_{MAX}}{1 - D_{MAX}}$$

$$I_{L2(MAX)(AVE)} = I_{O(MAX)}$$

SEPIC コンバータでは、パワー・スイッチがオンの際のスイッチ電流が $I_{L1} + I_{L2}$ に等しくなるので、最大平均スイッチ電流は次のように定義されます。

$$I_{SW(MAX)(AVE)} = I_{L1(MAX)(AVE)} + I_{L2(MAX)(AVE)} = I_{O(MAX)} \times \frac{1}{1 - D_{MAX}}$$

また、ピーク・スイッチ電流は次のようになります。

$$I_{SW(PEAK)} = \left(1 + \frac{\chi}{2}\right) \times I_{O(MAX)} \times \frac{1}{1 - D_{MAX}}$$

前の式の定数 χ は、図 26 に示すように、 $I_{SW(MAX)(AVE)}$ を基準にしたスイッチのピーク to ピーク・リップル電流のパーセンテージを表しています。したがって、スイッチ・リップル電流 ΔI_{SW} は次式で計算できます。

$$\Delta I_{SW} = \chi \times I_{SW(MAX)(AVE)}$$

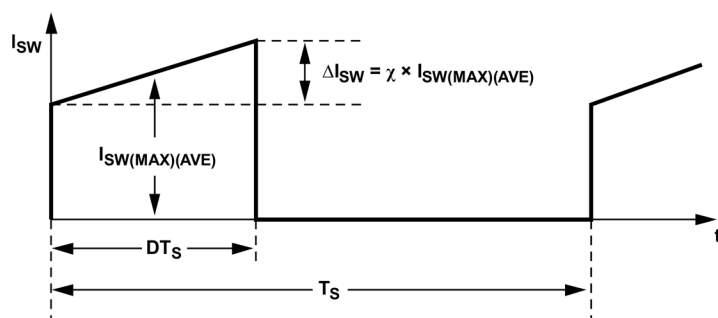


図 26. SEPIC コンバータのスイッチ電流波形

インダクタのリップル電流 ΔI_{L1} と ΔI_{L2} は同じです。

$$\Delta I_{L1} = \Delta I_{L2} = 0.5 \times \Delta I_{SW}$$

インダクタのリップル電流は、インダクタの値をどう選択するかに直接影響します。小さな値の ΔL を選択すると、大きなインダクタンスが必要になり、電流ループの利得が減少します（コンバータは電圧モードに近付きます）。大きな ΔL の値を許容できれば低インダクタンスを使用できますが、入力電流リップルが高くなり、コア損失が大きくなります。 χ は0.2~0.6の範囲とすることを推奨します。

ADPL26001 は内部パワー・スイッチの電流が制限されているので、その最大出力電流 ($I_{O(MAX)}$) が出力電流能力より小さく、十分なマージン (10%以上を推奨) を確保できるような SEPIC コンバータで用いる必要があります。

$$I_{O(MAX)} < (1 - D_{MAX}) \times (1 - 0.5 \times \Delta I_{SW}) \times (0.9)$$

動作入力電圧範囲が決まって、インダクタのリップル電流を選択したら、次式を使って SEPIC コンバータのインダクタ値 ($L1$ と $L2$ を独立とした場合) を決定することができます。

$$L1 = L2 = \frac{V_{IN(MIN)}}{0.5 \times \Delta I_{SW} \times f_{OSC}} \times D_{MAX}$$

ほとんどの SEPIC アプリケーションでは、1 μ H~47 μ H の範囲で等しいインダクタ値に収まります。

$L1 = L2$ として 2 つを同じコアに巻き付けることで、相互インダクタンスにより、前述の式のインダクタンス値を $2L$ に置き換えることができます。

$$L = \frac{V_{IN(MIN)}}{\Delta I_{SW} \times f_{OSC}} \times D_{MAX}$$

これにより、これらのインダクタには同じリップル電流と蓄積エネルギーが維持されます。ピーク・インダクタ電流は次のようになります。

$$I_{L1(PEAK)} = I_{L1(MAX)} + 0.5 \times \Delta I_{L1}$$

$$I_{L2(PEAK)} = I_{L2(MAX)} + 0.5 \times \Delta I_{L2}$$

最大 RMS インダクタ電流は、最大平均インダクタ電流にほぼ等しくなります。

前式に基づいて、飽和電流定格と RMS 電流定格が十分なインダクタを選択する必要があります。

SEPIC コンバータ：出力ダイオードの選択

効率を最大にするには、順方向の電圧降下が小さく、逆方向のリーク電流が少ない高速スイッチング・ダイオードが必要です。通常動作での平均順方向電流は出力電流に等しくなります。

ピーク繰り返し逆方向電圧定格 V_{RRM} が $V_{OUT} + V_{IN(MAX)}$ より安全マージン分だけ高いものを推奨します（通常は 10V の安全マージンがあれば十分です）。

ダイオードが消費する電力は次式で得られます。

$$P_D = I_{O(MAX)} \times V_D$$

ここで、 V_D はダイオードの順方向電圧降下で、ダイオードのジャンクション温度は次式のようにになります。

$$T_J = T_A + P_D \times R_{\theta JA}$$

この式で使用する $R_{\theta JA}$ には、デバイスの $R_{\theta JC}$ および基板から筐体内の周辺温度までの熱抵抗が通常含まれます。 T_J がダイオードの最大ジャンクション温度定格を超えないようにしてください。

SEPIC コンバータ：出力キャパシタと入力キャパシタの選択

SEPIC コンバータの出力キャパシタと入力キャパシタの選択は、昇圧コンバータの場合と同様です。

SEPIC コンバータ：DC カップリング・キャパシタの選択

DC カップリング・キャパシタ (C_{DC} 、図 25 を参照) の DC 電圧定格は、最大入力電圧より大きくする必要があります。

$$V_{CDC} > V_{IN(MAX)}$$

C_{DC} の電流波形はほぼ矩形です。スイッチのオフ時間に C_{DC} を流れる電流は I_{IN} で、オン時間にはおよそ $-I_O$ の電流が流れます。カップリング・キャパシタの実効値定格は次式により決定されます。

$$I_{RMS(CDC)} > I_{O(MAX)} \times \sqrt{\frac{V_{OUT} + V_D}{V_{IN(MIN)}}}$$

C_{DC} には、低 ESR、低 ESL の X5R または X7R セラミック・キャパシタが適しています。

反転コンバータのアプリケーション

ADPL26001 は、図 27 に示すように、デュアル・インダクタ反転トポロジとして構成可能です。 V_{OUT} と V_{IN} の比は次式のとおりで (CCM の場合)。

$$\frac{V_{OUT} - V_D}{V_{IN}} = \frac{D}{1 - D}$$

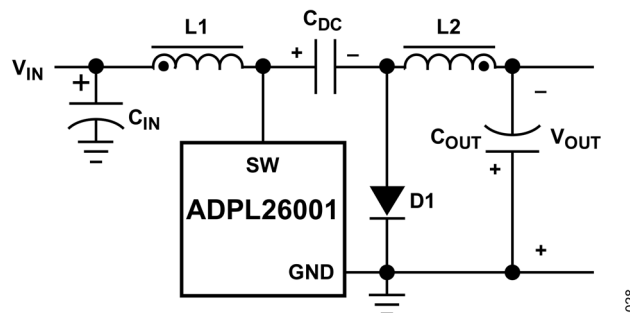


図 27. 簡略化した反転コンバータ

反転コンバータ：スイッチのデューティ・サイクルと周波数

CCM で動作している反転コンバータの場合、メイン・スイッチのデューティ・サイクルは負の出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) に基づいて計算することができます。

最大デューティ・サイクル (D_{MAX}) はコンバータの入力電圧が最小となるときに発生し、次式で与えられます。

$$D_{MAX} = \frac{|V_{OUT}| + V_D}{|V_{OUT}| + V_D + V_{IN(MIN)}}$$

逆に、デューティ・サイクルが最小 (D_{MIN}) になるのは、コンバータが最大入力電圧で動作しているときです。

$$D_{MIN} = \frac{|V_{OUT}| + V_D}{|V_{OUT}| + V_D + V_{IN(MAX)}}$$

D_{MAX} と D_{MIN} は、次の条件を満たすようにしてください。

$$D_{MAX} < 1 - \text{Minimum Off-Time}_{(MAX)} \times f_{OSC(MAX)}$$

および

$$D_{MIN} > \text{Minimum On-Time}_{(MAX)} \times f_{OSC(MAX)}$$

ここで、Minimum Off-Time（最小オフ時間）、Minimum On-Time（最小オン時間）、および f_{OSC} は、表 1 で仕様規定されています。

反転コンバータ：インダクタ、出力ダイオード、および入力キャパシタの選択

反転コンバータのインダクタ、出力ダイオードおよび入力キャパシタの選択は、SEPIC コンバータの場合と同様です。対応する SEPIC コンバータのセクションを参照してください。

反転コンバータ：出力キャパシタの選択

反転コンバータでは出力キャパシタの大きさは、出力リップルが同程度であれば、昇圧、フライバック、および SEPIC コンバータの出力キャパシタよりはるかに小さくなります。これは、反転コンバータではインダクタ L2 が出力に直列で、出力キャパシタに流れるリップル電流が連続しているからです。出力リップル電圧は、次式のように、出力キャパシタの ESR とバルク容量を流れる L2 のリップル電流によって生じます。

$$\Delta V_{OUT(P-P)} = \Delta I_{L2} \times \left(ESR_{COUT} + \frac{1}{8 \times f \times C_{OUT}} \right)$$

最大出力リップルを定めた後、前の式に従って出力キャパシタを選択することができます。

X5R または X7R の高品質誘電体セラミック・キャパシタを使用することによって、ESR を最小にすることができます。多くのアプリケーションでは、セラミック・キャパシタで十分に出力電圧リップルを制限できます。

出力キャパシタの実効値リップル電流定格は次式の値より大きくする必要があります。

$$I_{RMS(OUT)} > 0.3 \times \Delta I_{L2}$$

反転コンバータ：DC カップリング・キャパシタの選択

DC カップリング・キャパシタ（図 27 に示す C_{DC} ）の DC 電圧定格は、次式のように、最大入力電圧から出力電圧（負電圧）を差し引いた電圧より大きくする必要があります。

$$V_{CDC} > V_{IN(MAX)} - V_{OUT}$$

C_{DC} の電流波形はほぼ矩形です。スイッチのオフ時間に C_{DC} を流れる電流は I_{IN} で、オン時間にはおよそ $-I_O$ の電流が流れます。カップリング・キャパシタの実効値定格は次式により決定されます。

$$I_{RMS(CDC)} > I_{O(MAX)} \times \sqrt{\frac{D_{MAX}}{1 - D_{MAX}}}$$

C_{DC} には、低 ESR、低 ESL の X5R または X7R セラミック・キャパシタが適しています。

代表的なアプリケーション回路

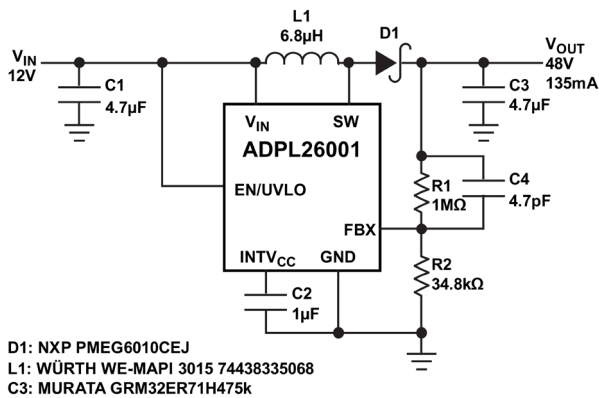


図 28. 48V 昇圧コンバータ

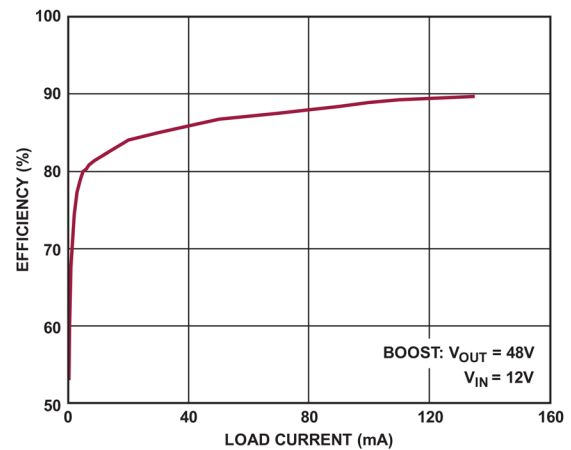


図 29. 効率と負荷電流の関係 (図 28 の回路)

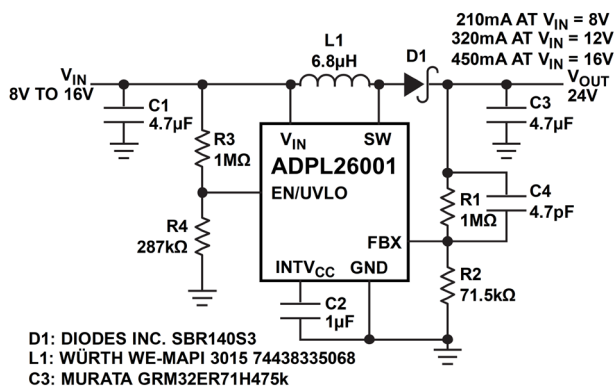


図 30. 8V~16V 入力、24V の昇圧コンバータ

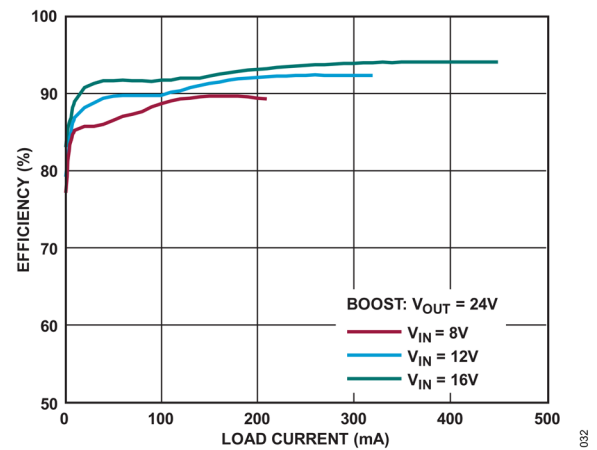


図 31. 効率と負荷電流の関係 (図 30 の回路)

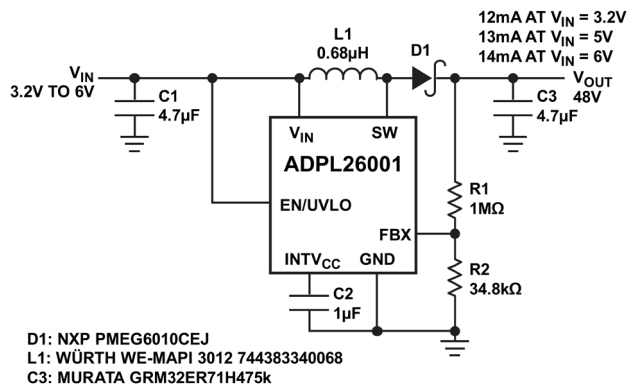


図 32. 3.2V~6V 入力、48V の昇圧コンバータ

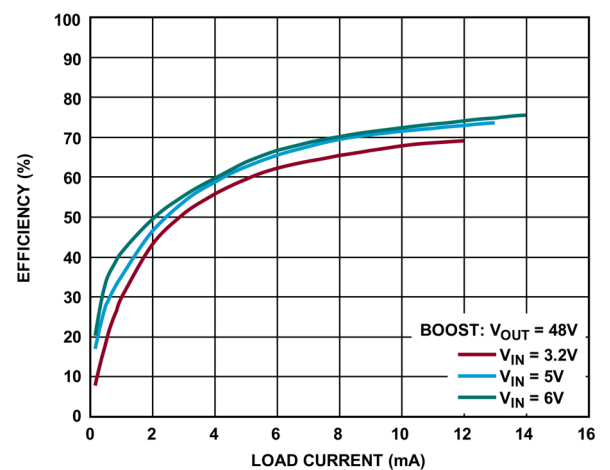


図 33. 効率と負荷電流の関係 (図 32 の回路)

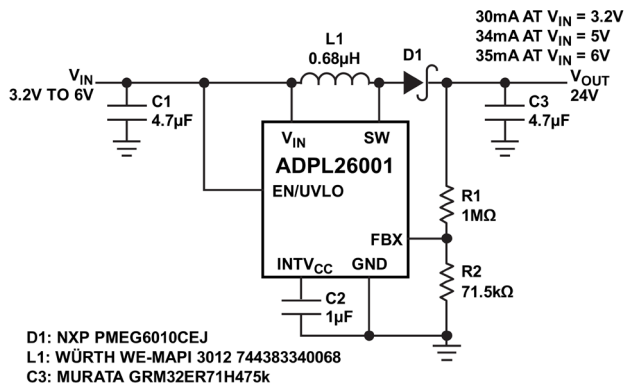


図 34. 3.2V~6V、24V の昇圧コンバータ

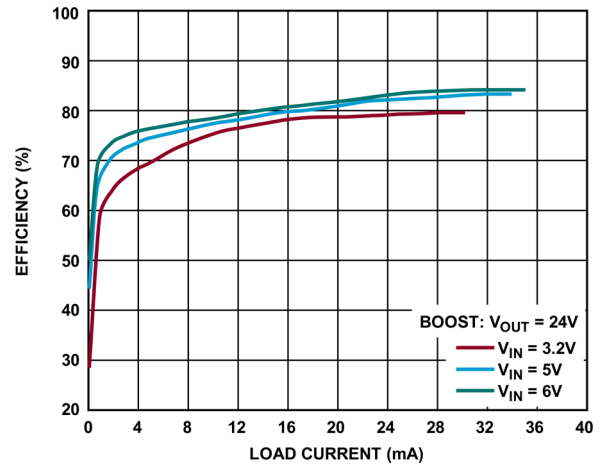


図 35. 効率と負荷電流の関係 (図 34 の回路)

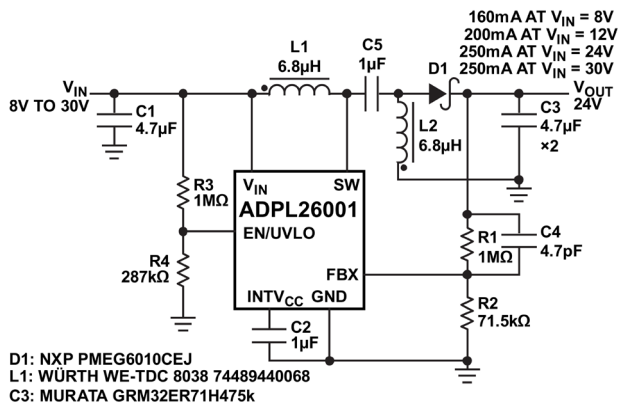


図 36. 8V~30V、24V の SEPIC コンバータ

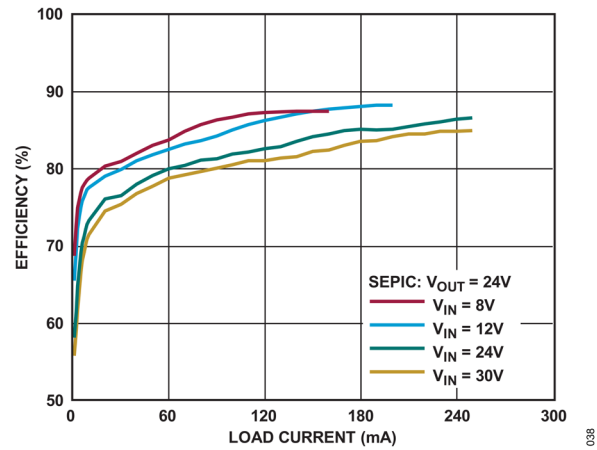


図 37. 効率と負荷電流の関係 (図 36 の回路)

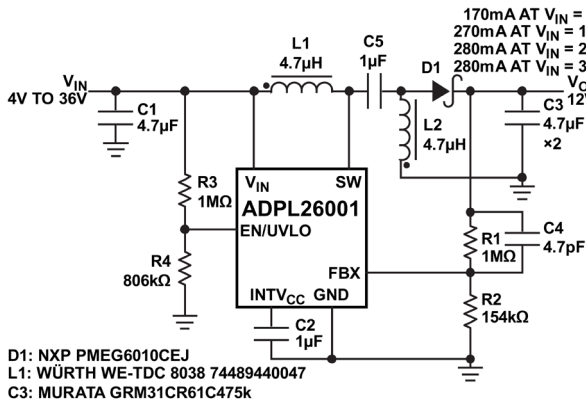


図 38. 4V~36V、12V の SEPIC コンバータ

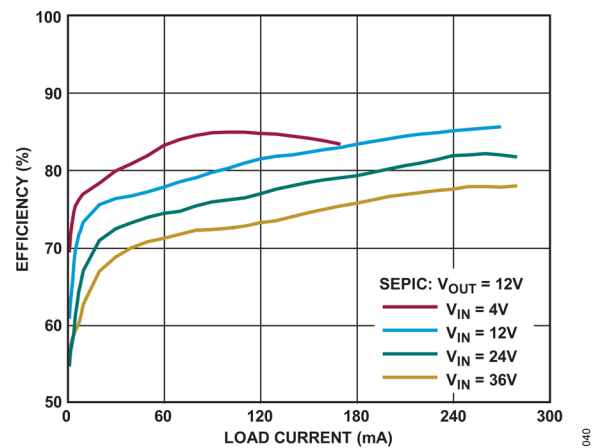


図 39. 効率と負荷電流の関係 (図 38 の回路)

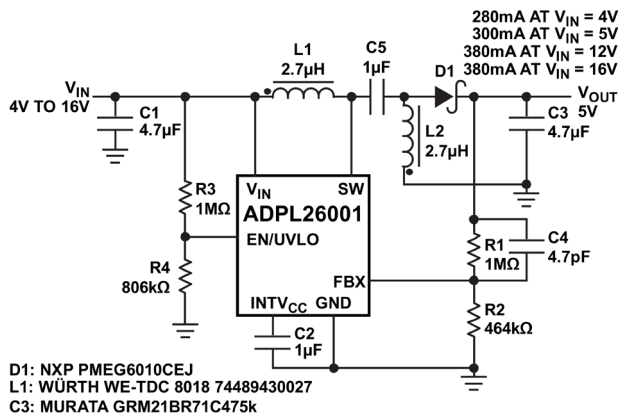


図 40. 4V~16V 入力、5V の SEPIC コンバータ

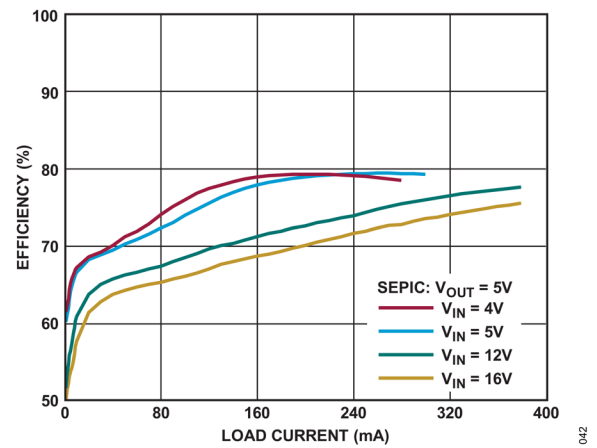


図 41. 効率と負荷電流の関係 (図 40 の回路)

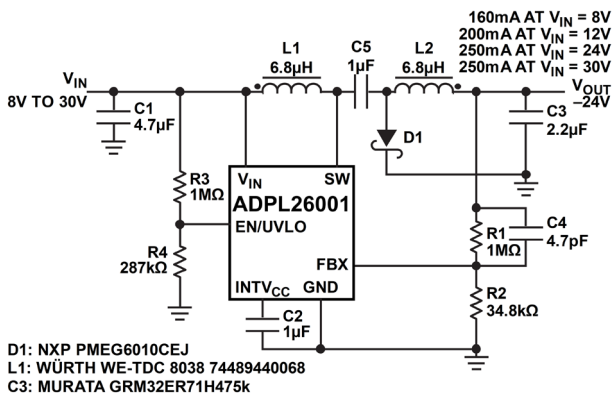


図 42. 8V~30V、-24V の反転コンバータ

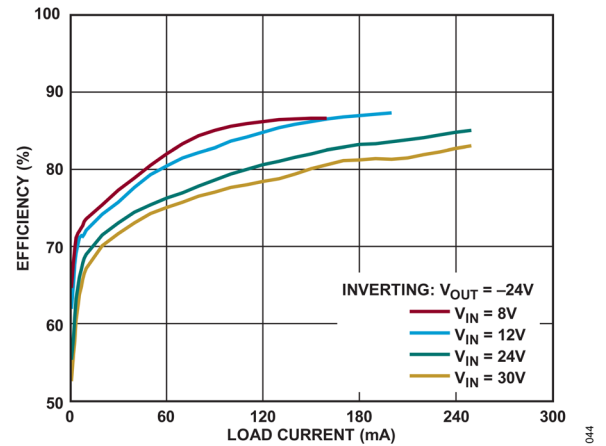


図 43. 効率と負荷電流の関係 (図 42 の回路)

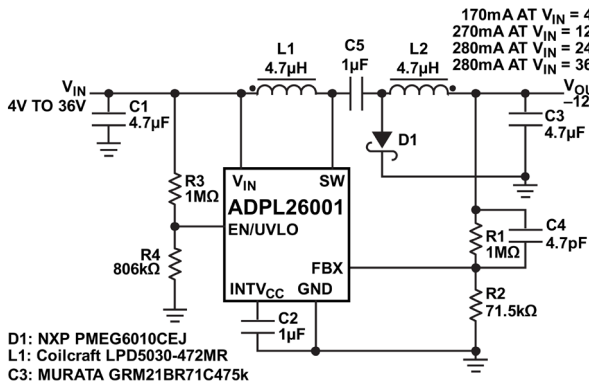


図 44. 4V~36V 入力、-12V の反転コンバータ

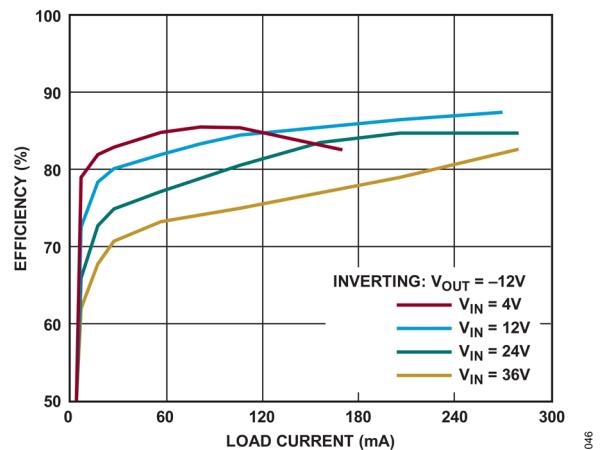


図 45. 効率と負荷電流の関係 (図 44 の回路)

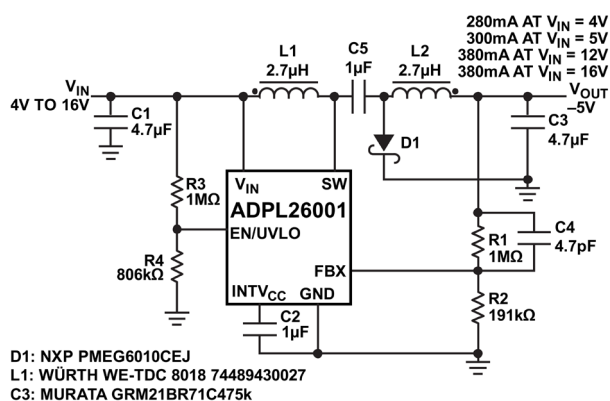


図 46. 4V~16V 入力、-5V の反転コンバータ

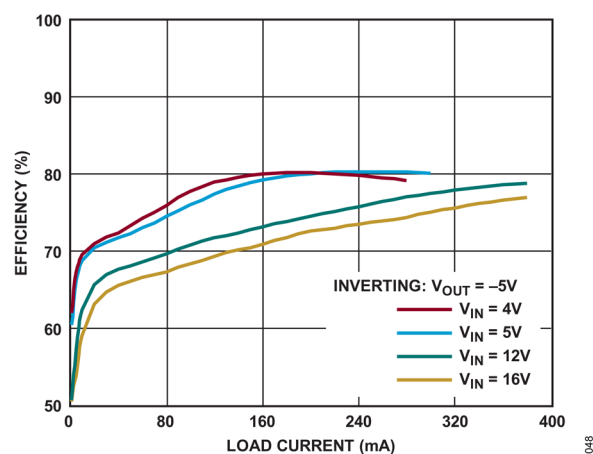


図 47. 効率と負荷電流の関係 (図 46 の回路)

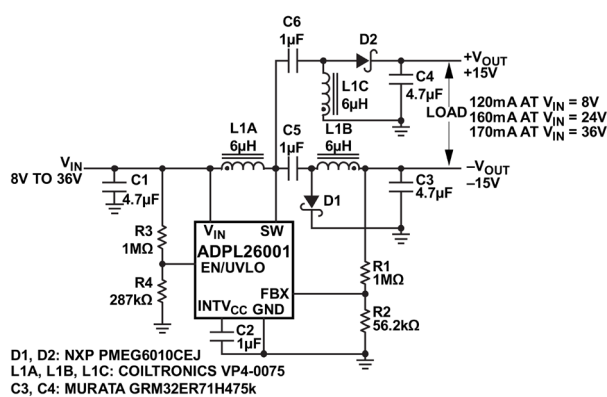


図 48. 8V~40V 入力、±15V のコンバータ

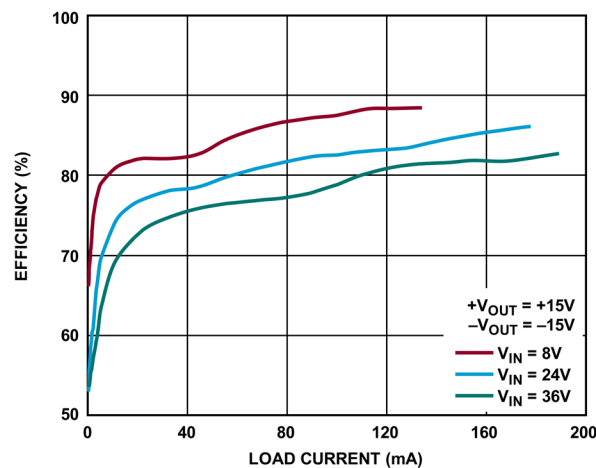


図 49. 効率と負荷電流の関係 (図 48 の回路)

外形寸法

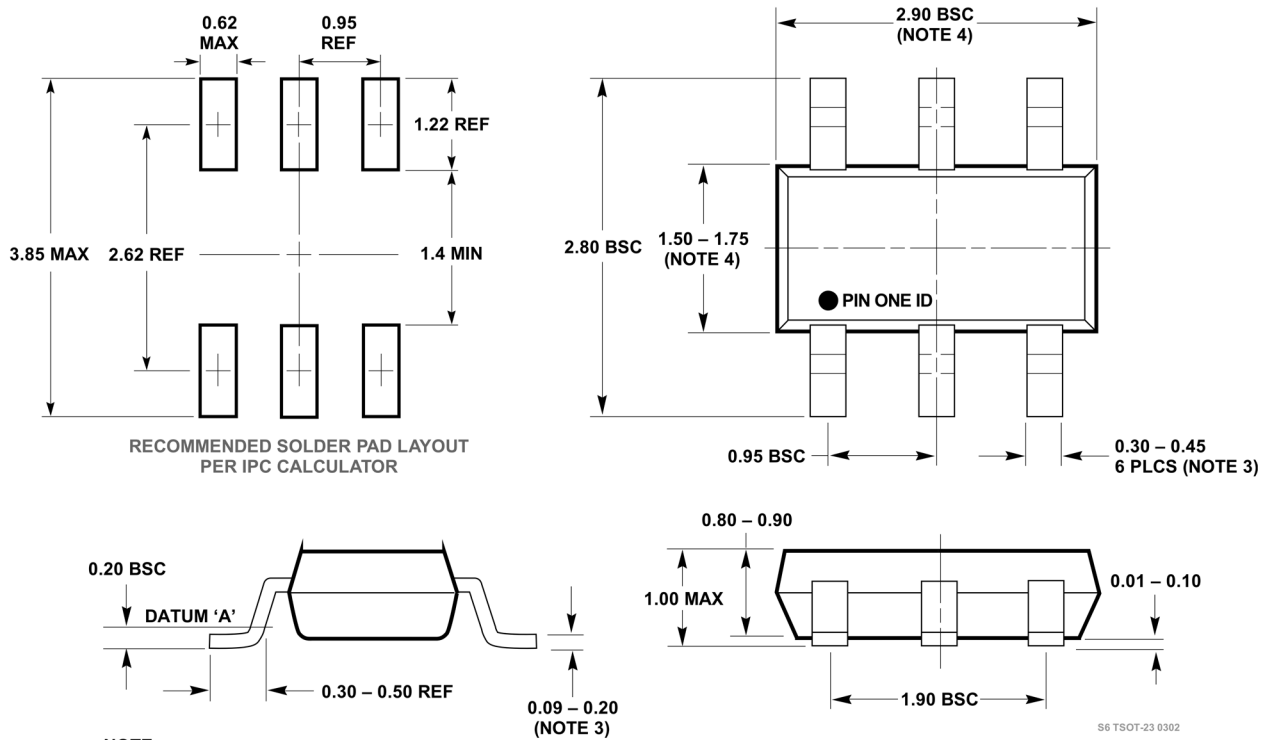


図 50.6 ピン・プラスチック TSOT パッケージ

オーダー・ガイド

表 6. オーダー・ガイド

TAPE AND REEL (MINI)	TAPE AND REEL	PART MARKING*	PACKAGE DESCRIPTION	TEMPERATURE RANGE
ADPL26001ES6#TRMPBF	ADPL26001ES6#TRPBF	ADHWM	6-Lead Plastic TSOT-23	-40°C to 125°C

* TRM = 500 個。
* テープのリール巻き仕様の詳細については、[Tape and Reel Specifications](#) を参照してください。

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

