



## 20 $\mu$ A 自己消費電流、2 相動作可能な 20V、8A/10A 全機能内蔵降圧コンバータ

ADPL12008/ADPL12010

### 概要

ADPL12008/ADPL12010 IC は、高集積型同期整流式降圧コンバータであり、ハイサイド・スイッチとローサイド・スイッチを内蔵しています。これらの IC は、3V~20V の入力電圧範囲で、最大 8A/10A を供給するように設計されています。PGOOD 信号により適切な電圧の発生をモニタ可能です。これらの IC は、非常に高いデューティ・サイクルで稼働することによりドロップアウト・モードで動作が可能であるため、ファクトリ・オートメーション・アプリケーションに理想的です。

ADPL12008/ADPL12010 IC には、プログラマブルな出力電圧オプションがあります。1.5MHz と 400kHz が選択可能で、高いスイッチング周波数のために外付け部品を小さくでき、出力リップルを低減できます。SYNC 入力がプログラマブルであるため、3 つのモード（強制パルス幅変調（PWM）モード、超低自己消費電流のスキップ・モード、外部クロックへの同期モード）が可能であり、性能を最適化できます。

ADPL12008/ADPL12010 IC は 2 相動作も可能で、最大 20A に対応した設計ができます。2 個の IC をコントローラおよびターゲットとして接続し、動的な電流分担と 180° 位相差で動作させることが可能です。

ADPL12008/ADPL12010 IC は小型（3.5mm × 3.75mm）の 17 ピン・フリップチップ・クワッド・フラット・ノーリード（FC2QFN）パッケージで提供されます。これらは、ADPL12005/ADPL12006（5A~6A）製品ファミリとピン互換です。

### アプリケーション

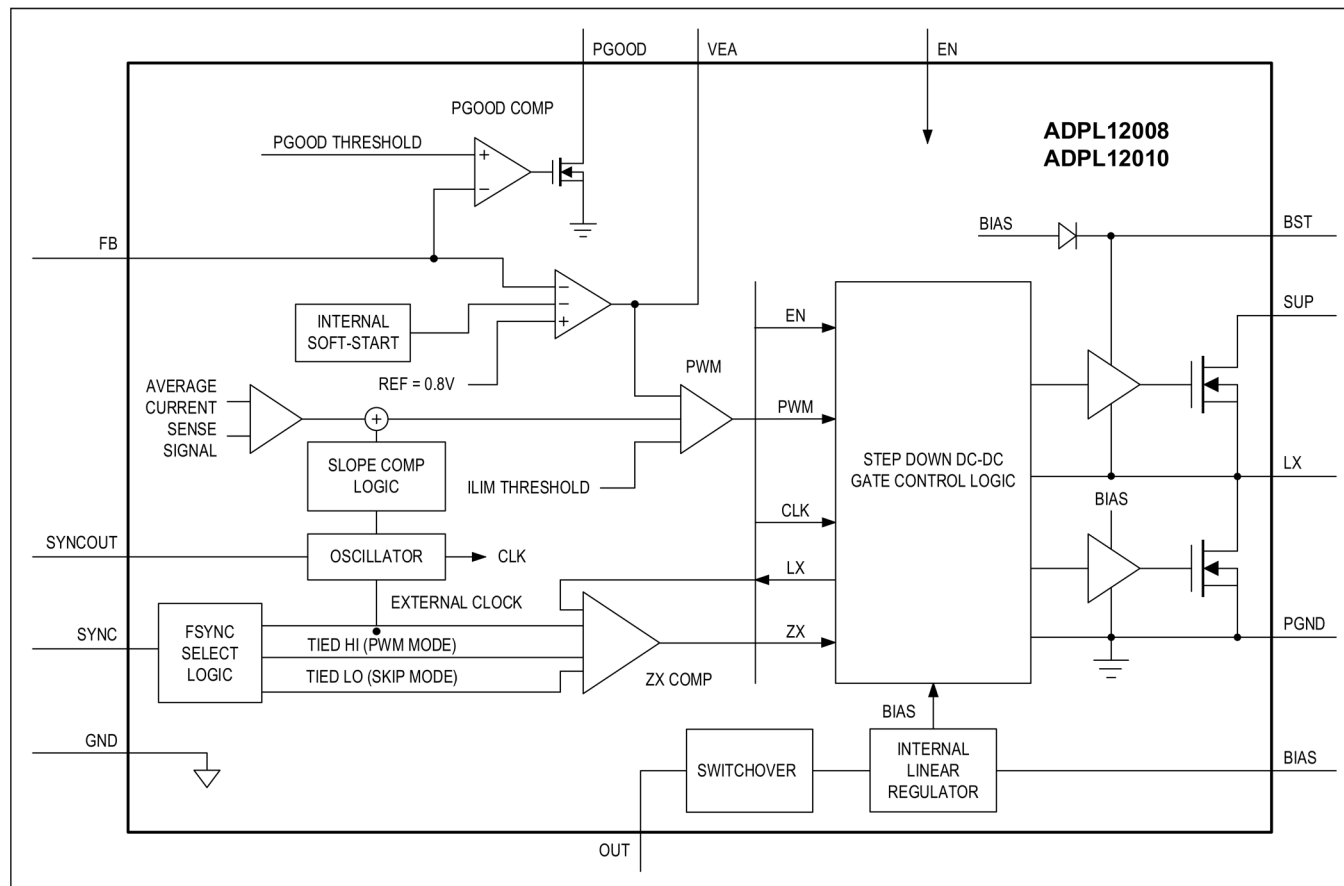
- ファクトリ・オートメーション
- ポイントオブロード
- 分散型 DC 電源システム
- 通信インフラストラクチャ
- 試験および計測

### 利点および特長

- 小型ソリューションの高出力 DC/DC コンバータ
  - 動作可能な  $V_{IN}$  範囲：3V~20V
  - FET を内蔵した同期整流式 DC/DC コンバータ
  - 最大出力電流：8A/10A
  - 400kHz と 1.5MHz の固定周波数オプション
  - 固定のソフトスタート時間
    - 2.5ms（400kHz の場合）
    - 3.5ms（1.5MHz の場合）
  - 最小オン時間：36ns
  - プログラマブルな出力電圧
    - 0.8V~10V（400kHz の場合）
    - 0.8V~6V（1.5MHz の場合）
  - SUP ピンと PGND ピンの対称かつ平衡な配置による電磁干渉（EMI）性能の向上
  - 熱強化型の 3.5mm × 3.75mm、17 ピン FC2QFN パッケージ
- 負荷レンジ全域で高効率を実現
  - スキップ・モードでの自己消費電流：20 $\mu$ A
  - 12V<sub>IN</sub>/3.3V<sub>OUT</sub>/400kHz での最大効率：95.6%
  - 12V<sub>IN</sub>/3.3V<sub>OUT</sub>/1.5MHz での最大効率：93.9%
- 2 相動作により最大 20A 負荷に対応
  - 周波数同期の入力／出力
  - コントローラとターゲット間で 180° 位相差動作
  - 動的電流分担
- 強制 PWM 動作とスキップ・モード動作
- 低ドロップアウト動作
- パワー・グッド・インジケータ
- 過熱および短絡に対する保護
- 動作ジャンクション温度範囲：-40°C~+150°C
- スケーラブルな電力ソリューション
  - ADPL12005/ADPL12006 とフットプリント互換

オーダー情報はデータシート末尾に記載されています。

## 簡略化したブロック図



## 目次

概要 .....	1
アプリケーション .....	1
利点および特長 .....	1
絶対最大定格 .....	4
パッケージ情報 .....	4
電気的特性 .....	5
標準動作特性 .....	7
ピン配置 .....	9
端子説明 .....	10
詳細説明 .....	11
リニア・レギュレータ出力 (BIAS) .....	11
同期入力 (SYNC) .....	11
イネーブル入力 (EN) .....	11
ソフトスタート .....	11
短絡保護 .....	11
パワー・グッド・インジケータ (PGOOD) .....	11
サーマル・シャットダウン保護 .....	12
デュアルフェーズ動作 .....	12
2 相構成での低 $I_Q$ 動作 .....	13
アプリケーション情報 .....	14
出力電圧の設定 .....	14
入力コンデンサ .....	14
インダクタの選択 .....	15
出力コンデンサ .....	15
PCB レイアウトのガイドライン .....	16
標準アプリケーション回路 .....	18
オーダー情報 .....	19

絶対最大定格

SUP、EN～PGND.....	-0.3V～+22V	BIAS～GND .....	-0.3V～+2.2V
BST～LX .....	-0.3V～+2.2V	LX 連続実効電流 .....	10A
BST～BIAS .....	-0.3V～+22V	SUP 連続実効電流.....	5A
BST～PGND .....	-0.3V～+24V	ESD 保護（人体モデル） .....	±2kV
LX～PGND.....	-0.3V～SUP + 0.3V	連続消費電力（T <sub>A</sub> = +70°C、+70°C を超えると 37mW/°C でディレーティング） .....	2963mW
SYNC、SYNCOUT、PGOOD～GND.....	-0.3V to 6V	動作ジャンクション温度範囲 .....	-40°C～+150°C
FB、VEA～GND .....	-0.3V～BIAS + 0.3V	保管温度範囲.....	-65°C～+150°C
OUT～GND .....	-0.3V～16V	リード温度（ハンダ処理 10 秒） .....	+300°C
PGND～GND .....	-0.3V～0.3V		

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

Package Code	F173A3F+1F
Outline Number	<a href="#">21-100699</a>
Land Pattern Number	<a href="#">90-100239</a>
Thermal Resistance, Single-Layer Board:	
Junction-to-Ambient (θ <sub>JA</sub> )	38.6°C/W
Junction-to-Case Thermal Resistance (θ <sub>JC</sub> )	7.7°C/W
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient (θ <sub>JA</sub> )	27°C/W
Junction-to-Case Thermal Resistance (θ <sub>JC</sub> )	8.5°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、<https://www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-index.html> で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、<https://www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html> を参照してください。

## 電氣的特性

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。代表値は、特に指定のない限り、 $T_A = +25^{\circ}C$  での通常条件下の値 (Note 1、Note 2 参照) 。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage Range	V <sub>SUP</sub>			3		20	V
Supply Current	I <sub>SUP_SHDN</sub>	V <sub>EN</sub> = 0, T <sub>A</sub> = +25°C			4	6	μA
	I <sub>SUP</sub>	V <sub>EN</sub> = high, V <sub>OUT</sub> = 3.3V, no load, switching			20		
SUP Undervoltage Lockout		Rising		2.9	3.0	3.2	V
		Falling		2.6	2.7	2.9	
BIAS Voltage		+2.5V ≤ V <sub>SUP</sub> ≤ +20V			1.8		V
BIAS Undervoltage Lockout	V <sub>BIAS_UVLO</sub>	Rising		1.58	1.63	1.68	V
	V <sub>BIAS_UVLO_HYS</sub>	Hysteresis			50		mV
BUCK CONVERTER							
Adjustable Output-Voltage Range		f <sub>SW</sub> = 1.5MHz		0.8		6	V
		f <sub>SW</sub> = 400kHz		0.8		10	
FB Voltage Accuracy	V <sub>FB_PWM</sub>	PWM mode, no load		0.788	0.800	0.812	V
FB Leakage Current	I <sub>FB</sub>	V <sub>FB</sub> = 0.8V, T <sub>A</sub> = +25°C				100	nA
High-Side Switch On Resistance	R <sub>DSON_HS</sub>	V <sub>BIAS</sub> = 1.8V, I <sub>LX</sub> = 5A			26	53	mΩ
Low-Side Switch On Resistance	R <sub>DSON_LS</sub>	V <sub>BIAS</sub> = 1.8V, I <sub>LX</sub> = 5A			13	26	mΩ
High-Side Switch Current-Limit Threshold	I <sub>LIM</sub>	ADPL12008		10	12	14	A
		ADPL12010		11.9	14	16	
Low-Side Switch Negative Current-Limit Threshold	I <sub>NEG</sub>				-4		A
LX Leakage Current	I <sub>LX_LKG</sub>	V <sub>SUP</sub> = 20V, V <sub>LX</sub> = 0V or V <sub>LX</sub> = 20V, T <sub>A</sub> = +25°C		-5		5	μA
Soft-Start Ramp Time	t <sub>SS</sub>	f <sub>SW</sub> = 1.5MHz			3.5		ms
		f <sub>SW</sub> = 400kHz			2.5		
Minimum On-Time	T <sub>ON</sub>	(See <a href="#">Note 3</a> )			36	65	ns
Maximum Duty Cycle		Dropout mode		96			%
SWITCHING FREQUENCY							
PWM Switching Frequency	f <sub>SW</sub>	f <sub>SW</sub> = 1.5MHz		1.375	1.500	1.625	MHz
		f <sub>SW</sub> = 400kHz		360	400	440	kHz
SYNC External Clock Frequency	f <sub>SYNC</sub>	f <sub>SW</sub> = 1.5MHz		1.215		1.845	MHz
		f <sub>SW</sub> = 400kHz		360		600	kHz
PGOOD OUTPUT							
PGOOD Threshold	V <sub>PGOOD_R</sub>	Percentage of V <sub>OUT</sub> , rising		92	94	96	%
	V <sub>PGOOD_F</sub>	Percentage of V <sub>OUT</sub> , falling		91	93	95	
PGOOD Debounce	T <sub>DEB</sub>	PWM mode, falling	f <sub>SW</sub> = 1.5MHz		70		μs
			f <sub>SW</sub> = 400kHz		50		
		PWM mode, rising	f <sub>SW</sub> = 1.5MHz		140		μs

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。代表値は、特に指定のない限り、 $T_A = +25^{\circ}C$  での通常条件下の値 (Note 1、Note 2 参照) 。)

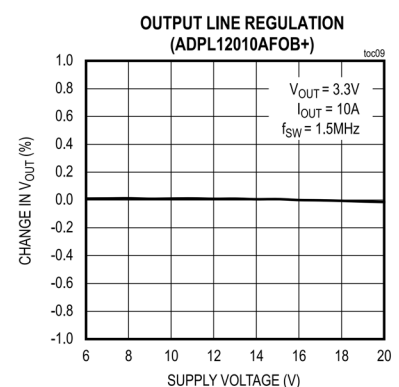
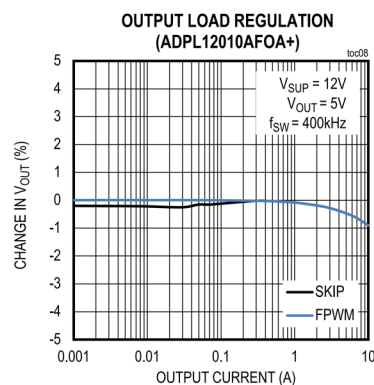
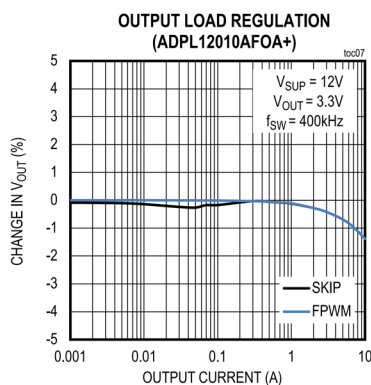
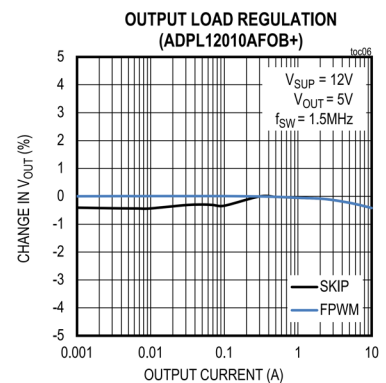
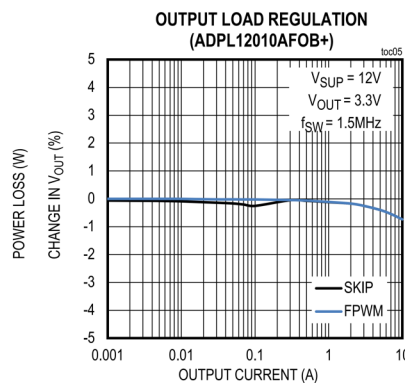
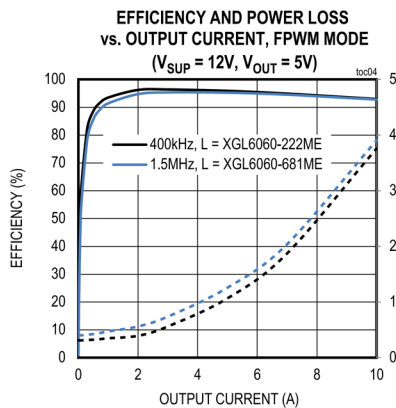
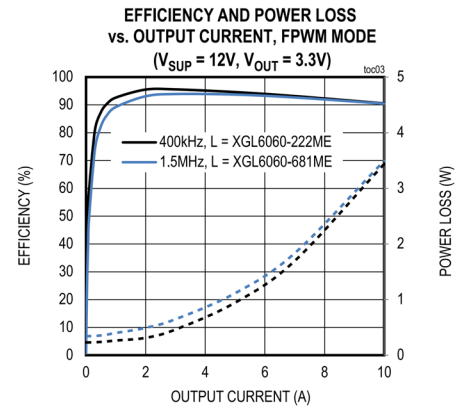
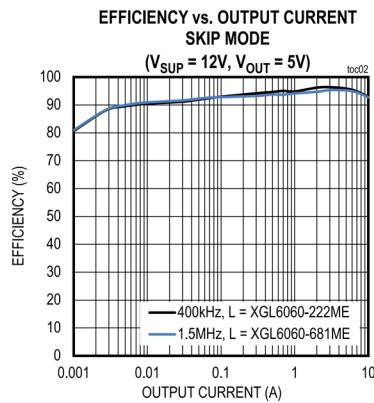
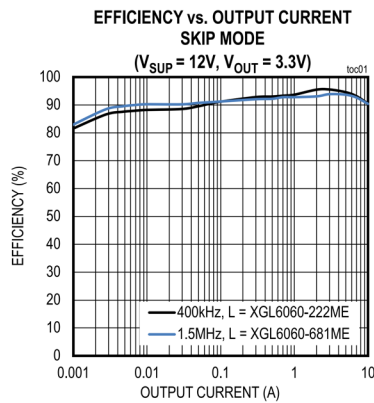
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		$f_{SW} = 400kHz$		100		
PGOOD High-Leakage Current	$I_{PGOOD\_LKG}$	$T_A = +25^{\circ}C$			1	$\mu A$
PGOOD Low-Voltage Level	$V_{PGOOD\_LOW}$	Sinking 1mA			0.4	V
<b>LOGIC LEVELS</b>						
EN High-Voltage Level	$V_{EN\_HIGH}$		1.2			V
EN Low-Voltage Level	$V_{EN\_LOW}$				0.5	V
EN Input Current	$I_{EN}$	$V_{EN} = V_{SUP} = 20V$ , $T_A = +25^{\circ}C$			1	$\mu A$
SYNC High-Voltage Level	$V_{SYNC\_HIGH}$		1.4			V
SYNC Low-Voltage Level	$V_{SYNC\_LOW}$				0.4	V
SYNC Input Current	$I_{IN,SYNC}$	$T_A = +25^{\circ}C$			1	$\mu A$
SYNCOUT Output-Voltage Level	$V_{SYNCOUT}$	No load	2.6	3.3	3.9	V
<b>THERMAL PROTECTION</b>						
Thermal Shutdown	$T_{SHDN}$			175		$^{\circ}C$
Thermal Shutdown Hysteresis	$T_{SHDN\_HYS}$			20		$^{\circ}C$

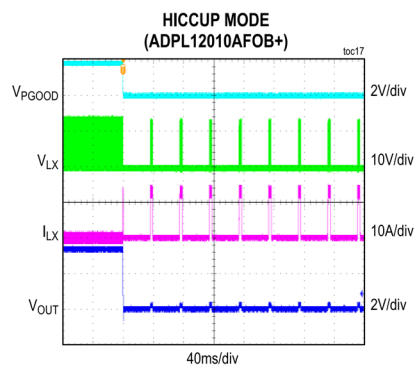
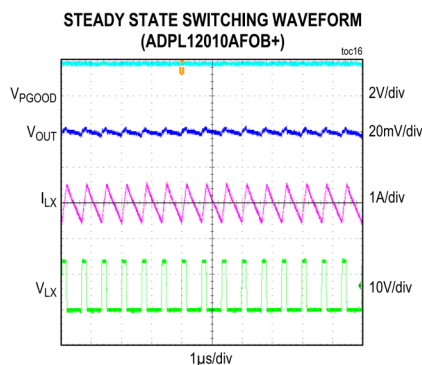
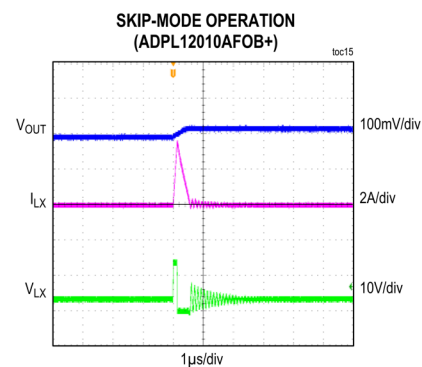
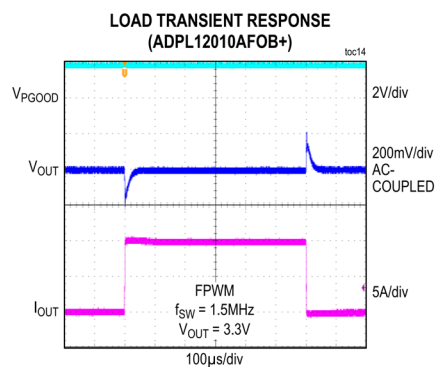
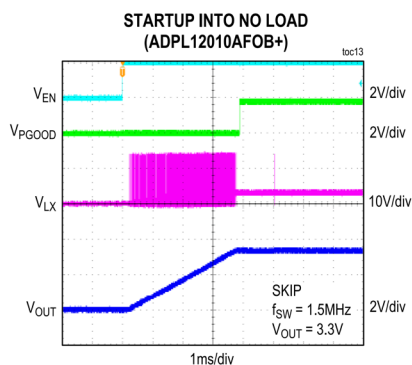
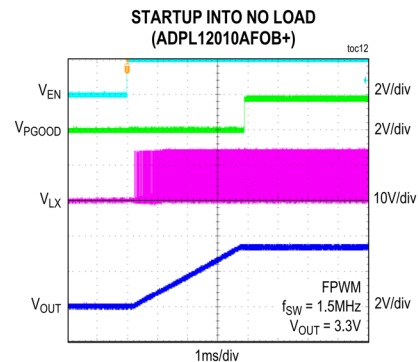
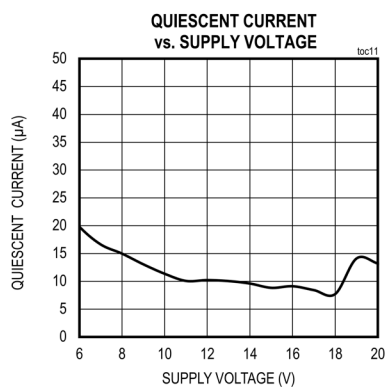
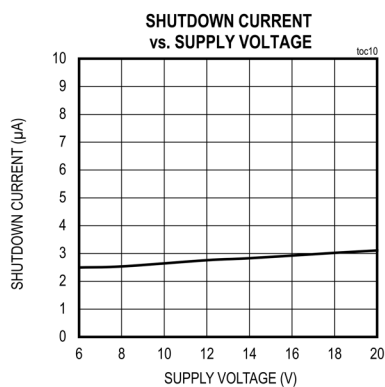
**Note 1** : 全ユニットを $+25^{\circ}C$  で 100%製品テストしています。温度限界は全て設計と特性評価により裏付けられています。

**Note 2** : このデバイスは、 $T_J = +125^{\circ}C$  で 95,000 時間、 $T_J = +150^{\circ}C$  で 5,000 時間、連続動作するように設計されています。

**Note 3** : これらの仕様については製品テストを行っていませんが、設計により裏付けられています。

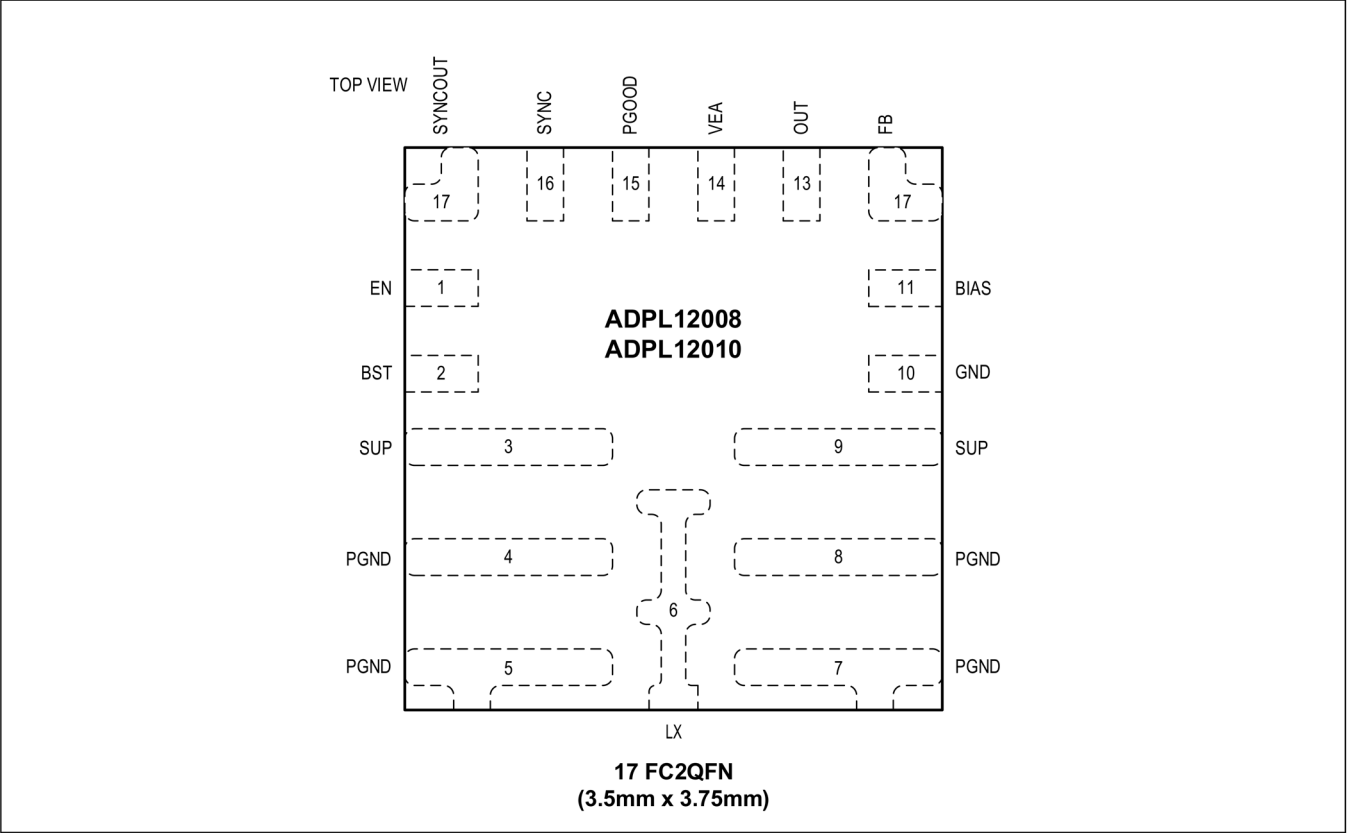
## 標準動作特性

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ )

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ )



ピン配置



## 端子説明

ピン	名称	機能
1	EN	高電圧対応イネーブル入力。EN をハイにすると降圧コンバータが有効化されます。
2	BST	ハイサイド・ゲート・ドライバ電源。BST と LX の間に 0.1 $\mu$ F のセラミック・コンデンサを接続します。
3	SUP	IC の入力側電源および内蔵ハイサイド・スイッチ入力電源。0.1 $\mu$ F と 4.7 $\mu$ F のセラミック・コンデンサを使用して、SUP から PGND にできるだけ近くでバイパスします。両方の SUP ピンは内部で接続されています。
4, 5	PGND	電源グラウンド。全ての PGND ピンを相互に接続します。
6	LX	降圧インダクタの接続。インダクタを LX と降圧出力の間に接続します。IC が無効化されている間、LX は高インピーダンスになります。
7, 8	PGND	電源グラウンド。全ての PGND ピンを相互に接続します。
9	SUP	IC の入力側電源および内蔵ハイサイド・スイッチ入力電源。0.1 $\mu$ F と 4.7 $\mu$ F のセラミック・コンデンサを使用して、SUP から PGND にできるだけ近くでバイパスします。両方の SUP ピンは内部で接続されています。
10	GND	アナログ・グラウンド。GND と PGND はスター接続で PCB のグラウンド・プレーンに接続します。
11	BIAS	1.8V 内部リニア・レギュレータ出力。最小 2.2 $\mu$ F のセラミック・コンデンサを使用して、BIAS をグラウンドに接続します。
12	FB	帰還入力。OUT と GND の間に配置した抵抗分圧器に FB を接続して、0.8V~10V の範囲で出力電圧を調整します。
13	OUT	出力電圧検出入力。降圧コンバータは OUT を使用して出力電圧を検出します。
14	VEA	内部電圧ループのエラー・アンプ出力。2 相動作の場合には、コントローラとターゲットの VEA を相互に接続します。単相動作の場合には VEA はオープンにします。
15	PGOOD	オープンドレインのパワー・グッド出力。降圧出力電圧がレギュレーション電圧の 93%（代表値）より下がると、PGOOD はローになります。降圧出力電圧がレギュレーション電圧の 94%（代表値）より高くなると、PGOOD は高インピーダンスになります。ソフトスタート中は、PGOOD がローにアサートされます。PGOOD を BIAS または 5.5V より低い正電圧にプルアップ抵抗で接続すると、降圧出力の状況を提示します。
16	SYNC	外部クロック同期入力。SYNC をローに接続すると、スキップ・モード動作が有効になります。SYNC をハイに接続すると、強制 PWM 動作に設定されます。有効な外部クロック信号を SYNC に接続すると、外部クロック同期が有効となります。
17	SYNCOUT	180°位相差クロック出力。2 相動作時の場合には、SYNCOUT を BIAS に接続してそのデバイスをターゲットに設定し、コントローラの SYNCOUT をターゲットの SYNC に接続します。単相動作の場合には SYNC はオープンにします。

## 詳細説明

ADPL12008/ADPL12010 IC は、高集積型同期整流式降圧コンバータであり、ハイサイド・スイッチとローサイド・スイッチを内蔵しています。この IC は 3V~20V の電圧の入力を受けて 8A/10A の電流を供給するよう設計されており、無負荷状態の自己消費電流はわずか 20 $\mu$ A です。PGOOD 信号により適切な電圧の発生をモニタ可能です。これらの IC は、非常に高いデューティ・サイクルで稼働することによりドロップアウト・モードで動作が可能であるため、ファクトリ・オートメーション・アプリケーションに理想的です。

ADPL12008/ADPL12010 IC では、外付け抵抗分圧器によって出力電圧を調整できます。周波数は内部で 1.5MHz オプションと 400kHz オプションに固定されているので、使用する外付け部品を少なくし、また、出力リップルを抑制できます。SYNC に信号を与えることにより、IC をスキップ・モード、FPWM（強制パルス幅変調モード）、または外部クロックへの同期動作に設定できます。オン時間が最短 36ns である平均電流モード制御により、サイクル・スキップなしで入出力電圧に大きな降圧比が得られます。

ADPL12008/ADPL12010 IC は 2 相モードに設定することも可能で、その場合は最大 20A の負荷を供給できます。平均電流モード制御により、ノイズ耐性とトランジェント時の正確な動的電流分担が実現されます。

FC2QFN パッケージを使用しているため、パッケージの寄生インピーダンスが低く熱特性が良好です。SUP と PGND のピン配置は対称になっているため、IC 周辺の電流ループが平衡し、EMI 性能が更に改善されます。

## リニア・レギュレータ出力 (BIAS)

これらのデバイスには、内部回路ブロックに給電する 1.8V のリニア・レギュレータ ( $V_{BIAS}$ ) が内蔵されています。BIAS と GND の間に 2.2 $\mu$ F のセラミック・コンデンサを接続します。起動時はバイアス・レギュレータは入力側から電力を引き出し、起動が完了すると出力側に切り替わります ( $V_{OUT} > 2.5V$  の場合)。

## 同期入力 (SYNC)

ADPL12008/ADPL12010 IC は内部発振器を備えており、400kHz と 1.5MHz が選択可能です。SYNC をハイにすると、400kHz もしくは 1.5MHz のスイッチング周波数で FPWM 動作します。SYNC をローにすると、スキップ・モードが有効となり、軽負荷時の効率が改善されます。この IC は、SYNC に有効な外部クロックを与えることにより、外部クロックへの同期動作が可能です。

## イネーブル入力 (EN)

イネーブル入力 (EN) により IC はシャットダウン・モードから有効化されます。EN をハイにすると IC が有効化されます。EN をローにすると IC は無効化され、シャットダウン・モードに移行します。シャットダウン中は自己消費電流は 4 $\mu$ A（代表値）まで低減されます。

## ソフトスタート

EN をハイにすると IC が有効化されます。ソフトスタート回路はソフトスタート時間中（代表値 400kHz 時 2.5ms、1.5MHz 時 3.5ms）にリファレンス電圧を徐々に上昇させることにより、起動時の入力突入電流を低減します。

## 短絡保護

これらの IC にはサイクルごとの電流制限とヒカップ・モードがあり、短絡や過負荷の条件から保護します。過負荷の条件では、インダクタの電流が電流制限値  $ILIM$  に達するまでハイサイド FET がオン状態を保ちます。電流制限値に達するとハイサイド FET がオフ、ローサイド FET がオンになり、これによりインダクタ電流が低下します。インダクタ電流が減少して谷電流の制限値に達すると、コンバータは再びハイサイド FET をオンにします。このサイクルが過負荷の条件が除去されるまで繰り返します。

短絡の検出は、出力電圧がプリセットされたスレッシュホールド電圧より低くなり、インダクタ電流が電流制限値に達したことによります。スレッシュホールド電圧は出力レギュレーション電圧の 25% です。ヒカップ・モード動作中は、IC は降圧コンバータの動作を 35ms（ソフトスタート時間の 10 倍、 $f_{sw} = 1.5MHz$  時）停止した後に再起動し、過電流や短絡の条件が排除されたかをチェックします。短絡状態が継続している間はヒカップ動作を繰り返します。

## パワー・グッド・インジケータ (PGOOD)

この IC にはオープンドレインのパワー・グッド (PGOOD) 出力があり、出力電圧の状態を示します。コンバータ出力電圧が公称レギュレーション電圧の 94%（代表値）より高くなると、PGOOD はローから高インピーダンスになります。出力電圧が公称レギュレーション電圧の 93%（代表値）より下がると、PGOOD はローになります。PGOOD はプルアップ抵抗を介してコンバータの出力もしくは BIAS 電圧に接続します。ソフトスタート中は、PGOOD がローにアサートされます。

## サーマル・シャットダウン保護

サーマル・シャットダウン保護は IC の合計消費電力を制限します。ジャンクション温度が+175°C を超過すると、内蔵センサーが IC をシャットダウンし、温度が下がるのを待ちます。ジャンクション温度が 20°C 低下すると、温度センサーにより再び IC の動作が開始します。

## デュアルフェーズ動作

ADPL12008/ADPL12010 IC を 2 個使用して 2 相動作構成にすると、出力電流を最大 20A に増加できます。2 相モードで動作させるには、一方の IC の SYNCOUT を BIAS に接続してターゲットとして設定し、他方の IC をコントローラとします。コントローラの SYNCOUT をターゲットの SYNC に接続すると、両 IC が 180° の位相差でスイッチングできます。このため、2 相動作を行う場合は、コントローラから SYNCOUT 信号を供給し、FPWM 動作させることが推奨されます。

コントローラとターゲットの VEA ノードを互いに接続し、2 つの相の間でバランスの取れた電流分担が行われるようにします。これにより、コントローラとターゲットの電圧制御ループも共有化されます。FB ノードは相互に接続するのではなく、相ごとに別々の抵抗分圧器を使用します。

出力電圧の値を設定するため、図 1 に示すように、降圧出力、FB、GND の間に抵抗分圧器を接続します。コントローラとターゲットには同一の設定でそれぞれ別の抵抗分圧器を用います。

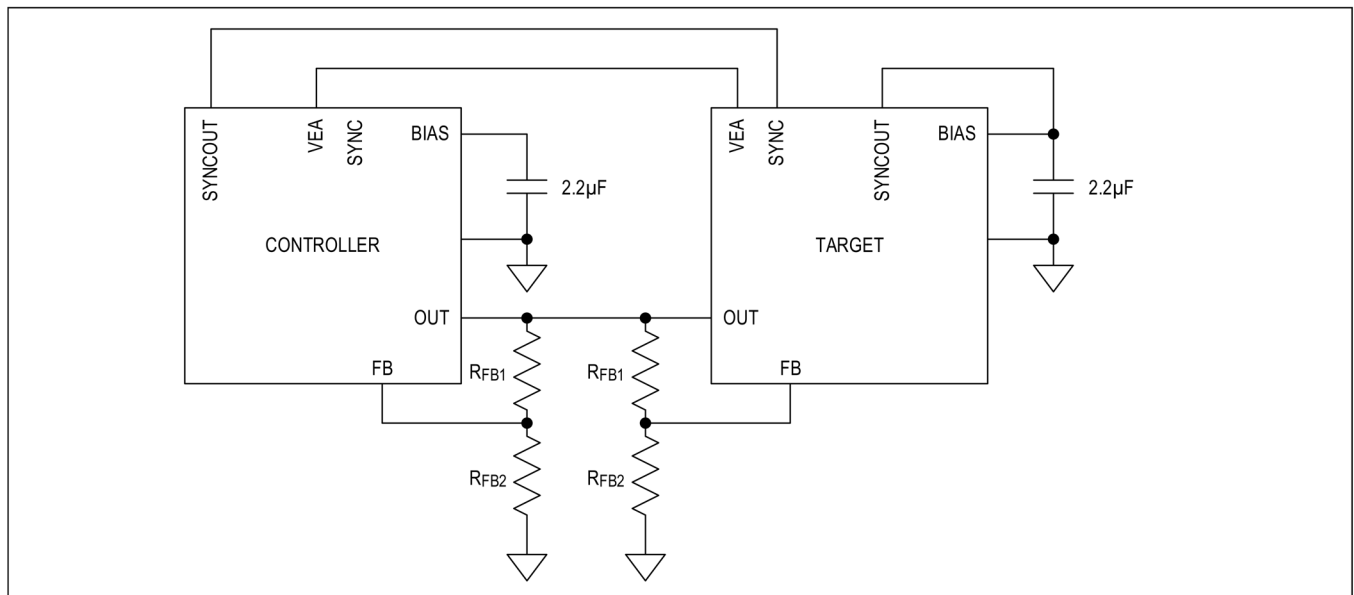


図 1. 外部抵抗分圧器を使用した 2 相構成の代表的なアプリケーション回路

2 相構成での低 I<sub>Q</sub> 動作

ADPL12008/ADPL12010 IC は 2 相動作が可能であり、各 IC をコントローラまたはターゲットとして設定することが可能です。コントローラの SYNCOUT ピンは、SYNC がハイに接続されていれば（FPWM モード）、180° 位相差のクロックを出力します。低 I<sub>Q</sub> モードに設定するためには、コントローラの SYNC ピンをローにプルダウンします（スキップ・モード）。このモードでは、コントローラの SYNCOUT ピンにはクロックは出力されず、コントローラ IC はスキップ・モードに入ります。ターゲット IC の内部回路はこの期間中オン状態を保ち、コントローラからの SYNCOUT 信号を待つ状態となります。ターゲット IC はオン状態なので、両 IC がパルス・スキップ動作をしていても自己消費電流はわずかに高くなります。

更に軽負荷時の効率を高め I<sub>Q</sub> を低減するためには、ターゲットの EN をローにプルダウンします。これによりターゲット側は内部回路も含め無効化され、更に I<sub>Q</sub> が低減します。表 1 に低 I<sub>Q</sub> 動作の真理値表をまとめます。

表 1. 低 I<sub>Q</sub> 動作の設定

CONTROLLER	TARGET	MODE
EN = High, SYNC = BIAS	EN = High	FPWM (high I <sub>Q</sub> )
EN = High, SYNC = Low	EN = High	Skip-mode (low I <sub>Q</sub> )
EN = High, SYNC = Low	EN = Low	Standby-mode (ultra-low I <sub>Q</sub> )
EN = Low	EN = High	Not allowed

アプリケーション情報

出力電圧の設定

外部で出力電圧を設定する場合、スイッチング周波数が 400kHz の場合は 0.8V~10V、スイッチング周波数が 1.5MHz の場合は 0.8V~6V の出力電圧が設定可能で、そのためには降圧コンバータ出力から FB を経て GND に至る抵抗分圧器を接続します。標準アプリケーション回路において、FB と GND の間に接続する R<sub>FB2</sub> には 20kΩ より小さい値を選択します。降圧出力と FB の間に接続する R<sub>FB1</sub> の値は次の式によって計算します。

$$R_{FB1} = R_{FB2} \times \left( \frac{V_{OUT}}{V_{FB}} - 1 \right)$$

ここで、V<sub>FB</sub> = 0.8V で、R<sub>FB2</sub> は 20kΩ より小さい値です。

表 2 に各出力レンジに対する部品選択の推奨値を示します（C<sub>FF</sub> は R<sub>FB1</sub> = 50kΩ を前提とした推奨値です）。

表 2. 部品選択の推奨値

SWITCHING FREQUENCY (kHz)	V <sub>OUT</sub> (V)	INDUCTOR (μH)	OUTPUT CAPACITOR (μF)	C <sub>FF</sub> (pF)
400	0.8V~1.8V	0.68μH	500μF	N/A
400	1.8V~3.3V	1μH	220μF	N/A
400	3.3V~5V	2.2μH	120μF	82pF
400	5V~7V	2.2μH	88μF	56pF
400	7V~10V	3.3μH	66μF	47pF
1500	0.8V~1.8V	0.38μH	88μF	N/A
1500	1.8V~3.3V	0.47μH	88μF	N/A
1500	3.3V~5V	0.68μH	66μF	47pF
1500	5V~6V	0.68μH	44μF	15pF

入力コンデンサ

入力コンデンサは電源から流れるピーク電流を減少させ、降圧コンバータのスイッチング・サイクルに起因する SUP ノードのノイズと電圧リップルを改善します。適正な降圧動作を行うためには、IC の両側に 0.1μF と 4.7μF の 2 つのセラミック入力コンデンサを並列に配置します。

0402 もしくは 0603 サイズの 0.1μF のセラミック・コンデンサを IC の両側の SUP と PGND のすぐ近くに配置することで、入力ノイズを低減し、EMI 性能を向上できます。入力電圧リップルを低減するために、両入力サイドの 0.1μF のコンデンサの先に 4.7μF のセラミック・コンデンサを配置することが必要です。入力電源や配線パターンに高いインピーダンスが存在する場合には、更に追加の降圧コンデンサが必要となることがあります。

入力コンデンサの実効電流の条件（I<sub>RMS</sub>）は、次の式で定義されます。

$$I_{RMS} = I_{LOAD(MAX)} \times \left( \frac{\sqrt{V_{OUT} \times (V_{SUP} - V_{OUT})}}{V_{SUP}} \right)$$

I<sub>RMS</sub> は入力電圧が出力電圧の 2 倍であるときに最大値を取ります。

$$V_{SUP} = 2 \times V_{OUT}$$

したがって、

$$I_{RMS} = \frac{I_{LOAD(MAX)}}{2}$$

理想的な長期的信頼性を得るためには、この RMS 入力電流における自己発熱による温度上昇が+10°C 未満になる入力コンデンサを選択してください。入力電圧リップルには  $\Delta V_Q$ （コンデンサの放電に起因）と  $\Delta V_{ESR}$ （コンデンサの ESR に起因）が含まれています。ESR とコンデンサ放電の寄与分が等しく共に 50% であると仮定します。指定された入力電圧リップルに対して必要な入力コンデンサおよび等価直列抵抗（ESR）は、次の式を使用して計算されます。

$$ESR_{IN} = \frac{\Delta V_{ESR}}{I_{LOAD(MAX)} + \Delta I_L / 2}$$

$$C_{IN} = \frac{I_{LOAD(MAX)} \times D (1 - D)}{\Delta V_Q \times f_{SW}}$$

ここで、

$$\Delta I_L = \frac{(V_{SUP} - V_{OUT}) \times V_{OUT}}{V_{SUP} \times f_{SW} \times L}$$

$$D = \frac{V_{OUT}}{V_{SUP}}$$

であり、 $I_{LOAD(MAX)}$  は最大出力電流、 $\Delta I_L$  はピーク to ピークのインダクタ電流、 $f_{SW}$  はスイッチング周波数、 $D$  はデューティ・サイクルです。

## インダクタの選択

インダクタの選択は、部品のサイズ、効率、制御ループのバンド幅、ループ安定度の兼ね合いとなります。インダクタンスが不足しているとインダクタの電流リップル、導通損失、出力電圧リップルが増加し、最も厳しい場合にはループの安定性が損なわれます。大きな値のインダクタを用いるとインダクタ電流リップルが減少しますが、部品サイズが大きくなり応答が遅くなります。インダクタの推奨値の詳細については表 2 を参照してください。

## 出力コンデンサ

出力コンデンサはスイッチング・レギュレータにおける重要な構成部品です。出力電圧リップル、負荷過渡応答、ループ安定度に対する要件を満たすように選択します。

出力電圧リップルには  $\Delta V_Q$ （コンデンサの放電に起因）と  $\Delta V_{ESR}$ （出力コンデンサの ESR に起因）が含まれています。低 ESR のセラミック・コンデンサを使用してください。ESR に起因する成分とコンデンサの放電による成分の出力電圧リップルへの寄与が等量であると仮定します。次式を用いて、指定の出力電圧リップルを満たす出力容量と ESR を求めます。

$$ESR = \frac{\Delta V_{ESR}}{\Delta I_{P-P}}$$

$$C_{OUT} = \frac{\Delta I_{P-P}}{8 \times \Delta V_Q \times f_{SW}}$$

$$\Delta I_{P-P} = \frac{(V_{SUP} - V_{OUT}) \times V_{OUT}}{V_{SUP} \times f_{SW} \times L}$$

$$V_{OUTRIPPLE} = \Delta V_{ESR} + \Delta V_Q$$

ここで、 $\Delta I_{P-P}$  はピーク to ピークのインダクタ電流、 $f_{SW}$  はスイッチング周波数です。

負荷ステップに対しては、コンバータの制御ループが対応してデューティ・サイクルを高めるまでの間は、出力コンデンサが負荷電流を供給しますが、これによって出力電圧のアンダーシュートが発生します。出力電圧変動の最大値を、電力を供給する回路の許容限度以下に抑えるためには、次の式を用いて出力容量を計算します。

$$C_{OUT} = \frac{\Delta I_{LOAD}}{\Delta V \times 2\pi \times f_c}$$

ここで  $\Delta I$  は負荷ステップ、 $\Delta V$  は出力電圧のアンダーシュートの許容値、 $f_c$  はループのクロスオーバー周波数であり、 $f_{SW}/10$  と 100kHz のいずれかの小さい方とします。計算された  $C_{OUT}$  に、容量の許容誤差、温度の影響、電圧のディレーティングを考慮して実際の容量を決定します。表 2 に、周波数と出力電圧に基づく出力容量の推奨値を示します。

## PCB レイアウトのガイドライン

1. 低スイッチング損失、低 EMI、およびノイズのない安定した動作を実現するには、プリント回路基板（PCB）の注意深いレイアウトが不可欠です。詳細については、例えば図 2 を参照してください。
2. 入力バイパス・コンデンサの  $C_{BP}$  と  $C_{IN}$  は、IC 両側それぞれの SUP と PGND の間にできるだけ近づけて配置します。 $C_{BP}$  は SUP ノードと PGND ノードと同一層でこれらの近傍に配置して、EMI 除去効果を最大化し、SUP の入力ノイズを最小化します。 $C_{IN}$  および  $C_{BP}$  を対称に配置することにより、反対方向の SUP ループが発生し、磁場をキャンセルする効果により EMI が軽減されます。
3. 降圧出力コンデンサのグラウンド端子と入力コンデンサのグラウンド端子の間の接続は最短にします。降圧回路の大電流経路と電力用パターンは、幅を広く、短くします。LX ノードからインダクタを経由して出力コンデンサに至るパターンは最短にします。これにより降圧電流ループの領域が小さくなり、LX パターンの抵抗と浮遊容量が最小となり、効率が最適化されます。
4. ブートストラップ・コンデンサ  $C_{BST}$  は IC の近くに配置します。BST と LX の間は短く広い配線パターンとし、この配線の引き回しでの寄生インピーダンスを最小化します。BST と LX の間の寄生インピーダンスが高いと、スイッチング速度に影響し、スイッチング損失と  $dV/dt$  ノイズが更に増加します。BST と LX の間の配線の引き回しについては、図 2 を参照してください。
5. BIAS コンデンサは BIAS ノードにできるだけ近く配置します。このコンデンサが IC から離れて配置されていると、BIAS にノイズが結合することによりリファレンス回路やバイアス回路への外乱となることがあります。
6. 敏感なアナログ信号（FB/VEA）はノイズを伴うスイッチング・ノード（LX および BST）や高電流のループから離して配置します。
7. グラウンドは全ての IC との間で流入または流出する全負荷電流のリターン・パスです。また、全てのアナログ回路に対して共通のリファレンス電圧でもあります。グラウンドへの配線の引き回しが不適切であると、電流ループの抵抗およびインダクタンスが増加し、それによって電圧リファレンスが相違し、電圧のリングングやスパイクが悪化します。電力ループ部品用のレイヤの下にしっかりしたグラウンド・プレーンを置き、他の敏感なパターンに対してスイッチング・ノイズを遮蔽します。アナログ・グラウンドの GND と電源グラウンドの PGND は、スター・グラウンド接続になるよう 1 点で相互に接続します。
8. PCB レイアウトは消費電力と熱特性に対しても重要な役割を果たします。PGND ノードは IC とその外部との間の主要な電力接続領域です。熱伝達を効率的にするため、PGND 領域の周辺にできるだけ大きくグラウンドの銅領域を設けます。PGND ノード周辺にはできるだけ多くのビアを配置して内層のグラウンド・プレーンやその他の層への熱伝達を改善し、それによって IC のパッケージから周囲環境への熱抵抗を改善します。



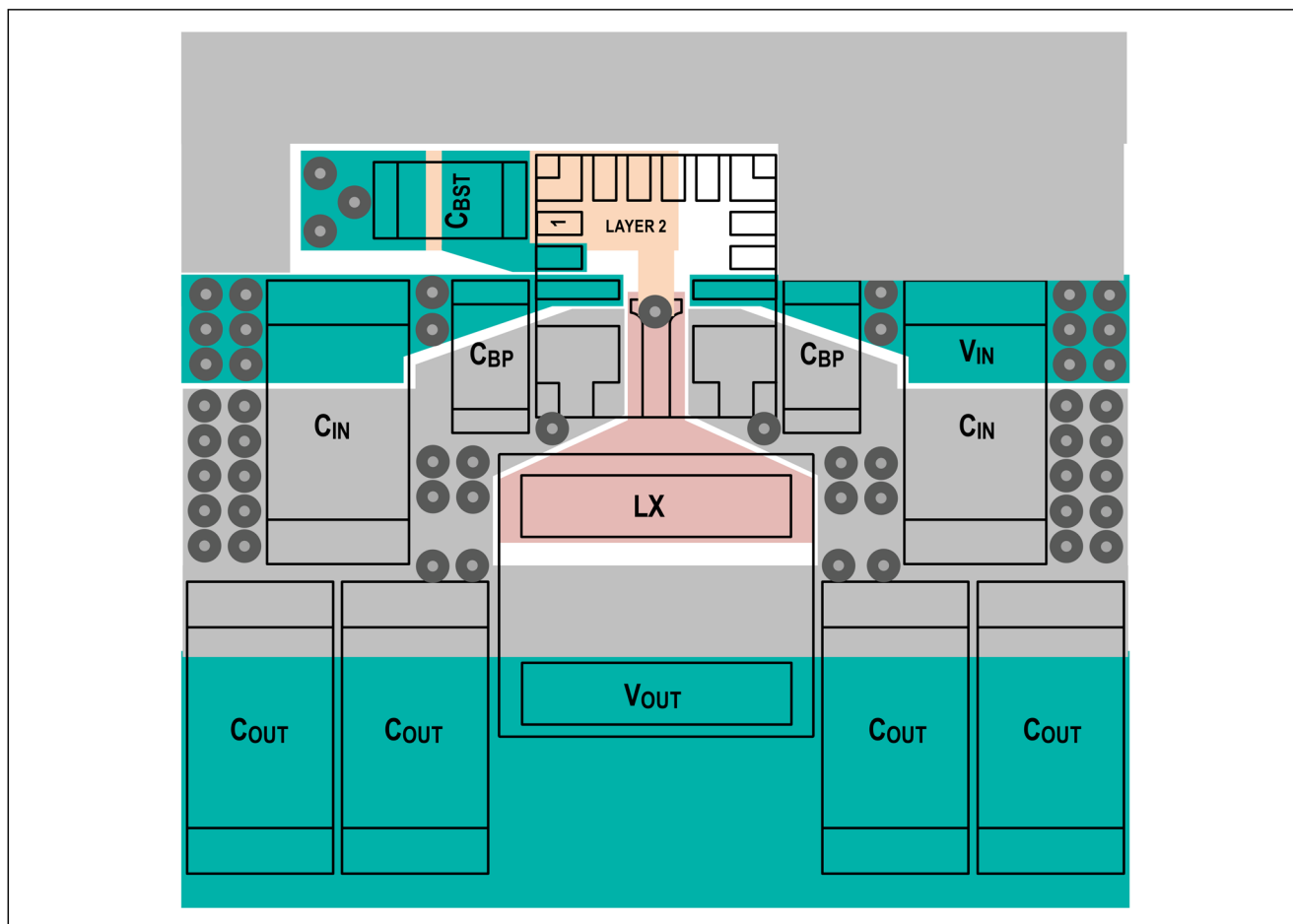
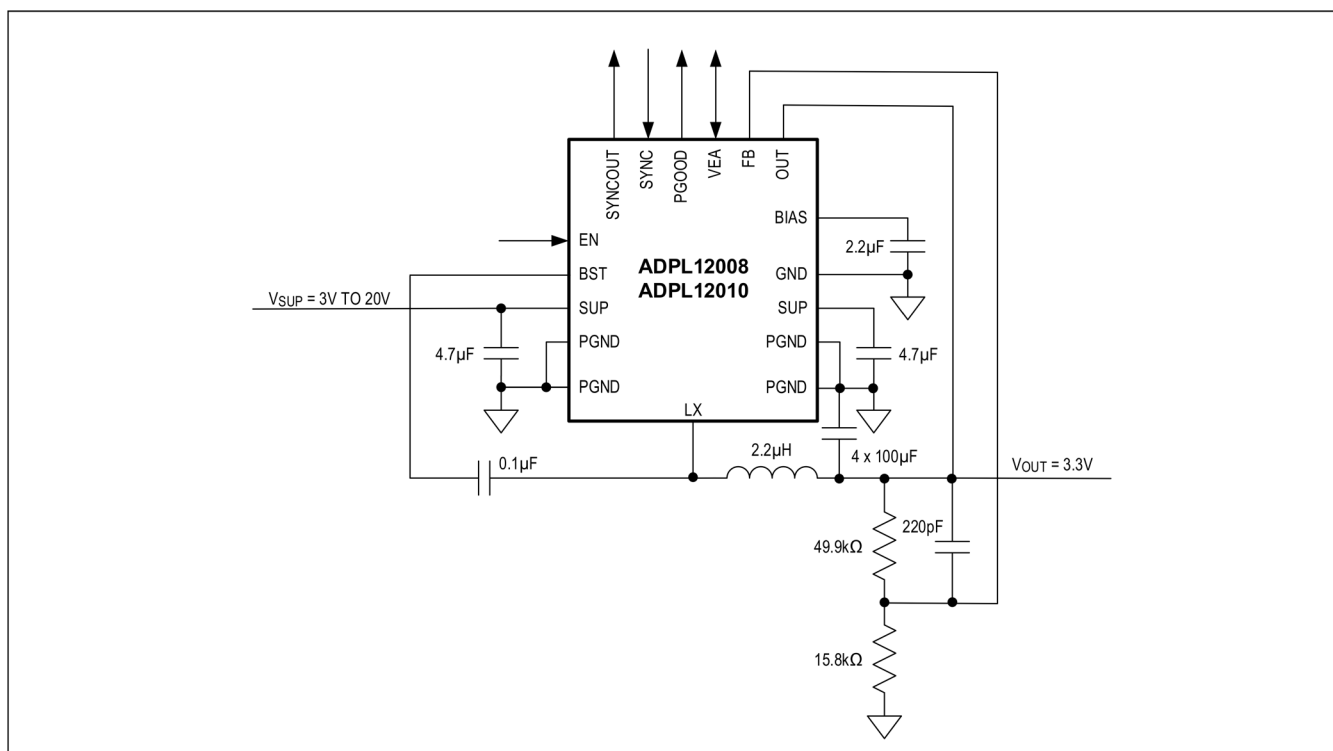


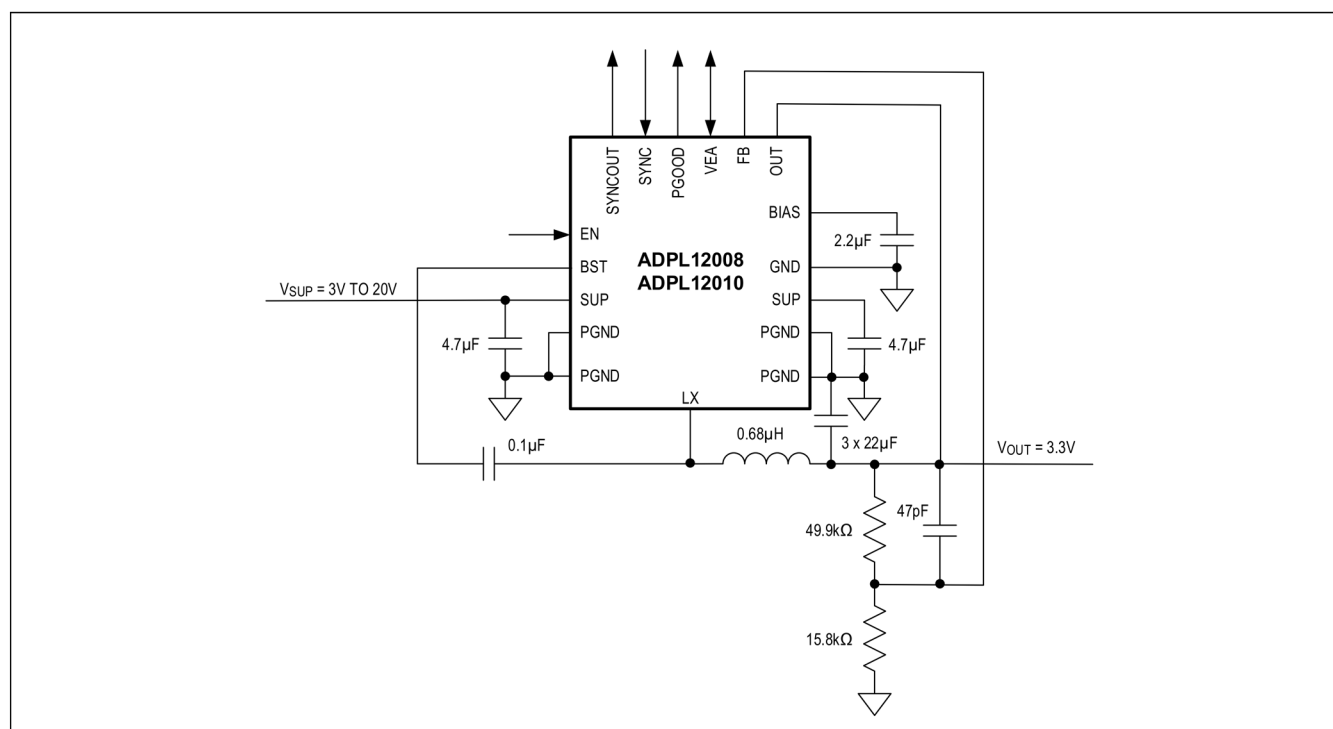
図 2. PCB レイアウトの例

## 標準アプリケーション回路

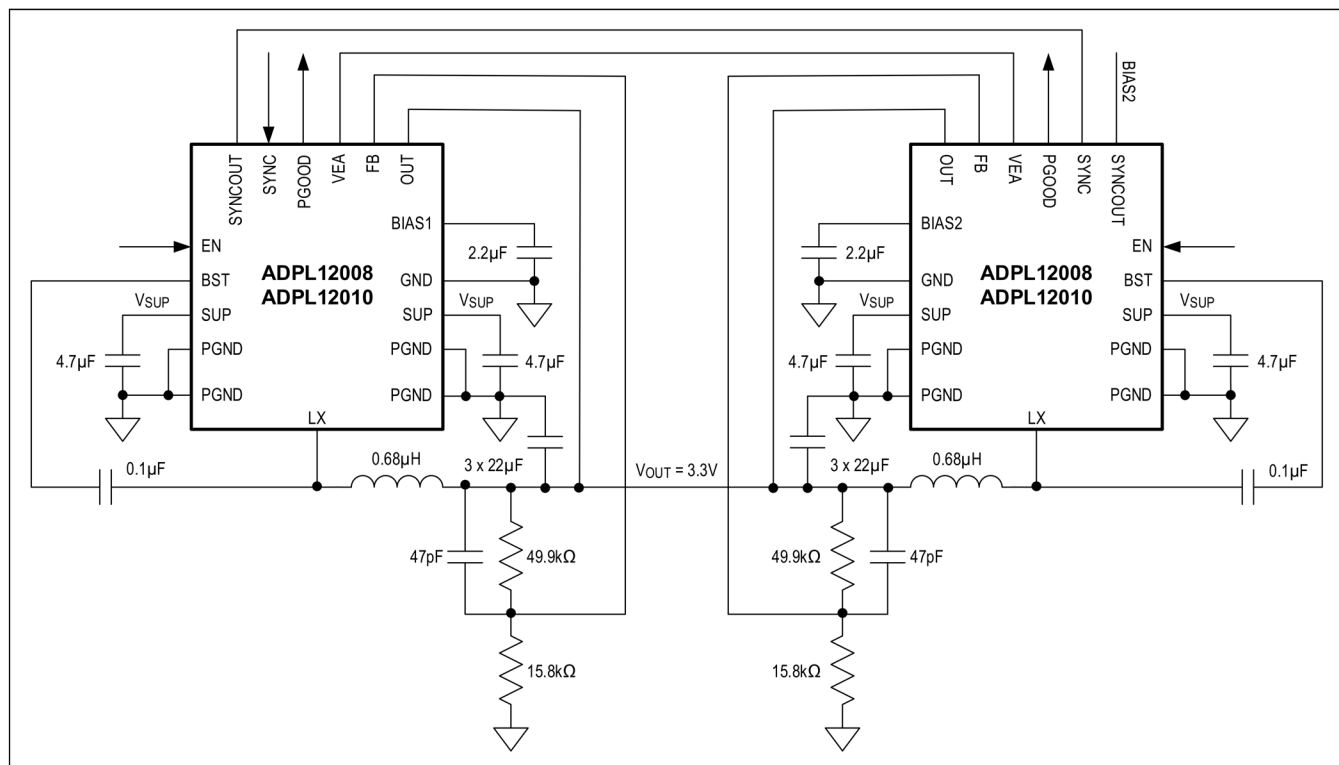
## 単相動作 (400kHz 時)



## 単相動作 (1.5MHz 時)



## 2 相動作（1.5MHz 時）



## オーダー情報

PART NUMBER	V <sub>OUT</sub> (V)	MAXIMUM OPERATING CURRENT (A)	FREQUENCY
ADPL12008AFOA+T	Adjustable 0.8V to 10V	8A	400kHz
ADPL12008AF0B+T	Adjustable 0.8V to 6V	8A	1.5MHz
ADPL12010AFOA+T	Adjustable 0.8V to 10V	10A	400kHz
ADPL12010AF0B+T	Adjustable 0.8V to 6V	10A	1.5MHz

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。  
T = テープ & リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	5/25	初版発行	—