



## 20V、5A/6A、全機能内蔵同期式整流式降圧コンバータ

ADPL12005/ADPL12006

### 概要

ADPL12005/ADPL12006 は、ハイサイド・スイッチおよびロー サイド・スイッチを内蔵した、小型の同期整流式降圧コンバータです。この IC は、3V~20V という広い入力電圧範囲を備え、最大 6A を供給するように設計されています。PGOOD 信号を観察することで電圧品質をモニタリングできます。この IC は、非常に高いデューティ・サイクルで稼働することによりドロップアウト状態で動作が可能であり、ファクトリ・オートメーション・アプリケーションに理想的です。

ADPL12005/ADPL12006 IC は、出力電圧がプログラマブルです。周波数は内部で 400kHz と 1.5MHz に固定されているので、外付け部品を少なくし、出力リップルを抑制することが可能です。この IC は、軽負荷時には自動的にスキップ・モードに入り、無負荷時には 20 $\mu$ A という超低自己消費電流になります。この製品ファミリ（ADPL12008/ADPL12010 を含む）は互いにピン互換性があり、シングルフェーズ構成で 5A~10A、デュアルフェーズ構成で最大 20A を供給します。これらのデバイスはデュアルフェーズ動作用にも最適化されており、非常に高い電流分担精度を備えています。

ADPL12005/ADPL12006 IC は小型（3.5mm × 3.75mm）の 17 ピン・フリップチップ・クワッド・フラット・ノーリード（FC2QFN）パッケージで提供され、使用する外付け部品はごくわずかです。

### アプリケーション

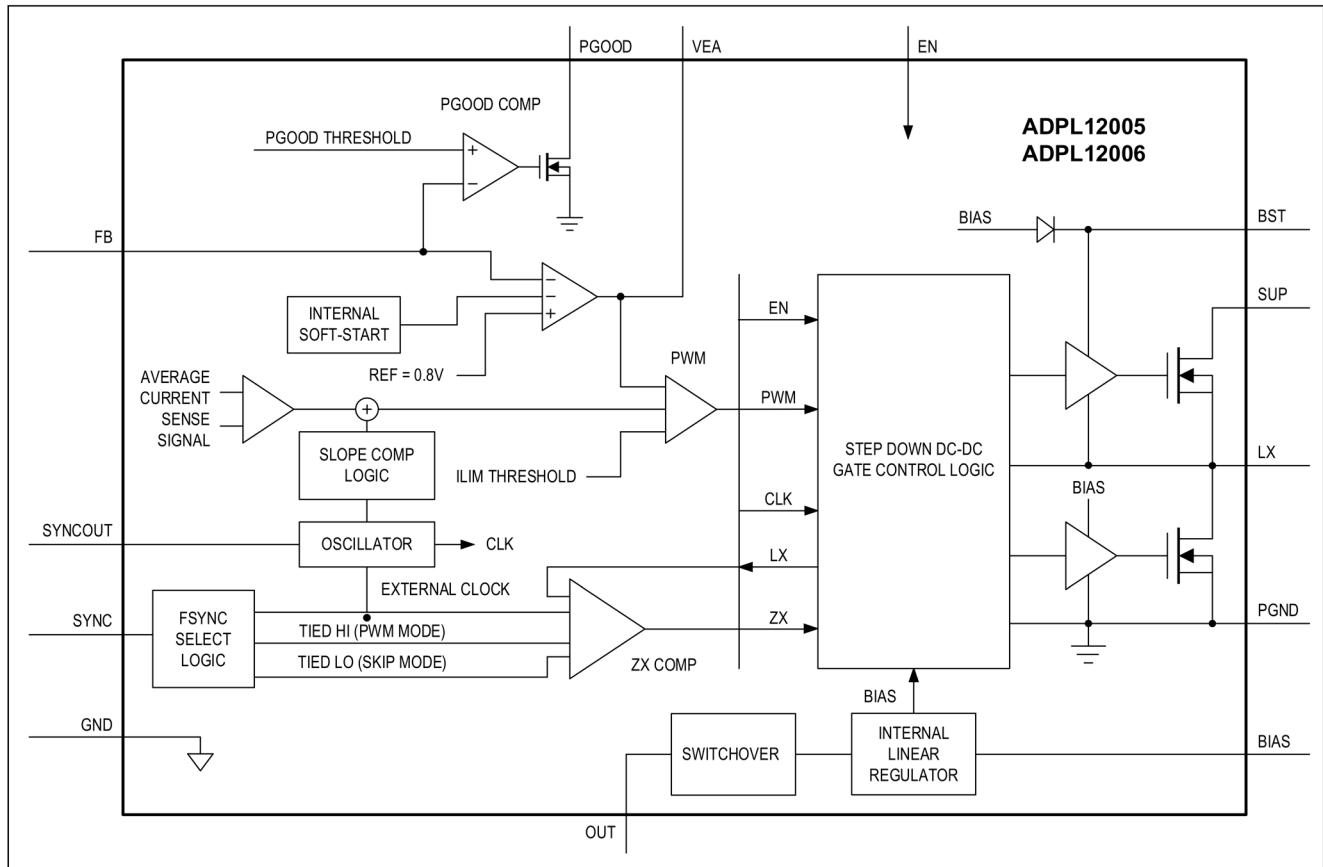
- ファクトリ・オートメーション
- ポイントオブロード
- 分散型 DC 電源システム
- 通信インフラストラクチャ
- 試験および計測

### 利点および特長

- 小型サイズでありながら多機能
  - 動作可能な  $V_{IN}$  範囲 : 3V~20V
  - スキップ・モードでの自己消費電流 : 20 $\mu$ A
  - 電界効果トランジスタ（FET）を内蔵した同期整流式 DC/DC コンバータ
  - 固定周波数オプション : 400kHz および 1.5MHz
  - 内部ソフトスタート
    - 2.5ms (400kHz の場合)
    - 3.5ms (1.5MHz の場合)
  - プログラマブルな出力電圧範囲
    - 0.8V~12V (400kHz の場合)
    - 0.8V~10V (1.5MHz の場合)
  - 3.5mm × 3.75mm、17 ピン FC2QFN
  - 対称パッケージにより優れた電磁干渉（EMI）性能を実現
- デュアルフェーズ機能
  - 高出力設計用にデュアルフェーズ構成で使用可能
  - VEA ピンの共有による動的電流分担
  - 低  $I_Q$  での動作が可能（デュアルフェーズ）
- PGOOD による正確な出力電圧モニタリング
- 強制パルス幅変調（PWM）およびスキップ・モード動作
- 低ドロップアウト動作
- 過熱および短絡に対する保護
- 動作ジャンクション温度範囲 : -40°C~+150°C

オーダー情報はデータシート末尾に記載されています。

## 簡略化したブロック図



## 目次

概要	1
アプリケーション	1
利点および特長	1
簡略化したブロック図	2
絶対最大定格	4
パッケージ情報	4
電気的特性	5
標準動作特性	7
ピン配置	9
端子説明	9
詳細説明	10
リニア・レギュレータ出力 (BIAS)	10
システム・イネーブル (EN)	10
同期入力 (SYNC)	10
ソフトスタート	10
短絡保護	10
サーマル・シャットダウン	11
マルチフェーズ動作	11
アプリケーション情報	12
出力電圧の設定	12
インダクタの選択	12
入力コンデンサ	13
出力コンデンサ	14
デュアルフェーズ動作	14
デュアルフェーズでの低 $I_Q$ 動作	14
出力電圧の設定	15
PCB レイアウトのガイドライン	15
標準アプリケーション回路	17
オーダー情報	18

## 絶対最大定格

SUP .....	-0.3V～22V
EN .....	-0.3V～+22V
BST～LX .....	-0.3V～+2.2V
BST .....	-0.3V～+24V
LX .....	-0.3V～SUP + 0.3V
SYNCOOUT .....	-0.3V～+6V
SYNC .....	-0.3V～+6V
VEA .....	-0.3V～BIAS+0.3V
FB .....	-0.3V～BIAS+0.3V
OUT .....	-0.3V～+16V
PGOOD .....	-0.3V～+6V

BIAS .....	-0.3V～+2.2V
PGND～AGND .....	-0.3V～+0.3V
LX 連続実効電流 .....	6A
ESD 保護	
人体モデル .....	±2kV
チャージ・デバイス・モデル .....	±750V
連続消費電力（多層基板）（TA = +70°C、+70°C を超えると 34.48mW/C でディレーティング） .....	2758mW
動作ジャンクション温度範囲 .....	-40°C～+150°C
保管温度範囲 .....	-65°C～+150°C
ハンダ付け処理温度（ハンダ付け処理：10 秒） .....	+300°C

上記の**絶対最大定格**を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## パッケージ情報

Package Code	F173A3F+2F
Outline Number	<a href="#">21-100700</a>
Land Pattern Number	<a href="#">90-100240</a>
<b>Thermal Resistance, JEDEC Board</b>	
Junction to Ambient ( $\theta_{JA}$ )	38.41°C/W
Junction to Case ( $\theta_{JC}$ )	10.35°C/W
<b>Thermal Resistance, Four-Layer EV Kit Board</b>	
Junction to Ambient ( $\theta_{JA}$ )	29°C/W
Junction to Case ( $\theta_{JC}$ )	10.51°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、<https://www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-index.html> で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、4 層の EV キットと JEDEC 仕様書 (JESD51-7) に記載された方法の両方を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、<https://www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html> を参照してください。

## 電気的特性

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。特に指定のない限り、代表値は  $T_A = +25^{\circ}C$  の通常条件下の値。[Note 1](#) および [Note 2](#) を参照。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage Range	$V_{SUP}$		3	20		V
Supply Current	$I_{SUP\_SHDN}$	$V_{EN} = 0V, T_A = +25^{\circ}C$		4	6	$\mu A$
	$I_{SUP}$	$V_{EN} = \text{high}, V_{OUT} = 3.3V, \text{no load, switching}$		20		
SUP Undervoltage Lockout	$V_{SUP\_UVLO\_R\_ISE}$	SUP voltage rising	2.945	3.025	3.175	V
	$V_{SUP\_UVLO\_F\_ALL}$	SUP voltage falling	2.655	2.725	2.870	
BIAS Undervoltage Lockout	$V_{BIAS\_UVLO}$	BIAS voltage falling	1.53	1.58	1.63	V
BIAS Undervoltage Lock	$V_{BIAS\_UVLO\_HYS}$	BIAS UVLO hysteresis		50		mV
BIAS Voltage	$V_{BIAS}$			1.8		V
<b>BUCK CONVERTER</b>						
Output Voltage Adjustable Range	$V_{OUT}$	$f_{SW} = 400kHz$	0.8	12		V
		$f_{SW} = 1.5MHz$	0.8	10		
Feedback Voltage Accuracy	$V_{FB\_PWM}$	PWM mode, no load	0.787	0.800	0.813	V
Feedback Leakage Current	$I_{FB}$	$V_{FB} = 0.8V, T_A = +25^{\circ}C$		100		nA
High-Side Double diffusion metal oxide semiconductor field-effect (DMOS) On-Resistance	$R_{DSON\_HS}$	$V_{BIAS} = 1.8V, I_{LX} = 2A$		46	95	$m\Omega$
Low-Side DMOS On-Resistance	$R_{DSON\_LS}$	$V_{BIAS} = 1.8V, I_{LX} = 2A$		23	47	$m\Omega$
High-Side DMOS Current-Limit Threshold	$I_{LIM}$	ADPL12005	6.5	7.5	8.5	A
		ADPL12006	7.5	8.75	10	
Low-Side DMOS Negative Current-Limit Threshold	$I_{NEG}$	ADPL12005		-3		A
		ADPL12006		-3.5		
LX Leakage	$I_{LX\_LKG}$	$V_{SUP} = 20V, V_{LX} = 0V, \text{or } V_{LX} = 20V, T_A = +25^{\circ}C$		1		$\mu A$
Soft-Start Ramp Time	$t_{SS}$	$f_{SW} = 400kHz$		2.5		ms
		$f_{SW} = 1.5MHz$		3.5		
Minimum On-Time	$t_{ON}$	(See <a href="#">Note 3</a> )		36	65	ns
Maximum Duty Cycle	$D_{MAX}$	Dropout Mode	96			%
<b>SWITCHING FREQUENCY</b>						
PWM Switching Frequency	$f_{SW}$	$f_{SW} = 400kHz$	360	400	440	$kHz$
		$f_{SW} = 1.5MHz$	1.375	1.500	1.625	MHz
SYNC External Clock Frequency	$f_{SYNC}$	$f_{SW} = 400kHz$	360		600	$kHz$
		$f_{SW} = 1.5MHz$	1.215		1.845	MHz
<b>PGOOD OUTPUT</b>						
PGOOD Threshold	$V_{PGOOD\_THR}$	$V_{OUT}$ rising	92	94	96	%

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。特に指定のない限り、代表値は  $T_A = +25^{\circ}C$  の通常条件下の値。Note 1 および Note 2 を参照。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
	$V_{PGOOD\_THF}$	$V_{OUT}$ falling	91	93	95	$\mu s$
PGOOD Debounce Time	$t_{DEB}$	Rising	$f_{SW} = 400kHz$	100		
			$f_{SW} = 1.5MHz$	140		
		Falling	$f_{SW} = 400kHz$	50		
			$f_{SW} = 1.5MHz$	70		
PGOOD Leakage Current	$I_{PGOOD\_LKG}$	$T_A = +25^{\circ}C$		1		$\mu A$
PGOOD Low Voltage Level	$V_{PGOOD\_LOW}$	Sinking 1mA		0.4		V
<b>LOGIC LEVELS</b>						
EN High Voltage Level	$V_{EN\_HIGH}$		1.2			V
EN Low Voltage Level	$V_{EN\_LOW}$			0.5		V
EN Input Current	$I_{EN}$	$V_{EN} = V_{SUP} = 20V, T_A = +25^{\circ}C$		1		$\mu A$
SYNC High Voltage Level	$V_{SYNC\_HIGH}$		1.4			V
SYNC Low Voltage Level	$V_{SYNC\_LOW}$			0.4		V
SYNCOUT Output Voltage Level	$V_{SYNCOUT}$	No load	2.6	3.3	3.9	V
<b>THERMAL PROTECTION</b>						
Thermal Shutdown	$T_{SHDN}$		175			$^{\circ}C$
Thermal Shutdown Hysteresis	$T_{SHDN\_HYS}$		20			$^{\circ}C$

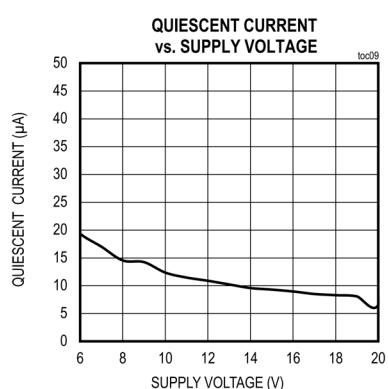
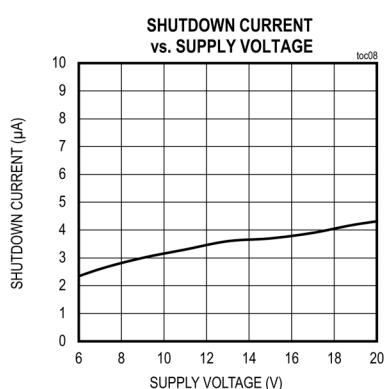
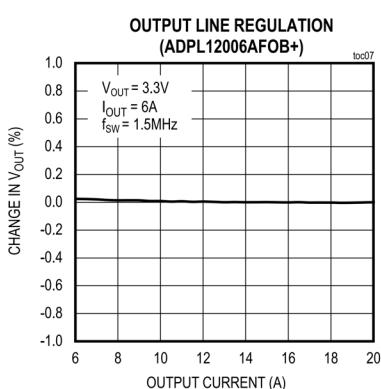
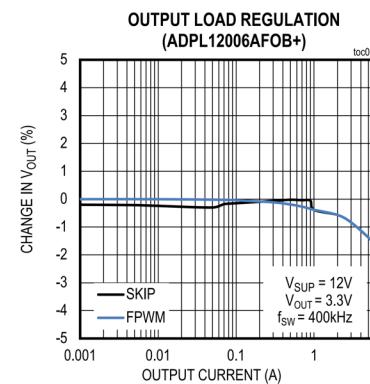
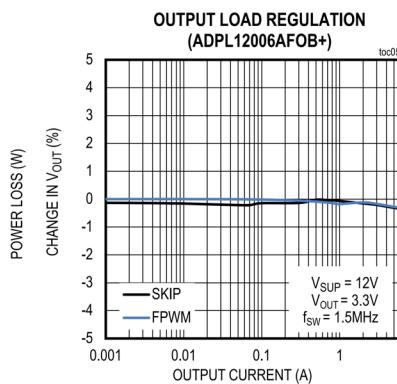
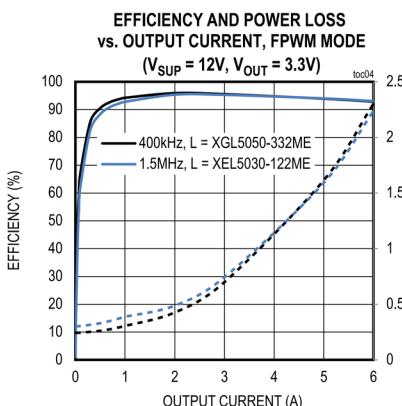
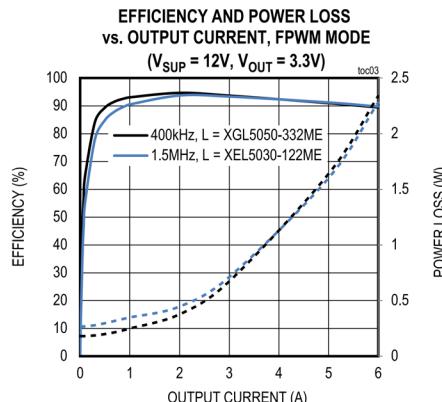
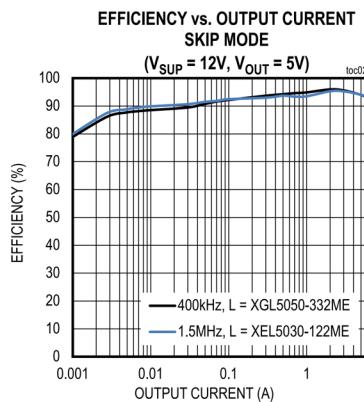
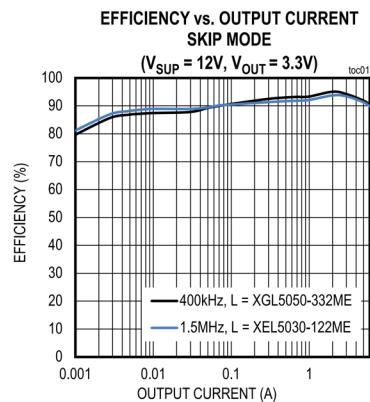
Note 1 : すべてのユニットは  $T_A = +25^{\circ}C$  で 100% 製品テストしています。動作温度範囲および関連する電源電圧に関する限界値は、設計および特性評価で確保しています。

Note 2 : このデバイスは、 $T_J = +125^{\circ}C$  で 95,000 時間、 $T_J = +150^{\circ}C$  で 5,000 時間、連続動作するように設計されています。

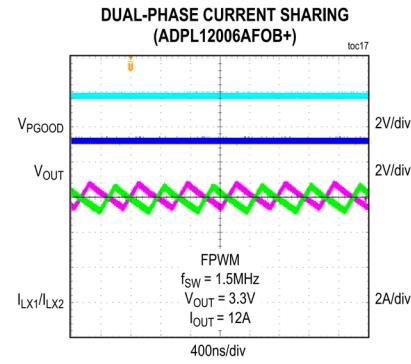
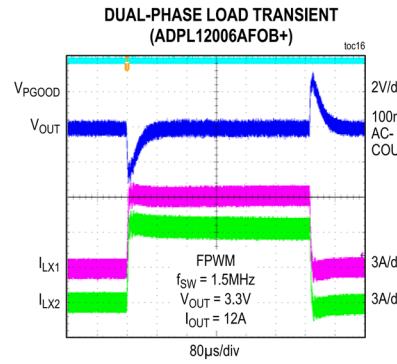
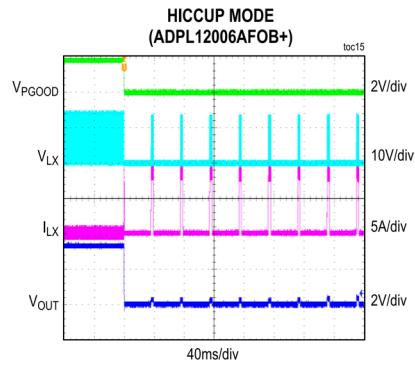
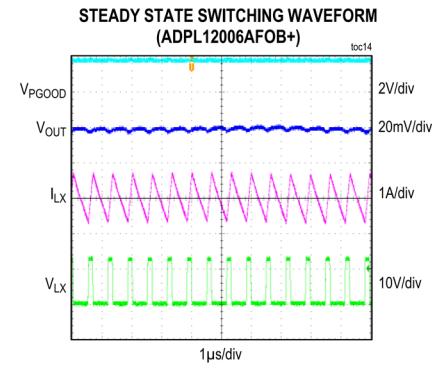
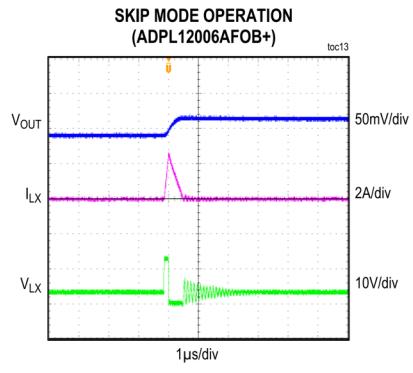
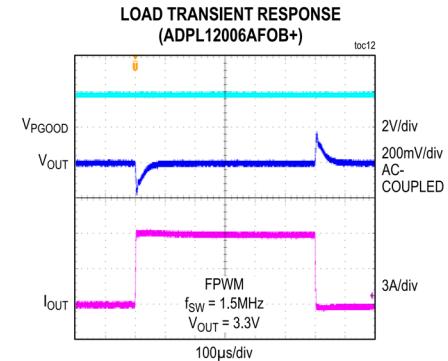
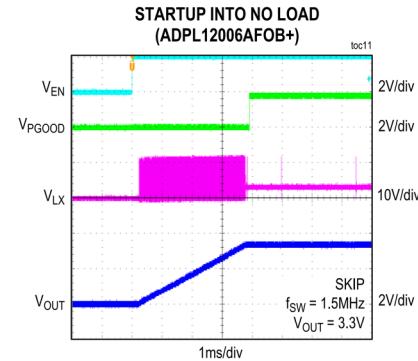
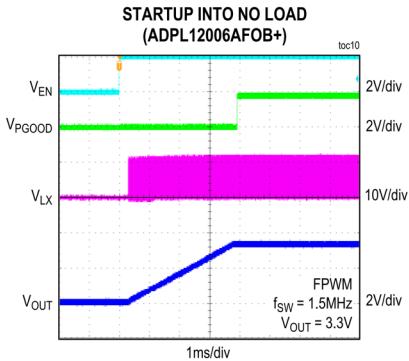
Note 3 : 製品テストは行っていませんが、設計により裏付けられています。

## 標準動作特性

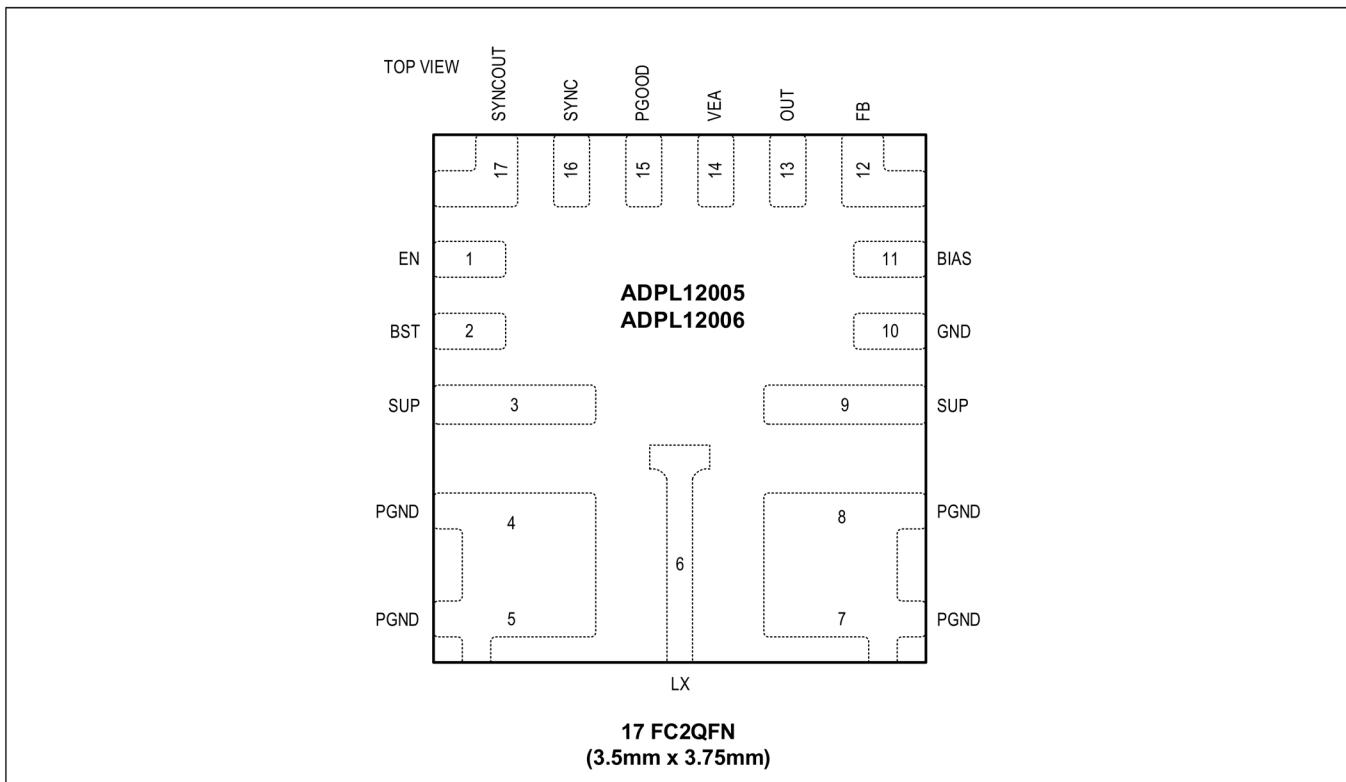
(特に指定のない限り、 $V_{SUP} = V_{EN} = +14V$ 、 $T_A = +25^{\circ}C$ 。)



(特に指定のない限り、 $V_{SUP} = V_{EN} = +14V$ 、 $T_A = +25^{\circ}\text{C}$ 。)



## ピン配置



## 端子説明

端子	名称	機能
1	EN	高電圧に対応可能な回路アクティブ化用入力。このピンがローの場合、この部品はオフです。
2	BST	ハイサイド・ドライバ電源。適正な動作のために、LX と BST の間に $0.1\mu F$ のコンデンサを接続します。
3, 9	SUP	IC 電源入力。SUP と PGND の間に $1\mu F$ 以上のセラミック・コンデンサと $4.7\mu F$ のコンデンサを並列に接続します。
4, 5, 7, 8	PGND	電源グラウンド。すべての PGND ピンを相互に接続します。
6	LX	降圧スイッチング・ノード。この部品がオフの場合は高インピーダンスになります。LX を適切なインダクタのスイッチ側に接続します。
10	GND	アナログ・グラウンド。
11	BIAS	1.8V の内蔵 BIAS 電源。 $2\mu F$ 以上のセラミック・コンデンサを PGND に接続します。
12	FB	フィードバック・ピン。OUT から FB の間にある抵抗分圧器を GND に接続して、出力電圧を設定します。
13	OUT	降圧レギュレータの出力電圧検出入力。
14	VEA	内部電圧ループのエラー・アンプ出力。デュアルフェーズ動作の場合はターゲットの VEA に接続します。シングルフェーズ動作の場合は未接続のままにします。
15	PGOOD	オープン・ドレインのリセット出力。外部プルアップが必要です。
16	SYNC	SYNC。GND に接続した場合、軽負荷ではスキップ・モード動作が有効化されます。BIAS に接続した場合、強制 PWM モードが有効化されます。
17	SYNCOUT	マルチフェーズ動作用の $180^\circ$ 位相差クロック出力シングルフェーズ動作では SYNCOUT をオープンのままにします。

## 詳細説明

ADPL12005/ADPL12006 は、ハイサイド・スイッチおよびローサイド・スイッチを内蔵した、小型の同期整流式降圧コンバータです。これらの IC は、3V~20V の入力電圧を受けて最大 6A を供給するように設計されており、無負荷時の自己消費電流はわずか  $20\mu\text{A}$  です ( $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{OUT}} = 3.3\text{V}$ )。PGOOD 信号を観察することで電圧品質をモニタリングできます。この IC は、非常に高いデューティ・サイクルで稼働することによりドロップアウト・モードで動作が可能であり、ファクトリ・オートメーション・アプリケーションに理想的です。

ADPL12005/ADPL12006 IC は、外付けの抵抗分圧器を使用して調整可能な出力電圧を実現します。周波数は内部で 400kHz と 1.5MHz に固定されているので、外付け部品を少なくし、出力リップルを抑制することが可能です。デバイスは、軽負荷時には自動的にスキップ・モードに入り (SYNC ピンをプルダウン)、無負荷時には  $20\mu\text{A}$  という超低自己消費電流になります。アキテクチャは平均電流モード制御で、これにより電流ループのノイズ除去を大きく改善できるようになります。この IC の最小オン時間は 36ns と小さく、周期をスキップせずに 1 段で大きな降圧比が可能になります。SYNCOOUT と VEA を用いると、デュアルフェーズ構成でも使用できます。革新的な平均電流モード制御のアキテクチャにより、トランジエント時のノイズ耐性と正確な動的電流分担が実現されます。最大 12A の出力電流を備えた高出力設計が、IC のデュアルフェーズ機能を使用した内蔵スイッチを用いることで可能になります。FC2QFN により、熱性能と EMI 性能の向上が実現されます。 $V_{\text{IN}}$  から PGND までの対称的なピン配列により、EMI 性能が更に向上升るので、低ノイズ設計が可能になります。

## リニア・レギュレータ出力 (BIAS)

このデバイスには、内部回路ブロックに給電する 1.8V のリニア・レギュレータ ( $V_{\text{BIAS}}$ ) が内蔵されています。BIAS と GND の間に  $2.2\mu\text{F}$  のセラミック・コンデンサを接続します。バイアス・レギュレータは起動時には入力から電力が供給され、起動が完了すると ( $V_{\text{OUT}} > 2.5\text{V}$  を満たすと) 出力からの供給に切り替わります。出力電圧が 1.8V 未満の場合、バイアス・レギュレータは常に入力に接続されています。

## システム・イネーブル (EN)

イネーブル制御入力 (EN) でデバイスを低電力シャットダウン・モードから起動します。EN は 4.5V までの入力レベルに適合しています。EN で内蔵のリニア (BIAS) レギュレータがオンになります。 $V_{\text{BIAS}}$  が内部ロックアウト・スレッショルド ( $V_{\text{UVBIAS}} = 1.63\text{V}$  (代表値)) を超えると、コンバータが起動し、出力電圧はプログラムされたソフトスタート時間でランプ・アップします。

EN がロジック・ローの場合、デバイスはシャットダウンします。シャットダウンの間、BIAS レギュレータとゲート・ドライバはオフになります。シャットダウン時の電力状態は最も低く、自己消費電流は  $4\mu\text{A}$  (代表値) に低下します。EN をハイに駆動すると、デバイスがシャットダウンから復帰します。

## 同期入力 (SYNC)

ADPL12005/ADPL12006 は SYNC ピンを備えています。これは動作モードの選択および周波数の制御に使用される、ロジックレベル入力です。SYNC を BIAS または外部クロックに接続すると、強制固定周波数 (FPWM) 機能が有効化されます。SYNC を GND に接続すると、自動スキップ・モード動作が有効化され、軽負荷時の効率が改善されます。この IC は、SYNC ピンに印加される外部クロックに立ち上がりエッジで同期します。このデバイスは、2 周期内で外部クロックに同期します。2 クロック周期を超える期間、SYNC に外部クロック信号が現れない場合には、デバイスは内部クロックを使用します。

## ソフトスタート

このデバイスは、2.5ms (400kHz 時) と 3.5ms (1.5MHz 時) のソフトスタートを内蔵しています。ソフトスタートは、出力電圧を強制的にレギュレーション・ポイントに向けて徐々に上げることによって、起動時の突入電流を制限するものです。

## 短絡保護

このデバイスは、出力での短絡および過負荷状態からデバイスを保護する電流制限機能を備えています。短絡または過負荷状態が発生した場合、ハイサイド MOSFET は、インダクタ電流が仕様規定された LX 電流制限スレッショルドに達するまでオンのままになります。次に、コンバータはハイサイド MOSFET をオフ、ローサイド MOSFET をオンにして、インダクタ電流がランプ・ダウンできるようになります。インダクタ電流が電流制限スレッショルドを下回ると、コンバータはハイサイド MOSFET を再びオンにします。この繰り返しが、短絡または過負荷状態が解消されるまで続きます。

電流が制限されている状態で出力電圧が目標値の 25% を下回った場合、ハード・ショートが検出されます。これが発生すると、HICCUP モードが起動して、1.5MHz では 35ms の間、400kHz では 25ms の間、出力がオフになります。その後、出力はソフトスタートに入って再び起動します。回路が短絡している間は、この繰り返しがいつまでも続きます。ソフトスタートの間、ヒップ・モードは無効化されます。

## サーマル・シャットダウン

サーマル・シャットダウンは、デバイスを過度な動作温度から保護するものです。ジャンクション温度が+175°Cを超えると、内蔵センサーが降圧コンバータをシャットダウンして、ICの温度が下がるようにします。ジャンクション温度が15°C下がると、センサーによってICが再びオンになります。

## マルチフェーズ動作

ADPL12005/ADPL12006 ICは大電流アプリケーションの場合にデュアルフェーズ動作が可能であり、各ICの設定はコントローラまたはターゲットとすることができます。マルチフェーズ動作は、強制PWMモードのみを対象としています。SYNCOUTは、コントローラのクロックと180°の位相差を持つことになります。デバイスがスキップ・モードにある場合、SYNCOUTにはクロックが現れません。デュアルフェーズ構成で低IQ動作を可能にするには、ターゲットのENを無効にして、そのICをオフにし、自己消費電流を減らします。

ターゲット側のSYNCOUTはBIASに接続します。ENがハイの場合、ICがコントローラなのか(SYNCOUTがBIASに接続されていない)、またはターゲットなのかを検出する手順があることになります。VEAピンは、コントローラにとって電圧エラー・アンプの出力になり、ターゲットにとって電流エラー・アンプの入力になります。コントローラのVEAピンをターゲットのVEAピンに接続して、2つのフェーズ間でバランスの取れた電流分担を実現します。2つの別々の抵抗分圧器をICごとに使用して、コントローラとターゲットのFBピン同士が同じポイントに接続されないようにします。ターゲットICは(VEAピンを介して)コントローラの外側電圧ループを使用するので、出力電圧のミスマッチがいずれも避けられます。ADPL12005/ADPL12006を使用したデュアルフェーズ構成のセットアップについては図1を参照してください。

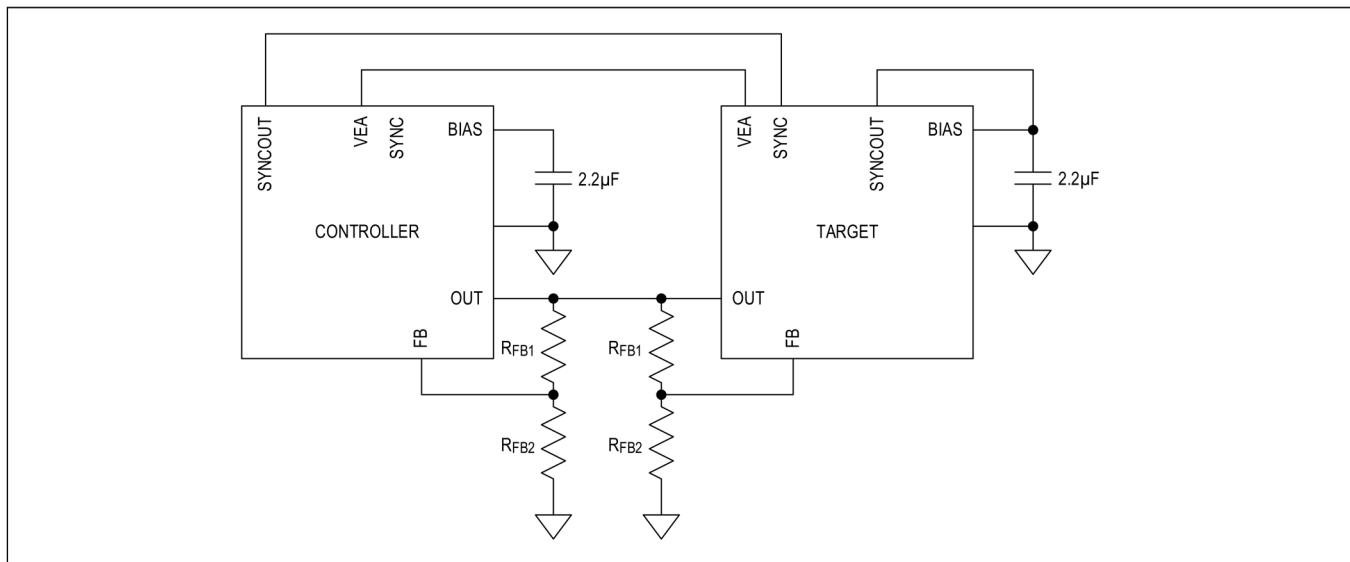


図1. 標準的なデュアルフェーズ構成のセットアップ

## アプリケーション情報

### 出力電圧の設定

出力電圧をプログラムするには、出力（OUT）と GND の間に抵抗分圧器を接続します（図 2 参照）。 $R_{FB2}$ （FB と GND の間の抵抗）は 50kΩ 以下になるように選択します。 $R_{FB1}$ （OUT と FB の間の抵抗）は次の式を用いて計算します。

式 1 :

$$R_{FB1} = R_{FB2} \times \left( \frac{V_{OUT}}{V_{FB}} - 1 \right)$$

ここで、 $V_{FB}$  はフィードバック・レギュレーション電圧です。詳細については [電気的特性](#) の表を参照してください。

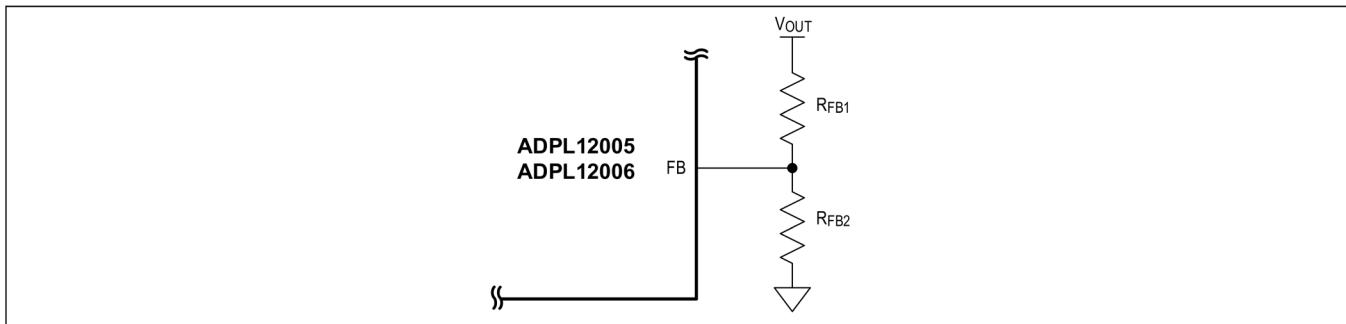


図 2. 標準的なデュアルフェーズ構成のセットアップ

表 1 には、調整可能な出力構成の出力範囲ごとに、選択推奨部品が示されています。推奨部品は特定のアプリケーションに対して更に最適化できます。 $C_{FF}$  の値が表 1 に掲載されていますが、これは  $R_{FB1} = 50\text{k}\Omega$ に基づいて推奨されたものです。推奨される  $C_{FF}$  は  $R_{FB1}$  の選択によって変わります。

表 1. 推奨部品

SWITCHING FREQUENCY (kHz)	$V_{OUT}$ (V)	INDUCTOR ( $\mu\text{H}$ )	EFFECTIVE $C_{OUT}$ ( $\mu\text{F}$ )	$C_{FF}$ ( $\text{pF}$ )
400	0.8V–1.8V	1.5	440	100
	1.8V–3V	3.3	440	100
	3V–5V	3.3	150	47
	5V–10V	4.7	90	100
	10V–12V	6.8	90	100
1500	0.8V–1.8V	0.47	240	10
	1.8V–3V	0.56	100	33
	3V–5V	1.2	66	33
	5V–10V	2.2	44	82

### インダクタの選択

インダクタの設計は、サイズ、効率、制御ループの帯域幅、コンバータの安定性などの兼ね合いで決まります。インダクタンス値が足りないと、インダクタ電流のリップルが大きくなり、伝導損失の増加と出力電圧リップルの増大を招くことになります。ADPL12005/ADPL12006 では勾配補償が内部で固定されているので、それが原因となって電流モード制御の不安定性が現れる可能性もあります。インダクタの値が大きいとリップルが抑制されますが、このソリューションのサイズとコストが増加し、応答が遅くなります。選択する公称標準値は、仕様規定されたインダクタンスの±30%以内とします。推奨されるインダクタの値については表 1 を参照してください。

## 入力コンデンサ

入力フィルタ・コンデンサは、電源から引き出されるピーク電流を抑制し、回路のスイッチングによって入力に生じるノイズおよび電圧リップルを低減します。ADPL12005/ADPL12006 は、EMI 性能の改善に活用できる対称的なピン配列を取り入れています。良好な EMI 性能を得るために、0603 またはこれより小型の高周波コンデンサを 2 つ、パッケージの両側にある 2 つの SUP ピンに接続します。入力電圧リップルを小さくするため、4.7μF (以上) の高品質、低 ESR のセラミック・コンデンサを SUP ピンに接続します。

通常は、フロントエンド回路の Q を下げたり、入力電圧リップルを最小限に抑えるのに必要な残りの容量を提供したりするために、電解コンデンサなどの等価直列抵抗 (ESR) が高いバルク・コンデンサが必要となります。入力コンデンサの実効電流要件 ( $I_{RMS}$ ) は、次の式で定義されます。

式 6 :

$$I_{RMS} = I_{LOADMAX} \times \left( \frac{\sqrt{V_{OUT} \times (V_{SUP} - V_{OUT})}}{V_{SUP}} \right)$$

$I_{RMS}$  は入力電圧が出力電圧の 2 倍であるときに最大値を取ります。

$$V_{SUP} = 2 \times V_{OUT}$$

したがって、

$$I_{RMS} = \frac{I_{LOAD(MAX)}}{2}$$

理想的な長期的信頼性を得るために、この実効入力電流における自己発熱による温度上昇が+10°C 未満になる入力コンデンサを選択してください。入力電圧リップルは、 $\Delta V_Q$  (コンデンサの放電によるもの) と  $\Delta V_{ESR}$  (コンデンサの ESR によるもの) で構成されています。入力には、高いリップル電流を許容する低 ESR のセラミック・コンデンサを使用します。ESR とコンデンサ放電の寄与分が等しく共に 50% であると仮定します。指定された入力電圧リップルに対して必要な入力コンデンサと ESR は、次の式を使用して計算されます。

式 7 :

$$ESR_{IN} = \frac{\Delta V_{ESR}}{I_{OUT} + \Delta I_L / 2}$$

ここで、

$$\Delta I_L = \frac{(V_{SUP} - V_{OUT}) \times V_{OUT}}{V_{SUP} \times f_{SW} \times L}$$

また、

$$C_{IN} = \frac{I_{OUT} \times D(1 - D)}{\Delta V_Q \times f_{SW}}$$

$$D = \frac{V_{OUT}}{V_{SUP}}$$

ここで、

$I_{OUT}$  = 最大出力電流

D = デューティ・サイクル

## 出力コンデンサ

出力容量を選択する際は、出力負荷過度応答、出力電圧リップル、閉ループ安定性の各必要条件を満たすようにします。負荷ステップ時に、出力電流はほぼ瞬時に変わるので、インダクタは遅い反応を示します。この遷移時間の間に、出力コンデンサから負荷充電の要求が課されるので、出力電圧にアンダーシュート／オーバーシュートが生じます。インダクタ電流で制御する降圧コンバータでは、ADPL12005/ADPL12006で利用されているように、出力容量も制御ループの安定性に影響を与えます。

出力リップルは、 $\Delta V_Q$ （コンデンサの放電によるもの）と $\Delta V_{ESR}$ （出力コンデンサのESRによるもの）で構成されています。出力には、ESRが低いセラミック・コンデンサまたはアルミ電解コンデンサを使用します。アルミニウムの電解コンデンサの場合、出力リップル全体が $\Delta V_{ESR}$ によるものです。[式8](#)を使用して、ESRの必要条件を計算し、それに応じてコンデンサを選択します。セラミック・コンデンサを使用する場合、ESRとコンデンサの放電による出力リップル電圧への寄与分は等しいと仮定します。次式は、仕様規定された出力電圧リップルに適した出力容量とESRの必要条件を示しています。

式8：

$$ESR = \frac{\Delta V_{ESR}}{\Delta I_{P-P}}$$

$$C_{OUT} = \frac{\Delta I_{P-P}}{8 \times \Delta V_Q \times f_{SW}}$$

ここで、

$$\Delta I_{P-P} = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times L}$$

$$V_{OUT\_RIPPLE} = \Delta V_{ESR} + \Delta V_Q$$

$\Delta I_{P-P}$ は[式8](#)で計算されたピーク to ピークのインダクタ電流、fswはコンバータのスイッチング周波数です。

出力コンデンサは、コンバータがより大きいデューティ・サイクルに応答するまでステップ負荷電流を供給します。出力コンデンサのESRにおける抵抗性ドロップとコンデンサ放電によって、ステップ負荷では電圧ドリープが生じます。トランジエント負荷とリップルノイズ性能を改善するためには、ESRが低いタンタル・コンデンサとセラミック・コンデンサを組み合わせて使用します。出力電圧の最大偏差は、給電されている電子機器の許容限度未満に保ちます。セラミック・コンデンサを使用する場合、出力容量の放電とESRドロップの寄与分がそれぞれ80%と20%であると仮定します。次式を使用して、必要なESRと容量の値を計算します。

式9：

$$C_{OUT} = \frac{\Delta I}{\Delta V \times 2\pi \times f_C}$$

ここで、 $\Delta I$ は負荷の変化、 $\Delta V$ は許容電圧ドリープ、 $f_C$ はループのクロスオーバー周波数であり、この周波数はfsw/10または100kHzのいずれか小さい方とします。Coutに関する計算はいずれも、容量公差、温度、電圧のディレーティングを考慮する必要があります。[表1](#)は、スイッチング周波数および出力電圧に基づいて推奨された出力コンデンサの値を示しています。

## デュアルフェーズ動作

### デュアルフェーズでの低I<sub>Q</sub>動作

ADPL12005/ADPL12006はデュアルフェーズ機能を備えており、各ICをコントローラまたはターゲットとして設定することができます。コントローラのSYNCOUTピンは、SYNCがハイに接続されている場合(FPWMモード)、180°位相差のクロックを出力します。低I<sub>Q</sub>モードでは、コントローラのSYNCピンをローに引き下げる必要があります(スキップ・モード)。このモードでは、コントローラのSYNCOUTピンにはクロックが現れず、コントローラICはスキップ・モードに入ります。ターゲットICの内部回路はこの期間中オン状態を保ち、コントローラからのSYNCOUT信号を待つ状態となります。ターゲットICはオンなので、両ICがパルスをスキップしていくのも、自己消費電流はわずかに高くなります。

軽負荷時の効率を高め、I<sub>Q</sub>を更に低減させるためには、ターゲットのENをローに引き下げる必要があります。これにより、ターゲットとその内部回路が無効化され、更にI<sub>Q</sub>が低減します。[表2](#)に低I<sub>Q</sub>動作の真理値表をまとめています。

表 2. 低  $I_Q$  動作の設定

CONTROLLER	TARGET	MODE
EN = High, SYNC = BIAS	EN = High	FPWM (high $I_Q$ )
EN = High, SYNC = Low	EN = High	Skip mode (low $I_Q$ )
EN = High, SYNC = Low	EN = Low	Standby mode (ultra-low $I_Q$ )
EN = Low	EN = High	Not allowed

## 出力電圧の設定

出力電圧をある値に設定するためには、図 1 に示すように OUT、FB、GND の間に抵抗分圧器を接続します。コントローラとターゲットには、同一であっても別々の抵抗分圧器を推奨します。

## PCB レイアウトのガイドライン

低スイッチング損失とノイズのない安定した動作を実現するには、プリント回路基板（PCB）の注意深いレイアウトが不可欠です。ノイズ耐性と消費電力の改善には可能な限り多層基板を使用します。優れた PCB レイアウトにするためには、図 3 および次のガイドラインを参照してください。

- 1) IC には正確なフットプリントを使用し、IC フットプリントの下にはできるだけ多くの銅プレーンを配置して、効率的な熱伝達を実現します。
- 2) セラミックの入力バイパス・コンデンサ  $C_{BP}$  と  $C_{IN}$  を、IC の両側にある SUP ピンと PGND ピンにできるだけ近づけて配置します。コンデンサと IC ピンの間には、（ビアなどの不連続点がない）低インピーダンスの接続を使用します。 $C_{BP}$  は、IC の最も近くに配置する必要があります、また非常に優れた高周波性能（小型パッケージ・サイズおよび高容量）を持つ必要があります。これにより、最適な EMI 除去が実現し、デバイスの内部ノイズは性能を低下させるおそれがあるものですが、これを最小限に抑えられることになります。
- 3) インダクタ（L）、出力コンデンサ（ $C_{OUT}$ ）、ブートストラップ・コンデンサ（ $C_{BST}$ ）、BIAS コンデンサ（ $C_{BIAS}$ ）を、電流ループで囲まれた面積を最小限にするように配置します。インダクタ（L）を IC の LX ピンにできるだけ近づけて配置し、LX ノードの面積を最小限にします。出力コンデンサ（ $C_{OUT}$ ）をインダクタの近くに配置して、 $C_{OUT}$  のグラウンド側が  $C_{IN}$  グラウンド接続の近くになるようにし、電流ループの面積を最小限にします。BIAS コンデンサ（ $C_{BIAS}$ ）を BIAS ピンに近接させて配置します。
- 4) ブートストラップ・コンデンサ  $C_{BST}$  を IC に近づけて配置し、短くて幅広の配線パターンを使用してループの面積を最小限にし、寄生インダクタンスを最小限にします。リターン配線パターン（ $C_{BST}$  から LX の間）には最も近い層を使用して、インダクタンスを更に最小限にします。寄生インダクタンスが高いと、スイッチング速度に影響を与え（スイッチング損失が増加）、高い  $dv/dt$  ノイズが発生する可能性があります。
- 5) IC に隣接している層には連続的な銅の GND プレーンを使用して、回路全体をシールドします。GND は、回路全体を囲むように上側にも敷き詰める必要があります。すべての放熱部品は冷却のために銅と十分に接続するようにしてください。インピーダンスを低くし、放熱を最大限にするために、複数のビアを使用して GND プレーン／領域を相互に接続します。IC の GND 端子および入力／出力／バイパス・コンデンサにビアを配置します。PGND と GND の接続を別々のプレーンまたは領域で分離したり絶縁したりしないでください。
- 6) フィードバック・ループ抵抗分圧器を使用する場合には IC の近くに配置して、フィードバックと OUT の接続は、インダクタ、LX ノード、その他ノイズの多い信号を避けて配線します。

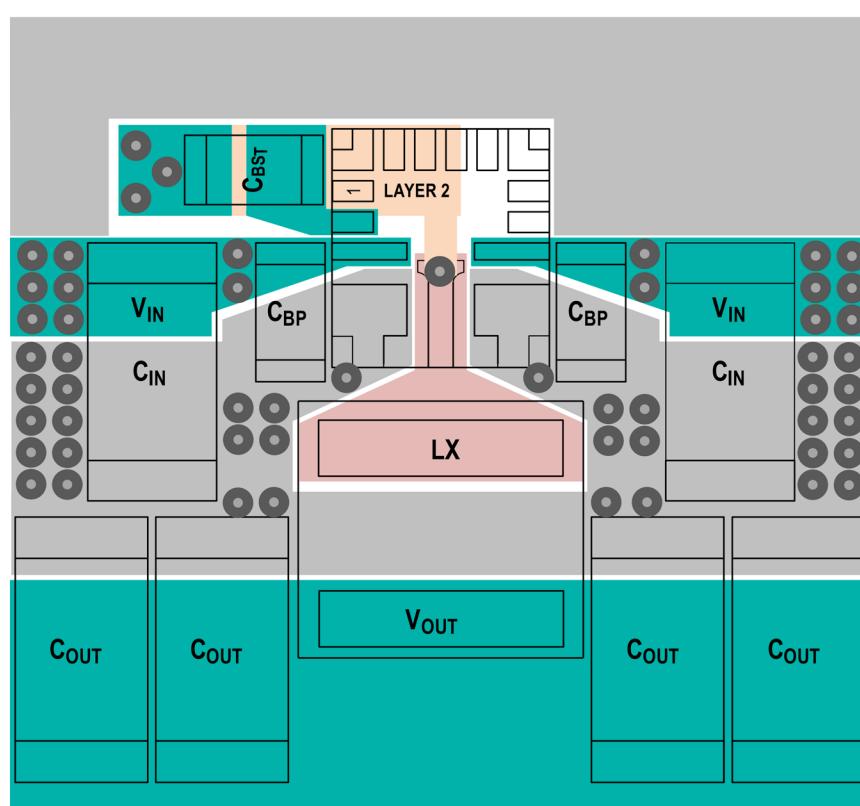
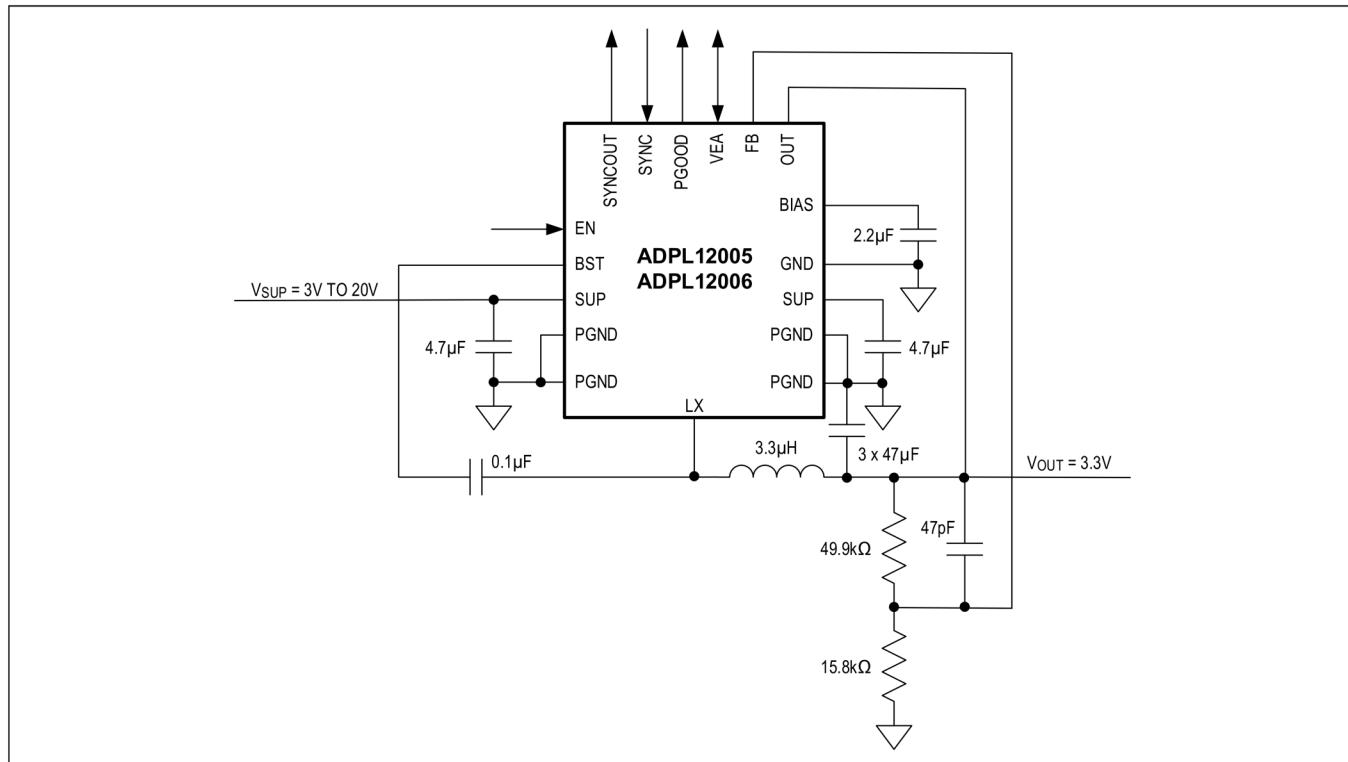


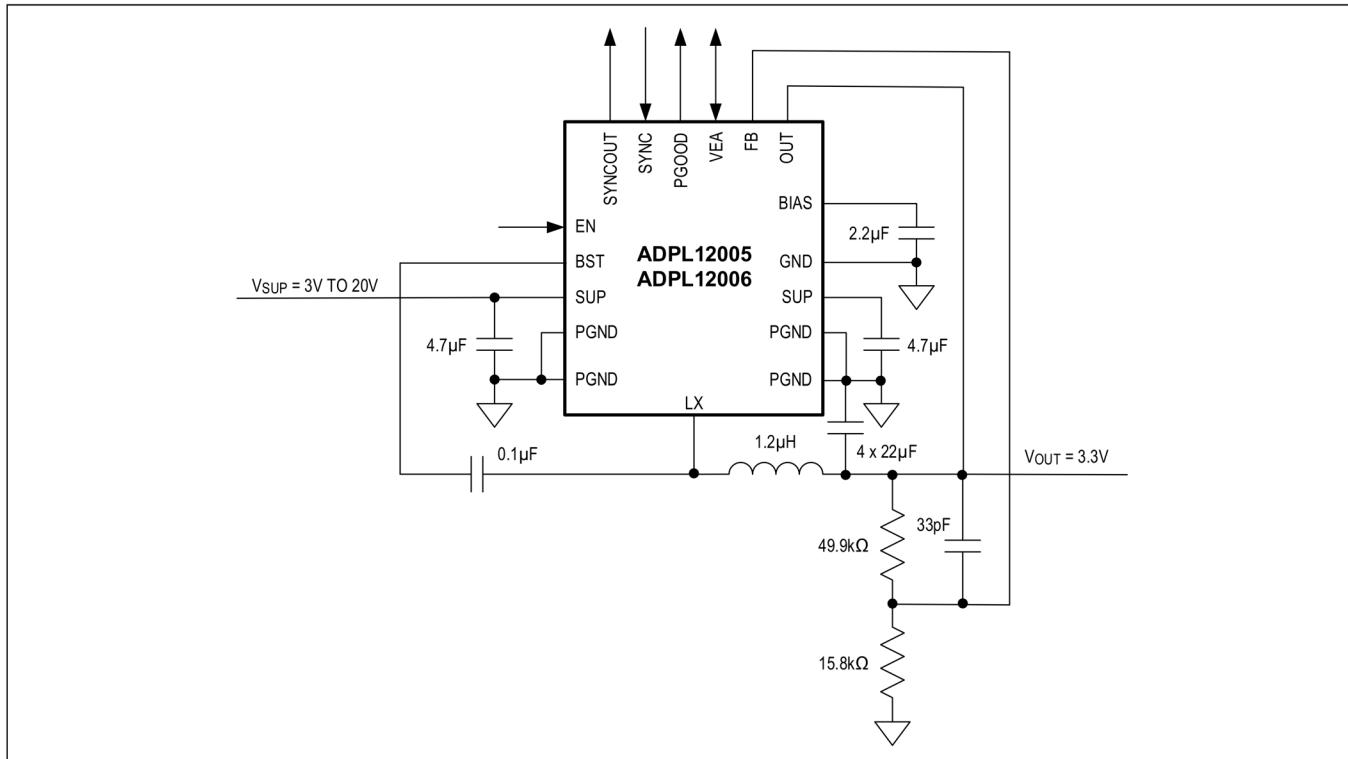
図 3. PCB レイアウトの例

## 標準アプリケーション回路

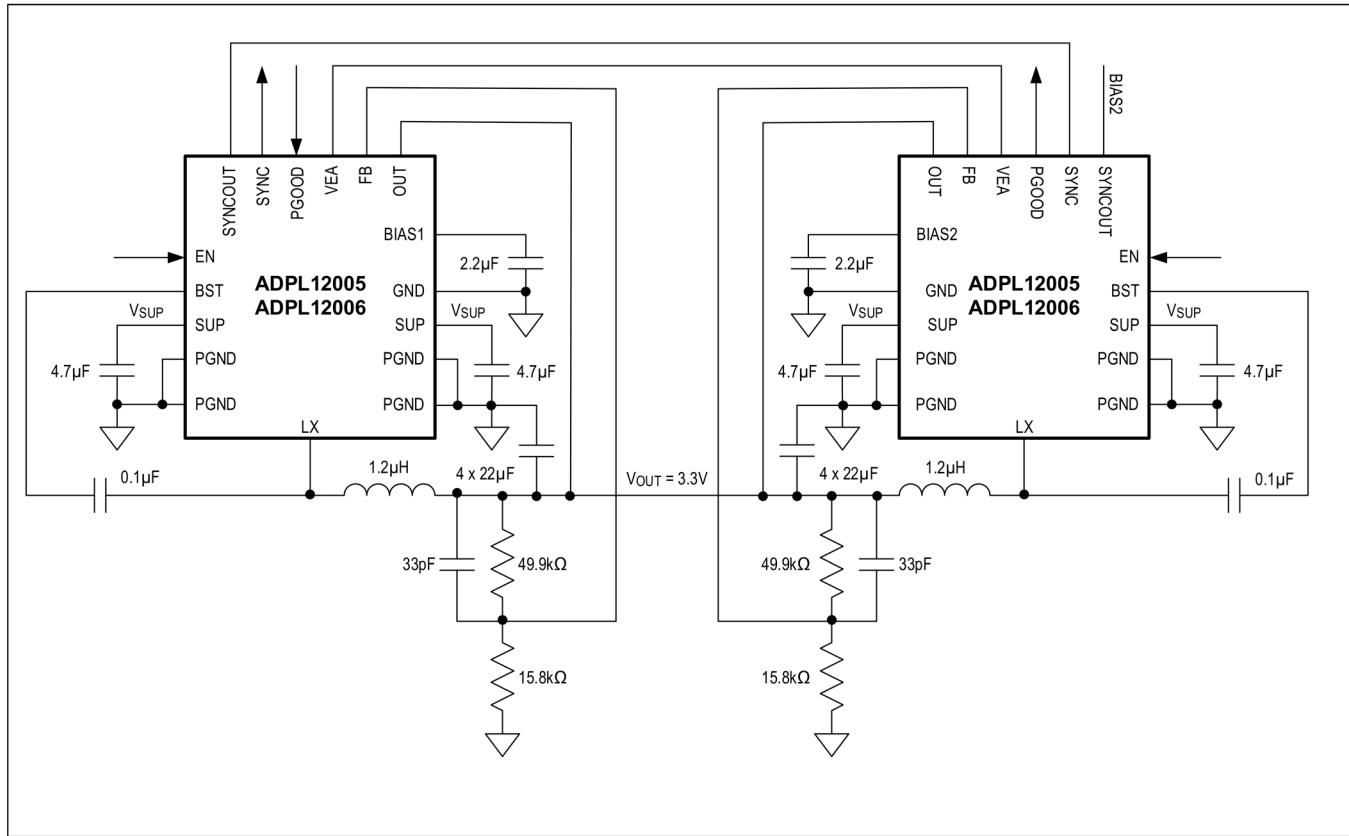
シングルフェーズ動作（400kHz 時）



シングルフェーズ動作（1.5MHz 時）



## デュアルフェーズ動作、コントローラ/ターゲット（1.5MHz 時）



## オーダー情報

PART NUMBER	$V_{OUT}$ (V)	MAXIMUM LOAD CURRENT (A)	SWITCHING FREQUENCY
ADPL12005AFOA+T	Adjustable 0.8V to 12V	5A	400kHz
ADPL12005AFOB+T	Adjustable 0.8V to 10V	5A	1.5MHz
ADPL12006AFOA+T	Adjustable 0.8V to 12V	6A	400kHz
ADPL12006AFOB+T	Adjustable 0.8V to 10V	6A	1.5MHz

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。

Tはテープのリール巻きを示します。

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	5/25	初版発行	-