

マルチモード・センサー・ フロント・エンド

特長

- ▶ マルチモード・アナログ・フロント・エンド
- ▶ 光学チャンネル
 - ▶ 様々なセンサー計測に対応した複数の動作モードを備える 4 つの入力チャンネル
 - ▶ 同時サンプリングによる 4 チャンネル処理
 - ▶ 同期されたセンサー計測が可能な 12 のプログラマブル・タイム・スロット
 - ▶ シングルエンドのセンサー計測に対応する柔軟性に優れた入力マルチプレクス
 - ▶ 2 個の LED を同時に駆動できる 8 つの LED ドライバ
 - ▶ 内部発振器を使用した 0.004Hz~9kHz の柔軟なサンプリング・レート
 - ▶ AC 周辺光の除去：78dB（最大 100Hz）
 - ▶ LED のピーク駆動電流の合計：400mA
 - ▶ 9 ビットの制御（最大 300 μ A）に対応した、TIA 入力での個別の周辺光キャンセル DAC
 - ▶ 7 ビットの制御（最大 190 μ A）に対応した、TIA 入力での個別の LED DC キャンセル DAC
- ▶ ECG チャンネル
 - ▶ 診断帯域幅での RTI ノイズ：<1 μ V RMS
 - ▶ 高入力インピーダンス：20G Ω
 - ▶ 最大 \pm 1.2V の DC 差動入力範囲に対応
 - ▶ CMRR：115dB
 - ▶ 様々なアプリケーションをサポートする柔軟性に優れた 4 電極構成
 - ▶ AC リードオフ検出と DC リードオフ検出の両方をサポート
 - ▶ 常時オン、低消費電力、リードオン検出をサポート
- ▶ BIA チャンネル
 - ▶ 低消費電力、高精度励起パス
 - ▶ 最大 250kHz まで設定可能な励起周波数
 - ▶ 12 ビット DAC によるサイン波励起
 - ▶ 大きな不平衡接触インピーダンス（ \leq 20k Ω ）による高精度
 - ▶ 低ノイズ設計の設定可能な受信フィルタ
 - ▶ 複素インピーダンス測定エンジン
 - ▶ 電流制限用の抵抗を内蔵
- ▶ EDA チャンネル
 - ▶ 電圧励起と電流励起の両方をサポート
 - ▶ 測定範囲：1nS の分解能で 10k Ω ~100M Ω
 - ▶ DFT とデシメーションによる高精度の測定結果
- ▶ SPI 通信に対応
- ▶ 704 バイトの FIFO

アプリケーション

- ▶ 健康／フィットネス・モニタ用ウェアラブル機器：心拍数、心拍数変化、パルス・オキシメータによる酸素飽和度、生体インピーダンス解析、体内水分量解析、カフなし非侵襲的血圧
- ▶ 臨床患者のモニタ：ベッドサイド用小型機器、自宅患者用携帯型機器、遠隔地用小型機器
- ▶ 工業用モニタリング：粒子、エアロゾル、およびガスの検出
- ▶ 導電率の検出

概要

ADPD7000 は、様々な生体信号を測定するための高集積アナログ・フロント・エンド (AFE) です。

光学チャンネルは光トランシーバーとして設計され、最大 8 個の発光ダイオード (LED) を励起し、リターン信号を最大 4 つの個別の電流入力で測定します。シグナル・チェーンは、一般に周辺光によって生じる非同期的変調干渉に起因する信号のオフセットや破損を除去することができ、光学フィルタや外部制御の DC キャンセル回路は不要です。

心電図 (ECG) 信号の取得については、様々な干渉源がある状態で、低ノイズの診断レベル測定に対応できるよう設計されています。ECG シグナル・チェーンには、同相ノイズ除去用に駆動されるリファレンス機能、エレクトロードの接続が外れたことを特定するリードオフ検出機能など、ECG 測定を支援する補完機能が数多く備わっています。

生体インピーダンス解析 (BIA) のシグナル・チェーンは、構成設定可能な励起パスと測定パスを使用した、生体インピーダンスの測定用に設計されています。励起パスに 12 ビットの D/A コンバータ (DAC) を使用してサイン波を生成し、構成設定可能なフィルタを使用した高精度測定によって刺激に対する体の反応を測定します。

皮膚電気活動 (EDA) のシグナル・チェーンは、皮膚電気活動用に設計されています。BIA と ECG の周辺回路をマルチプレクスすることにより、ADPD7000 は 1nS の分解能で高精度の AC 測定と DC 測定をサポートします。

データ出力と機能設定には、ADPD7000 のシリアル・ポート・インターフェース (SPI) を使用します。制御回路には、柔軟な LED 信号伝送および同期検出機能、デジタル・フィルタ、デジタル波形ジェネレータ、構成設定可能なフィルタが備わっています。

ADPD7000 は、2.795mm \times 2.560mm、0.40mm ピッチの 36 ボール WLCSP パッケージを採用しています。

目次

特長	1	BIA シグナル・チェーン	20
アプリケーション	1	EDA 信号パス	21
概要	1	FIFO	21
機能ブロック図	3	クロッキング	23
仕様	4	タイム・スタンプ動作	23
温度と電力の仕様	4	実行モード	24
性能仕様	4	ホスト・インターフェース	25
デジタル仕様	7	アプリケーション情報	27
タイミング仕様	8	リードオンのアプリケーション	27
絶対最大定格	9	光路	27
熱抵抗	9	ECG パス	30
静電放電 (ESD) 定格	9	BIA パス	33
ESD に関する注意	9	EDA パス	33
ピン配置およびピン機能の説明	10	マルチモード	35
代表的な性能特性	12	設計ガイド	36
動作原理	16	レジスタの一覧	38
はじめに	16	レジスタの詳細	89
タイム・スロット動作	16	外形寸法	127
リードオン検出	17	オーダー・ガイド	127
光シグナル・チェーン	17	評価用ボード	127
ECG シグナル・チェーン	19		

改訂履歴

4/2023—Revision 0: Initial Version

機能ブロック図

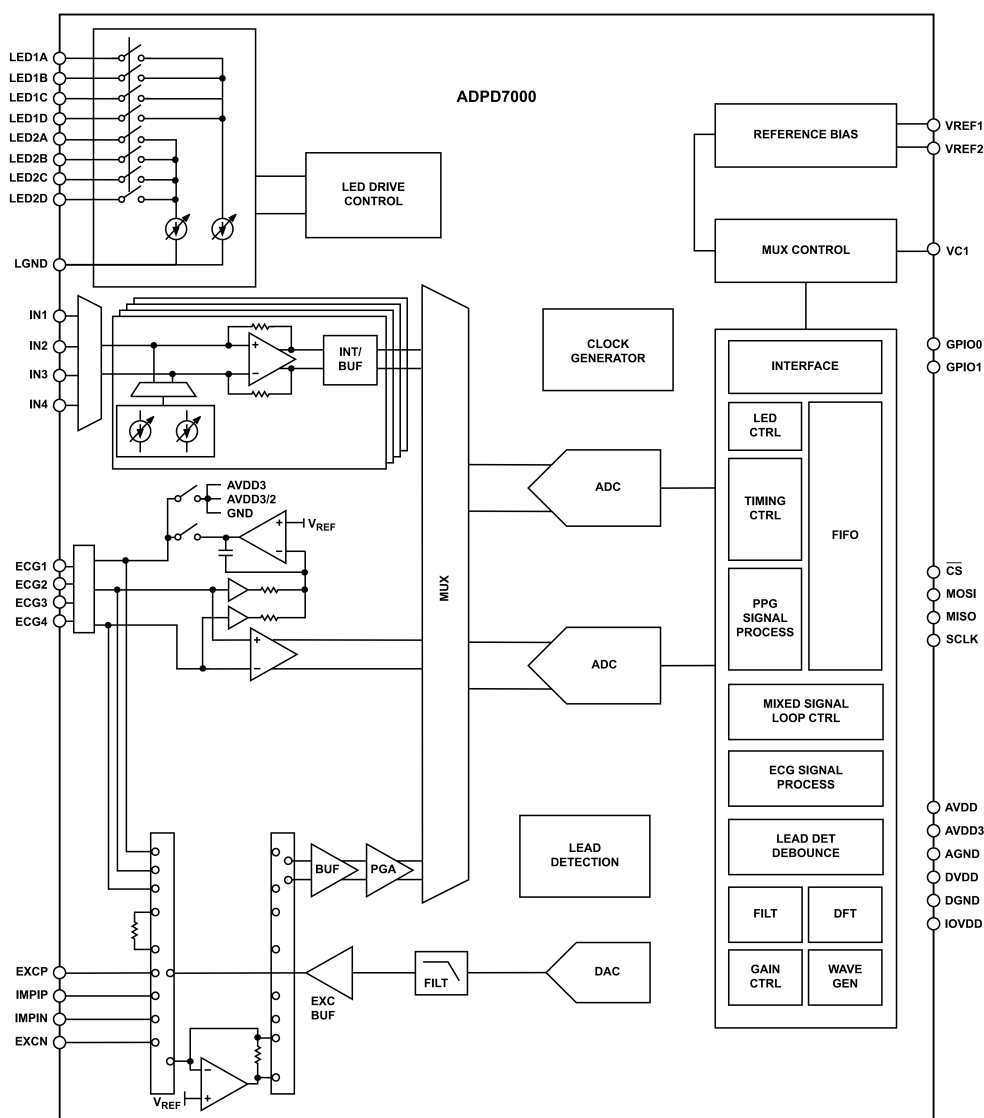


図 1. 機能ブロック図

仕様

温度と電力の仕様

表 1. 温度と電力の仕様

Parameter	Min	Typ	Max	Unit
TEMPERATURE RANGE				
Operating Range	-40		+85	°C
Storage Range	-65		+150	°C
POWER SUPPLY VOLTAGES				
AVDD	1.7	1.8	1.9	V
AVDD3	2.7	3.3	3.6	V
DVDD	1.7	1.8	1.9	V
IOVDD	1.7	1.8	3.6	V

性能仕様

特に指定のない限り、AVDD = DVDD = IOVDD = 1.8V、AVDD3 = 3.3V、T_A = 25°C。

表 2. 性能仕様

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
DATA ACQUISITION					
Datapath Width				32	Bits
FIRST IN, FIRST OUT (FIFO) SIZE				704	Bytes
INTERNAL 960 kHz OSCILLATOR ACCURACY	Full temperature range (-40°C to +85°C)		±1		%
PHOTOPLETHYSMOGRAPHY (PPG) CHANNEL					
Transimpedance Amplifier (TIA) Gain		12.5		400	kΩ
DIGITAL INTEGRATION MODE					
Analog-to-Digital Converter (ADC) Resolution	TIA feedback resistor (R _F)				
	12.5 kΩ		5.84		nA/LSB
	25 kΩ		2.92		nA/LSB
	50 kΩ		1.46		nA/LSB
	100 kΩ		0.73		nA/LSB
	200 kΩ		0.365		nA/LSB
	400 kΩ		0.183		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	12.5 kΩ		48		μA
	25 kΩ		24		μA
	50 kΩ		12		μA
	100 kΩ		6		μA
	200 kΩ		3		μA
	400 kΩ		1.5		μA
DC Ambient Light Rejection (ALR)					
ALR Range		0		300	μA
ALR Resolution			0.6		μA
LED DC Cancellation					
Range		0		190	μA
Resolution			1.48		μA
Dark Noise	Pulse = 1, ADC sample = 20 TIA gain = 12.5 kΩ		1590		pA RMS

仕様

表 2. 性能仕様（続き）

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
Signal-to-Noise Ratio (SNR)	TIA gain = 25 k Ω		867		pA RMS
	TIA gain = 50 k Ω		425		pA RMS
	TIA gain = 100 k Ω		235		pA RMS
	TIA gain = 200 k Ω		140		pA RMS
	TIA gain = 400 k Ω		92		pA RMS
	White card reflection, pulse = 1, ADC sample = 20				
	TIA gain = 12.5 k Ω		90		dB
	TIA gain = 25 k Ω		90		dB
	TIA gain = 50 k Ω		88		dB
	TIA gain = 100 k Ω		87		dB
	TIA gain = 200 k Ω		85		dB
	TIA gain = 400 k Ω		82		dB
AC ALR	Up to 100 Hz		84		dB
DC Power Supply Rejection Ratio (PSRR)	At 75% full-scale (FS) input, optimal settings, all gains ¹		60		dB
LED DRIVER					
Peak Current per Driver	LED pulse enabled		200		mA
Peak Current, Total	Using multiple LED drivers simultaneously		400		mA
Current Step	High SNR mode		1.57		mA
	Low compliance mode		0.78		mA
Compliance Voltage	High SNR mode		400		mV
	Low compliance mode		200		mV
Power	AFE current only, 70% FS output data rate (ODR) = 25 Hz				
Standby	DVDD + AVDD		0.3		μ A
Typical Heart Rate Monitor (HRM) Application	DVDD + AVDD		18.7		μ A
SAMPLING RATE		0.004		9000	Hz
ECG CHANNEL					
Resolution is 286 nV, unless otherwise noted					
Input Bias Current	ECG input pins, room temperature, lead off detection is off, measured at dc		22		pA
Input Impedance	ECG input pins, measured at dc		20		G Ω
Differential Input Range		-1.2		+1.2	V
Electrode Single-Ended Input Voltage Range		0.2		AVDD3 - 0.2	V
Input Common-Mode Range		0.4		AVDD3 - 0.4	V
-3 dB Monitor Bandwidth	Data rate = 250 SPS	40			Hz
-3 dB Diagnostic Bandwidth	Data rate = 500 SPS	150			Hz
Gain Flatness	DC to 5.3 Hz (data rate = 250 SPS)		± 1		%
	DC to 19 Hz (data rate = 500 SPS)		± 1.5		%
Gain Error		-2		+2	%
Resolution			286		nV/LSB
			572		nV/LSB
Input Referred Noise					
10 Sec Measurement Using Internal Shorted Mode, Measured at Room Temperature	Data rate = 250 SPS, monitoring filter bandwidth (40 Hz)		0.38		μ V RMS
	Data rate = 500 SPS, diagnostic filter bandwidth (150 Hz)		0.86		μ V RMS
10 Sec System Level Measurement with Proper Electrode Model and	Data rate = 250 SPS, monitoring filter bandwidth (40 Hz)		0.5		μ V RMS
	Data rate = 500 SPS, diagnostic filter bandwidth (150 Hz)		0.937		μ V RMS

仕様

表 2. 性能仕様（続き）

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
All Functions Enabled (DC Lead Off (DCLO) and AC Lead Off (ACLO))					
Channel Common-Mode Rejection Ratio (CMRR)	Balanced mode, measured at 60 Hz		115		dB
Output Data Rate	Aligned with filter design	250		4000	Hz
ECG Channel Enable Time	Data rate of 500 SPS		15		ms
Overload Recovery Time			10		ms
ECG Channel Power	ODR = 500 Hz, ACLO and DCLO functions enabled, resolution = 286 nV/LSB		1.7		mW
DCLO DETECTION					
Drive Circuit					
Lead Off Current Range	Lead fail current is programmable over the specified range, programmed current magnitude setting applies across all electrode pins, current polarity is programmable on individual electrode basis	0		1.1	μA
Measure Circuit					
Right Leg Driver (RLD) ² Lead Off Thresholds		AVDD3 – 0.8		AVDD3 – 0.2	V
High		AVDD3 – 0.8		AVDD3 – 0.2	V
Low		0.2		0.8	V
ACLO THRESHOLD					
Drive Circuit					
Excitation Frequency			4		kHz
Current		0		70	nA
Measure Circuit					
Threshold		0.04		2.33	nF
RLD					
Output Voltage		GND	AVDD3/2	AVDD3	V
Stable Load Capacitance				2.2	nF
BIA CHANNEL SYSTEM PERFORMANCE	For impedance (Z) = 1 kΩ (0.1% tolerant resistor), excitation frequency (f _{EXCITATION}) = 50 kHz, sine amplitude = 0.6 V p-p, TIA resistor (R _{TIA}) = 2 kΩ, TIA capacitor (C _{TIA}) = 7 pF, isolation capacitor = 470 nF, current-limiting resistor (R _{LIMIT}) = 1 kΩ				
Total System Accuracy			0.26		%
Magnitude			1		Degrees
Phase			0.26		%
Body Impedance Magnitude Error	Contact resistor ≤1 kΩ		5		%
	Contact resistor ≤20 kΩ		0.1		%
Body Impedance Magnitude Repeatability	Room temperature, test 10 times, contact resistor <1 kΩ		1		Degrees
Body Phase Angle Error					
TRANSMIT STAGE					
Output Frequency Range			50	250	kHz
Output Frequency Resolution			0.48		Hz
Output Voltage Range				800	mV
Output Voltage Resolution			0.39		mV
RECEIVE STAGE					
Input Leakage Current	Toward ground for current sensing		10		pF
Input Capacitance	Toward ground for voltage sensing		10		pF

仕様

表 2. 性能仕様（続き）

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
ADC Saturation Level	Voltage Current (TIA = 2 kΩ)		±0.8 ±400		V μA
CALIBRATION RESISTOR					
Internal			2		kΩ
Power Consumption	ODR = 30 Hz, DFT = 1024, R _{TIA} = 2 kΩ, V _{EXCITATION p-p} = 600 mV, contact resistor (R _{CONTACT}) = body resistor (R _{BODY}) = 1 kΩ, f _{EXCITATION} = 50 kHz, 12× time slots		11.2		mW
EDA CHANNEL					
TIA Gain	TIA feedback resistor	1		1000	kΩ
Programmable Gain Amplifier (PGA) Gain			1.5 2 3 6		
Discrete Fourier Transform (DFT) Points		4		8192	
DC Current Range	For DC current mode	0.002		1.1	μA
DC Excitation Voltage	For DC voltage mode	0.5		1.3	V
AC Voltage Excitation	For AC voltage mode			800	mV
AC Voltage Frequency	For AC voltage mode			100	Hz
Impedance Measurement					
Range		0.01		100	MΩ
Resolution			1		nS
Error				5	%
Power Consumption	ODR = 1 Hz, sampling frequency (f _S) = 2.5 kΩ, DFT = 512, DCLO current (I _{DCLO}) = 6 nA, R _{TIA} = 1 MΩ, body impedance (Z _{BODY}) = 1 MΩ		0.78	mW	

¹ DC PSRR = $20 \times \log((\text{信号(LSB)} / \text{NUM_INT_x} / \text{NUM_REPEAT_x} \times 0.146 \text{ mV / LSB}) / V_{IN} (\text{mV}))$

² ECG 信号（RLD、ECGIP、および ECGIN）は、ECG_MATRIX レジスタを設定することにより、ECG1～ECG4 ピンのどれか 1 つに接続することができます。

デジタル仕様

特に指定のない限り、IOVDD = 1.7V～3.6V。

表 3. デジタル仕様

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input Voltage Level					
GPIOx, MISO, MOSI, SCLK, and $\overline{\text{CS}}$					
High		0.7 × IOVDD		IOVDD + 0.3	V
Low		−0.3		+0.3 × IOVDD	V
Input Current Level	All logic inputs				
High				10	μA
Low		−10			μA
Input Capacitance			2		pF
LOGIC OUTPUTS					
Output Voltage Level					
GPIOx and MISO					
High	2 mA high level output current	IOVDD − 0.5			V
Low	2 mA low level output current			0.5	V

仕様
タイミング仕様

表 4. タイミング仕様

Parameter	Symbol	Test Condition/Comments	Min	Typ	Max	Unit
SPI PORT						
SCLK						
Frequency	f_{SCLK}				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		15			ns
Low	$t_{SCLKPWL}$		15			ns
\overline{CS}						
Setup Time	t_{CSS}	\overline{CS} setup to SCLK rising edge	11			ns
Hold Time	t_{CSH}	\overline{CS} hold from SCLK rising edge	5			ns
Pulse Width High	t_{CSPWH}	\overline{CS} pulse width high	15			ns
MOSI						
Setup Time	t_{MOSIS}	MOSI setup to SCLK rising edge	5			ns
Hold Time	t_{MOSIH}	MOSI hold from SCLK rising edge	5			ns
SWITCHING CHARACTERISTICS						
MISO Output Delay	t_{MISOD}	MISO valid output delay from SCLK falling edge Register 0x057 = 0x0050 (default) Register 0x057 = 0x005F (maximum slew rate, maximum drive strength for SPI)			21.5 14	ns ns

タイミング図

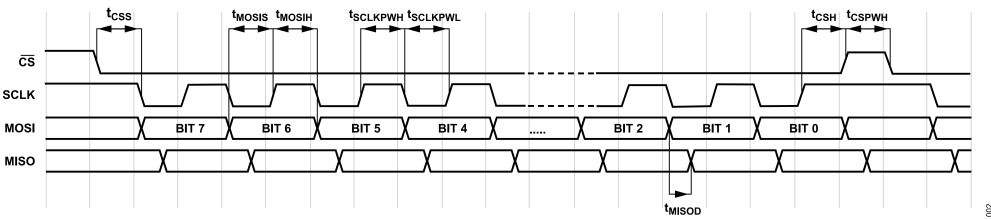


図 2. SPI タイミング図

絶対最大定格

表 5. 絶対最大定格

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
AVDD3 to AGND	-0.3 V to +3.9 V
DVDD to DGND	-0.3 V to +2.2 V
IOVDD to IOGND	-0.3 V to +3.9 V
GPIOx, MOSI, MISO, SCLK, \overline{CS} to DGND	-0.3 V to +3.9 V
LEDxx to LGND	-0.3 V to +3.9 V
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CB-36-11 ¹	42.15	0.98	°C/W

¹ 熱抵抗値は、JESD51-12 規格によって規定されています。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。
ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。


ANSI/ESD STM5.2 によるマシン・モデル（MM）。MM 電圧値は特性評価にのみ使われます。

ADPD7000 の ESD 定格

表 7. ADPD7000、36 ボール WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2500	2
CDM	1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

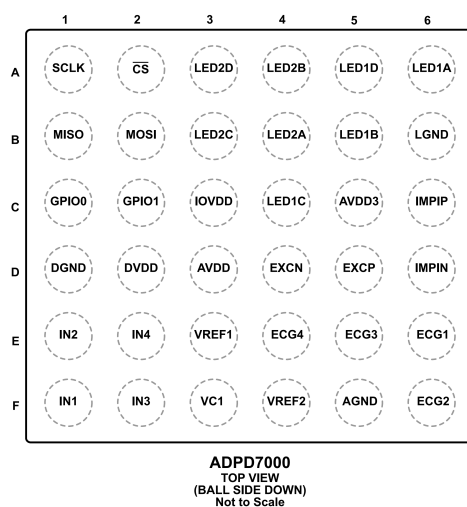


図 3. ピン配置、上面図

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
D3	AVDD	Power	1.8V アナログ電源。
C5	AVDD3	Power	3.3V アナログ電源。
F5	AGND	Power	アナログ・グラウンド。
D2	DVDD	Power	1.8V デジタル電源。
D1	DGND	Power	デジタル・グラウンド。
C3	IOVDD	Power	入出力電源。
B6	LGND	Power	LED グラウンド。
E3	VREF1	Analog	ADC1 リファレンス。
F4	VREF2	Analog	ADC2 リファレンス。
F3	VC1	Analog	フォト・ダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源 1。
F1	IN1	Analog	電流入力 1。
E1	IN2	Analog	電流入力 2。
F2	IN3	Analog	電流入力 3。
E2	IN4	Analog	電流入力 4。
A6	LED1A	Analog	LED ドライバ 1A。
B5	LED1B	Analog	LED ドライバ 1B。
C4	LED1C	Analog	LED ドライバ 1C。
A5	LED1D	Analog	LED ドライバ 1D。
B4	LED2A	Analog	LED ドライバ 2A。
A4	LED2B	Analog	LED ドライバ 2B。
B3	LED2C	Analog	LED ドライバ 2C。
A3	LED2D	Analog	LED ドライバ 2D。
E6	ECG1	Analog	ECG エレクトロード・パッド 1。
F6	ECG2	Analog	ECG エレクトロード・パッド 2。
E5	ECG3	Analog	ECG エレクトロード・パッド 3。
E4	ECG4	Analog	ECG エレクトロード・パッド 4。
C6	IMPIP	Analog	BIA 正入力。
D6	IMPIN	Analog	BIA 負入力。
D5	EXCP	Analog	BIA 励起正出力。
D4	EXCN	Analog	BIA 励起負出力。
A2	$\overline{\text{CS}}$	Digital	SPI チップ・セレクト入力。

表 8. ピン機能の説明（続き）

ピン番号	記号	タイプ	説明
A1	SCLK	Digital	SPI クロック入力。
B1	MISO	Digital	SPI コントローラ入力および目標出力。
B2	MOSI	Digital	SPI コントローラ出力および目標入力。
C1	GPIO0	Digital	汎用入出力 0。
C2	GPIO1	Digital	汎用入出力 1。

代表的な性能特性

特に指定のない限り、DVDD = AVDD = 1.8V、AVDD3 = 3.3V、LGND = DGND = AGND = 0V、 $T_A = 25^\circ\text{C}$ 。

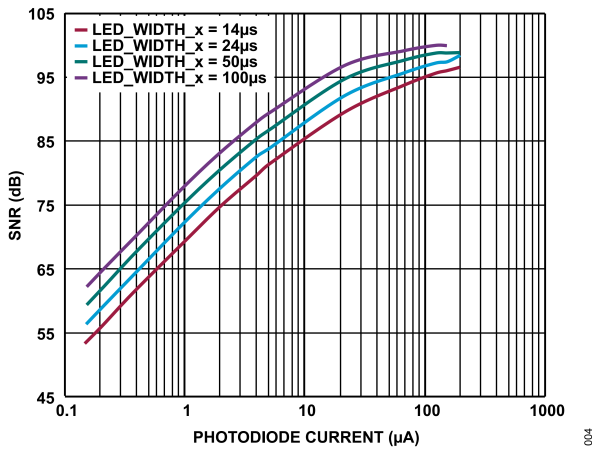


図 4. S/N 比とフォト・ダイオード電流の関係、シーケンスの繰り返し回数 = 1、TIA ゲイン = 100k Ω

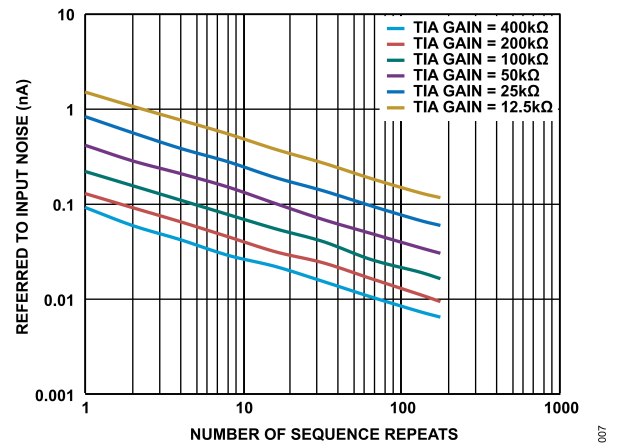


図 7. 入力換算ノイズとシーケンスの繰り返し回数の関係

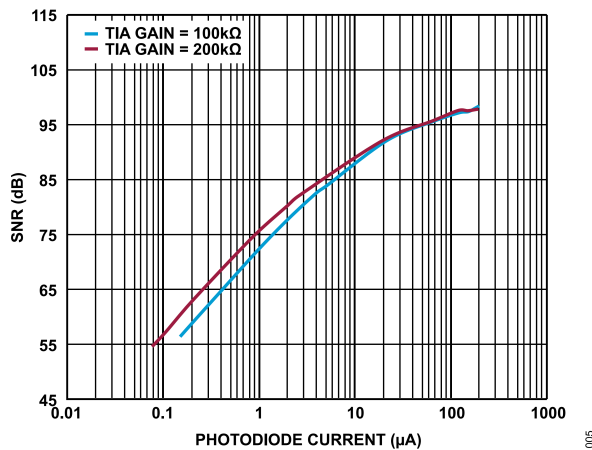


図 5. S/N 比とフォト・ダイオード電流の関係、LED 幅 = $24\mu\text{s}$ 、シーケンスの繰り返し回数 = 1

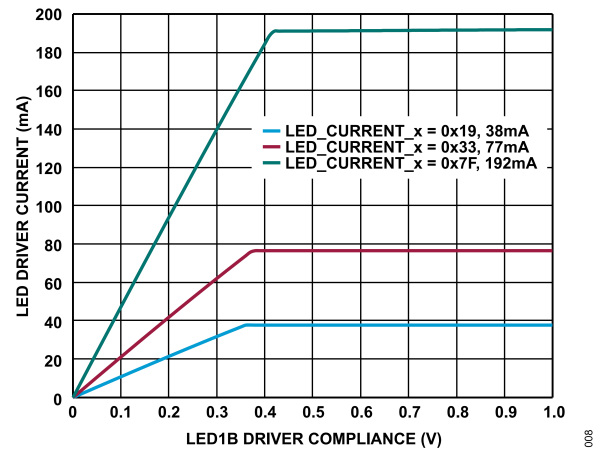


図 8. LED ドライバ電流と LED1B ドライバ・コンプライアンスの関係、高 S/N 比モード

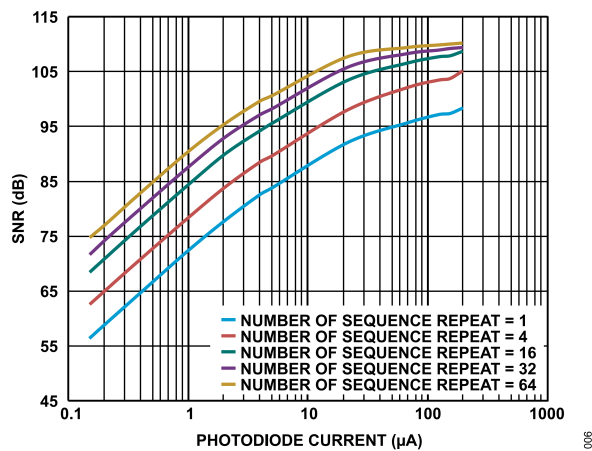


図 6. S/N 比とフォト・ダイオード電流の関係、LED 幅 = $24\mu\text{s}$ 、TIA ゲイン = 100k Ω

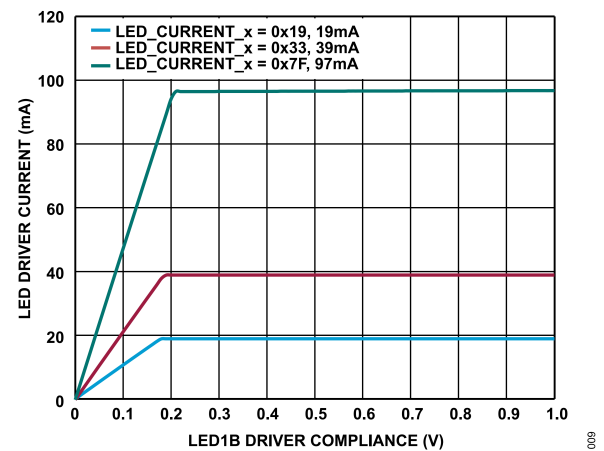


図 9. LED ドライバ電流と LED1B ドライバ・コンプライアンスの関係、低コンプライアンス・モード

代表的な性能特性

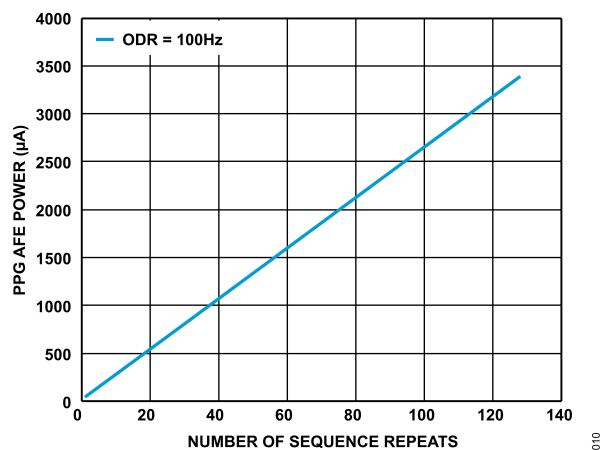


図 10. PPG AFE 電力とシーケンスの繰り返し回数の関係

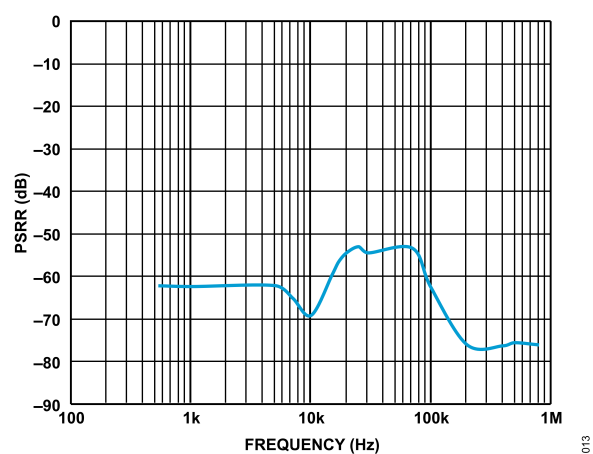


図 13. PSRR の周波数特性、フォト・ダイオード電流 = 8µA

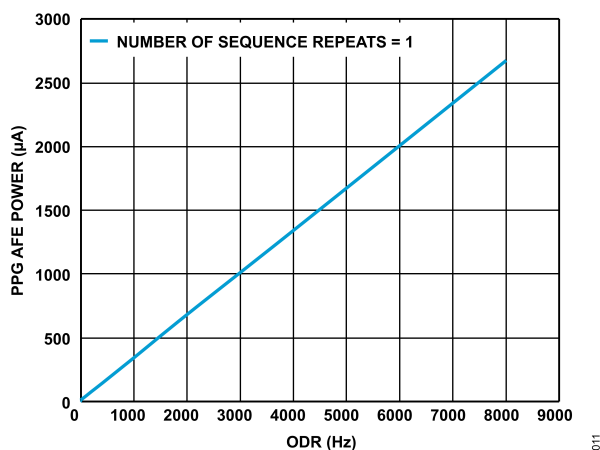


図 11. PPG AFE 電力と ODR の関係

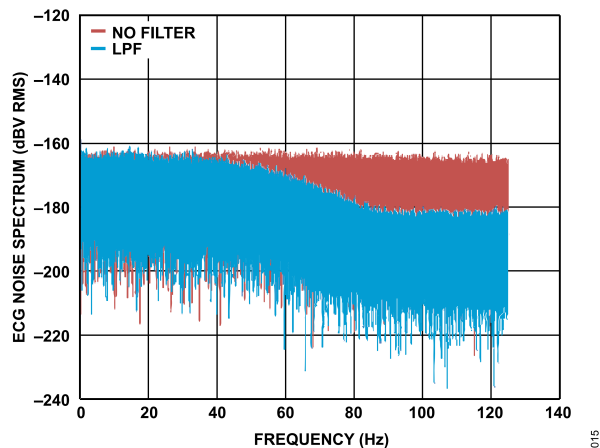


図 14. ECG ノイズ・スペクトルの周波数特性、入力を共通モード電圧 (V_{CM}) に短絡、分解能 = 286nV/LSB、サンプル・レート = 250Hz (LPF はローパス・フィルタ)

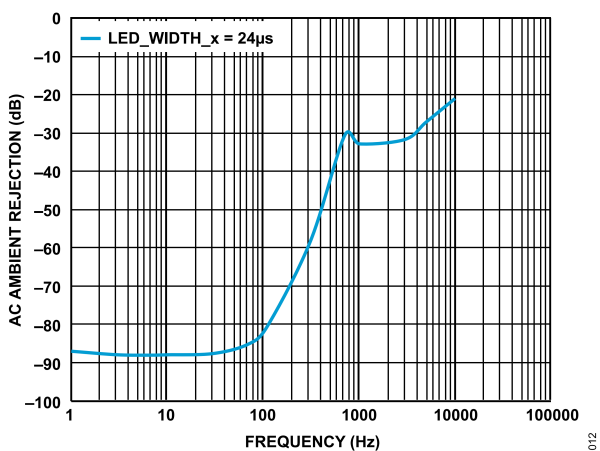


図 12. AC 周辺光除去の周波数特性

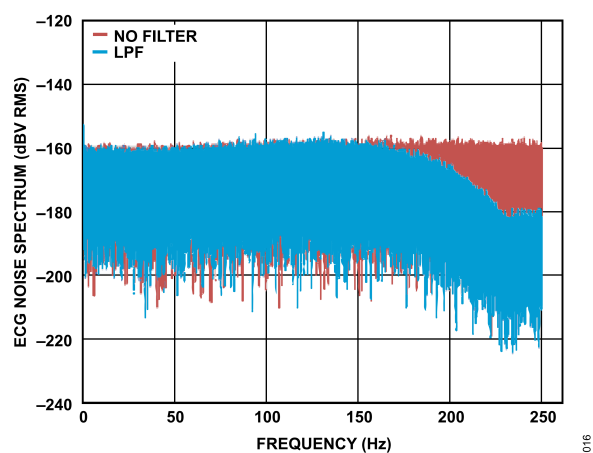


図 15. ECG ノイズ・スペクトルの周波数特性、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 500Hz

代表的な性能特性

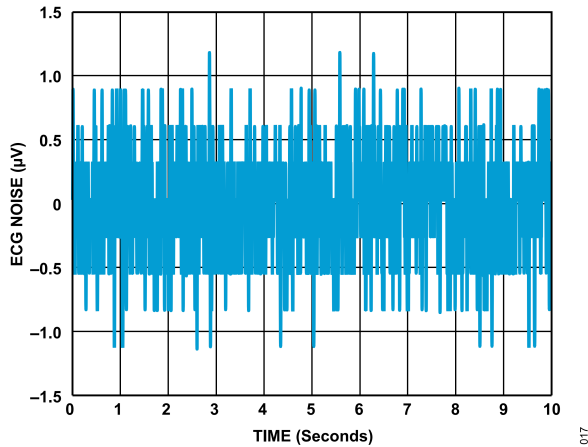


図 16. ECG ノイズと時間の関係、入力を V_{CM} に短絡、
分解能 = 286nV/LSB、サンプル・レート = 250Hz

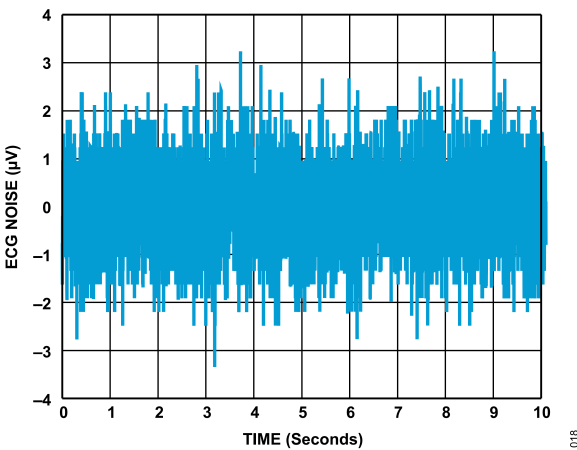


図 17. ECG ノイズと時間の関係、入力を V_{CM} に短絡、
分解能 = 286nV/LSB、サンプル・レート = 500Hz

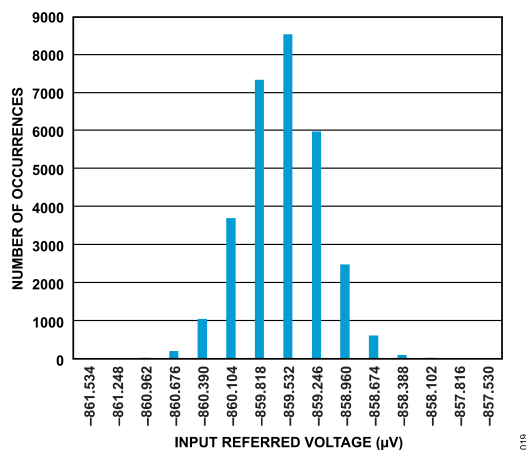


図 18. ECG ノイズのヒストグラム、入力を V_{CM} に短絡、
分解能 = 286nV/LSB、サンプル・レート = 250Hz

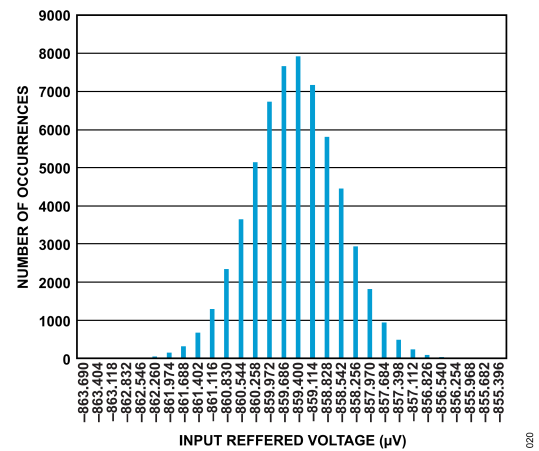


図 19. ECG ノイズのヒストグラム、入力を V_{CM} に短絡、
分解能 = 286nV/LSB、サンプル・レート = 500Hz

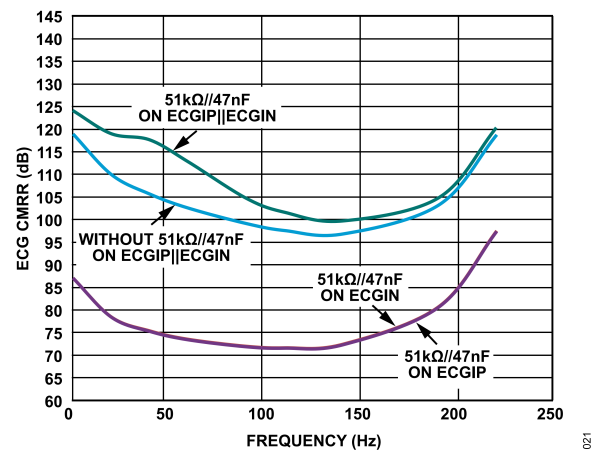


図 20. ECG CMRR の周波数特性、分解能 = 286nV/LSB、
サンプル・レート = 500Hz

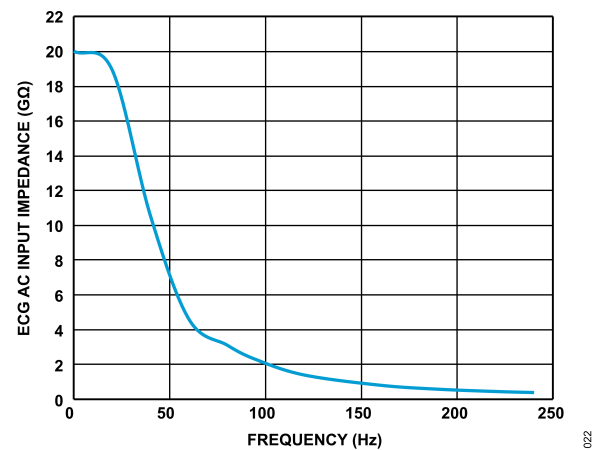


図 21. ECG AC 入力インピーダンスの周波数特性、
分解能 = 286nV/LSB、サンプル・レート = 500Hz

代表的な性能特性

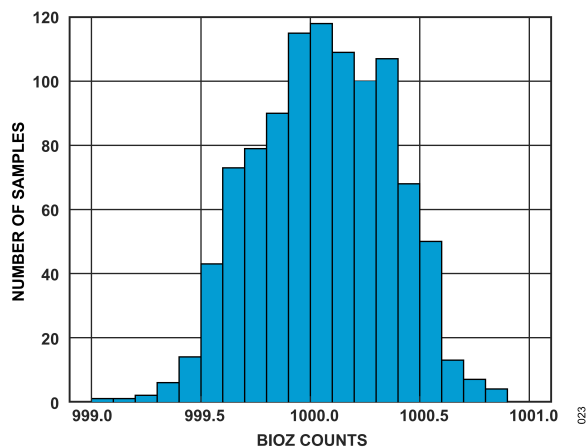


図 22. 生体インピーダンス (BIOZ) ノイズのヒストグラム
($f_{\text{EXCITATION}} = 50\text{kHz}$ 、 $\text{TIA GAIN} = 2\text{k}\Omega$ 、 $\text{DFT} = 1024$ 、 $\text{Z}_{\text{CONTACT}} = 1\text{k}\Omega$ 、 $\text{Z}_{\text{BODY}} = 1\text{k}\Omega$)

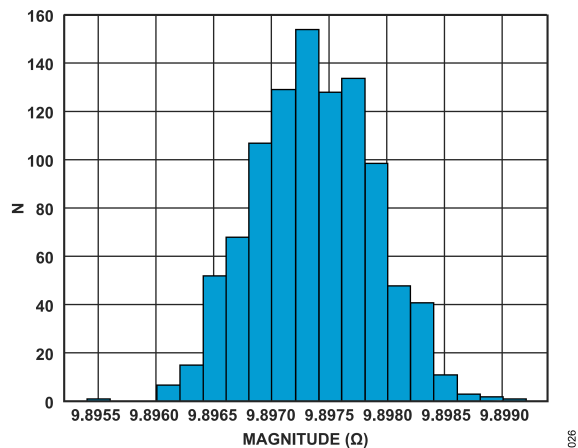


図 25. EDA ノイズのヒストグラム、 $f_s = 2.5\text{kHz}$ 、 $\text{DFT} = 1024$ 、 $\text{PGA} = 1.5$ 、 $\text{ODR} = 100\text{Hz}$

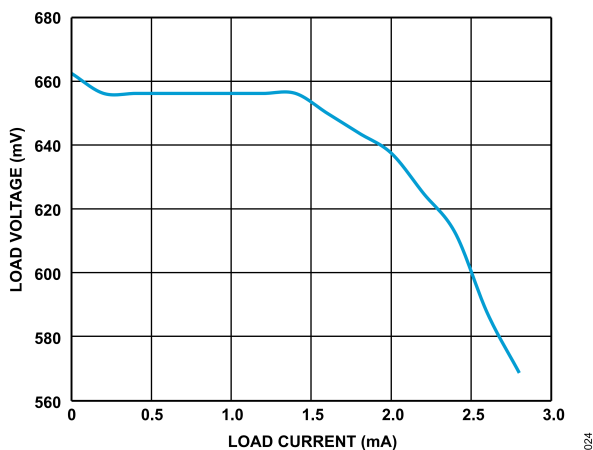


図 23. BIOZ 駆動能力

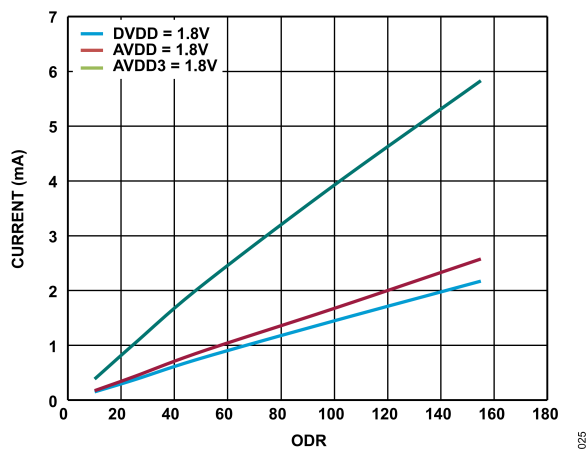


図 24. 消費電力と ODR の関係
(12 タイム・スロット、 $\text{DFT} = 1024$)

動作原理

はじめに

ADPD7000 は、マルチモードのバイタル信号モニタリング AFE で、光学測定パス (PPG)、ECG 測定パス、BIA 測定パス、EDA 測定パスの 4 つの高性能シグナル・チェーンで構成されています。

PPG 測定パスは、最大 8 個の LED と 4 個のフォト・ダイオードの入力をサポートするトランシーバーとして機能します。LED の電流は、2 個の 7 ビット LED ドライバによって設定できます。レシーバー・パスは、同時サンプリング可能で個別設定可能な 2 つの高性能読出しチャンネルを提供します。2 個の高性能電流 DAC (IDAC) がチャンネルごとに備わっており、優れた周辺光除去と大きなダイナミック・レンジを様々なアプリケーションで提供します。

ECG 測定パスは、高入力インピーダンス、低ノイズ、高ダイナミック・レンジのソリューションを提供し、ウェアラブル・デバイスにおいて高品質な ECG 信号のアクイジションを可能にします。DCLO 検出と ACLO 検出の両方が内蔵されているため、適切な検出能力が確保されています。

BIA パスにおける刺激信号は、様々な周波数、振幅、位相を持つサイン波を供給することができるため、ADPD7000 は様々な状況において測定の最適化が可能です。低ノイズ TIA、PGA、フィルタ、ADC がレシーバー・チャンネルに内蔵されているため、高性能なインピーダンス測定が可能です。ダイレクト・デジタル・シンセサイザ (DDS) エンジンと DFT エンジンもこのパスに内蔵されています。

EDA 測定パスは、AC 電圧測定、DC 電圧測定、DC 電流測定など、様々なモードを備えており、EDA アプリケーションにおいて低ノイズと高い測定精度を実現します。

内蔵ステート・マシンが、これら 3 つの測定パスを柔軟に制御します。アクイジション・データは 704 バイトの FIFO に格納されます。

タイム・スロット動作

内蔵の構成設定可能なコントローラが ADPD7000 の動作を処理します。このコントローラは、3 つの測定パスとスリープ期間を組み合わせたサンプリング領域を生成するのに必要なタイミングを発生します。複数のシグナル・チェーンを使用しやすくするため、複数のタイム・スロットによって異なるトランスミッタやレシーバーへのアクセスを処理します。

システムは、イネーブルされた各タイム・スロットの繰り返し周期を決定する ODR によって特性が決まります。イネーブルされたタイム・スロットは、TIMESLOT_PERIOD_x ビットで設定されるタイム・スロット・レートで繰り返されます。

ADPD7000 には、図 26 に示すように 31 個のタイム・スロットがあります。

イネーブルされた PPG および BIA の各タイム・スロットは、タイム・スロット・レートで繰り返され、その後に超低消費電力のスリープ期間が続きます。

ECG_TS は ECG のタイム・スロットです。ECG シグナル・チェーンの動作は、タイム・スロット形式では行われません。ECG タイム・スロットがオンになった後、ECG シグナル・チェーンはシステムが停止するまで動作します。ただし、ECG シグナル・チェーンの出力データは、このタイム・スロット・レートで FIFO に同期します。

ECG タイム・スロットの後、12 の PPG タイム・スロット (PPG_TSA~PPG_TSL) が続きます。各 PPG タイム・スロットでは、1 つ以上の LED パルスおよび変調パルスの生成と、その励起によるフォト・ダイオードや他のデバイスの電流のアクイジションが可能です。各タイム・スロットの動作パラメータは、細かい設定が可能です。

最後の 18 個のタイム・スロットは BIA タイム・スロット (BIA/EDA_TSA~BIA/EDA_TSR) で、EDA タイム・スロットと共有されます。各 BIA タイム・スロットでは励起電圧、周波数、レシーバーの設定が可能で、生体インピーダンスの正確な測定が容易にできるようになります。

サンプリング・レート (タイム・スロット・レート) は、次の式 1 に示すとおりです。

Sampling Rate = Timer Clock Frequency (Hz) /TIMESLOT_PERIODx (1)

表 9. 低周波数クロック (LFCLK) 源とタイマー・クロック源¹

LFCLK	Timer Clock	ALT_CLOCKS	TM_CLK_GPIO_SEL
960 kHz Internal	960 kHz internal	0	N/A
960 kHz External	960 kHz external	1	N/A
960 kHz Internal	960 kHz internal	2	N/A
1 MHz External (Divided from 32 MHz)	1 MHz external (divided from 32 MHz)	3	N/A
960 kHz Internal	960 kHz external	4	1
960 kHz Internal	32 kHz external	4	0

¹ N/A は該当なしを意味します。

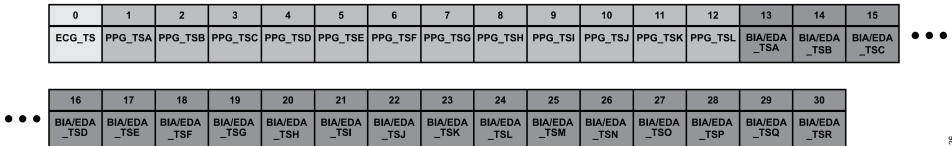


図 26. タイム・スロットの割当て

動作原理

リードオン検出

動作モードがスタンバイ・モードまたは PPG のみのモードに設定されている場合、LEAD_ON_MODE ビット（レジスタ 00F、ビット 11）を 1 に設定することにより、ADPD7000 に搭載されたリードオン検出機能によって超低消費電力モードで動作させることができます。この動作モードが、いずれかの ECG または BIOZ タイム・スロットがイネーブルされた状態で設定された場合には、リードオン検出回路の一部が ECG や BIOZ タイム・スロット動作によって制御されるため、リードオン検出モードは無視されます。

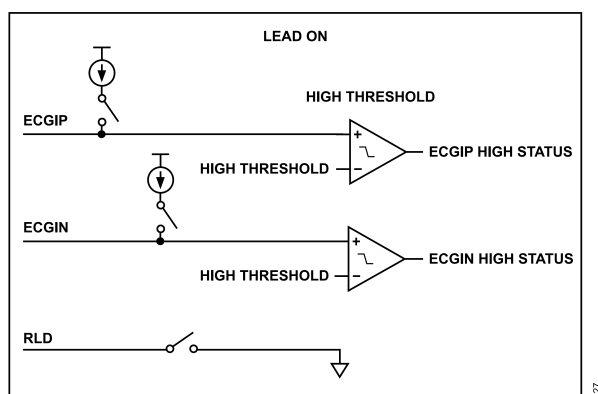


図 27. リードオン検出

光シグナル・チェーン

光信号パスは、最大 8 個の LED を励起し、リターン信号を最大 4 つの別々の電流入力で測定します。光タイム・スロットは 12 個あるため、サンプリング周期ごとに最大 12 の光学測定ができます。

アナログ入力は、シングルエンドまたは差動ペアで駆動できます。4 個のアナログ入力は、単一チャンネルまたは独立した 2 つのチャンネルにマルチプレクスされ、同時に 2 個のセンサーのサンプリングが可能です。

光シグナル・チェーンは、TIA、レジスタ設定によってはバッファとしても設定可能な積分器、および ADC で構成されています。デジタル・ブロックは、複数の動作モード、プログラマブルなタイミング調整、およびブロック平均化が可能です。

また、最大 200mA で駆動できる 2 個の独立した LED ドライバを搭載しています。2 個の LED ドライバは任意のタイム・スロットで使用でき、7 ビットのレジスタ設定値により 1.57mA から 200mA までの単調増加のプログラムが可能です。イネーブルされた LED ドライバは、いずれのタイム・スロットでも、組み合わせることで合計 400mA までの LED 電流を供給できます。

光学測定を行う場合、周辺光の除去は、外部の制御ループ、DC 電流の減算、あるいはデジタル・アルゴリズムなどを必要とせず、自動的に行われます。

LED ドライバは電流シンクなので、LED 電源電圧や LED の種類による影響を受けません。光学測定は、比較的小さな LED 電力で高い S/N 比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

アナログ信号パス

光シグナル・チェーンのアナログ信号パスは 4 個の電流入力からなり、これらはシングルエンドまたは差動ペアとして構成され、4 つの独立したチャンネルの 1 つに供給されます。この 4 つのチャンネルは同時にサンプリング可能で、4 個のセンサーの瞬時サンプリングが求められるアプリケーションに使用できます。

アナログ入力マルチプレクサ

光シグナル・チェーンは 4 個のアナログ入力ピンをサポートしています。各入力はシングルエンド入力として、または差動ペアの一部として使用できます。図 28 に入力スイッチ・マトリックスの 1 つを示します。これにより、4 つの光学チャンネルとのプログラマブルな接続が可能になります。各入力ペア（IN1 と IN2、IN3 と IN4）は、このマルチプレクサを複製した回路になっています。接続はタイム・スロットごとにプログラム可能です。

PAIR12 ビットと PAIR34 ビットを使用して、それぞれの入力ペアを 2 つのシングルエンド入力として使用するか、差動ペアとして使用するかを選択します。この選択は、すべてのアクティブなタイム・スロットに対して有効です。INP12_x ビットおよび INP34_x ビットによって、該当するタイム・スロットにおいて入力ペアをイネーブルするかどうかを設定できます。イネーブルされた場合は、どの入力をどの光学チャンネルに接続するかも設定します。チャンネル 1 とチャンネル 2 はシングルエンド入力または差動入力をサポートしますが、チャンネル 3 とチャンネル 4 はシングルエンド入力のみをサポートすることに注意してください。

スリープ条件は、イネーブルされていないすべての入力に使用します。スリープ条件は、INP_SLEEP_12 ビットと INP_SLEEP_34 ビットによって決定し、これらのビットで、スリープ時および入力アクティブになっていないときの入力ペアの状態を設定します。入力は、前処理の間、および入力がイネーブルされたタイム・スロットのパルス領域でのみアクティブと見なされます。

入力に接続されたセンサーの前処理は、サンプリングの前に入力の動作ポイントを設定するために使用します。前処理にはいくつかの異なるオプションがあり、PRECON_x ビットによって決定します。PRECON_x ビットは各タイム・スロットに対して用意されており、タイム・スロット期間におけるイネーブルされた入力、または入力ペアの前処理を設定します。前処理の選択肢として、フロート状態、VC1、TIA の内部電圧リファレンス信号（TIA_VREF）、TIA 入力、入力ペア短絡があります。前処理は各タイム・スロットの開始時に実施され、その時間は PRE_WIDTH_x ビットを使用してプログラムできます。デフォルトの前処理時間は 4μs です。

図 28 のブロック図に、スリープ状態および前処理の間に入力と接続可能なバイアス・レベルを示します。これらの接続は、入力が選択されているタイム・スロットのサンプリング・フェーズの期間中は使用できません。

動作原理

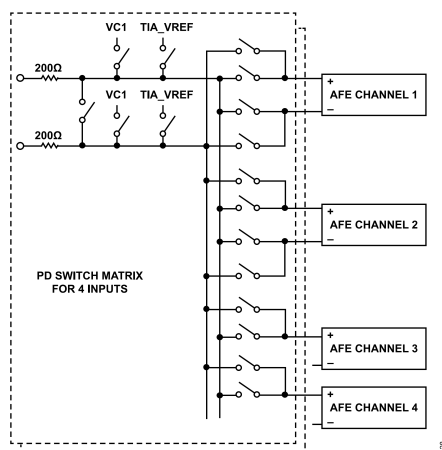


図 28. スイッチ・マトリックスのブロック図

周辺光キャンセル

ADPD7000 には、次のように周辺光をキャンセルするモードが 3 つあります。

- ▶ 粗調整のみ
- ▶ 粗調整と微調整ループ
- ▶ 外部マイクロコントローラ・ユニット (MCU) 制御

粗調整のみのモードおよび粗調整と微調整ループのモードでは、ソフトウェアの助けを借りることなく ADPD7000 が自動で制御します。外部 MCU 制御モードでは、外部アルゴリズムを用いて周辺光除去が可能です。

モードを選択するには AMBIENT_CANCELLATION_x ビットを使用します。

各 PPG タイム・スロットの開始時には粗調整モードで動作します。このモードでは、周辺光のレベルを測定し、周辺光 DAC コードを設定します。これらの動作を完了し周辺光 DAC のベースラインを決定するために、回路としては 48μs を要します。その後、PPG チャンネルは通常動作を開始できます。例えば、デジタル積分モードの場合、PPG レシーバー・チャンネルは、暗サンプルの取得を開始できます。粗調整のみのモードが有効化されている場合、この周辺光ベースラインがそのタイム・スロットで使用されます。

粗調整と微調整ループのモードが有効化されている場合、粗調整回路は粗調整モードと同じように動作します。ただし、周辺光 DAC コードは暗サンプルの測定ごとに更新されます。

AMBIENT_CANCELLATION_x ビットでこれら 2 つのモードを選択することにより、システム・レベルで柔軟な設計が可能になります。

粗調整ループ・モードでは、周辺光電流の正確な値を求める測定を行います。その後、周辺光 DAC が、シグナル・チェーンの開始時に周辺光電流を差し引くため、PPG 信号測定に大きな誤差が生じることはありません。

アナログ積分モードとデジタル積分モードのどちらも、粗調整ループによる周辺光除去が可能です。

微調整ループは、暗サンプルの測定ごとに周辺光情報を更新します。この機能はデジタル積分モードでのみ利用できます。

MCU モードでは、ユーザが周辺光電流を差し引くことができます。DAC_AMBIENT_CH1_x ビットおよび DAC_AMBIENT_CH2_x ビットは、ユーザが周辺光電流値を入力できるよう設計されており、これにより、AFE はその値をシグナル・チェーンから差し引きします。DAC_AMBIENT_CH1_x および DAC_AMBIENT_CH2_x は 9 ビットのフィールドで、それぞれの LSB は 0μA ~ 300μA の範囲で 0.6μA ステップに相当します。

LED DC キャンセル機能

周辺光 DAC の他に、各シグナル・チェーンの入力にはもう 1 つの IDAC があります。この IDAC は、LED の反射光の不要な DC 成分を除去してレシーバー・チャンネルのダイナミック・レンジを拡大するために用いられます。

2 つの IDAC は、MCU によってのみ制御されます。DAC_LED_DC_CH1_x ビットおよび DAC_LED_DC_CH2_x ビットを使用して、LED の DC 成分をキャンセルする 7 ビット IDAC をフルスケールで制御します。

この LED DC キャンセル機能は、デジタル積分モードでのみ利用できます。

上位レベルの光学設計およびシステム設計に基づき、特定の量の DC 電流が AFE から差し引かれます。DAC_LED_DC_CH1_x および DAC_LED_DC_CH2_x は 7 ビットのフィールドで、それぞれの LSB は 0μA ~ 190μA の範囲で 1.5μA ステップに相当します。

LED ドライバ

光路には 2 つの LED ドライバがあり、それぞれが 4 つの LED ドライバ出力を備えているため、合計で 8 つの LED 出力ドライバが使用可能です。ドライバ・ペアごとに 1 つを使用することで、最大 2 個の LED を同時に駆動できます。LED 出力ドライバは電流シンクです。図 29 に、1 つの LED ドライバ出力ペアの例を示します。

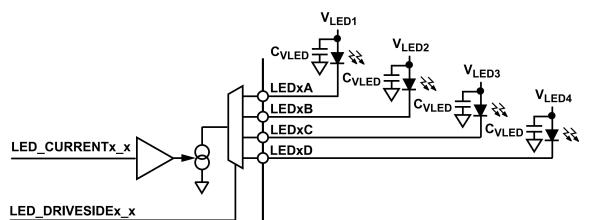


図 29. LED ドライバ出力ペア (CvLED はバイパス・コンデンサ)

LED ドライバ出力ピン (LED1A、LED2A、LED1B、LED2B、LED1C、LED2C、LED1D、LED2D) の最大許容電圧は 3.6V です。この定格を超える電圧を印加すると、デバイス動作の信頼性に影響を与え、状況によってはデバイスが正常に動作しなくなる場合があります。LED ドライバ出力ピンの電圧と LED への電源電圧を混同しないでください。V_LEDx は外部 LED のアノードに印加する電圧です。これに対し、LED 出力ドライバ・ピンは外部 LED のカソードに接続します。コンプライアンス電圧は、グラウンドを基準として測定した LED ドライバ・ピンのヘッドルームの総電圧で、設定した LED 電流レベルを維持するために必要となります。このコンプライアンス電圧は、必要とする電流の関数になっています。

動作原理

ECG シグナル・チェーン

ECG チャンネルは、2 つの電極リード間の差動電圧を測定し、リード測定を行います。このチャンネルの出力は、測定した ECG 電圧を表す 24 ビットのデジタル・ワードです。最大入力差動信号は $\pm 1.2\text{V}$ で、LSB の大きさは 286nV です。出力データレートは、250SPS、500SPS、1kSPS、2kSPS、または 4kSPS です。このフィルタの選択はデジタル処理には影響しますが、アナログ処理には影響しません。更に、 4kHz の AC リードオフ信号は、アナログ ECG パスによって変換され、デジタル領域で取り込まれます。

ECG チャンネルには、帰還構成を備えた専用の ADC パスがあり、ECG エレクトロードから生じる DC オフセットを除去します。ECG チャンネルは、高品質の ECG 信号処理を可能にすると同時に、複雑なシステム設計に起因する大きな DC オフセットを抑制するよう設計されています。

DC および AC リードオフ検出機能と DC リードオン検出機能の両方を備えているため、複雑で様々なリード接触条件に対応し信頼できるリード情報を提供できます。

RLD 信号は、人体電位をよりよくバイアスし干渉を回避できるよう設計されています。

ECGIP および ECGIN は ECG チャンネルの信号入力で、これらの入力は入力リードに接続する必要があります。RLD 信号はリファレンス・リードに接続する必要があります。

ECG 信号 (RLD、ECGIP、ECGIN) は、ECG_MATRIX レジスタを設定することにより、ECG1~ECG4 ピンのどれか 1 つに接続することができます。

ECG メイン・シグナル・チェーン

図 30 に ECG のメイン・シグナル・チェーンの回路図を示します。

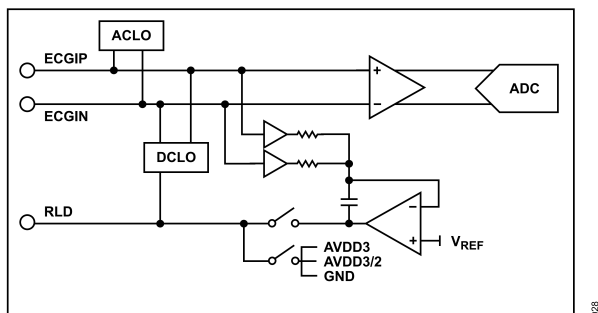


図 30. ECG メイン・シグナル・チェーン図

DC リードオフ (DCLO) 検出

DCLO 回路は、設定可能な微小 DC 電流を各入力電極リードに印加し、その結果生じる電極リードの電圧をモニタします。図 31 に DCLO 検出回路の図を示します。

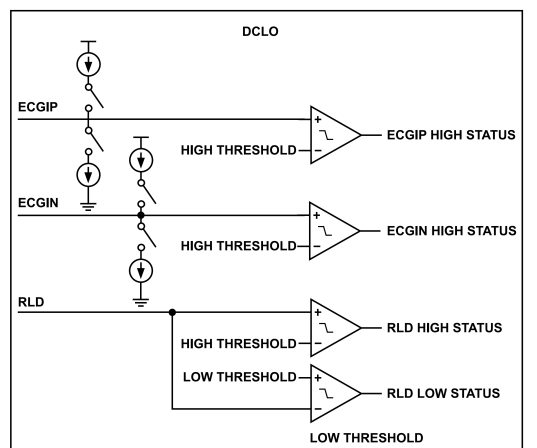


図 31. DCLO 検出回路図

ECGIP 信号と ECGIN 信号がどちらも正しく接続されている場合、ECG 入力 of 1 つから患者を通じてもう 1 つの ECG 入力に電流が流れることで、微小な電圧シフトが生じます。このフェール電流の大きさは全 ECG エレクトロードに共通で、 $0\text{nA} \sim 1.1\mu\text{A}$ の範囲で設定できます。

フェール電流の極性は電極リードごとに独立で、ECG_DCLO_POLARITY_IN ビットと ECG_DCLO_POLARITY_IP ビット (レジスタ 0x101 を参照) を使用して設定できます。電極リードの接続が悪化した場合あるいは外れた場合、この電極リードの信号電圧は、設定したフェール電流の極性に依ってハイまたはローになります。

検出回路は、それぞれの電極リード入力 (ECGIP および ECGIN) に基づいています。検出回路は、ECG 入力に対して個別に設定可能な閾値に基づくコンパレータを使用します。

入力リードのそれぞれ (ECGIP および ECGIN) には、上限閾値を持つコンパレータが 1 つだけあります。RLD 信号には、上限閾値を持つコンパレータと下限閾値を持つコンパレータの 2 つがあります。

これらの閾値の制限は、予想される信号範囲をすべての閾値電圧がカバーするよう選択されます。ウィンドウ・コンパレータは、電極リードの入力電圧とこれに対応する閾値電圧を比較します。特定の電極リードの電圧変化が、フェール電流として設定されたいずれかの閾値電圧を超えた場合、電極リード接触部の DC 抵抗はリードオフをフラグ通知できます。

AC リードオフ (ACLO) 検出

ECG パスは ACLO 検出回路を備えており、DCLO 検出回路と共に使用してリードオフを検出することができます。異なる種類のリード処理が可能です。図 32 に ACLO 検出回路の図を示します。

動作原理

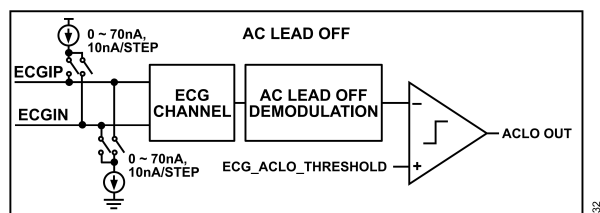


図 32. ACLO 検出回路図

ACLO 法は、AC 電流を各 ECG エレクトロードに印加し、その結果生じる ECG チャンネルの電圧の大きさを測定することにより、エレクトロードが患者に接続されているかどうかを検出します。ACLO 機能を使用するには、ECG チャンネルをイネードする必要があります。

ACLO 電流の大きさは、ECG_ACLO_MAG ビットで設定できます。AC 電流を ECG 入力パスに印加することで、測定する ECG チャンネル入力間に電圧が生じます。測定された電圧は同期して復調され、コンパレータを通じて送られます。ユーザは、ECG_ACLO_THRESHOLD ビットを用いて閾値を設定できます。

ACLO 検出機能は、ECG 入力ピン (ECGIP と ECGIN) にのみ使用でき、RLD 信号には対応していません。駆動電流は右脚 (RL) に印加されるため、エレクトロードが正しく接続されていれば信号は微小です。エレクトロードが適切に接続されていない、あるいは完全に乾燥している場合は、容量性分圧器で検出されるほどの大きな信号となります。

右脚ドライバ (RLD)

駆動リファレンスを用いると、ノイズの同相モード除去や外部ソースからの干渉 (電源ラインの干渉 (50Hz または 60Hz) や患者に接続された他の機器からの干渉など) が改善されるため、全体的な性能が向上します。また、駆動段は、ECG エレクトロードに印加されたリード・フェール電流を吸収する働きもあります。

リファレンス・エレクトロード駆動回路は、患者の VCM を検出し、その反転波形を体に印加することで、患者を通じて負帰還ループを形成します。RLD アンプは $V_{CM} = AVDD3/2$ を用います。これはエレクトロード電圧を ADC 入力範囲の中央におく値です。各エレクトロード入力バッファされ、スイッチを介して RLD アンプに供給されます。

RLD 信号の容量は、RLD アンプに影響します。最高の性能を得るには、このノードの容量を 2.2nF 未満にします。通常動作では、RLD アンプの出力は RLD 信号とこれに関連する保護回路を介して RL エレクトロードに印加します。

RLD アンプはオフにすることができ、RLD 信号を、ECG_RLD_OUT_SEL ビットで電圧を選択して駆動することができます。

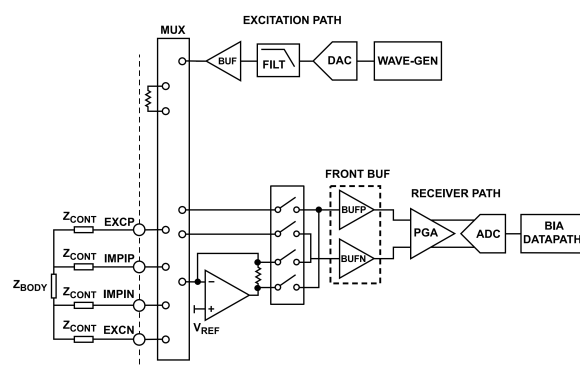
BIA シグナル・チェーン

BIA シグナル・チェーンは、生体インピーダンス測定用に設計されたものです。このシグナル・チェーンは、高周波数の高精度励起ループと測定チャンネルからなり、様々な生体インピーダンス構成に対し幅広い測定機能が利用できます。

励起ループは高速 DAC と呼ばれる 12 ビット DAC からなります。この DAC は、最大 250kHz の高周波励起信号を生成できます。

測定チャンネルは、入力バッファ付き ADC、内蔵アンチエイリアス・フィルタ、PGA を備えています。

超低リークのプログラマブル・スイッチ・マトリックスによって、センサーと内部のアナログ励起ブロックおよび測定ブロックを接続します。このマトリックスは、外部の生体インピーダンスとキャリブレーション抵抗を接続するインターフェースとなっています。図 33 に、BIA シグナル・チェーンのブロック図を示します。

図 33. BIA チャンネルのブロック図
(ZCONT は接触インピーダンス)

励起ループの入力マルチプレクサ (mux) は、BIOZ_TSW_x、BIOZ_DSW_x、および BIOZ_RINT_SW_x ビットで制御されます。測定パスの入力マルチプレクサは、BIOZ_NCHAN_x および BIOZ_PCHAN_x で制御されます。表 10 に入力マルチプレクサの接続とそのビット設定を示します。BIA チャンネルの柔軟な設計により、様々な構成で測定が可能となります。

表 10. BIA チャンネルの TIA 接続

Bit Name	Setting	Connection
BIOZ_TSW_x	0001	IMPIP
	0010	IMPIN
	0100	EXCP
	1000	EXCN
BIOZ_RINT_SW_x, Bits[1:0]	1	The internal resistor (R_{INT}) that connects to the external buffer (EXCBUF) and the high power TIA (HPTIA) blocks
	0	R_{INT} no connection
BIOZ_DSW_x	0001	IMPIP
	0010	IMPIN
	0100	EXCP
	1000	EXCN
BIOZ_NCHAN_x	000	HPTIA_n ¹
	001	IMPIN

動作原理

表 10. BIA チャンネルの TIA 接続（続き）

Bit Name	Setting	Connection
	010	EXCP
	011	R _{INT_SN} ²
	100	IMPIP
	101	EXCN
	110	ECG RLD (EDA only)
	111	ECGIP (EDA only)
BIOZ_PCHAN_x	000	HPTIA_p ¹
	001	IMPIP
	010	EXCN
	011	R _{INT_SP} ²
	100	IMPIN
	101	EXCP
	110	ECGIN (EDA only)
	111	ECGIP (EDA only)

¹ HPTIA_n と HPTIA_p は TIA 抵抗の 2 つの端子を表します。

² R_{INT_SN} と R_{INT_SP} は内部抵抗の 2 つの端子を表します。

生成するサイン波の周波数は BIOZ_SINEFCW_x_x ビットで制御し、サイン波の振幅は BIOZ_SINEAMPLITUDE_x ビットで制御します。BIOZ_SINE_PHASE_OFFSET_x ビットを使用してサイン波の位相を制御します。

これらのビットを使用して、次式のように電圧出力（V_{OUT}）の振幅とサイン波の周波数を設定します。

$$V_{OUT} = 0.8 \times \frac{BIOZ_SINEAMPLITUDE_x}{2^{11}} V_{p-p} \quad (2)$$

$$Frequency = \frac{32M \times BIOZ_SINEFCW_x_x}{2^{26}} Hz \quad (3)$$

TIA のゲインは BIOZ_TIA_RGAIN_x ビットで設定できます。

測定値をデジタル化した後、ADC 出力は、BIA チャンネルのデータパスに送られます。このパスにはフィルタ、ゲイン制御、DFT が含まれます。DFT の結果は受信したサイン波の I データと Q データです。このデータ・フォーマットは 3 バイト、または 4 ビットで、BIOZ_DATA_SIZE_x ビットで制御します。

チェーンがオンの場合、DFT パスは DFT の実行まで待機することができます。待機時間は BIOZ_ADC_CONV_DLY_x レジスタで制御します。

正確に測定するため、チップで比率の測定を行ってください。つまり、チップで R_{INT} の既知の内部抵抗を測定し、次に未知の抵抗を測定する必要があります。被験抵抗を計算するにはレシオ法を用います。

EDA 信号パス

EDA は皮膚電気反射（GSR）とも呼ばれ、皮膚の汗腺を通じて導通し、電気的な変動を測定します。この変動は、感じた感情の強さを表しています。

ADPD7000 は、AC 電圧、DC 電圧、DC 電流の 3 つの測定モードをサポートしています。未知のインピーダンスを計算するには、未知のインピーダンスに流れる電流（I）と未知のインピーダンスの両端の電圧（V_{ZUNKNOWN}）を測定します。未知のインピーダンスは次式を使って計算します。

$$|Z| = \frac{V_{ZUNKNOWN}}{I} \quad (4)$$

一般的に、2 つのエレクトロードを使用して EDA を測定します（図 34 を参照）。励起信号は低い励起周波数で、測定結果は皮膚のインピーダンスとエレクトロードの接触インピーダンスが組み合わさったものになります。

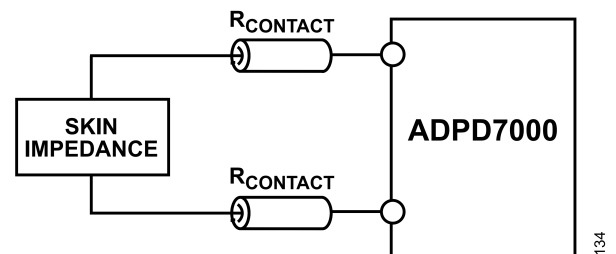


図 34. EDA の測定方法

FIFO

FIFO にパケット・データの一部だけが書き込まれることはありません。イネーブルされたすべてのタイム・スロットおよび選択されたステータス・バイトのデータを書き込むだけの FIFO 領域がない場合は、この期間はどのタイム・スロットのデータも書き込まれず、INT_FIFO_OFLOW のステータス・ビットがセットされます。

FIFO に書き込むサンプルの順番は（選択されている場合）、最初が暗データ、次が明データです。表 11 にマルチバイト・ワードのバイト順を示します。

表 11. FIFO 書込みのバイトの順番

Size	Byte Order (After Shift)
8	[7:0]
16	[15:8], [7:0]
24	[23:16], [15:8], [7:0]
32	[31:24], [23:16], [15:8], [7:0]

FIFO のサイズは 704 バイトです。FIFO が空のときは読み出し動作で 0xFF を返し、INT_FIFO_UFLOW のステータス・ビットがセットされます。

ECG データ・フォーマット

ECG チャンネルのデータは、ステータス・バイトをヘッダとする 24 ビットの符号なしデータです。図 35 に ECG チャンネルのデータを示します。

動作原理

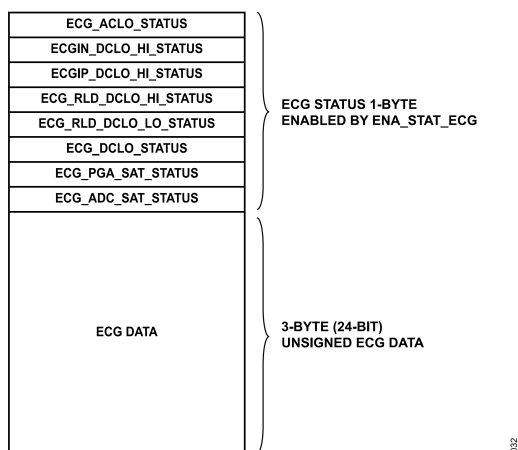


図 35. ECG データ・フォーマット

ENA_STAT_ECG が 1 に設定されている場合、ECG 出力データは 4 バイト構造で、最上位バイトは ECG に関するステータス情報です。ENA_STAT_ECG が 0 に設定されている場合、ECG 出力データは 3 バイト構造で ECG チャンネルの出力データのみが含まれます。

PPG データ・フォーマット

各タイム・スロットの最後で、選択されたデータが FIFO に書き込まれます。パケットには、0 ビット、8 ビット、16 ビット、24 ビット、または 32 ビットの暗データ値、信号データ値、または明データ値をそれぞれ含めることができます。FIFO に書き込むデータのビット・アライメントは、飽和情報を基に 0 ビットから 31 ビットでシフト量を選択できます。下位ビットは無視されます。DARK_SIZE_x、LIT_SIZE_x、SIGNAL_SIZE_x の各ビットを使用して、フィールドごとに書き込むバイト数を 0 バイトから 4 バイトの間で選択します。0 に設定した場合、このデータ・タイプで書き込まれるデータはありません。DARK_SHIFT_x、LIT_SHIFT_x、SIGNAL_SHIFT_x の各ビットを使用して、FIFO に書き込む前に出力データを右にシフトするビット数を選択します。選択したビット位置より上位のビット位置に上位ビットがある場合は、FIFO に書き込まれるデータは飽和しています。

FIFO に書き込むサンプルの順番は（選択されている場合）、最初が信号データ、次が暗データ、その次は明データです。両方のチャンネルがイネーブルされている場合、チャンネル 1 で選択されたデータが最初に FIFO に書き込まれ、次にチャンネル 2 のデータが書き込まれます。

例えば、暗データを使用するモードでは、各タイム・スロットで暗データの上位 8 ビットが信号データから適正に選択された 24 ビットと共に保存されます。これにより、周辺光が増加しているかどうか検出できると同時に転送データ量を制限できます。

図 36 に FIFO の PPG データ・フォーマットを示します。

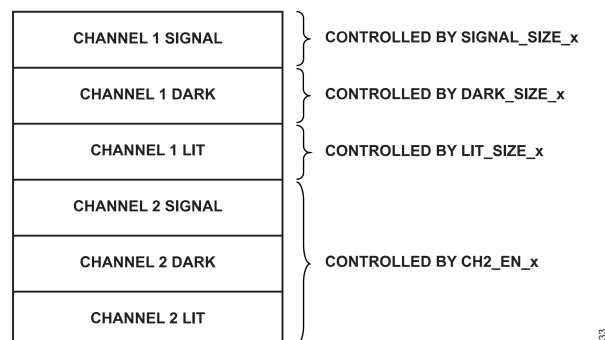


図 36. PPG データ・フォーマット

BIA/EDA データ・フォーマット

BIA/EDA データのフォーマットは、3 バイト、または 4 バイトの I データとそれに続く 3 バイトまたは 4 バイトの Q データです。図 37 に FIFO の BIA データ・フォーマットを示します。

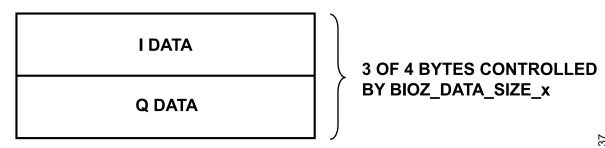


図 37. BIA/EDA データ・フォーマット

FIFO のデータ配列

FIFO のデータは、イネーブルされたタイム・スロットに従って構成され、同じシーケンスに従います。

例として、図 38 に、1 つの ECG タイム・スロット、3 つの PPG タイム・スロット、2 つの BIA タイム・スロットがイネーブルされている場合の FIFO を示します。

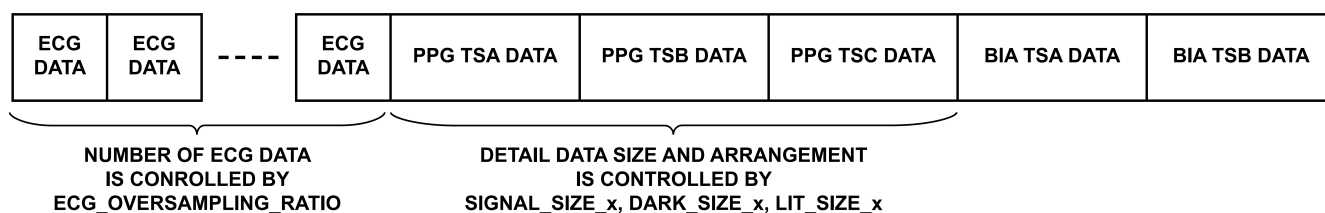


図 38. FIFO のデータ配列例（TSA はタイム・スロット A、TSB はタイム・スロット B、TSC はタイム・スロット C）

動作原理

クロッキング

低周波発振器

低周波発振器は低速のステート・マシンのクロックを生成します。これにより、サンプリングのタイミングやウェイクアップ状態など、すべての動作の制御で使われるタイム・ベースが設定されます。低周波発振器による生成には 3 つのオプションがあります。第 1 のオプションは、内部の 960kHz の発振器です。第 2 のオプションは、ホストによる外部の低周波発振器を使用することです。最後のオプションは、外部の 32MHz 高周波クロック源を 32 分周することによって低周波発振器を生成することです。デバイスの起動時には、低周波発振器がイネーブルされ、そのまま実行され続けるという想定になっています。

内蔵の低周波発振器を動作させるには、以下の書込みを実施してください。OSC_960K_EN ビットを 1 に設定して内部発振器をオンにします。内部の 960kHz のクロック周波数は 10 ビットの OSC_960K_FREQ_ADJ ビットを使用して調整します。

内部の低周波発振器で供給できるタイミング精度より高い精度が必要な場合は、GPIOx 入力を使用して外部ソースから低周波発振器を直接駆動することができます。外部の低周波クロックをイネーブルするには、以下の書込みを行います。まず、GPIO_PIN_CFGx ビットを使用して GPIOx 入力の 1 つをイネーブルします。次に、ALT_CLK_GPIO ビットを使用して、外部の低周波発振器を使用するためにイネーブルした GPIOx 入力を選択します。ALT_CLOCKS ビットを 0x1 に設定し、外部低周波発振器を選択します。

第 3 の方法では、外部の 32MHz クロックを高周波クロックとして、あるいは分周して低周波クロックとして使用します。この方法を使用するには、前述した外部低周波クロックの手順に従います。ただし、ALT_CLOCKS ビットは 0x3 に設定します。また、低周波クロック生成のために 32 分周を用います。これにより、32MHz の外部クロックから 1MHz のクロックが生成されます。

低周波数においては、電源オン後に ADPD7000 のヒューズの 960kHz のトリム・コードが自動的にロードされるため、960kHz クロックは高い精度になります。この動作はチップが自動的に処理するため、ユーザが何かを追加で行う必要はありません。

高周波発振器

32MHz の高周波発振器は、内部で生成するか外部から供給します。この高周波クロックは、高速のステート・マシンのクロックを生成し、これにより、LED タイミング、積分回数、BIA 励起周波数など、タイム・スロットでの AFE 動作を制御します。

高周波発振器は、ALT_CLOCKS ビットを 0x0 または 0x1 に設定することにより、内部でクロックを生成できます。内部クロックを選択した場合、32MHz の内部発振器は、適切なウェイクアップ・タイム内または 32MHz 発振器のキャリブレーション・ルーチンの間に、低速ステート・マシンによって自動的にイネーブルされます。

高周波発振器は、外部ソースから駆動することもできます。外部の 32MHz 高周波発振器を使用するには、GPIO_PIN_CFGx ビットを用いていずれかの GPIO 入力をイネーブルします。次に、ALT_CLK_GPIO ビットを使用して、外部の高周波発振器用にイネーブルした GPIOx 入力を選択します。最後に、ALT_CLOCKS ビットに 0x2 または 0x3 を書き込んで、外部高周波発振器を選択します。0x2 を書き込むと外部ソースから高周波クロックのみを供給するのに対して、0x3 を書き込むと外部の 32MHz ソースから低周波クロックと高周波クロックの両方を生成します。外部の 32MHz 発振器を使用する場合は、デバイスが適切に動作できるように、この外部発振器を継続的に動作させなければなりません。

タイム・スタンプ動作

タイム・スタンプ機能は、タイム・スロット動作中のタイミング情報をホストに供給するだけでなく、低周波発振器のキャリブレーションにも役立ちます。タイム・スタンプには、GPIO のいずれかをタイム・スタンプ・リクエスト入力として使用します。また、タイム・スタンプ・トリガの取得をイネーブルする CAPTURE_TIMESTAMP ビット、低周波発振器の領域で動作するタイム・カウンタ、および 2 つの出力レジスタを使用します。出力ビットには、タイム・スタンプのトリガとトリガの間に生成された低周波発振器のサイクル数を保持する TIMESTAMP_COUNT_x ビットと、次のタイム・スロットが開始するまでに残された低周波発振器のサイクル数を保持する TIMESTAMP_SLOT_DELTA ビットが含まれます。

タイム・スタンプ動作を使用する設定は以下のとおりです。

1. OSC_CAL_ENABLE = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. 適切な GPIO_PIN_CFG_x ビットを使用して、GPIO のいずれかをタイム・スタンプ入力に対応できるように構成します。TIMESTAMP_GPIO ビットを使用して、タイム・スタンプ供給用に構成した GPIOx を選択します。
3. ADPD7000 の動作設定を行い、低周波発振器をイネーブルします。
4. TIMESTAMP_SLOT_DELTA 機能を使用したいときは、OP_MODE ビットを使用してデバイスを Go モードに設定することによってタイム・スロット動作を開始します。（表 12 参照）。低周波発振器のキャリブレーションは、低周波発振器をイネーブルするだけで実行できます。また、低周波発振器をキャリブレーションするためにデバイスを Go モードにする必要はありません。

タイム・スタンプを取得するには、次の手順に従います。

1. CAPTURE_TIMESTAMP ビットを 1 に設定します。これにより、選択した GPIOx 入力の次の立上がりエッジでタイム・スタンプの取得がイネーブルされます。
2. ホストは、適切なタイミングで最初のタイム・スタンプ・トリガをこの選択した GPIOx に供給します。
3. タイム・スタンプ信号が取得されると、TIMESTAMP_ALWAYS_EN ビットが設定されている場合を除き、CAPTURE_TIMESTAMP ビットはクリアされます。TIMESTAMP_ALWAYS_EN ビットが設定されている場合は、タイム・スタンプの取得は常にイネーブルされた状態になります。必要に応じてタイム・スタンプの取得を再度イネーブルします。
4. ホストは、適切なタイミングで次のタイム・スタンプ・トリガをこの GPIO に供給します。

動作原理

5. タイム・スタンプのトリガとトリガの間に発生する低周波発振器のサイクル数を `TIMESTAMP_COUNT_x` ビットから読み出すことができます。

ホストは、タイム・スタンプ処理の間、FIFO のデータ処理を通常のとおりに続ける必要があります。

タイム・スタンプ以外には遷移しない専用のピンを使用する場合は、`TIMESTAMP_ALWAYS_EN` ビットを設定して `CAPTURE_TIMESTAMP` ビットが自動的にクリアされないようにします。この設定により、タイム・スタンプの取得を毎回イネーブルする必要がなくなります。

ホストは、`TIMESTAMP_SLOT_DELTA` を使用して、次のタイム・スロットが発生する時間を決めることもできます。`TIMESTAMP_SLOT_DELTA` によって、現在のサンプルが FIFO に到着する時間を決定できます。

タイム・スタンプ・トリガはエッジ・センシティブで、`TIMESTAMP_INV` を使用して立上がりエッジ（デフォルト）と立下がりエッジのどちらでトリガするか設定できます。

低周波発振器のキャリブレーション

周波数をタイム・スタンプのトリガのタイミングに合わせることで、タイム・スタンプ回路を使用して 960kHz の低周波発振器回路のキャリブレーションが可能です。低周波発振器のサイクルにおける `TIMESTAMP_COUNT_x` の値と、タイム・スタンプの実際のトリガ周期を比較して、`OSC_960K_FREQ_ADJ` の値を調整するだけです。

高周波発振器のキャリブレーション

高周波発振器は、システムの時刻でキャリブレーションした低周波発振器のサイクルの倍数と、高周波発振器のサイクルの倍数を比較することでキャリブレーションします。低周波発振器のキャリブレーションは、高周波発振器のキャリブレーションの前に実施しておきます。高周波発振器のキャリブレーション方法は、以下のとおりです。

1. `OSC_CAL_ENABLE` = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. `OSC_32M_CAL_START` ビットに 1 を書き込みます。
3. ADPD7000 は自動的に高周波発振器をパワーアップします。
4. その後、高周波発振器が安定するまで自動的に待機します。
5. 内部カウンタが、960kHz 低周波発振器の 128 サイクルの間に発生する 32MHz の高周波発振器のクロック数を自動的にカウントします。
6. `OSC_32M_CAL_COUNT` ビットが最終的なカウント数で更新されます。
7. タイム・スロットがアクティブでなければ、32MHz の発振器はキャリブレーション後自動的にパワーダウンします。
8. デバイスは `OSC_32M_CAL_START` ビットをリセットし、カウンタが更新されたことを示します。

`OSC_32M_FREQ_ADJ` ビットは、32MHz の発振器周波数を目的の周波数に調整します。外部の低周波発振器を使用する場合には、32MHz 発振器のキャリブレーションは外部から供給される低周波クロックを基準に実施してください。

低周波発振器と高周波発振器のキャリブレーション完了後、`CLK_CAL_ENA` = 0 に設定して発振器のキャリブレーション回路のクロッキングをディスエーブルすると消費電力を削減できます。`CLK_CAL_ENA` はデフォルトで 0 に設定されているので、キャリブレーション回路はデフォルトでディスエーブルです。

実行モード

低周波発振器のクロック領域におけるステート・マシンは、スリープ時間、ウェイクアップ・サイクル、およびタイム・スロット動作の開始を制御します。低周波発振器は、すべてのタイム・スロット動作のタイム・ベースとして機能すると共に、サンプリング・レートの制御、および低周波数のステート・マシンへのクロック供給を実行します。すべての動作を制御するこのステート・マシンを制御するには、`OP_MODE` ビットを使用します。

表 12. `OP_MODE` ビットの設定値の説明

OP_MODE の 設定値	モード	説明
000	Standby	すべての動作が停止し、タイム・スロットの動作はリセットされます。低消費電力のスタンバイ状態です。
001	Go	スタンバイ・モードからこの状態に移移すると、タイム・スロット動作が開始します。
011	ADC test mode	このモードは、通常のウェイクアップ・シーケンスを経て、PPG タイム・スロット A の設定に基づく連続 ADC サイクルを実行します。
101	Repeat selected time slots without sleep	このモードは、通常のウェイクアップ・シーケンスを 1 回実行した後、イネーブルされたタイム・スロットのシーケンスのサイクルを、スリープに入ることなく実行します。
111	DAC test mode	このモードは、通常のウェイクアップ・シーケンスを経て、BIOZ タイム・スロット A の設定に基づく連続 DAC サイクルを実行します。BIOZ タイム・スロット A は、DAC テスト・モードを開始する前にイネーブルされている必要があります。

パワーアップ時、およびその後リセット動作が行われた後は、ADPD7000 は常にスタンバイ・モードになります。`OP_MODE` ビットに 0 を書き込むことで、すぐに動作を停止してスタンバイ・モードに戻すことができます。

タイム・スロットは、`OP_MODE` レジスタの `ECG_TIMESLOT_EN`、`PPG_TIMESLOT_EN`、`BIOZ_TIMESLOT_EN` の各ビットでイネーブルできます（表 23 のレジスタ 0x010 を参照）。

`ECG` タイム・スロットをイネーブルするには `ECG_TIMESLOT_EN` を 1 に設定します。`BIOZ_TIMESLOT_MODE` ビットを 1 に設定し、`BIOZ_TIMESLOT_EN` を任意の値に設定することで、これに対応した `EDA` タイム・スロットがイネーブルされます。`BIOZ_TIMESLOT_MODE` を 0 に設定し、`BIOZ_TIMESLOT_EN` を任意の値に設定することで、これに対応した `BIA` タイム・スロットがイネーブルされます。`PPG_TIMESLOT_EN` を任意の値に設定することで、これに対応した `PPG` タイム・スロットがイネーブルされます。

目的のタイム・スロットをイネーブルしたら、`OP_MODE` ビットを 1 に設定してチップ動作を開始します。

動作原理

Go モードの間は、動作モードに影響を与えるレジスタ書き込みを行うことはできません。コントロール・レジスタを変更するには、その前にスタンバイ・モードに入る必要があります。スタンバイ・モードに入ると、ADC のデジタル部分、すべてのパルス・ジェネレータ、およびステータス・マシンがリセットされます。

外部の同期トリガを使用しない場合は、OP_MODE が 1 にセットされると、デバイスはすぐに最初のウェイクアップ・シーケンスおよびタイム・スロット動作を開始します。外部の同期トリガを使用する場合、デバイスは、最初のウェイクアップおよびタイム・スロット領域を開始する前にスリープ状態に入ります。

ホスト・インターフェース

ADPD7000 は、SPI を使って他のデバイスとの通信を行います。また、大容量 FIFO、エラー、および閾値のステータス・ビットを内蔵しており、これらは、GPIO から割込み機能によって使用すること、ステータス・レジスタから読み出すこと、FIFO パケットの最後にオプションのステータス・バイトとして追加することが可能です。

割込みステータス・ビット

FIFO 閾値割込み

INT_FIFO_TH は、FIFO 閾値割込みのステータス・ビットで、FIFO 内のバイト数が FIFO_TH レジスタに保存された値を超えることでセットされます。FIFO の読出しによってバイト数が FIFO_TH レジスタの値より少なくなると、INT_FIFO_TH ビットは自動的にクリアされます。これにより、ホストが必要とする適正なデータ・サイズを設定することができます。

データ全体の書き込みの途中で FIFO のバイト数が閾値を超えても、INT_FIFO_TH ビットはトリガしません。その代わりに、FIFO への次の書き込み時に INT_FIFO_TH ビットがセットされます。例えば、PPG TSA のみが動作している場合、FIFO には 4 バイトの明データが書き込まれるだけです。図 39 に、FIFO のデータを示します。

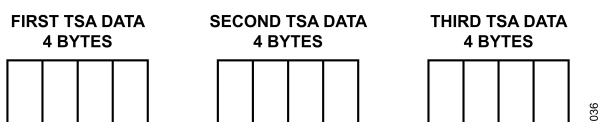


図 39. FIFO 閾値割込みの例

閾値が 4 に設定されている場合、割込みは、FIFO への 2 番目の TSA データ書き込みの最初にトリガされます。閾値が 5、6、または 7 に設定されている場合、3 番目の TSA データの書き込みまで INT_FIFO_TH ビットはトリガを発生しません。この方法により、FIFO から読み出されるのがデータの一部のみになってしまうのを防止できます。

割込みステータス・ビットのクリア

すべてのステータス・ビットは、割込み出力の Interrupt X と Interrupt Y のどちらに接続されているかには無関係にセットされます。ステータス・ビットは、割込みイネーブル・ビットとは無関係です。ステータス・ビットは、常に、該当するイベントによってセットされます。割込みビットは、手動または自動でクリアされるまでセットされた状態を維持します。

該当する割込みステータス・ビットに 1 を書き込むことにより、手動で割込みをクリアできます。また、データ割込みステータス・ビットは自動でクリアする設定にもできます。INT_ACLEAR_FIFO ビットがセットされている場合、割込みステータス・ビットは、該当の FIFO レジスタが読み出されると自動的にクリアされます。割込みステータス・ビットが自動的にクリアされることで、手動で割込みをクリアする必要がなくなります。

オプションのステータス・バイト

各データ・パケットにステータス・ビットを追加するオプションがあります。このオプションは、ホストで割込みチャンネルを持つ余裕がない場合に有効です。ステータス・バイトは FIFO_STATUS_BYTES レジスタでそれぞれを個別に選択できます。FIFO_STATUS_BYTES レジスタの各ビットを使用して、FIFO のデータ・パケットに追加するステータス・バイトをイネーブルします。FIFO_STATUS_BYTES レジスタのいずれかのビットが 1 に設定されていると、ステータス・ビットを含むバイトがデータ・パケットに追加されます。

4 ビットのシーケンス数は 0 から 15 のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。また、このシーケンス数は、GPIOx ピンでビットごとに利用できます。

割込み出力、Interrupt X、および Interrupt Y

ADPD7000 には、Interrupt X および Interrupt Y の 2 つの独立した割込み出力があります。どちらの割込みも、2 本の GPIOx ピンのどちらかを選択して駆動できます。この 2 つの割込み出力は、必要に応じてホスト・プロセッサに対して生成できます。例えば、FIFO 閾値割込みの INT_FIFO_TH を Interrupt X に接続してホストのダイレクト・メモリ・アクセス (DMA) チャンネルを駆動すると同時に、INT_FIFO_OVERFLOW および INT_FIFO_UFLOW 割込みを Interrupt Y に接続してホストに追加された割込みピンを駆動することが可能です。

各割込みに対応する Interrupt X および Interrupt Y イネーブル・ビットがあります。Interrupt X と Interrupt Y で使用可能なすべての割込みのリストを表 24 に示します。Interrupt X および Interrupt Y 機能に対するロジックは、ステータス・ビットと該当するイネーブル・ビットの AND 処理です。イネーブルされたすべてのステータス・ビットは、次に論理和演算されて割込み機能が生成されます。イネーブル・ビットはステータス・ビットに影響を与えません。

汎用 I/O

ADPD7000 には 2 つの汎用 I/O ピン、GPIO0 と GPIO1 があります。これらの GPIO は、割込み出力、Interrupt X、および Interrupt Y のセクションで説明したように、割込み出力に使用するか、デバイスへの外部クロック信号供給に使用できます。また、GPIO は、外部デバイスの同期制御などの様々な制御信号や、システムのデバッグ時に便利なテスト信号に使用できます。GPIOx ピンで使用可能なすべての信号を表 24 に示します。

IOVDD 電源電圧に関する考慮事項

ADPD7000 は、1.7V~3.6V の IOVDD で動作します。レジスタ 0x0057 の LOW_IOVDD_EN を 0x1 に設定すると、IOVDD は 3V 未満になります。IOVDD の代表値は 1.8V のため、0x1 はこのビットのデフォルト値です。

動作原理

3V 以上の電源を IOVDD に供給する場合、正常に動作させるには LOW_IOVDD_EN ビットを 0x0 に設定してください。

SPI

ADPD7000 には入力クロックと同期して動作する SPI ポートがあります。

ADPD7000 はパワーオン・リセット回路を内蔵しており、最初のパワーアップ時にデバイスを既知のアイドル状態にセットします。パワーオン・リセットがリリースされ、DVDD 電源がアクティブになってから約 2 μ s~6 μ s 後に、初期化状態になり、レジスタがデフォルト値に設定されます。この初期化状態は約 15 μ s~20 μ s の間続きます。その後デバイスは SPI を通じて読出しおよび書き込みができるようになります。

レジスタには、15 ビットのアドレス空間内のアドレスを使用してアクセスします。各アドレスは、FIFO 読出しアクセス用に割り当てられた 1 つのアドレスを使用して、15 ビットのレジスタを参照します。SPI では、同じアクセス・シーケンスにおいて追加ワードにアクセスすると、読出しと書き込みは次のレジスタに自動的にインクリメントされます。このアドレスの自動インクリメントは、FIFO アドレスを除くすべてのアドレス、すなわち FIFO アドレスおよび最後の使用済みアドレス 0x351 より小さいアドレスで発生します。FIFO アドレスからの読出しでは、FIFO の次のバイトへのアクセスを継続します。

SPI の動作

SPI による単一のレジスタ書き込み動作を図 40 に示します。最初の 2 バイトには、15 ビットのレジスタ・アドレスと書き込みリクエストの指示が含まれています。次の 2 バイトは、レジスタに書き込む 16 個のデータ・ビットです。レジスタ書き込みは、 \overline{CS} 信号のアサートが解除される前に 16 ビットすべてがシフトした場合にのみ発生します。

また、 \overline{CS} 信号のアサートが解除される前に追加の 16 ビット・データをシフト・インさせることで、複数のレジスタに書き込みを行うことができます。各 16 ビット・データの後、レジスタ・アドレスは次のレジスタに自動的にインクリメントされます。

SPI による単一のレジスタ読出し動作を図 41 に示します。最初の 2 バイトには、15 ビットのレジスタ・アドレスと読出しリクエストの指示が含まれています。レジスタ・ビットは MSB からシフト・アウトします。また、 \overline{CS} 信号がデアサートされる前に追加の 16 ビット・データをシフト・アウトさせることで、複数のレジスタを読み出すことができます。

FIFO からの読出しはバイト単位で実行することを推奨します。16 ビットの倍数で読み出す必要はありません。

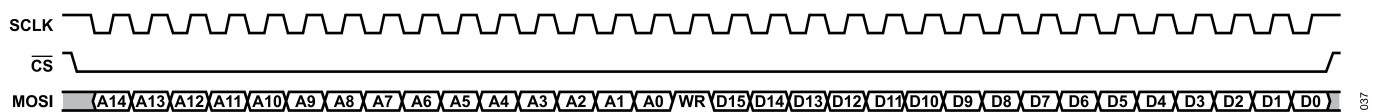


図 40. SPI 書き込み動作

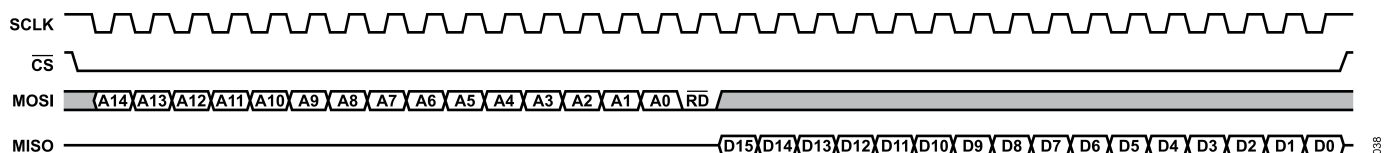


図 41. SPI 読出し動作

アプリケーション情報

リードオンのアプリケーション

ADPD7000 のリードオン検出モードは、スタンバイ・モード、または PPG のみの動作モードで有効にできます。リードオン検出モードがトリガされると、リードオン・ステータス信号を任意の GPIO から出力し、割込み信号としてホストに送信することができます。

実際のアプリケーションでは、例えば、スマート・ウォッチが手首に接触する 2 つのエレクトロード、すなわち ECGIP と RLD、もしくは ECGIN と RLD からリードオン・ステータスを検出する場合があります。ECGIN と RLD を例にとると、エレクトロードが人体に接触すると ECGIN と RLD の間にパスができるため、リードオン・コンパレータの入力が閾値より小さくなり、リードオン・ステータスがセットされます。

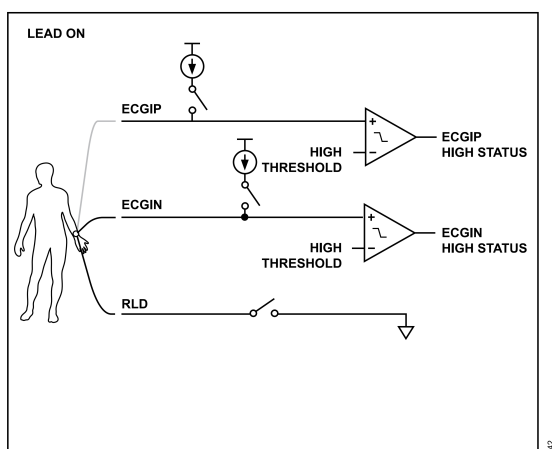


図 42. リードオン検出のアプリケーション・ブロック図

表 13. リードオン・モード用のレジスタ

レジスタ、ビット番号	レジスタ名	説明
0x00F, Bit 11	LEAD_ON_MODE	1 に設定するとリードオン検出モードが有効になります。
0x005, Bit 11	ECG_RLD_LEADON_HI_STATUS	ECG RLD リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。
0x005, Bit 10	ECG_RLD_LEADON_LO_STATUS	ECG RLD リードオン・ロー・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。
0x005, Bit 9	ECGIN_LEADON_HI_STATUS	ECGIN リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。
0x005, Bit 8	ECGIP_LEADON_HI_STATUS	ECGIP リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。

光路

デジタル積分モード

ADPD7000 は、光路にデジタル積分モードが使用できるため、より長いパルスが必要なセンサーに対応できます。デジタル積

分モードによって、より大きな LED デューティサイクルを使用できます。これにより、実現し得る最高レベルの S/N 比が得られるようになります。

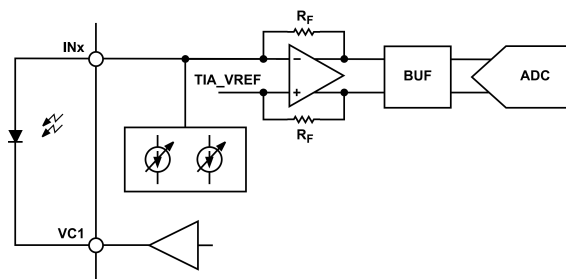


図 43. デジタル積分モードの信号パス

デジタル積分モードでは、積分器がバッファとして構成されます。その結果得られる信号パスを図 43 に示します。デジタル積分領域は、明領域と暗領域に分かれており、ユーザが設定します。LED は明領域でパルスが印加され、暗領域でオフになります。ADC サンプルは、明領域内および暗領域内において 1μs 間隔で取得され、その後、デジタル積分されます。明領域の ADC サンプルの積分値から暗領域の ADC サンプルの積分値を減算し、その結果は対応する FIFO に書き込まれます。信号値と暗値は、どちらも FIFO に書き込むことができます。

ADPD7000 は、1 領域と 2 領域のデジタル積分モードをサポートしています。1 領域のデジタル積分モードで取得される暗サンプルと明サンプルは同数で、暗サンプルはすべて明領域直前の暗領域で取得されます。1 領域のデジタル積分モードのタイミング図を図 44 に示します。

2 領域のデジタル積分モードでも、暗サンプルと明サンプルは等しい数を取得します。ただし、暗領域は分割されており、暗サンプルの半分は明領域直前の暗領域で、残り半分は明領域直後の暗領域で取得するようになっています。周辺光レベルが変化する環境では、2 領域のデジタル積分モードのほうが 1 領域のデジタル積分モードより高い周辺光除去性能を得られます。2 領域のデジタル積分モードのタイミング図を図 45 に示します。

FIFO から読み出される 1 領域のデジタル積分モードの信号データは、次式に従います。

$$\text{Signal} = (I_{PD} \times R_{TIA} \times TIA_CONFIG \times BUF_GAIN \times NUM_INT_x \times NUM_REPEAT_x) / (146 \mu V / LSB) \quad (5)$$

ここで、

I_{PD} は PD 電流、 TIA_CONFIG は TIA 設定、 BUF_GAIN はバッファ・ゲインです。

FIFO から読み出される 2 領域のデジタル積分モードの信号データは、次式に従います。

$$\text{Signal} = ((I_{PD} \times R_{TIA} \times TIA_CONFIG \times BUF_GAIN \times NUM_INT_x \times NUM_REPEAT_x) / (146 \mu V / LSB)) \times 2 \quad (6)$$

アプリケーション情報

AFE_PATH_CFG_x、TIA_GAIN_CHx_x、AFE_BUFFER_GAIN_x、AFE_BUFFER_CAP_x の各ビットは、デジタル積分モードの（1 領域モードおよび 2 領域モードのどちらにおいても）特定の組み合わせに従う必要があります。これらのビットの推奨設定を表 14 に示します。TIA のゲイン設定は、これらの設定とは無関係です。

表 14. デジタル積分モードの AFE パスに関するビット設定

Bit Name	Recommended Setting
AFE_PATH_CFG_x	0x28
TIA_GAIN_CHx_x	0x3
AFE_BUFFER_GAIN_x	0x3
AFE_BUFFER_CAP_x	0x1

表 14 のビット設定の結果は、バッファ・ゲインが 2 の 1 × TIA 構成です。

表 15 に、デジタル積分モードの動作に関連するレジスタ設定を示します。デジタル積分モードでは最小周期は自動的に計算されないため、MIN_PERIOD_x ビットを使用して手動で適正な周期に設定する必要があります。

1 領域のデジタル積分モードに推奨する MIN_PERIOD_x 設定は次のとおりです。

$$MIN_PERIOD_x = NUM_INT_x \times 2 + (2 + t_D) \times 2$$

2 領域のデジタル積分モードに推奨する MIN_PERIOD_x 設定は次のとおりです。

$$MIN_PERIOD_x = NUM_INT_x \times 4 + t_D \times 2 + 6 \mu s$$

t_D の値は、光学デバイスの応答時間です。周辺光の微調整ループを更新するには、6μs の時間が必要です。

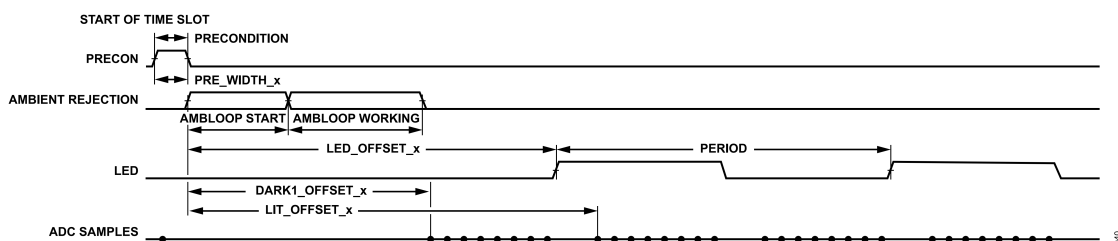


図 44. 1 領域のデジタル積分モードのタイミング図

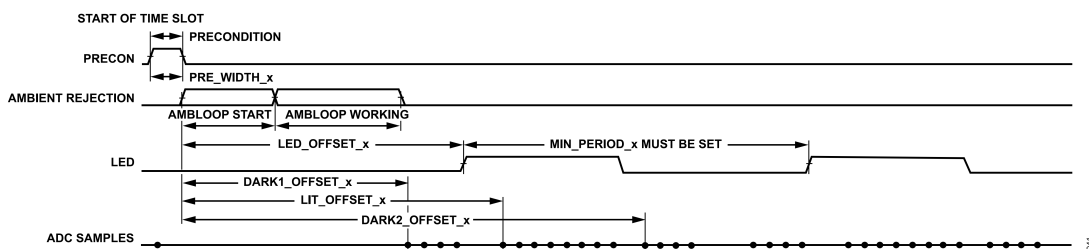


図 45. 2 領域のデジタル積分モードのタイミング図

表 15. デジタル積分モードに関連する設定（タイム・スロット A を例にした場合）

グループ	タイム・スロット A のレジスタ・アドレス	ビット・フィールド名	説明
Signal Path Setup	0x0120, Bits[13:11]	SAMPLE_TYPE_A	0x2 に設定すると、1 領域のデジタル積分モードが選択されます。0x3 に設定すると、2 領域のデジタル積分モードが選択されます。
	0x0121, Bits[6:0]	AFE_PATH_CFG_A	TIA、バッファ、ADC を使用するには 0x28 に設定します。1 × TIA 構成を使用します。
	0x0122, Bits[7:0]	INPxx_A	目的の入力をイネーブルします。
	0x0123, Bits[14:12]	PRECON_A	0x5 に設定すると、フォト・ダイオードのアノードを TIA_VREF に前処理を行います。
	0x0123, Bits[1:0]	VC1_SELECT_A	0x2 に設定すると、フォト・ダイオードに約 215mV の逆バイアスが印加されます。
	0x0124, Bits[5:0]	TIA_GAIN_CHx_A	TIA ゲインを選択します。
	0x0124, Bits[9:8]	AFE_TRIM_VREF_A	0x2 に設定すると、TIA_VREF = 0.8855V になります。
	0x0124, Bits[12:11]	AFE_BUFFER_GAIN_A	バッファ・ゲインの選択。2 に設定するとバッファ・ゲインは 2 になります。
Timing	0x125, Bits[13:12]	AFE_BUFFER_CAP_A	バッファ・フィードバック・コンデンサの選択。0x1 に設定すると、12.6pF が選択されます。
	0x012A, Bits[15:8]	NUM_INT_A	暗領域と明領域に必要な ADC 変換の回数を設定します。
	0x012A, Bits[7:0]	NUM_REPEAT_A	シーケンスの繰り返し回数。
	0x012B, Bits[9:0]	MIN_PERIOD_A	周期を設定します。デジタル積分モードでは周期の自動計算はサポートされていません。
	0x0138, Bits[8:0]	LIT_OFFSET_A	明領域で最初に ADC 変換を実行する時間を設定します。

アプリケーション情報

表 15. デジタル積分モードに関連する設定（タイム・スロット A を例にした場合）（続き）

グループ	タイム・スロット A の レジスタ・アドレス	ビット・フィールド名	説明
	0x0139, Bits[6:0]	DARK1_OFFSET_A	Dark 1 領域で最初に ADC 変換を実行する時間を設定します。
	0x0139, Bits[15:7]	DARK2_OFFSET_A	Dark 2 領域で最初に ADC 変換を実行する時間を設定します。2 領域のデジタル積分モードでのみ使用します。
LED Settings	0x0129, Bits[1:0]	LED_MODEx_A	LED のモードを選択します。
	0x0129, Bits[7:4]	LED_DRIVESIDEx_A	タイム・スロットで使用する LED を選択します。
	0x0128, Bits[14:8], Bits[6:0]	LED_CURRENTx_A	選択した LED の LED 電流を設定します。
	0x012C, Bits[7:0]	LED_OFFSET_A	最初の LED パルスの開始時間を 1μs 刻みで設定します。
	0x012C, Bits[15:8]	LED_WIDTH_A	LED パルス幅を 1μs 刻みで設定します。

デジタル積分モードで推奨されるタイミング

デジタル積分モードのタイミングを設定する際には、信号が安定するまで時間が経ってから ADC サンプルを取得できるように ADC サンプル位置を決めることが重要です。フォト・ダイオードの容量と TIA セトリング時間が入力信号のセトリング時間に影響を与えます。

自動周辺光除去がオンになっている（AMBIENT_CANCELLATION_x が 1 (01) または 2 (10) の 10 進法に設定されている）場合、周辺光除去ループをイネーブルするには、各タイム・スロットの開始時に一定の時間が必要です。このループのスタートアップ時間は 18μs で、このループの動作時間は 30μs です。

TIA のセトリングを高速化するには、TIA_SAT_DET 内部ブロックがオンになっている必要があります。TIA のセトリングを高速化することで、TIA が短時間で通常の動作状態に入ることが容易になり、自動周辺光除去ループをより正確なものにすることができます。

周辺光除去ループが終了したら、暗データの最初の ADC サンプルがイネーブルできます。DARK1_OFFSET_x の設定値は、周辺光除去ループの動作時間（48μs）以上であることが必要です。

図 46 に、ADC サンプルング・エッジの適切な配置例を示します。

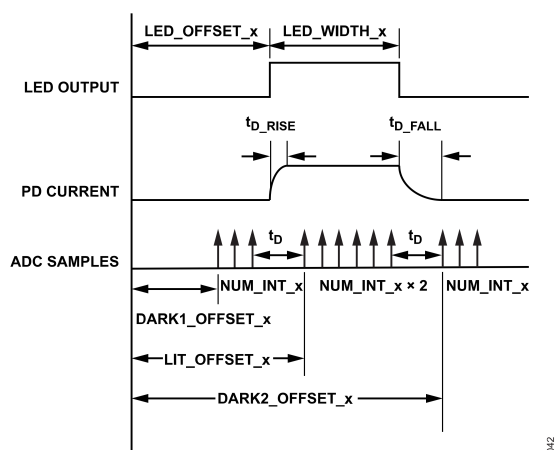


図 46. デジタル積分モードにおける
ADC サンプルング・エッジの適切な位置

自動周辺光除去ループ終了後の DARK1_OFFSET_x の推奨設定値は、48μs です。自動周辺光除去をオンにしない場合は 10μs です。

図 46 に示すように、LED およびフォト・ダイオードを含む様々な光学デバイス異なる応答時間を持ちます。t_{D_RISE} はフォト・ダイオード電流の立上がり時間、t_{D_FALL} はフォト・ダイオード電流の立下がり時間、t_D は t_{D_RISE} と t_{D_FALL} のいずれかが大きいほうです。

タイミングを計算するには、次式を参照してください。

$$LED_OFFSET_x = DARK1_OFFSET_x + (NUM_INT_x + t_D - t_{D_RISE}) \quad (7)$$

$$LIT_OFFSET_x = LED_OFFSET_x + t_{D_RISE} \quad (8)$$

$$DARK2_OFFSET_x = LED_OFFSET_x + LED_WIDTH_x + t_D \quad (9)$$

これらの値は、最終アプリケーションに合わせて決定する必要があります。これらの設定は、2 領域のデジタル積分モードにのみ適用されます。

表 16. 2 領域のデジタル積分モード用の経験値

Optical Device	Green (μs)	Red (μs)	Infrared (μs)
LED_WIDTH_x	24	24	36
PERIOD_x	58	60	138
NUM_INT_x	10	9	13
LED_OFFSET_x	60	59	91
LIT_OFFSET_x	64	65	101
DARK1_OFFSET_x	48	48	48
DARK2_OFFSET_x	90	91	167
t _{D_RISE}	4	6	10
t _{D_FALL}	6	8	40

サンプリング・シーケンスの最適化

この経験値が測定に適さない場合は、サンプリング・シーケンスを最適化します。

曲線を掃引するには次のリファレンス法を参照してください（この例は、暗環境での TSA チャンネル 1 を基本としています）。

- 以下の設定を有効にします。
 - ▶ 1 領域のデジタル積分モード
 - ▶ 1 × TIA 構成

アプリケーション情報

- ▶ AFE_TRIM_VREF_A = 3
- ▶ AMBIENT_CANCELLATION_A = 0
- ▶ NUM_INT_A = 1
- ▶ NUM_REPEAT_A = 1
- ▶ DARK1_OFFSET_A = 10
- ▶ LED_OFFSET_A = 20
- ▶ LED_WIDTH_A = 80
- ▶ LIT_OFFSET_A = 130
- ▶ MIN_PERIOD_A = 160

2. 光学デバイスをパワー・オンし、TSA チャンネル 1 をイネーブルします。
3. 約 100 個の明データを取得（最初の 10 データは破棄）し平均値を計算します。
4. LIT_OFFSET_A ビットを 130 から 10 まで掃引し、手順 3 の結果を再現します。
5. 明データの平均値と LIT_OFFSET_A をプロットします。光学デバイス（例えば OSRAM FIREFLY® CT DBLP31.12）の応答時間を図 47 に示します。

LIT_OFFSET_A ビットを変更して明データを収集する場合、データは 16384 未満（非飽和）です。

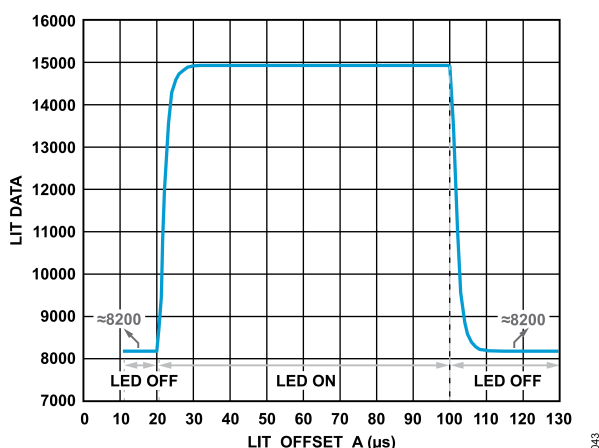


図 47. OSRAM FIREFLY CT DBLP31.12（緑色 LED）のタイミング

ECG パス

ADPD7000 は 4 つの ECG エレクトロード・パッド（ECG1、ECG2、ECG3、ECG4）を備えており、ECG 信号はレジスタの設定によりこの 4 つのパッドのほとんどに接続することができます（表 17 参照）。このアーキテクチャは柔軟性に優れており、様々なカスタム・アプリケーションに適しているため、設計の簡略化と時間の節約に貢献します。

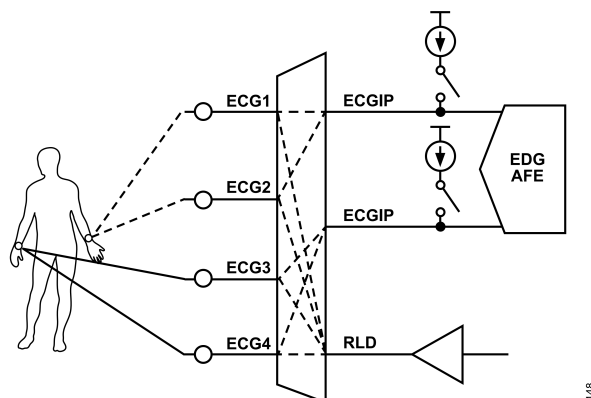


図 48. ECG パスのマトリクス

図 49 に、3 電極の ECG アプリケーションにおける代表的な接続図を示します。図 49 には、ECG チャンネル用の電流制限抵抗など、ADPD7000 に必要な外部部品も記載されています。これらの部品値は、各チャンネルの最大電流を考慮して設計されたものです。例えば、リファレンスとして、ECGIP チャンネルに 51kΩ、ECGIN チャンネルに 51kΩ、RLD チャンネルに 330kΩ の抵抗を用いることを推奨します。

FIFO から読み出される ECG 測定の実データは、次式のようにになります。

$$\text{Signal} = \frac{V_{IN}(V)}{\text{Resolution}} + 8,388,608 \text{ (LSB)} \quad (10)$$

8,388,608 は ADC の中心のコードであることに注意してください。

表 17 に、基本的な ECG 測定に関連するレジスタ設定を示します。

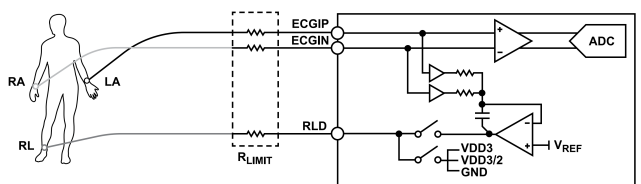


図 49. ECG チャンネル保護および外部部品条件を示す ECG 回路のシステム概要図

表 17. 基本的な ECG 測定に関連する設定

グループ	レジスタ・アドレス	ビット・フィールド名	説明
ECG_ANA_CTRL	0x0100, Bit 12	ECG_SHORT_IN_RLD	1 に設定すると、ECGIN と RLD を内部で短絡します。
	0x0100, Bit 11	ECG_SHORT_IP_RLD	1 に設定すると、ECGIP と RLD を内部で短絡します。
	0x0100, Bit 9	ECG_CGA_PREBUF_ALWAYS ON	1 に設定すると、CGA プリバッファを常時オンにします。
	0x0100, Bit 8	ECG_CGA_GAIN	0 に設定するとゲイン= 32、1 に設定するとゲイン= 16 を選択します。
	0x0100, Bit 7	ECG_RLD_VCM_EN	1 に設定すると、RLD 回路の V _{CM} (AVDD3/2) ジェネレータをイネーブルします。

アプリケーション情報

表 17. 基本的な ECG 測定に関連する設定（続き）

グループ	レジスタ・アドレス	ビット・フィールド名	説明
	0x0100, Bit 6	ECG_RLD_OUT_DISCONNECTED	1 に設定すると、RLD 出力を切断します。
	0x0100, Bits[5:4]	ECG_RLD_OUT_SEL	RLD 出力を選択します。
	0x0100, Bit 3	ECG_RLD_SAT_EN	1 に設定すると、RLD の DCLO をイネーブルします。
	0x0100, Bits[2:1]	ECG_RLD_SAT_THRESHOLD	RLD の DCLO 閾値を選択します。
	0x0100, Bit 0	ECG_RLD_EN	1 に設定すると、RLD アンプをイネーブルします。
ECG_LEADOFF_CTRL	0x0101, Bit 15	ECG_ACLO_EN	1 に設定すると、ECG 入力の ACLO 検出器をイネーブルします。
	0x0101, Bits[14:12]	ECG_ACLO_MAG	ACLO 励起電流の振幅を選択します。
	0x0101, Bits[11:9]	ECG_ACLO_THRESHOLD	ECG 入力の ACLO 閾値を選択します。
	0x0101, Bit 8	ECG_DCLO_L_EN	1 に設定すると、ECG 入力の低レンジ DCLO 検出器をイネーブルします。
	0x0101, Bits[7:4]	ECG_DCLO_MAG	DCLO 励起電流の振幅を選択します。
	0x0101, Bit 3	ECG_DCLO_POLARITY_IN	ECGIN での DCLO 出力電流の極性を選択します。
	0x0101, Bit 2	ECG_DCLO_POLARITY_IP	ECGIP での DCLO 出力電流の極性を選択します。
ECG_DIG_CTRL_1	0x0102, Bits[8:3]	ECG_OVERSAMPLE_RATIO	ECG のみのモードでは、デフォルト値を維持します。マルチモードについては、レジスタの説明を参照してください。
	0x0102, Bits[2:0]	ECG_ODR_SEL	ECG ODR を選択します。
ECG_DIG_CTRL_2	0x103, Bit 15	ECG_DCLO_H_EN	高レンジ DCLO 電流をイネーブルします。
	0x0103, Bits[14:11]	ECG_DCLO_H_MAG	高レンジ DCLO 励起電流の大きさ。
	0x0103, Bit 10	ECG_DCLO_IP_EN	ECGIP での DCLO 電流出力をイネーブルします。
	0x0103, Bit 9	ECG_DCLO_IN_EN	ECGIN での DCLO 電流出力をイネーブルします。
	0x0103, Bit 8	ECG_DCLO_DET_IN_EN	ECGIN での DCLO 検出コンパレータをイネーブルします。
	0x0103, Bit 7	ECG_DCLO_DET_IP_EN	ECGIP での DCLO 検出コンパレータをイネーブルします。
	0x0103, Bit 6	ECG_DCLO_M_EN	ACLO 電流回路の DC モードを有効化します。
ECG_MATRIX	0x0103, Bits[3:0]	ECG_CAL_GAIN	ECG のキャリブレーション済みゲイン。
	0x104, Bit 9	ECG_SWAP_POLARITY	1 に設定すると、ECG 信号バスの極性を入れ替えます。
	0x104, Bit 8	ECG_PINS_CON_BIOZ	1 に設定すると、選択した ECGx ピンを BIOZ バスに接続します。
	0x104, Bit 7	ECG_E1_CON_ECGIP	1 に設定すると、ECG1 ピンを ECGIP に接続します。
	0x104, Bit 6	ECG_E1_CON_RLD	1 に設定すると、ECG1 ピンを RLD に接続します。
	0x104, Bit 5	ECG_E2_CON_ECGIP	1 に設定すると、ECG2 ピンを ECGIP に接続します。
	0x104, Bit 4	ECG_E2_CON_RLD	1 に設定すると、ECG2 ピンを RLD に接続します。
	0x104, Bit 3	ECG_E3_CON_ECGIN	1 に設定すると、ECG3 ピンを ECGIN に接続します。
	0x104, Bit 2	ECG_E3_CON_RLD	1 に設定すると、ECG3 ピンを RLD に接続します。
	0x104, Bit 1	ECG_E4_CON_ECGIN	1 に設定すると、ECG4 ピンを ECGIN に接続します。
	0x104, Bit 0	ECG_E4_CON_RLD	1 に設定すると、ECG4 ピンを RLD に接続します。

アプリケーション情報

リードオフ

DCLO 検出は、ECG_STATUS レジスタを用いてリード接続の状態を識別します。DCLO 検出の例を図 50 に示します。この場合、R1 は ECGIP、R2 は ECGIN、R3 は RLD の接触インピーダンスです。

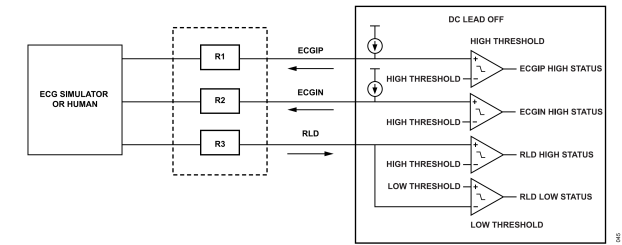


図 50. DCLO 検出の例

ECGIP および ECGIN でソース電流を使用する場合、DC 励起電流設定値 (ECG_DCLO_MAG) は式 11 のようになります。

$$R1 = R2 = R3 = 3R \text{ の場合、}$$
$$(DCLO \text{ Current Magnitude} > High \text{ Threshold Voltage})/3R \tag{11}$$

一般に、DCLO の電流の大きさは、最も近いレジスタ値に切り上げられます。

表 18 は ECG DCLO のステータスの真理値表です。

ACLO の閾値の選択は、個々のケーブル、エレクトロード、保護スキームによって異なります。これらのパラメータは、通常使用事例ごとに固有のものであるためです。適切な閾値を特定するために、高い閾値から始めて、リードオフが検出されるまでそれを小刻みに下げて行き、その後、一定の安全マージン分だけ閾値を上げる、という方法を採用することができます。

表 19 に、ACLO 検出用エレクトロードの微分容量の下限閾値を示します。

表 18. ECG DCLO のステータスの真理値表

Status	ECGIN_DCLO_HI_STATUS	ECGIP_DCLO_HI_STATUS	ECG_DCLO_STATUS
All Leads Failed	1	1	1
No Lead Failed	0	0	0
RLD Failed	1	1	1
ECGIN Right Arm (RA) Failed	0	1	1
ECGIP Left Arm (LA) Failed	1	0	1

表 19. ACLO 検出用エレクトロードの微分容量の下限閾値

ECG_ACLO_THRESHOLD	ECG_ACLO_MAG						
	0x1	0x2	0x3	0x4	0x5	0x6	0x7
0x0	0.04 nF	0.08 nF	0.13 nF	0.17 nF	0.21 nF	0.25 nF	0.29 nF
0x1	0.05 nF	0.1 nF	0.14 nF	0.19 nF	0.24 nF	0.29 nF	0.33 nF
0x2	0.06 nF	0.11 nF	0.17 nF	0.22 nF	0.28 nF	0.33 nF	0.39 nF
0x3	0.07 nF	0.13 nF	0.2 nF	0.27 nF	0.33 nF	0.4 nF	0.47 nF
0x4	0.08 nF	0.17 nF	0.25 nF	0.33 nF	0.42 nF	0.5 nF	0.58 nF
0x5	0.11 nF	0.22 nF	0.33 nF	0.44 nF	0.56 nF	0.67 nF	0.78 nF
0x6	0.17 nF	0.33 nF	0.5 nF	0.67 nF	0.83 nF	1 nF	1.17 nF
0x7	0.33 nF	0.67 nF	1 nF	1.33 nF	1.67 nF	2 nF	2.33 nF

アプリケーション情報

BIA パス

ADPD7000 の BIA パスを使用すると、人体に対し 4 線式インピーダンス測定を実行できます。この手法は、高精度の AC 電圧源を用い、既知の AC 電圧 (V_{AC}) でセンサーを励起します。インピーダンスを計算するには、未知のインピーダンス ($Z_{UNKNOWN}$) から流れる電流 (I) と未知のインピーダンスの両端の電圧 ($V_{ZUNKNOWN}$) を測定します。インピーダンスは次式を使って計算します。

$$|Z_{UNKNOWN}| = \frac{V_{ZUNKNOWN}}{I} \quad (12)$$

実際のアプリケーションでは、医療機器が IEC 60601 規格に適合しなければなりません。この規格により、人体に加えることのできる DC 電圧と AC 電圧が制限されています。

図 51 では、ディスクリートのアイソレーション・コンデンサ (C_{ISO1} , C_{ISO2} , C_{ISO3} , C_{ISO4}) を用いて、人体に DC 電圧が生じることのないようにしています。 R_{LIMIT} は、IEC 60601 規格に適合するよう、センサーに供給される電流を制限します。

$R_{CONTACTx}$ は、未知のインピーダンスに接続されたエレクトロードの抵抗を表します。

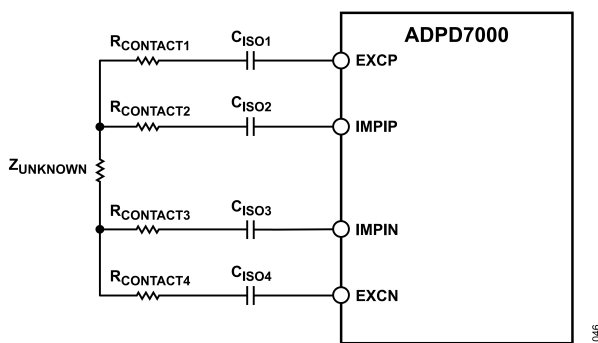


図 51. BIA パスのブロック図

図 51 に示すように、4 線式生体インピーダンス・ソリューションには、高精度の AC 電圧源、高精度の電流計、および高精度の差動電圧計が必要です。

ADPD7000 は、高速の DAC および波形発生器を用いて高精度 AC 電圧を生成します。デバイスは、高速高精度の TIA を使用し、センサーからの電流を ADC で測定した電圧に変換します。TIA チャンネルは応答電流を測定します。

ADC は、電流測定値を 1MSPS の速度で変換します。データには DFT が実行されます。DFT は ADPD7000 に備わっています。DFT のポイント数は、最大 8192 まで設定できます。ADPD7000 は、実部と虚部を計算し、ホスト・マイクロコントローラは、センサーの未知のインピーダンスを計算します。

システムには、安全性と精度を確保するため、多数のディスクリート部品が必要です。

IEC 60601 規格に適合するためには、人体に加えられる AC 電流量を制限する必要があります。最大許容 AC 電流は 50kHz で 500 μ A、60kHz で 600 μ A です。抵抗値 R_{LIMIT} を計算する場合、ADPD7000 の最大出力電圧は、0.8V p-p (0.2828V RMS) です。最大許容 AC 電流は最大値の 80%、すなわち 400 μ A RMS に設定します。次式はこれらの値の結果です。

$$R_{LIMIT} = \frac{0.2828 \text{ V RMS}}{400 \mu\text{A}} = 707 \Omega \quad (13)$$

従って、 R_{LIMIT} には約 1k Ω を選択し、ADPD7000 の EXCP ピンに接続します。この計算では、値が小さいため C_{ISOx} は無視しています。

ただし、コストと複雑さを低減するため、ADPD7000 には R_{LIMIT} が内蔵されており、値は $BIOZ_CURRENT_LIMIT_x$ ビットで設定可能です。用途に応じて 0 Ω 、650 Ω 、1.3k Ω の 3 つの値に設定できます。

IEC 60601 規格に適合するためには、人体に加えることのできる最大 DC 電流は 10 μ A です。このアプリケーションでは、アイソレーション・コンデンサを追加することにより、DC 電流をゼロにすることができます。このアイソレーション・コンデンサの値には 0.47 μ F を選択します。それは、0.47 μ F のコンデンサが十分な大きさの容量を持ちながら、ウェアラブル電子機器に適した小型パッケージに収めることができるためです。

ADPD7000 は BIA タイム・スロットを実行し、FIFO を電圧および電流両方の測定結果の DFT の実部と虚部（合計で 4 データ・ポイント）で満たします。ホスト・マイクロコントローラは、データ FIFO を読み出し、実部と虚部の DFT 結果を用いて未知のインピーダンスを計算します。センサーのインピーダンスの計算は次式を使用して行います。

$$\text{Voltage Measurement Magnitude} = \sqrt{r^2 + i^2} \quad (14)$$

$$\text{Voltage Measurement Phase} = \tan^{-1} \frac{i}{r} \quad (15)$$

インピーダンスを計算するには、オームの法則を用いて電圧の大きさを電流の大きさを除算します。 R_{TIA} を用いて電流測定値を電圧に変換します。このゲインを考慮する必要があります。そのため、未知のインピーダンスを求める式は次のようになります。

$$|Z_{UNKNOWN}| = \frac{\text{Voltage Magnitude}}{\text{Current Magnitude}} \times R_{TIA} \quad (16)$$

EDA パス

ADPD7000 の EDA パスは柔軟で、EDA 信号は BIA パッドと ECGx パッドのどちらかに接続することができます。これは、 $BIOZ_EXCBUF_ECG_x$ 、 $BIOZ_TIA_ECG_x$ 、 $BIOZ_NCHAN_x$ 、および $BIOZ_PCHAN_x$ レジスタで制御します。表 20 に入力マルチプレクサ・マトリクスの詳細な接続とそれに関連するレジスタ設定を示します。

アプリケーション情報

表 20. EDA チャンネルの接続

Register	Setting	Connection
BIOZ_TIA_ECG_x	001	TIA connected to ECGIN
	010	TIA connected to ECGIP
	100	TIA connected to ECG RLD
BIOZ_EXCBUF_ECG_x	0001	EXC_BUF connected to ECGIN
	0010	EXC_BUF connected to ECGIP
	0100	EXC_BUF connected to ECG RLD

表 21. 接続するフロント・バッファ

Register	Setting	Connect to
BIOZ_NCHAN_x	001	IMPIN
	010	EXCP
	100	IMPIP
	101	EXCN
	110	ECG RLD
	111	ECGIP
BIOZ_PCHAN_x	001	IMPIP
	010	EXCN
	100	IMPIN
	101	EXCP
	110	ECGIN
	111	ECGIP

周波数、生成されたサイン波の振幅、TIA ゲイン、DFT ポイントは BIA 動作とほとんど同じです。DC 電流モードでは、BIOZ_DCLO_IP_EN_x ビットと BIOZ_DCLO_IN_x ビットを 1 に設定し、ECGIP と ECGIN への電流印加を選択します。電流の大きさは、BIOZ_DCLO_I_MAG_x、BIOZ_DCLO_M_MAG_x、および BIOZ_DCLO_H_MAG_x ビットによって設定でき、電流レンジは 2nA～1.1μA です。

アプリケーション情報

マルチモード

図 52 に、PPG、ECG、BIA のマルチモード・アプリケーション向け基本設計のリファレンス回路図を示します。

1 つのマルチモード・アナログ・フロント・エンドとして、ADPD7000 は、PPG、ECG、BIA 機能の 1 つに対応するか、PPG、ECG、BIA 機能の組み合わせに対応することができます。

例として、図 53 に PPG と BIA アプリケーション用の基本的なアプリケーション・リファレンス回路図を示します。

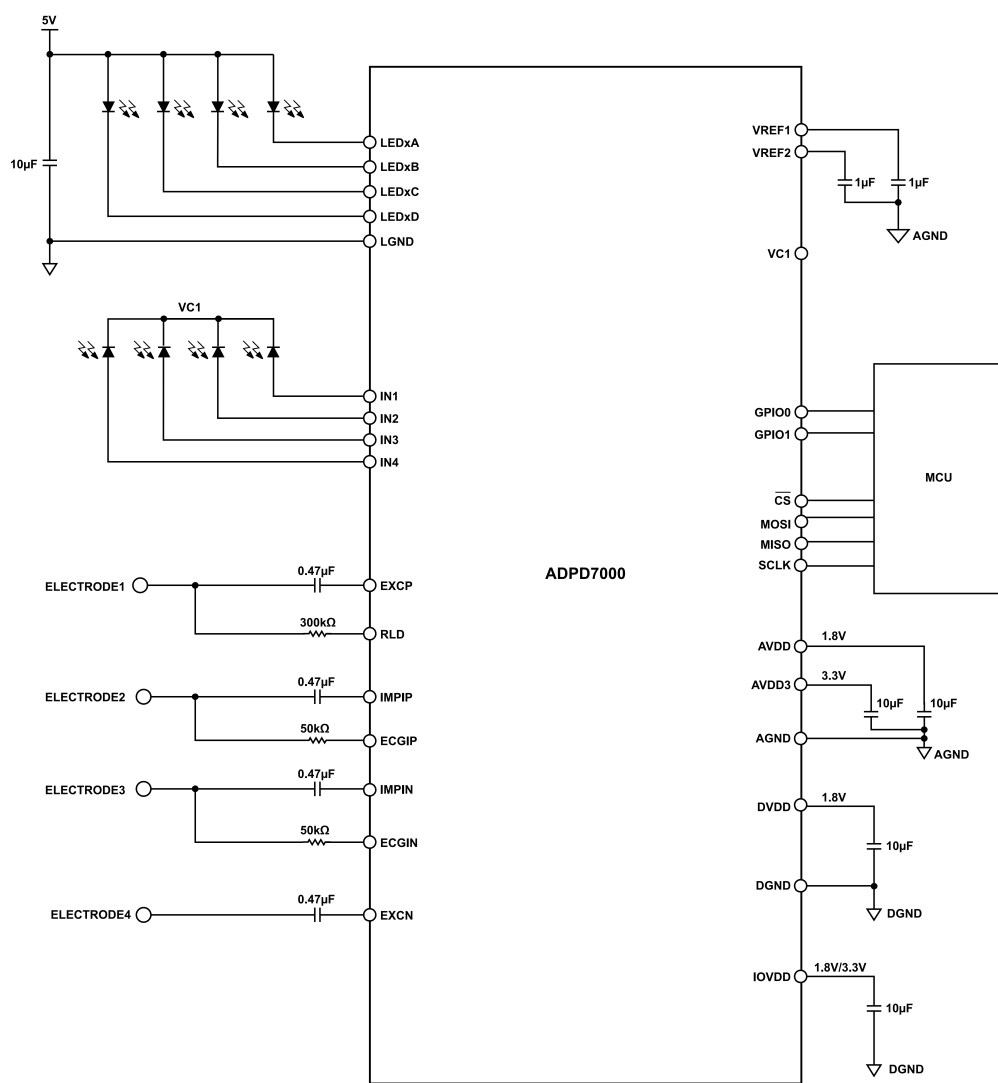


図 52. マルチモード・アプリケーションのリファレンス回路図

アプリケーション情報

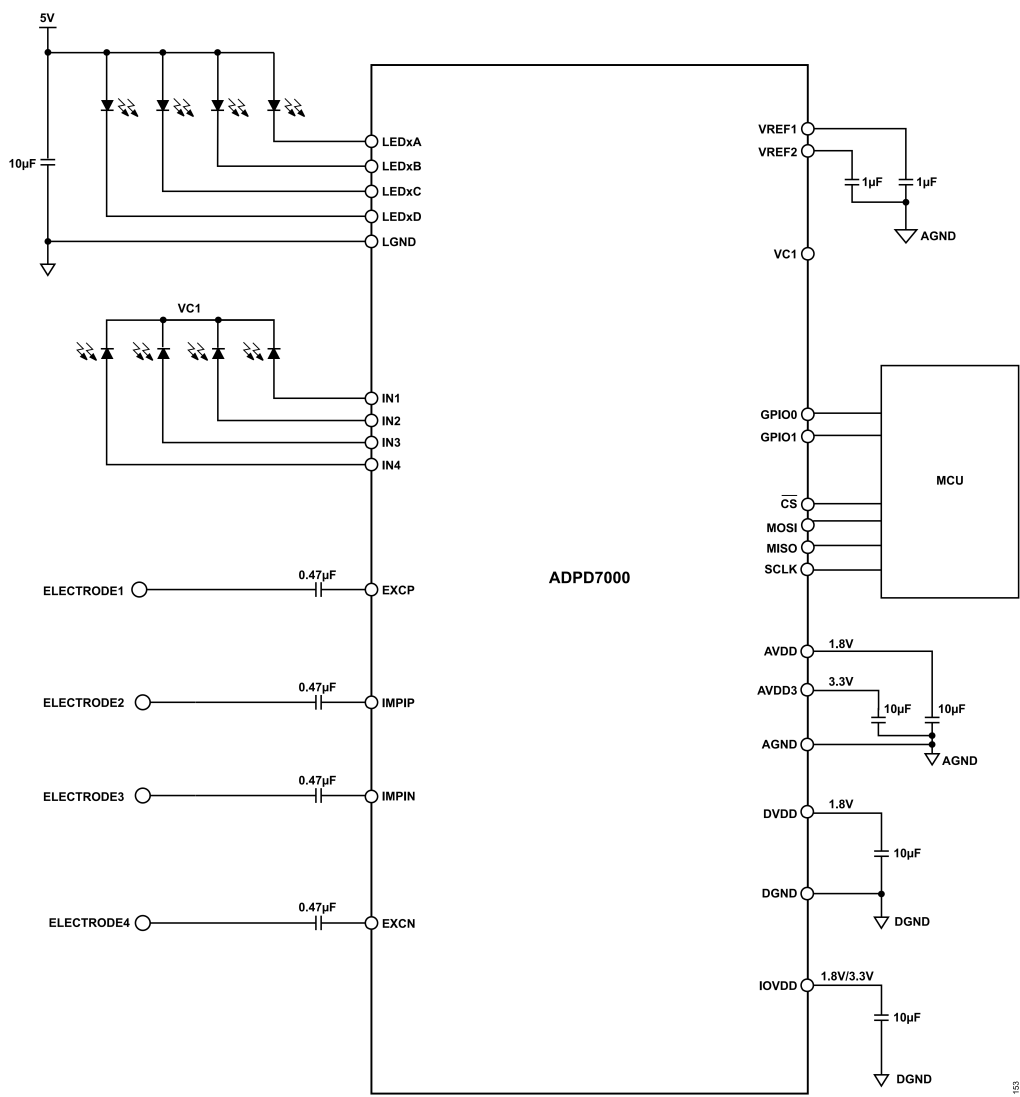


図 53. ADPD7000 の PPG および BIA アプリケーション用リファレンス回路図

パワーアップ・シーケンス

パワーアップ・シーケンスは不要であることに注意してください。

FIFO のデータ構造

マルチモード測定の設定で推奨する FIFO のデータ構造を表 22 に示します。すべてのデータ・パターンは 52 バイトです。

表 21. FIFO のデータ構造

Byte Order in FIFO	Description
Byte 0 to Byte 19	ECG data: 20 bytes
Byte 20 to Byte 23	PPG_A data: 4 bytes
Byte 24 to Byte 27	PPG_B data: 4 bytes
Byte 28 to Byte 33	BIOZ_A data: 6 bytes
Byte 34 to Byte 39	BIOZ_B data: 6 bytes
Byte 40 to Byte 45	BIOZ_C data: 6 bytes

表 22. FIFO のデータ構造 (続き)

Byte Order in FIFO	Description
Byte 46 to Byte 51	BIOZ_D data: 6 bytes

設計ガイド

ADPD7000 はマルチモードのバイタル・サイン・モニタリング AFE です。デバイスの性能は、PCB レイアウト、特にアナログ入力インターフェースの PCB レイアウトから悪影響を受けることがあります。

電源レール

電源については、0.1µF 以上のセラミック・チップ・コンデンサを AVDD、AVDD3、DVDD、IOVDD の各ピンの近くに配置して、これら電源ピンを PCB グランド・プレーンとデカップリングします。すべてのデカップリング・コンデンサは個別のビアを用いて PCB グランド・プレーンに接続し、ビアを共有した場合に生じるデカップリングした電源間の相互インピーダンス・カップリングを防止することを推奨します。

アプリケーション情報

光学チャンネル

PPG チャンネルでは、 $1.0\mu\text{F}$ のセラミック・コンデンサを用いて VREF1 ピンおよび VREF2 ピンを PCB グランド・プレーンとデカップリングします。VREF1 ピンおよび VREF2 ピンの電圧は公称 1.2V です。そのため、ここでの目的には、 6.3V 定格のセラミック・コンデンサが適しています。ADPD7000 の PCB レイアウトで最も重要な要素は、IN1、IN2、IN3、IN4 の各ノードの処理です。フォト・ダイオードの入力はノイズやピンにカップリングした寄生容量の影響を受けやすいため、レイアウトでのフォト・ダイオードの入力パターンはできるだけ短くし、またグラウンド・プレーンによって完全に保護されるようにすることを推奨します。

例えば、6 層スタックの設計の場合、チップは最上層に配置し、光学部品は最下層に配置します。そのため、最上層の IN1、IN2、IN3、IN4 のパターン長は短くして、寄生成分の影響を回避することを推奨します。最下層では、IN1、IN2、IN3、IN4 の各パターンとフォト・ダイオードのアノードは、グラウンドの形状とパターンで完全に保護します。VC1 およびフォト・ダイオードのカソードも、グラウンド・プレーンで保護します。第 5 層はリファレンス用グラウンド・プレーンで占められます。アナログ入力信号は、他のデジタル信号やノイズの多い信号から遠ざけてください。

ECG チャンネル

ECG チャンネルでは、高 CMRR 性能を実現するために、ECGIP と ECGIN の両方のパターンが一致する必要があります。ECGIP と ECGIN には差動ペア・レイアウトを使用し、パターンの長さは短くします。

BIA チャンネルと EDA チャンネル

BIA チャンネルと EDA チャンネルでは、PCB パターンの抵抗を最小限に抑えて測定精度を確保します。

レジスタの一覧

表 23. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x000	FIFO_STA TUS	[15:8]	CLEAR_FI FO	INT_FIFO_U FLOW	INT_FIFO_ OFLOW	INT_FIFO_T H	FIFO_INIT DONE_STA TUS	FIFO_BYTE_COUNT[10:8]			0x0000	R/W
		[7:0]	FIFO_BYTE_COUNT[7:0]									
0x001	INT_STAT US_TS1	[15:8]	RESERVED				INT_PPG_L EV0_L	INT_PPG_L EV0_K	INT_PPG_L EV0_J	INT_PPG_L EV0_I	0x0000	R/W
		[7:0]	INT_PPG_ LEV0_H	INT_PPG_L EV0_G	INT_PPG_L EV0_F	INT_PPG_L EV0_E	INT_PPG_L EV0_D	INT_PPG_L EV0_C	INT_PPG_L EV0_B	INT_PPG_L EV0_A		
0x002	INT_STAT US_TS2	[15:8]	RESERVED				INT_PPG_L EV1_L	INT_PPG_L EV1_K	INT_PPG_L EV1_J	INT_PPG_L EV1_I	0x0000	R/W
		[7:0]	INT_PPG_ LEV1_H	INT_PPG_L EV1_G	INT_PPG_L EV1_F	INT_PPG_L EV1_E	INT_PPG_L EV1_D	INT_PPG_L EV1_C	INT_PPG_L EV1_B	INT_PPG_L EV1_A		
0x003	INT_STAT US_BIOZ	[15:8]	INT_BIOZ_ SAT_P	INT_BIOZ_S AT_O	INT_BIOZ_S AT_N	INT_BIOZ_S AT_M	INT_BIOZ_S AT_L	INT_BIOZ_S AT_K	INT_BIOZ_S AT_J	INT_BIOZ_S AT_I	0x0000	R/W
		[7:0]	INT_BIOZ_ SAT_H	INT_BIOZ_S AT_G	INT_BIOZ_S AT_F	INT_BIOZ_S AT_E	INT_BIOZ_S AT_D	INT_BIOZ_S AT_C	INT_BIOZ_S AT_B	INT_BIOZ_S AT_A		
0x004	ECG_STA TUS	[15:8]	INT_BIOZ_ SAT_R	INT_BIOZ_S AT_Q	RESERVED						0x00FC	R/W
		[7:0]	ECG_ACL O_STATU S	ECGIN_DCL O_HI_STAT US	ECGIP_DCL O_HI_STAT US	ECG_RLD_ DCLO_HI_S TATUS	ECG_RLD_ DCLO_LO_ STATUS	ECG_DCLO _STATUS	ECG_PGA_ SAT_STATU S	ECG_ADC_ SAT_STATU S		
0x005	GLOBAL_ STATUS	[15:8]	RESERVED				ECG_RLD_ LEADON_HI _STATUS	ECG_RLD_ LEADON_L O_STATUS	ECGIN_LEA DON_HI_ST ATUS	ECGIP_LEA DON_HI_ST ATUS	0x0000	R/W
		[7:0]	RESERVED									
0x006	FIFO_TH	[15:8]	RESERVED						FIFO_TH[9:8]		0x000C	R/W
		[7:0]	FIFO_TH[7:0]									
0x007	INT_ACLE AR	[15:8]	INT_ACLE AR_FIFO	RESERVED							0x8000	R/W
		[7:0]	RESERVED									
0x008	CHIP_ID	[15:8]	VERSION								0x00C6	R
		[7:0]	CHIP_ID									
0x009	OSC32M	[15:8]	RESERVED							OSC_32M_ EFUSE_CT RL	0x0080	R/W
		[7:0]	OSC_32M_FREQ_ADJ									
0x00A	OSC32M_ CAL	[15:8]	OSC_32M_ CAL_STA RT	OSC_32M_CAL_COUNT[14:8]							0x0000	R/W
		[7:0]	OSC_32M_CAL_COUNT[7:0]									
0x00B	OSC960K	[15:8]	CAPTURE_ TIMESTA MP	RESERVED			OSC_960K_ EFUSE_CT RL	OSC_CAL_ ENABLE	OSC_960K_FREQ_ADJ[9: 8]		0x0AB2	R/W
		[7:0]	OSC_960K_FREQ_ADJ[7:0]									
0x00D	TS_FREQ	[15:8]	TIMESLOT_PERIOD_L[15:8]							0x2580	R/W	
		[7:0]	TIMESLOT_PERIOD_L[7:0]									
0x00E	TS_FREQ H	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVE D	TIMESLOT_PERIOD_H								

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00F	SYS_CTL	[15:8]	SW_RESE T	RESERVED			LEAD_ON_ MODE	ALT_CLOCKS			0x0000	R/W
		[7:0]	ALT_CLK_GPIO		LP_MODE_ SLEEP	GO_SLEEP	RANDOM_S LEEP	TM_CLK_G PIO_SEL	OSC_960K_ EN	LOWPOWE R_BIAS_EN		
0x010	OPMODE	[15:8]	ECG_TIM ESLOT_E N	RESERVED	BIOZ_TIME SLOT_MOD E	BIOZ_TIMESLOT_EN					0x0000	R/W
		[7:0]	PPG_TIMESLOT_EN				RESERVED	OP_MODE				
0x011	STAMP_L	[15:8]	TIMESTAMP_COUNT_L[15:8]								0x0000	R
		[7:0]	TIMESTAMP_COUNT_L[7:0]									
0x012	STAMP_H	[15:8]	TIMESTAMP_COUNT_H[15:8]								0x0000	R
		[7:0]	TIMESTAMP_COUNT_H[7:0]									
0x013	STAMPDE LTA	[15:8]	TIMESTAMP_SLOT_DELTA[15:8]								0x0000	R
		[7:0]	TIMESTAMP_SLOT_DELTA[7:0]									
0x014	INT_ENAB LE_XD	[15:8]	INTX_EN_ FIFO_TH	INTX_EN_FI FO_UFLOW	INTX_EN_FI FO_OFLOW	RESERVED					0x0000	R/W
		[7:0]	RESERVED									
0x015	INT_ENAB LE_YD	[15:8]	INTY_EN_ FIFO_TH	INTY_EN_FI FO_UFLOW	INTY_EN_FI FO_OFLOW	RESERVED					0x0000	R/W
		[7:0]	RESERVED									
0x01E	FIFO_STA TUS_BYT ES	[15:8]	RESERVED						ENA_STAT_ ECG	ENA_STAT_ LEVX	0x0200	R/W
		[7:0]	ENA_STAT_ LEV1	ENA_STAT_ LEV0	ENA_SEQ_ NUM	RESERVED						
0x020	INPUT_SL EEP	[15:8]	RESERVED								0x0000	R/W
		[7:0]	INP_SLEEP_34				INP_SLEEP_12					
0x021	INPUT_CF G	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED		VC1_SLEEP		RESERVED		PAIR34	PAIR12		
0x022	GPIO_CF G	[15:8]	GPIO_SLEW		GPIO_DRV		RESERVED			GPIO_PIN_ CFG2, Bit 2	0x0000	R/W
		[7:0]	GPIO_PIN_CFG2[1:0]		GPIO_PIN_CFG1			GPIO_PIN_CFG0				
0x023	GPIO01	[15:8]	GPIOOUT1								0x0000	R/W
		[7:0]	GPIOOUT0									
0x025	GPIO_IN	[15:8]	RESERVED								0x0000	R
		[7:0]	RESERVED				GPIO_INPUT					
0x026	GPIO_EXT	[15:8]	RESERVED							GOUT_SLE EP	0x0000	R/W
		[7:0]	TIMESTA MP_INV	TIMESTAM P_ALWAYS _EN	TIMESTAMP_GPIO		RESERVED	EXT_SYNC _EN	EXT_SYNC_GPIO			
0x02F	FIFO_DAT A	[15:8]	FIFO_DATA[15:8]								0x0000	R
		[7:0]	FIFO_DATA[7:0]									
0x044	EFUSE	[15:8]	EFUSE_R EFRESH	RESERVED							0x0005	R/W

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
		[7:0]	RESERVED						EFUSE_EN		EFUSE_RE G_EN			
0x057	IO_ADJUST	[15:8]	RESERVED										0x0050	R/W
		[7:0]	RESERVE D	LOW_IOVD D_EN	RESERVED		SPI_SLEW		SPI_DRV					
0x100	ECG_ANA_CTRL	[15:8]	RESERVED			ECG_SHORT_IN_RLD	ECG_SHORT_IP_RLD	RESERVED	ECG_CGA_PREBUF_A LWAYSON	ECG_CGA_GAIN	0x0070	R/W		
		[7:0]	ECG_RLD_VCM_EN	ECG_RLD_OUT_DISCONNECT	ECG_RLD_OUT_SEL		ECG_RLD_SAT_EN	ECG_RLD_SAT_THRESHOLD		ECG_RLD_EN				
0x101	ECG_LEADOFF_CTRL	[15:8]	ECG_ACL_O_EN	ECG_ACLO_MAG			ECG_ACLO_THRESHOLD			ECG_DCLO_L_EN	0x0004	R/W		
		[7:0]	ECG_DCLO_MAG				ECG_DCLO_POLARITY_IN	ECG_DCLO_POLARITY_IP	ECG_DCLO_THRESHOLD					
0x102	ECG_DIG_CTRL1	[15:8]	RESERVED						ECG_DEBOUNCER_INIT	ECG_DEBOUNCER_SE L	ECG_OVERSAMPLING_RATIO[5]	0x0018	R/W	
		[7:0]	ECG_OVERSAMPLING_RATIO[4:0]						ECG_ODR_SEL					
0x103	ECG_DIG_CTRL2	[15:8]	ECG_DCL_O_H_EN	ECG_DCLO_H_MAG				ECG_DCLO_IP_EN	ECG_DCLO_IN_EN	ECG_DCLO_DET_IN_EN	0x0000	R/W		
		[7:0]	ECG_DCL_O_DET_IP_EN	ECG_DCLO_M_EN	ECG_ACLO_INV	ECG_BYPASS_EQLZR	ECG_CAL_GAIN							
0x104	ECG_MATRIX	[15:8]	RESERVED							ECG_SWAP_POLARITY	ECG_PINS_CON_BIOZ	0x0000	R/W	
		[7:0]	ECG_E1_CON_ECGIP	ECG_E1_CON_RLD	ECG_E2_CON_ECGIP	ECG_E2_CON_RLD	ECG_E3_CON_ECGIN	ECG_E3_CON_RLD	ECG_E4_CON_ECGIN	ECG_E4_CON_RLD				
0x120	TS_CTRL_A	[15:8]	RESERVED		SAMPLE_TYPE_A			RESERVED	TIMESLOT_OFFSET_A[9:8]		0x1000	R/W		
		[7:0]	TIMESLOT_OFFSET_A[7:0]											
0x121	TS_PATH_A	[15:8]	PRE_WIDTH_A				AMBIENT_CANCELLATION_A		GOUT_A	RESERVED	0x4020	R/W		
		[7:0]	RESERVED	AFE_PATH_CFG_A										
0x122	INPUTS_A	[15:8]	INP4_SEL_A		INP3_SEL_A		INP2_SEL_A		INP1_SEL_A		0x0000	R/W		
		[7:0]	INP34_A				INP12_A							
0x123	CATHODE_A	[15:8]	RESERVED	PRECON_A			RESERVED		AFE_VREF_AMB_SEL_A		0x0200	R/W		
		[7:0]	VC1_AMB_SEL_A		VC1_PULSE_A		VC1_ALT_A		VC1_SEL_A					
0x124	AFE_TRIM1_A	[15:8]	AFE_TIA_SAT_DETECT_EN_A	RESERVED		AFE_BUFFER_GAIN_A		VREF_PULSE_A	AFE_TRIM_VREF_A		0x02C9	R/W		
		[7:0]	VREF_PULSE_VAL_A		TIA_GAIN_CH2_A			TIA_GAIN_CH1_A						
0x125	AFE_TRIM2_A	[15:8]	RESERVED			AFE_BUFFER_CAP_A	RESERVED				0x0000	R/W		

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x126	AFE_DAC1_A	[7:0]	RESERVED		TIA_GAIN_CH4_A			TIA_GAIN_CH3_A			0x0000	R/W	
		[15:8]	DAC_AMBIENT_CH1_A[8:1]										
		[7:0]	DAC_AMBIENT_CH1_A, Bit 0	DAC_LED_DC_CH1_A									
0x127	AFE_DAC2_A	[15:8]	DAC_AMBIENT_CH2_A[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_A, Bit 0	DAC_LED_DC_CH2_A									
		[15:8]	RESERVED	LED_CURRENT2_A									
0x128	LED_POWER12_A	[15:8]	RESERVED	LED_CURRENT2_A								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_A									
		[15:8]	RESERVED										
0x129	LED_MODE_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LED_DRIVESIDE2_A		LED_DRIVESIDE1_A		RESERVED		LED_MODE2_A	LED_MODE1_A			
		[15:8]	NUM_INT_A										
0x12A	COUNTS_A	[15:8]	NUM_INT_A									0x0101	R/W
		[7:0]	NUM_REPEAT_A										
		[15:8]	RESERVED	COARSE_LOOP_WIDTH_A	MOD_TYPE_A		RESERVED		MIN_PERIOD_A[9:8]				
0x12B	PERIOD_A	[15:8]	RESERVED	COARSE_LOOP_WIDTH_A	MOD_TYPE_A		RESERVED		MIN_PERIOD_A[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_A[7:0]										
		[15:8]	LED_WIDTH_A										
0x12C	LED_PULSE1_A	[15:8]	LED_WIDTH_A									0x0210	R/W
		[7:0]	LED_OFFSET_A										
		[15:8]	DAC_AMBIENT_CH3_A[8:1]										
0x12D	AFE_DAC3_A	[15:8]	DAC_AMBIENT_CH3_A[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_A, Bit 0	DAC_LED_DC_CH3_A									
		[15:8]	DAC_AMBIENT_CH4_A[8:1]										
0x12E	AFE_DAC4_A	[15:8]	DAC_AMBIENT_CH4_A[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_A, Bit 0	DAC_LED_DC_CH4_A									
		[15:8]	RESERVED				THRESH0_SHIFT_A						
0x12F	THRESH0_A	[15:8]	RESERVED				THRESH0_SHIFT_A					0x0000	R/W
		[7:0]	THRESH0_VALUE_A										
		[15:8]	MOD_WIDTH_A										
0x130	MOD_PULSE_A	[15:8]	MOD_WIDTH_A									0x0001	R/W
		[7:0]	MOD_OFFSET_A										
		[15:8]	LED_DISABLE_A					MOD_DISABLE_A					
0x131	PATTERN1_A	[15:8]	LED_DISABLE_A					MOD_DISABLE_A				0x0000	R/W
		[7:0]	SUBTRACT_A					AFE_SWAP_A					
		[15:8]	RESERVED						THRESH1_DIR_A	THRESH1_TYPE_A			
0x132	THRESH_CFG_A	[15:8]	RESERVED						THRESH1_DIR_A	THRESH1_TYPE_A		0x0000	R/W
		[7:0]	RESERVED						THRESH0_DIR_A	THRESH0_TYPE_A			
		[15:8]	RESERVED						THRESH0_DIR_A	THRESH0_TYPE_A			

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x133	ADC_OFF 1_A	[15:8]	RESERVED		CH1_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_A[7:0]										
0x134	ADC_OFF 2_A	[15:8]	RESERVED		CH2_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_A[7:0]										
0x135	DATA1_A	[15:8]	DARK_SHIFT_A					DARK_SIZE_A			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_A					SIGNAL_SIZE_A					
0x136	DATA2_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_A					LIT_SIZE_A					
0x137	DECIMATE_A	[15:8]	CHANNEL_EN_A		RESERVED			SUBSAMPLE_RATIO_A[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_A[3:0]				RESERVED						
0x138	DIGINT_LIT_A	[15:8]	RESERVED								LIT_OFFSET_A, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_A[7:0]										
0x139	DIGINT_DARK_A	[15:8]	DARK2_OFFSET_A[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_A, Bit 0	DARK1_OFFSET_A									
0x13A	ADC_OFF 3_A	[15:8]	RESERVED		CH3_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_A[7:0]										
0x13B	ADC_OFF 4_A	[15:8]	RESERVED		CH4_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_A[7:0]										
0x13C	THRESH1_A	[15:8]	RESERVED			THRESH1_SHIFT_A					0x0000	R/W	
		[7:0]	THRESH1_VALUE_A										
0x140	TS_CTRL_B	[15:8]	RESERVED		SAMPLE_TYPE_B			RESERVED	TIMESLOT_OFFSET_B[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_B[7:0]										
0x141	TS_PATH_B	[15:8]	PRE_WIDTH_B				AMBIENT_CANCELLATION_B		GOUT_B	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_B									
0x142	INPUTS_B	[15:8]	INP4_SEL_B		INP3_SEL_B		INP2_SEL_B		INP1_SEL_B		0x0000	R/W	
		[7:0]	INP34_B				INP12_B						
0x143	CATHODE_B	[15:8]	RESERVED	PRECON_B			RESERVED		AFE_VREF_AMB_SEL_B		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_B		VC1_PULSE_B		VC1_ALT_B		VC1_SEL_B				
0x144	AFE_TRIM1_B	[15:8]	AFE_TIA_SAT_DETECT_EN_B	RESERVED		AFE_BUFFER_GAIN_B		VREF_PULSE_B	AFE_TRIM_VREF_B		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_B		TIA_GAIN_CH2_B			TIA_GAIN_CH1_B					
0x145	AFE_TRIM2_B	[15:8]	RESERVED			AFE_BUFFER_CAP_B	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_B			TIA_GAIN_CH3_B					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x146	AFE_DAC1_B	[15:8]	DAC_AMBIENT_CH1_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_B, Bit 0	DAC_LED_DC_CH1_B									
0x147	AFE_DAC2_B	[15:8]	DAC_AMBIENT_CH2_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_B, Bit 0	DAC_LED_DC_CH2_B									
0x148	LED_POWER12_B	[15:8]	RESERVED	LED_CURRENT2_B								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_B									
0x149	LED_MODE_B	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_B		LED_DRIVESIDE1_B		RESERVED		LED_MODE2_B	LED_MODE1_B			
0x14A	COUNTS_B	[15:8]	NUM_INT_B								0x0101	R/W	
		[7:0]	NUM_REPEAT_B										
0x14B	PERIOD_B	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_B	MOD_TYPE_B		RESERVED		MIN_PERIOD_B[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_B[7:0]										
0x14C	LED_PULSE1_B	[15:8]	LED_WIDTH_B								0x0210	R/W	
		[7:0]	LED_OFFSET_B										
0x14D	AFE_DAC3_B	[15:8]	DAC_AMBIENT_CH3_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_B, Bit 0	DAC_LED_DC_CH3_B									
0x14E	AFE_DAC4_B	[15:8]	DAC_AMBIENT_CH4_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_B, Bit 0	DAC_LED_DC_CH4_B									
0x14F	THRESH0_B	[15:8]	RESERVED			THRESH0_SHIFT_B					0x0000	R/W	
		[7:0]	THRESH0_VALUE_B										
0x150	MOD_PULSE_B	[15:8]	MOD_WIDTH_B								0x0001	R/W	
		[7:0]	MOD_OFFSET_B										
0x151	PATTERN1_B	[15:8]	LED_DISABLE_B				MOD_DISABLE_B				0x0000	R/W	
		[7:0]	SUBTRACT_B				AFE_SWAP_B						
0x152	THRESH_CFG_B	[15:8]	RESERVED					THRESH1_DIR_B	THRESH1_TYPE_B		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_B	THRESH0_TYPE_B				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x153	ADC_OFF1_B	[15:8]	RESERVED		CH1_ADC_ADJUST_B[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_B[7:0]										
0x154	ADC_OFF2_B	[15:8]	RESERVED		CH2_ADC_ADJUST_B[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_B[7:0]										
0x155	DATA1_B	[15:8]	DARK_SHIFT_B					DARK_SIZE_B			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_B					SIGNAL_SIZE_B					
0x156	DATA2_B	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_B					LIT_SIZE_B					
0x157	DECIMATE_B	[15:8]	CHANNEL_EN_B		RESERVED			SUBSAMPLE_RATIO_B[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_B[3:0]				RESERVED						
0x158	DIGINT_LIT_B	[15:8]	RESERVED								LIT_OFFSET_B, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_B[7:0]										
0x159	DIGINT_DARK_B	[15:8]	DARK2_OFFSET_B[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_B, Bit 0	DARK1_OFFSET_B									
0x15A	ADC_OFF3_B	[15:8]	RESERVED		CH3_ADC_ADJUST_B[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_B[7:0]										
0x15B	ADC_OFF4_B	[15:8]	RESERVED		CH4_ADC_ADJUST_B[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_B[7:0]										
0x15C	THRESH1_B	[15:8]	RESERVED			THRESH1_SHIFT_B					0x0000	R/W	
		[7:0]	THRESH1_VALUE_B										
0x160	TS_CTRL_C	[15:8]	RESERVED		SAMPLE_TYPE_C			RESERVED	TIMESLOT_OFFSET_C[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_C[7:0]										
0x161	TS_PATH_C	[15:8]	PRE_WIDTH_C				AMBIENT_CANCELLATION_C		GOUT_C	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_C									
0x162	INPUTS_C	[15:8]	INP4_SEL_C		INP3_SEL_C		INP2_SEL_C		INP1_SEL_C		0x0000	R/W	
		[7:0]	INP34_C				INP12_C						
0x163	CATHODE_C	[15:8]	RESERVED	PRECON_C			RESERVED		AFE_VREF_AMB_SEL_C		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_C		VC1_PULSE_C		VC1_ALT_C		VC1_SEL_C				
0x164	AFE_TRIM1_C	[15:8]	AFE_TIA_SAT_DETECT_EN_C	RESERVED		AFE_BUFFER_GAIN_C		VREF_PULSE_C	AFE_TRIM_VREF_C		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_C		TIA_GAIN_CH2_C			TIA_GAIN_CH1_C					
0x165	AFE_TRIM2_C	[15:8]	RESERVED			AFE_BUFFER_CAP_C	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_C			TIA_GAIN_CH3_C					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x166	AFE_DAC1_C	[15:8]	DAC_AMBIENT_CH1_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_C, Bit 0	DAC_LED_DC_CH1_C									
0x167	AFE_DAC2_C	[15:8]	DAC_AMBIENT_CH2_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_C, Bit 0	DAC_LED_DC_CH2_C									
0x168	LED_POWER12_C	[15:8]	RESERVED	LED_CURRENT2_C								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_C									
0x169	LED_MODE_C	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_C		LED_DRIVESIDE1_C		RESERVED		LED_MODE2_C	LED_MODE1_C			
0x16A	COUNTS_C	[15:8]	NUM_INT_C								0x0101	R/W	
		[7:0]	NUM_REPEAT_C										
0x16B	PERIOD_C	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_C	MOD_TYPE_C		RESERVED		MIN_PERIOD_C[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_C[7:0]										
0x16C	LED_PULSE1_C	[15:8]	LED_WIDTH_C								0x0210	R/W	
		[7:0]	LED_OFFSET_C										
0x16D	AFE_DAC3_C	[15:8]	DAC_AMBIENT_CH3_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_C, Bit 0	DAC_LED_DC_CH3_C									
0x16E	AFE_DAC4_C	[15:8]	DAC_AMBIENT_CH4_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_C, Bit 0	DAC_LED_DC_CH4_C									
0x16F	THRESH0_C	[15:8]	RESERVED			THRESH0_SHIFT_C					0x0000	R/W	
		[7:0]	THRESH0_VALUE_C										
0x170	MOD_PULSE_C	[15:8]	MOD_WIDTH_C								0x0001	R/W	
		[7:0]	MOD_OFFSET_C										
0x171	PATTERN1_C	[15:8]	LED_DISABLE_C				MOD_DISABLE_C				0x0000	R/W	
		[7:0]	SUBTRACT_C				AFE_SWAP_C						
0x172	THRESH_CFG_C	[15:8]	RESERVED					THRESH1_DIR_C	THRESH1_TYPE_C		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_C	THRESH0_TYPE_C				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x173	ADC_OFF_1_C	[15:8]	RESERVED		CH1_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_C[7:0]										
0x174	ADC_OFF_2_C	[15:8]	RESERVED		CH2_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_C[7:0]										
0x175	DATA1_C	[15:8]	DARK_SHIFT_C					DARK_SIZE_C			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_C					SIGNAL_SIZE_C					
0x176	DATA2_C	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_C					LIT_SIZE_C					
0x177	DECIMATE_C	[15:8]	CHANNEL_EN_C		RESERVED			SUBSAMPLE_RATIO_C[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_C[3:0]				RESERVED						
0x178	DIGINT_LIT_C	[15:8]	RESERVED								LIT_OFFSET_C, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_C[7:0]										
0x179	DIGINT_DARK_C	[15:8]	DARK2_OFFSET_C[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_C, Bit 0	DARK1_OFFSET_C									
0x17A	ADC_OFF_3_C	[15:8]	RESERVED		CH3_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_C[7:0]										
0x17B	ADC_OFF_4_C	[15:8]	RESERVED		CH4_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_C[7:0]										
0x17C	THRESH1_C	[15:8]	RESERVED				THRESH1_SHIFT_C				0x0000	R/W	
		[7:0]	THRESH1_VALUE_C										
0x180	TS_CTRL_D	[15:8]	RESERVED		SAMPLE_TYPE_D			RESERVED	TIMESLOT_OFFSET_D[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_D[7:0]										
0x181	TS_PATH_D	[15:8]	PRE_WIDTH_D				AMBIENT_CANCELLATION_D		GOUT_D	RESERVED	0x4020	R/W	
		[7:0]	RESERVE_D	AFE_PATH_CFG_D									
0x182	INPUTS_D	[15:8]	INP4_SEL_D		INP3_SEL_D		INP2_SEL_D		INP1_SEL_D		0x0000	R/W	
		[7:0]	INP34_D				INP12_D						
0x183	CATHODE_D	[15:8]	RESERVE_D	PRECON_D			RESERVED		AFE_VREF_AMB_SEL_D		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_D		VC1_PULSE_D		VC1_ALT_D		VC1_SEL_D				
0x184	AFE_TRIM1_D	[15:8]	AFE_TIA_SAT_DETECT_EN_D	RESERVED		AFE_BUFFER_GAIN_D		VREF_PULSE_D	AFE_TRIM_VREF_D		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_D		TIA_GAIN_CH2_D			TIA_GAIN_CH1_D					
0x185	AFE_TRIM2_D	[15:8]	RESERVED			AFE_BUFFER_CAP_D	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_D			TIA_GAIN_CH3_D					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x186	AFE_DAC1_D	[15:8]	DAC_AMBIENT_CH1_D[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_D, Bit 0	DAC_LED_DC_CH1_D								
0x187	AFE_DAC2_D	[15:8]	DAC_AMBIENT_CH2_D[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_D, Bit 0	DAC_LED_DC_CH2_D								
0x188	LED_POWER12_D	[15:8]	RESERVED	LED_CURRENT2_D							0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_D								
0x189	LED_MODE_D	[15:8]	RESERVED								0x0000	R/W
		[7:0]	LED_DRIVESIDE2_D		LED_DRIVESIDE1_D		RESERVED		LED_MODE2_D	LED_MODE1_D		
0x18A	COUNTS_D	[15:8]	NUM_INT_D								0x0101	R/W
		[7:0]	NUM_REPEAT_D									
0x18B	PERIOD_D	[15:8]	RESERVED	COARSE_LOOP_WIDTH_D	MOD_TYPE_D		RESERVED		MIN_PERIOD_D[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_D[7:0]									
0x18C	LED_PULSE1_D	[15:8]	LED_WIDTH_D								0x0210	R/W
		[7:0]	LED_OFFSET_D									
0x18D	AFE_DAC3_D	[15:8]	DAC_AMBIENT_CH3_D[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_D, Bit 0	DAC_LED_DC_CH3_D								
0x18E	AFE_DAC4_D	[15:8]	DAC_AMBIENT_CH4_D[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_D, Bit 0	DAC_LED_DC_CH4_D								
0x18F	THRESHOLD_D	[15:8]	RESERVED			THRESH0_SHIFT_D					0x0000	R/W
		[7:0]	THRESH0_VALUE_D									
0x190	MOD_PULSE_D	[15:8]	MOD_WIDTH_D								0x0001	R/W
		[7:0]	MOD_OFFSET_D									
0x191	PATTERN1_D	[15:8]	LED_DISABLE_D				MOD_DISABLE_D				0x0000	R/W
		[7:0]	SUBTRACT_D				AFE_SWAP_D					
0x192	THRESH_CFG_D	[15:8]	RESERVED					THRESH1_DIR_D	THRESH1_TYPE_D		0x0000	R/W
		[7:0]	RESERVED					THRESH0_DIR_D	THRESH0_TYPE_D			

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x193	ADC_OFF 1_D	[15:8]	RESERVED		CH1_ADC_ADJUST_D[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_D[7:0]										
0x194	ADC_OFF 2_D	[15:8]	RESERVED		CH2_ADC_ADJUST_D[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_D[7:0]										
0x195	DATA1_D	[15:8]	DARK_SHIFT_D					DARK_SIZE_D			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_D					SIGNAL_SIZE_D					
0x196	DATA2_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_D					LIT_SIZE_D					
0x197	DECIMATE E_D	[15:8]	CHANNEL_EN_D		RESERVED			SUBSAMPLE_RATIO_D[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_D[3:0]				RESERVED						
0x198	DIGINT_LIT D	[15:8]	RESERVED								LIT_OFFSET T_D, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_D[7:0]										
0x199	DIGINT_DARK D	[15:8]	DARK2_OFFSET_D[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_D, Bit 0	DARK1_OFFSET_D									
0x19A	ADC_OFF 3_D	[15:8]	RESERVED		CH3_ADC_ADJUST_D[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_D[7:0]										
0x19B	ADC_OFF 4_D	[15:8]	RESERVED		CH4_ADC_ADJUST_D[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_D[7:0]										
0x19C	THRESH1 D	[15:8]	RESERVED			THRESH1_SHIFT_D					0x0000	R/W	
		[7:0]	THRESH1_VALUE_D										
0x1A0	TS_CTRL E	[15:8]	RESERVED		SAMPLE_TYPE_E			RESERVED	TIMESLOT_OFFSET_E[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_E[7:0]										
0x1A1	TS_PATH E	[15:8]	PRE_WIDTH_E				AMBIENT_CANCELLATION_E		GOUT_E	RESERVED	0x4020	R/W	
		[7:0]	RESERVE D	AFE_PATH_CFG_E									
0x1A2	INPUTS_E	[15:8]	INP4_SEL_E		INP3_SEL_E		INP2_SEL_E		INP1_SEL_E		0x0000	R/W	
		[7:0]	INP34_E				INP12_E						
0x1A3	CATHODE E	[15:8]	RESERVE D	PRECON_E			RESERVED		AFE_VREF_AMB_SEL_E		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_E		VC1_PULSE_E		VC1_ALT_E		VC1_SEL_E				
0x1A4	AFE_TRIM 1_E	[15:8]	AFE_TIA_SAT_DETECT_EN_E	RESERVED		AFE_BUFFER_GAIN_E		VREF_PULSE_E	AFE_TRIM_VREF_E		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_E		TIA_GAIN_CH2_E			TIA_GAIN_CH1_E					
0x1A5	AFE_TRIM 2_E	[15:8]	RESERVED			AFE_BUFFER_CAP_E	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_E			TIA_GAIN_CH3_E					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1A6	AFE_DAC1_E	[15:8]	DAC_AMBIENT_CH1_E[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_E, Bit 0	DAC_LED_DC_CH1_E									
0x1A7	AFE_DAC2_E	[15:8]	DAC_AMBIENT_CH2_E[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_E, Bit 0	DAC_LED_DC_CH2_E									
0x1A8	LED_POWER12_E	[15:8]	RESERVED	LED_CURRENT2_E								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_E									
0x1A9	LED_MODE_E	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_E		LED_DRIVESIDE1_E		RESERVED		LED_MODE2_E	LED_MODE1_E			
0x1AA	COUNTS_E	[15:8]	NUM_INT_E								0x0101	R/W	
		[7:0]	NUM_REPEAT_E										
0x1AB	PERIOD_E	[15:8]	RESERVED	COARSE_LOOP_WIDTH_E	MOD_TYPE_E		RESERVED		MIN_PERIOD_E[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_E[7:0]										
0x1AC	LED_PULSE1_E	[15:8]	LED_WIDTH_E								0x0210	R/W	
		[7:0]	LED_OFFSET_E										
0x1AD	AFE_DAC3_E	[15:8]	DAC_AMBIENT_CH3_E[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_E, Bit 0	DAC_LED_DC_CH3_E									
0x1AE	AFE_DAC4_E	[15:8]	DAC_AMBIENT_CH4_E[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_E, Bit 0	DAC_LED_DC_CH4_E									
0x1AF	THRESH0_E	[15:8]	RESERVED			THRESH0_SHIFT_E					0x0000	R/W	
		[7:0]	THRESH0_VALUE_E										
0x1B0	MOD_PULSE_E	[15:8]	MOD_WIDTH_E								0x0001	R/W	
		[7:0]	MOD_OFFSET_E										
0x1B1	PATTERN1_E	[15:8]	LED_DISABLE_E				MOD_DISABLE_E				0x0000	R/W	
		[7:0]	SUBTRACT_E				AFE_SWAP_E						
0x1B2	THRESH_CFG_E	[15:8]	RESERVED					THRESH1_DIR_E	THRESH1_TYPE_E		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_E	THRESH0_TYPE_E				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1B3	ADC_OFF1_E	[15:8]	RESERVED		CH1_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_E[7:0]										
0x1B4	ADC_OFF2_E	[15:8]	RESERVED		CH2_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_E[7:0]										
0x1B5	DATA1_E	[15:8]	DARK_SHIFT_E					DARK_SIZE_E			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_E					SIGNAL_SIZE_E					
0x1B6	DATA2_E	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_E					LIT_SIZE_E					
0x1B7	DECIMATE_E	[15:8]	CHANNEL_EN_E		RESERVED			SUBSAMPLE_RATIO_E[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_E[3:0]				RESERVED						
0x1B8	DIGINT_LIT_E	[15:8]	RESERVED								LIT_OFFSET_E, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_E[7:0]										
0x1B9	DIGINT_DARK_E	[15:8]	DARK2_OFFSET_E[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_E, Bit 0	DARK1_OFFSET_E									
0x1BA	ADC_OFF3_E	[15:8]	RESERVED		CH3_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_E[7:0]										
0x1BB	ADC_OFF4_E	[15:8]	RESERVED		CH4_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_E[7:0]										
0x1BC	THRESH1_E	[15:8]	RESERVED			THRESH1_SHIFT_E						0x0000	R/W
		[7:0]	THRESH1_VALUE_E										
0x1C0	TS_CTRL_F	[15:8]	RESERVED		SAMPLE_TYPE_F			RESERVED	TIMESLOT_OFFSET_F[9:8]			0x1000	R/W
		[7:0]	TIMESLOT_OFFSET_F[7:0]										
0x1C1	TS_PATH_F	[15:8]	PRE_WIDTH_F				AMBIENT_CANCELLATION_F		GOUT_F	RESERVED		0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_F									
0x1C2	INPUTS_F	[15:8]	INP4_SEL_F		INP3_SEL_F		INP2_SEL_F		INP1_SEL_F			0x0000	R/W
		[7:0]	INP34_F				INP12_F						
0x1C3	CATHODE_F	[15:8]	RESERVED	PRECON_F			RESERVED		AFE_VREF_AMB_SEL_F			0x0200	R/W
		[7:0]	VC1_AMB_SEL_F		VC1_PULSE_F		VC1_ALT_F		VC1_SEL_F				
0x1C4	AFE_TRIM1_F	[15:8]	AFE_TIA_SAT_DETECT_EN_F	RESERVED		AFE_BUFFER_GAIN_F		VREF_PULSE_F	AFE_TRIM_VREF_F			0x02C9	R/W
		[7:0]	VREF_PULSE_VAL_F		TIA_GAIN_CH2_F			TIA_GAIN_CH1_F					
0x1C5	AFE_TRIM2_F	[15:8]	RESERVED			AFE_BUFFER_CAP_F	RESERVED					0x0000	R/W
		[7:0]	RESERVED		TIA_GAIN_CH4_F			TIA_GAIN_CH3_F					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1C6	AFE_DAC1_F	[15:8]	DAC_AMBIENT_CH1_F[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_F, Bit 0	DAC_LED_DC_CH1_F									
0x1C7	AFE_DAC2_F	[15:8]	DAC_AMBIENT_CH2_F[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_F, Bit 0	DAC_LED_DC_CH2_F									
0x1C8	LED_POWER12_F	[15:8]	RESERVED	LED_CURRENT2_F								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_F									
0x1C9	LED_MODE_F	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_F		LED_DRIVESIDE1_F		RESERVED		LED_MODE2_F	LED_MODE1_F			
0x1CA	COUNTS_F	[15:8]	NUM_INT_F								0x0101	R/W	
		[7:0]	NUM_REPEAT_F										
0x1CB	PERIOD_F	[15:8]	RESERVED	COARSE_LOOP_WIDTH_F	MOD_TYPE_F		RESERVED		MIN_PERIOD_F[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_F[7:0]										
0x1CC	LED_PULSE1_F	[15:8]	LED_WIDTH_F								0x0210	R/W	
		[7:0]	LED_OFFSET_F										
0x1CD	AFE_DAC3_F	[15:8]	DAC_AMBIENT_CH3_F[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_F, Bit 0	DAC_LED_DC_CH3_F									
0x1CE	AFE_DAC4_F	[15:8]	DAC_AMBIENT_CH4_F[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_F, Bit 0	DAC_LED_DC_CH4_F									
0x1CF	THRESH0_F	[15:8]	RESERVED			THRESH0_SHIFT_F					0x0000	R/W	
		[7:0]	THRESH0_VALUE_F										
0x1D0	MOD_PULSE_F	[15:8]	MOD_WIDTH_F								0x0001	R/W	
		[7:0]	MOD_OFFSET_F										
0x1D1	PATTERN1_F	[15:8]	LED_DISABLE_F				MOD_DISABLE_F				0x0000	R/W	
		[7:0]	SUBTRACT_F				AFE_SWAP_F						
0x1D2	THRESH_CFG_F	[15:8]	RESERVED					THRESH1_DIR_F	THRESH1_TYPE_F		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_F	THRESH0_TYPE_F				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1D3	ADC_OFF1_F	[15:8]	RESERVED		CH1_ADC_ADJUST_F[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_F[7:0]										
0x1D4	ADC_OFF2_F	[15:8]	RESERVED		CH2_ADC_ADJUST_F[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_F[7:0]										
0x1D5	DATA1_F	[15:8]	DARK_SHIFT_F					DARK_SIZE_F			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_F					SIGNAL_SIZE_F					
0x1D6	DATA2_F	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_F					LIT_SIZE_F					
0x1D7	DECIMATE_F	[15:8]	CHANNEL_EN_F		RESERVED			SUBSAMPLE_RATIO_F[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_F[3:0]				RESERVED						
0x1D8	DIGINT_LIT_F	[15:8]	RESERVED								LIT_OFFSET_F, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_F[7:0]										
0x1D9	DIGINT_DARK_F	[15:8]	DARK2_OFFSET_F[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_F, Bit 0	DARK1_OFFSET_F									
0x1DA	ADC_OFF3_F	[15:8]	RESERVED		CH3_ADC_ADJUST_F[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_F[7:0]										
0x1DB	ADC_OFF4_F	[15:8]	RESERVED		CH4_ADC_ADJUST_F[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_F[7:0]										
0x1DC	THRESH1_F	[15:8]	RESERVED			THRESH1_SHIFT_F					0x0000	R/W	
		[7:0]	THRESH1_VALUE_F										
0x1E0	TS_CTRL_G	[15:8]	RESERVED		SAMPLE_TYPE_G			RESERVED	TIMESLOT_OFFSET_G[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_G[7:0]										
0x1E1	TS_PATH_G	[15:8]	PRE_WIDTH_G				AMBIENT_CANCELLATION_G		GOUT_G	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_G									
0x1E2	INPUTS_G	[15:8]	INP4_SEL_G		INP3_SEL_G		INP2_SEL_G		INP1_SEL_G		0x0000	R/W	
		[7:0]	INP34_G				INP12_G						
0x1E3	CATHODE_G	[15:8]	RESERVED	PRECON_G			RESERVED		AFE_VREF_AMB_SEL_G		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_G		VC1_PULSE_G		VC1_ALT_G		VC1_SEL_G				
0x1E4	AFE_TRIM1_G	[15:8]	AFE_TIA_SAT_DETECT_EN_G	RESERVED		AFE_BUFFER_GAIN_G		VREF_PULSE_G	AFE_TRIM_VREF_G		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_G		TIA_GAIN_CH2_G			TIA_GAIN_CH1_G					
0x1E5	AFE_TRIM2_G	[15:8]	RESERVED			AFE_BUFFER_CAP_G	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_G			TIA_GAIN_CH3_G					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1E6	AFE_DAC1_G	[15:8]	DAC_AMBIENT_CH1_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_G, Bit 0	DAC_LED_DC_CH1_G									
0x1E7	AFE_DAC2_G	[15:8]	DAC_AMBIENT_CH2_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_G, Bit 0	DAC_LED_DC_CH2_G									
0x1E8	LED_POWER12_G	[15:8]	RESERVED	LED_CURRENT2_G								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_G									
0x1E9	LED_MODE_E_G	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_G		LED_DRIVESIDE1_G		RESERVED		LED_MODE2_G	LED_MODE1_G			
0x1EA	COUNTS_G	[15:8]	NUM_INT_G								0x0101	R/W	
		[7:0]	NUM_REPEAT_G										
0x1EB	PERIOD_G	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_G	MOD_TYPE_G		RESERVED		MIN_PERIOD_G[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_G[7:0]										
0x1EC	LED_PULSE1_G	[15:8]	LED_WIDTH_G								0x0210	R/W	
		[7:0]	LED_OFFSET_G										
0x1ED	AFE_DAC3_G	[15:8]	DAC_AMBIENT_CH3_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_G, Bit 0	DAC_LED_DC_CH3_G									
0x1EE	AFE_DAC4_G	[15:8]	DAC_AMBIENT_CH4_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_G, Bit 0	DAC_LED_DC_CH4_G									
0x1EF	THRESH0_G	[15:8]	RESERVED			THRESH0_SHIFT_G					0x0000	R/W	
		[7:0]	THRESH0_VALUE_G										
0x1F0	MOD_PULSE_G	[15:8]	MOD_WIDTH_G								0x0001	R/W	
		[7:0]	MOD_OFFSET_G										
0x1F1	PATTERN1_G	[15:8]	LED_DISABLE_G				MOD_DISABLE_G				0x0000	R/W	
		[7:0]	SUBTRACT_G				AFE_SWAP_G						
0x1F2	THRESH_CFG_G	[15:8]	RESERVED					THRESH1_DIR_G	THRESH1_TYPE_G		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_G	THRESH0_TYPE_G				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1F3	ADC_OFF 1_G	[15:8]	RESERVED		CH1_ADC_ADJUST_G[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_G[7:0]										
0x1F4	ADC_OFF 2_G	[15:8]	RESERVED		CH2_ADC_ADJUST_G[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_G[7:0]										
0x1F5	DATA1_G	[15:8]	DARK_SHIFT_G					DARK_SIZE_G			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_G					SIGNAL_SIZE_G					
0x1F6	DATA2_G	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_G					LIT_SIZE_G					
0x1F7	DECIMAT E_G	[15:8]	CHANNEL_EN_G		RESERVED			SUBSAMPLE_RATIO_G[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_G[3:0]				RESERVED						
0x1F8	DIGINT_LI T_G	[15:8]	RESERVED								LIT_OFFSE T_G, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_G[7:0]										
0x1F9	DIGINT_D ARK_G	[15:8]	DARK2_OFFSET_G[8:1]									0x0086	R/W
		[7:0]	DARK2_O FFSET_G, Bit 0	DARK1_OFFSET_G									
0x1FA	ADC_OFF 3_G	[15:8]	RESERVED		CH3_ADC_ADJUST_G[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_G[7:0]										
0x1FB	ADC_OFF 4_G	[15:8]	RESERVED		CH4_ADC_ADJUST_G[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_G[7:0]										
0x1FC	THRESH1 _G	[15:8]	RESERVED			THRESH1_SHIFT_G					0x0000	R/W	
		[7:0]	THRESH1_VALUE_G										
0x200	TS_CTRL_ H	[15:8]	RESERVED		SAMPLE_TYPE_H			RESERVED	TIMESLOT_OFFSET_H[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_H[7:0]										
0x201	TS_PATH_ H	[15:8]	PRE_WIDTH_H				AMBIENT_CANCELLATIO N_H		GOUT_H	RESERVED	0x4020	R/W	
		[7:0]	RESERVE D	AFE_PATH_CFG_H									
0x202	INPUTS_H	[15:8]	INP4_SEL_H		INP3_SEL_H		INP2_SEL_H		INP1_SEL_H		0x0000	R/W	
		[7:0]	INP34_H				INP12_H						
0x203	CATHODE _H	[15:8]	RESERVE D	PRECON_H			RESERVED		AFE_VREF_AMB_SEL_H		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_H		VC1_PULSE_H		VC1_ALT_H		VC1_SEL_H				
0x204	AFE_TRIM 1_H	[15:8]	AFE_TIA SAT_DET ECT_EN_ H	RESERVED		AFE_BUFFER_GAIN_H		VREF_PUL SE_H	AFE_TRIM_VREF_H		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_H		TIA_GAIN_CH2_H			TIA_GAIN_CH1_H					
0x205	AFE_TRIM 2_H	[15:8]	RESERVED			AFE_BUFF ER_CAP_H	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_H			TIA_GAIN_CH3_H					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x206	AFE_DAC1_H	[15:8]	DAC_AMBIENT_CH1_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_H, Bit 0	DAC_LED_DC_CH1_H									
0x207	AFE_DAC2_H	[15:8]	DAC_AMBIENT_CH2_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_H, Bit 0	DAC_LED_DC_CH2_H									
0x208	LED_POWER12_H	[15:8]	RESERVED	LED_CURRENT2_H								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_H									
0x209	LED_MODE_H	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_H		LED_DRIVESIDE1_H		RESERVED		LED_MODE2_H	LED_MODE1_H			
0x20A	COUNTS_H	[15:8]	NUM_INT_H								0x0101	R/W	
		[7:0]	NUM_REPEAT_H										
0x20B	PERIOD_H	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H	MOD_TYPE_H		RESERVED		MIN_PERIOD_H[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_H[7:0]										
0x20C	LED_PULSE1_H	[15:8]	LED_WIDTH_H								0x0210	R/W	
		[7:0]	LED_OFFSET_H										
0x20D	AFE_DAC3_H	[15:8]	DAC_AMBIENT_CH3_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_H, Bit 0	DAC_LED_DC_CH3_H									
0x20E	AFE_DAC4_H	[15:8]	DAC_AMBIENT_CH4_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_H, Bit 0	DAC_LED_DC_CH4_H									
0x20F	THRESH0_H	[15:8]	RESERVED				THRESH0_SHIFT_H				0x0000	R/W	
		[7:0]	THRESH0_VALUE_H										
0x210	MOD_PULSE_H	[15:8]	MOD_WIDTH_H								0x0001	R/W	
		[7:0]	MOD_OFFSET_H										
0x211	PATTERN1_H	[15:8]	LED_DISABLE_H				MOD_DISABLE_H				0x0000	R/W	
		[7:0]	SUBTRACT_H				AFE_SWAP_H						
0x212	THRESH_CFG_H	[15:8]	RESERVED					THRESH1_DIR_H	THRESH1_TYPE_H		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_H	THRESH0_TYPE_H				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x213	ADC_OFF 1_H	[15:8]	RESERVED		CH1_ADC_ADJUST_H[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_H[7:0]										
0x214	ADC_OFF 2_H	[15:8]	RESERVED		CH2_ADC_ADJUST_H[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_H[7:0]										
0x215	DATA1_H	[15:8]	DARK_SHIFT_H					DARK_SIZE_H			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_H					SIGNAL_SIZE_H					
0x216	DATA2_H	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_H					LIT_SIZE_H					
0x217	DECIMATE_H	[15:8]	CHANNEL_EN_H		RESERVED			SUBSAMPLE_RATIO_H[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_H[3:0]				RESERVED						
0x218	DIGINT_LIT_H	[15:8]	RESERVED								LIT_OFFSET_T_H, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_H[7:0]										
0x219	DIGINT_DARK_H	[15:8]	DARK2_OFFSET_H[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_H, Bit 0	DARK1_OFFSET_H									
0x21A	ADC_OFF 3_H	[15:8]	RESERVED		CH3_ADC_ADJUST_H[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_H[7:0]										
0x21B	ADC_OFF 4_H	[15:8]	RESERVED		CH4_ADC_ADJUST_H[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_H[7:0]										
0x21C	THRESH1_H	[15:8]	RESERVED				THRESH1_SHIFT_H				0x0000	R/W	
		[7:0]	THRESH1_VALUE_H										
0x220	TS_CTRL_I	[15:8]	RESERVED		SAMPLE_TYPE_I			RESERVED	TIMESLOT_OFFSET_I[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_I[7:0]										
0x221	TS_PATH_I	[15:8]	PRE_WIDTH_I					AMBIENT_CANCELLATION_I		GOUT_I	RESERVED	0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_I									
0x222	INPUTS_I	[15:8]	INP4_SEL_I		INP3_SEL_I		INP2_SEL_I		INP1_SEL_I		0x0000	R/W	
		[7:0]	INP34_I					INP12_I					
0x223	CATHODE_I	[15:8]	RESERVED	PRECON_I			RESERVED		AFE_VREF_AMB_SEL_I		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_I		VC1_PULSE_I		VC1_ALT_I		VC1_SEL_I				
0x224	AFE_TRIM1_I	[15:8]	AFE_TIA_SAT_DETECT_EN_I	RESERVED		AFE_BUFFER_GAIN_I		VREF_PULSE_I	AFE_TRIM_VREF_I		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_I		TIA_GAIN_CH2_I			TIA_GAIN_CH1_I					
0x225	AFE_TRIM2_I	[15:8]	RESERVED			AFE_BUFFER_CAP_I	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_I			TIA_GAIN_CH3_I					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x226	AFE_DAC1_I	[15:8]	DAC_AMBIENT_CH1_I[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_I, Bit 0	DAC_LED_DC_CH1_I									
0x227	AFE_DAC2_I	[15:8]	DAC_AMBIENT_CH2_I[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_I, Bit 0	DAC_LED_DC_CH2_I									
0x228	LED_POWER12_I	[15:8]	RESERVED	LED_CURRENT2_I								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_I									
0x229	LED_MODE_I	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_I		LED_DRIVESIDE1_I		RESERVED		LED_MODE2_I	LED_MODE1_I			
0x22A	COUNTS_I	[15:8]	NUM_INT_I								0x0101	R/W	
		[7:0]	NUM_REPEAT_I										
0x22B	PERIOD_I	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_I	MOD_TYPE_I		RESERVED		MIN_PERIOD_I[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_I[7:0]										
0x22C	LED_PULSE1_I	[15:8]	LED_WIDTH_I								0x0210	R/W	
		[7:0]	LED_OFFSET_I										
0x22D	AFE_DAC3_I	[15:8]	DAC_AMBIENT_CH3_I[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_I, Bit 0	DAC_LED_DC_CH3_I									
0x22E	AFE_DAC4_I	[15:8]	DAC_AMBIENT_CH4_I[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_I, Bit 0	DAC_LED_DC_CH4_I									
0x22F	THRESH0_I	[15:8]	RESERVED				THRESH0_SHIFT_I				0x0000	R/W	
		[7:0]	THRESH0_VALUE_I										
0x230	MOD_PULSE_I	[15:8]	MOD_WIDTH_I								0x0001	R/W	
		[7:0]	MOD_OFFSET_I										
0x231	PATTERN1_I	[15:8]	LED_DISABLE_I				MOD_DISABLE_I				0x0000	R/W	
		[7:0]	SUBTRACT_I				AFE_SWAP_I						
0x232	THRESH_CFG_I	[15:8]	RESERVED					THRESH1_DIR_I	THRESH1_TYPE_I		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_I	THRESH0_TYPE_I				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x233	ADC_OFF1_I	[15:8]	RESERVED		CH1_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_I[7:0]										
0x234	ADC_OFF2_I	[15:8]	RESERVED		CH2_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_I[7:0]										
0x235	DATA1_I	[15:8]	DARK_SHIFT_I				DARK_SIZE_I				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_I				SIGNAL_SIZE_I						
0x236	DATA2_I	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_I				LIT_SIZE_I						
0x237	DECIMATE_I	[15:8]	CHANNEL_EN_I		RESERVED			SUBSAMPLE_RATIO_I[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_I[3:0]				RESERVED						
0x238	DIGINT_LIT_I	[15:8]	RESERVED								LIT_OFFSET_I, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_I[7:0]										
0x239	DIGINT_DARK_I	[15:8]	DARK2_OFFSET_I[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_I, Bit 0	DARK1_OFFSET_I									
0x23A	ADC_OFF3_I	[15:8]	RESERVED		CH3_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_I[7:0]										
0x23B	ADC_OFF4_I	[15:8]	RESERVED		CH4_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_I[7:0]										
0x23C	THRESH1_I	[15:8]	RESERVED			THRESH1_SHIFT_I						0x0000	R/W
		[7:0]	THRESH1_VALUE_I										
0x240	TS_CTRL_J	[15:8]	RESERVED		SAMPLE_TYPE_J			RESERVED	TIMESLOT_OFFSET_J[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_J[7:0]										
0x241	TS_PATH_J	[15:8]	PRE_WIDTH_J				AMBIENT_CANCELLATION_J		GOUT_J	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_J									
0x242	INPUTS_J	[15:8]	INP4_SEL_J		INP3_SEL_J		INP2_SEL_J		INP1_SEL_J		0x0000	R/W	
		[7:0]	INP34_J				INP12_J						
0x243	CATHODE_J	[15:8]	RESERVED	PRECON_J			RESERVED		AFE_VREF_AMB_SEL_J		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_J		VC1_PULSE_J		VC1_ALT_J		VC1_SEL_J				
0x244	AFE_TRIM1_J	[15:8]	AFE_TIA_SAT_DETECT_EN_J	RESERVED		AFE_BUFFER_GAIN_J		VREF_PULSE_J	AFE_TRIM_VREF_J		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_J		TIA_GAIN_CH2_J			TIA_GAIN_CH1_J					
0x245	AFE_TRIM2_J	[15:8]	RESERVED			AFE_BUFFER_CAP_J	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_J			TIA_GAIN_CH3_J					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x246	AFE_DAC1_J	[15:8]	DAC_AMBIENT_CH1_J[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_J, Bit 0	DAC_LED_DC_CH1_J								
0x247	AFE_DAC2_J	[15:8]	DAC_AMBIENT_CH2_J[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_J, Bit 0	DAC_LED_DC_CH2_J								
0x248	LED_POWER12_J	[15:8]	RESERVED	LED_CURRENT2_J							0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_J								
0x249	LED_MODE_J	[15:8]	RESERVED								0x0000	R/W
		[7:0]	LED_DRIVESIDE2_J		LED_DRIVESIDE1_J		RESERVED		LED_MODE2_J	LED_MODE1_J		
0x24A	COUNTS_J	[15:8]	NUM_INT_J								0x0101	R/W
		[7:0]	NUM_REPEAT_J									
0x24B	PERIOD_J	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_J	MOD_TYPE_J		RESERVED		MIN_PERIOD_J[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_J[7:0]									
0x24C	LED_PULSE1_J	[15:8]	LED_WIDTH_J								0x0210	R/W
		[7:0]	LED_OFFSET_J									
0x24D	AFE_DAC3_J	[15:8]	DAC_AMBIENT_CH3_J[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_J, Bit 0	DAC_LED_DC_CH3_J								
0x24E	AFE_DAC4_J	[15:8]	DAC_AMBIENT_CH4_J[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_J, Bit 0	DAC_LED_DC_CH4_J								
0x24F	THRESH0_J	[15:8]	RESERVED			THRESH0_SHIFT_J					0x0000	R/W
		[7:0]	THRESH0_VALUE_J									
0x250	MOD_PULSE_J	[15:8]	MOD_WIDTH_J								0x0001	R/W
		[7:0]	MOD_OFFSET_J									
0x251	PATTERN1_J	[15:8]	LED_DISABLE_J				MOD_DISABLE_J				0x0000	R/W
		[7:0]	SUBTRACT_J				AFE_SWAP_J					
0x252	THRESH_CFG_J	[15:8]	RESERVED					THRESH1_DIR_J	THRESH1_TYPE_J		0x0000	R/W
		[7:0]	RESERVED					THRESH0_DIR_J	THRESH0_TYPE_J			

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x253	ADC_OFF 1_J	[15:8]	RESERVED		CH1_ADC_ADJUST_J[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_J[7:0]											
0x254	ADC_OFF 2_J	[15:8]	RESERVED		CH2_ADC_ADJUST_J[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_J[7:0]											
0x255	DATA1_J	[15:8]	DARK_SHIFT_J					DARK_SIZE_J			0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_J					SIGNAL_SIZE_J						
0x256	DATA2_J	[15:8]	RESERVED										0x0000	R/W
		[7:0]	LIT_SHIFT_J					LIT_SIZE_J						
0x257	DECIMATE_J	[15:8]	CHANNEL_EN_J		RESERVED			SUBSAMPLE_RATIO_J[6:4]			0x0010	R/W		
		[7:0]	SUBSAMPLE_RATIO_J[3:0]				RESERVED							
0x258	DIGINT_LIT_J	[15:8]	RESERVED								LIT_OFFSET_J, Bit 8	0x0026	R/W	
		[7:0]	LIT_OFFSET_J[7:0]											
0x259	DIGINT_DARK_J	[15:8]	DARK2_OFFSET_J[8:1]										0x0086	R/W
		[7:0]	DARK2_OFFSET_J, Bit 0	DARK1_OFFSET_J										
0x25A	ADC_OFF 3_J	[15:8]	RESERVED		CH3_ADC_ADJUST_J[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_J[7:0]											
0x25B	ADC_OFF 4_J	[15:8]	RESERVED		CH4_ADC_ADJUST_J[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_J[7:0]											
0x25C	THRESH1_J	[15:8]	RESERVED				THRESH1_SHIFT_J				0x0000	R/W		
		[7:0]	THRESH1_VALUE_J											
0x260	TS_CTRL_K	[15:8]	RESERVED		SAMPLE_TYPE_K			RESERVED	TIMESLOT_OFFSET_K[9:8]		0x1000	R/W		
		[7:0]	TIMESLOT_OFFSET_K[7:0]											
0x261	TS_PATH_K	[15:8]	PRE_WIDTH_K				AMBIENT_CANCELLATION_K		GOUT_K	RESERVED	0x4020	R/W		
		[7:0]	RESERVED	AFE_PATH_CFG_K										
0x262	INPUTS_K	[15:8]	INP4_SEL_K		INP3_SEL_K		INP2_SEL_K		INP1_SEL_K		0x0000	R/W		
		[7:0]	INP34_K				INP12_K							
0x263	CATHODE_K	[15:8]	RESERVED	PRECON_K			RESERVED		AFE_VREF_AMB_SEL_K		0x0200	R/W		
		[7:0]	VC1_AMB_SEL_K		VC1_PULSE_K		VC1_ALT_K		VC1_SEL_K					
0x264	AFE_TRIM1_K	[15:8]	AFE_TIA_SAT_DETECT_EN_K	RESERVED		AFE_BUFFER_GAIN_K		VREF_PULSE_K	AFE_TRIM_VREF_K		0x02C9	R/W		
		[7:0]	VREF_PULSE_VAL_K		TIA_GAIN_CH2_K			TIA_GAIN_CH1_K						
0x265	AFE_TRIM2_K	[15:8]	RESERVED			AFE_BUFFER_CAP_K	RESERVED				0x0000	R/W		
		[7:0]	RESERVED		TIA_GAIN_CH4_K			TIA_GAIN_CH3_K						

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x266	AFE_DAC1_K	[15:8]	DAC_AMBIENT_CH1_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_K, Bit 0	DAC_LED_DC_CH1_K									
0x267	AFE_DAC2_K	[15:8]	DAC_AMBIENT_CH2_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_K, Bit 0	DAC_LED_DC_CH2_K									
0x268	LED_POWER12_K	[15:8]	RESERVED	LED_CURRENT2_K								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_K									
0x269	LED_MODE_K	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_K		LED_DRIVESIDE1_K		RESERVED		LED_MODE2_K	LED_MODE1_K			
0x26A	COUNTS_K	[15:8]	NUM_INT_K								0x0101	R/W	
		[7:0]	NUM_REPEAT_K										
0x26B	PERIOD_K	[15:8]	RESERVED	COARSE_LOOP_WIDTH_K	MOD_TYPE_K		RESERVED		MIN_PERIOD_K[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_K[7:0]										
0x26C	LED_PULSE1_K	[15:8]	LED_WIDTH_K								0x0210	R/W	
		[7:0]	LED_OFFSET_K										
0x26D	AFE_DAC3_K	[15:8]	DAC_AMBIENT_CH3_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_K, Bit 0	DAC_LED_DC_CH3_K									
0x26E	AFE_DAC4_K	[15:8]	DAC_AMBIENT_CH4_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_K, Bit 0	DAC_LED_DC_CH4_K									
0x26F	THRESH0_K	[15:8]	RESERVED			THRESH0_SHIFT_K					0x0000	R/W	
		[7:0]	THRESH0_VALUE_K										
0x270	MOD_PULSE_K	[15:8]	MOD_WIDTH_K								0x0001	R/W	
		[7:0]	MOD_OFFSET_K										
0x271	PATTERN1_K	[15:8]	LED_DISABLE_K				MOD_DISABLE_K				0x0000	R/W	
		[7:0]	SUBTRACT_K				AFE_SWAP_K						
0x272	THRESH_CFG_K	[15:8]	RESERVED					THRESH1_DIR_K	THRESH1_TYPE_K		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_K	THRESH0_TYPE_K				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x273	ADC_OFF 1_K	[15:8]	RESERVED		CH1_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_K[7:0]										
0x274	ADC_OFF 2_K	[15:8]	RESERVED		CH2_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_K[7:0]										
0x275	DATA1_K	[15:8]	DARK_SHIFT_K					DARK_SIZE_K			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_K					SIGNAL_SIZE_K					
0x276	DATA2_K	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_K					LIT_SIZE_K					
0x277	DECIMATE_K	[15:8]	CHANNEL_EN_K		RESERVED			SUBSAMPLE_RATIO_K[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_K[3:0]				RESERVED						
0x278	DIGINT_LIT_K	[15:8]	RESERVED								LIT_OFFSET_K, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_K[7:0]										
0x279	DIGINT_DARK_K	[15:8]	DARK2_OFFSET_K[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_K, Bit 0	DARK1_OFFSET_K									
0x27A	ADC_OFF 3_K	[15:8]	RESERVED		CH3_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_K[7:0]										
0x27B	ADC_OFF 4_K	[15:8]	RESERVED		CH4_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_K[7:0]										
0x27C	THRESH1_K	[15:8]	RESERVED				THRESH1_SHIFT_K				0x0000	R/W	
		[7:0]	THRESH1_VALUE_K										
0x280	TS_CTRL_L	[15:8]	RESERVED		SAMPLE_TYPE_L			RESERVED	TIMESLOT_OFFSET_L[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_L[7:0]										
0x281	TS_PATH_L	[15:8]	PRE_WIDTH_L				AMBIENT_CANCELLATION_L		GOUT_L	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_L									
0x282	INPUTS_L	[15:8]	INP4_SEL_L		INP3_SEL_L		INP2_SEL_L		INP1_SEL_L		0x0000	R/W	
		[7:0]	INP34_L				INP12_L						
0x283	CATHODE_L	[15:8]	RESERVED	PRECON_L			RESERVED		AFE_VREF_AMB_SEL_L		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_L		VC1_PULSE_L		VC1_ALT_L		VC1_SEL_L				
0x284	AFE_TRIM1_L	[15:8]	AFE_TIA_SAT_DETECT_EN_L	RESERVED		AFE_BUFFER_GAIN_L		VREF_PULSE_L	AFE_TRIM_VREF_L		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_L		TIA_GAIN_CH2_L			TIA_GAIN_CH1_L					
0x285	AFE_TRIM2_L	[15:8]	RESERVED			AFE_BUFFER_CAP_L	RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_L			TIA_GAIN_CH3_L					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x286	AFE_DAC1_L	[15:8]	DAC_AMBIENT_CH1_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_L, Bit 0	DAC_LED_DC_CH1_L									
0x287	AFE_DAC2_L	[15:8]	DAC_AMBIENT_CH2_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_L, Bit 0	DAC_LED_DC_CH2_L									
0x288	LED_POWER12_L	[15:8]	RESERVED	LED_CURRENT2_L								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_L									
0x289	LED_MODE_L	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_L		LED_DRIVESIDE1_L		RESERVED		LED_MODE2_L	LED_MODE1_L			
0x28A	COUNTS_L	[15:8]	NUM_INT_L								0x0101	R/W	
		[7:0]	NUM_REPEAT_L										
0x28B	PERIOD_L	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_L	MOD_TYPE_L		RESERVED		MIN_PERIOD_L[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_L[7:0]										
0x28C	LED_PULSE1_L	[15:8]	LED_WIDTH_L								0x0210	R/W	
		[7:0]	LED_OFFSET_L										
0x28D	AFE_DAC3_L	[15:8]	DAC_AMBIENT_CH3_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_L, Bit 0	DAC_LED_DC_CH3_L									
0x28E	AFE_DAC4_L	[15:8]	DAC_AMBIENT_CH4_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_L, Bit 0	DAC_LED_DC_CH4_L									
0x28F	THRESH0_L	[15:8]	RESERVED			THRESH0_SHIFT_L					0x0000	R/W	
		[7:0]	THRESH0_VALUE_L										
0x290	MOD_PULSE_L	[15:8]	MOD_WIDTH_L								0x0001	R/W	
		[7:0]	MOD_OFFSET_L										
0x291	PATTERN1_L	[15:8]	LED_DISABLE_L				MOD_DISABLE_L				0x0000	R/W	
		[7:0]	SUBTRACT_L				AFE_SWAP_L						
0x292	THRESH_CFG_L	[15:8]	RESERVED					THRESH1_DIR_L	THRESH1_TYPE_L		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_L	THRESH0_TYPE_L				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x293	ADC_OFF 1_L	[15:8]	RESERVED		CH1_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_L[7:0]										
0x294	ADC_OFF 2_L	[15:8]	RESERVED		CH2_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_L[7:0]										
0x295	DATA1_L	[15:8]	DARK_SHIFT_L					DARK_SIZE_L			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_L					SIGNAL_SIZE_L					
0x296	DATA2_L	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_L					LIT_SIZE_L					
0x297	DECIMAT E_L	[15:8]	CHANNEL_EN_L		RESERVED			SUBSAMPLE_RATIO_L[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_L[3:0]				RESERVED						
0x298	DIGINT_LI T_L	[15:8]	RESERVED								LIT_OFFSE T_L, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_L[7:0]										
0x299	DIGINT_D ARK_L	[15:8]	DARK2_OFFSET_L[8:1]									0x0086	R/W
		[7:0]	DARK2_O FFSET_L, Bit 0	DARK1_OFFSET_L									
0x29A	ADC_OFF 3_L	[15:8]	RESERVED		CH3_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_L[7:0]										
0x29B	ADC_OFF 4_L	[15:8]	RESERVED		CH4_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_L[7:0]										
0x29C	THRESH1 _L	[15:8]	RESERVED			THRESH1_SHIFT_L					0x0000	R/W	
		[7:0]	THRESH1_VALUE_L										
0x2A0	BIOZ_AFE CON_A	[15:8]	RESERVED		BIOZ_DACR EF_LPMOD E_A	BIOZ_REFN ORM_A	BIOZ_TIMESLOT_OFFSET_A[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_A[5:0]						BIOZ_TIAE N_A	BIOZ_EXCI TATION_TY PE_A			
0x2A1	BIOZ_WG FCW_LO W_A	[15:8]	BIOZ_SINEFCW_L_A[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_A[7:0]										
0x2A2	BIOZ_WG FCW_HI_ A	[15:8]	BIOZ_DAT A_SELEC TION_A	BIOZ_NCHAN_ALT_A			BIOZ_PCHAN_ALT_A			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_A						
0x2A3	BIOZ_WG PHASE_A	[15:8]	BIOZ_SINE_PHASE_OFFSET_A[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_A[7:0]										
0x2A4	BIOZ_DFT PHASE_A	[15:8]	BIOZ_DFT_PHASE_OFFSET_A[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_A[7:0]										

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x2A5	BIOZ_WG_OFFSET_A	[15:8]	RESERVED				BIOZ_SINE_OFFSET_A[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_A[7:0]									
0x2A6	BIOZ_WG_AMPLITUDE_A	[15:8]	RESERVED				BIOZ_SINEAMPLITUDE_A[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_A[7:0]									
0x2A7	BIOZ_DAC_CON_A	[15:8]	RESERVED		BIOZ_EXBUFEN_A	BIOZ_DACBUFBW_A			BIOZ_BW20KEN_A	BIOZ_BW50KEN_A	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_A									
0x2A8	BIOZ_ADC_LEVEL_A	[15:8]	BIOZ_ADC_LEVEL_H_A								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_A									
0x2A9	BIOZ_DC_EXCITATION_A	[15:8]	BIOZ_DCL_O_POLARITY_IP_A	BIOZ_DCLO_POLARITY_IN_A	BIOZ_DCLO_L_EN_A	BIOZ_DCLO_L_MAG_A				BIOZ_DCLO_M_EN_A	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_A			BIOZ_DCLO_H_EN_A	BIOZ_DCLO_H_MAG_A					
0x2AA	BIOZ_ANA_CTRL1_A	[15:8]	BIOZ_TIA_RGAIN_A				BIOZ_TIA_CGAIN_A				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_A		BIOZ_CHOP_OFF_IN_A		BIOZ_TIA_LPMODE_A		BIOZ_RX_LPMODE_A	BIOZ_DAC_RCF_LOWBW_EN_A		
0x2AB	BIOZ_ANA_CTRL2_A	[15:8]	BIOZ_TIA_VREF_SEL_A	BIOZ_CM_SW_A	BIOZ_NCHAN_A			BIOZ_PCHAN_A			0x0000	R/W
		[7:0]	BIOZ_TSW_A				BIOZ_DSW_A					
0x2AC	BIOZ_ANA_CTRL3_A	[15:8]	BIOZ_CHOP_OFF_EXC_A		BIOZ_PGA_GAIN_A		BIOZ_TIA_ECG_A			BIOZ_EXCBUF_ECG_A, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_A[1:0]		BIOZ_DCLO_IP_EN_A	BIOZ_DCLO_IN_EN_A	BIOZ_CURRENT_LIMIT_A		BIOZ_RINT_SW_A			
0x2AD	BIOZ_ADC_FILTERCON_A	[15:8]	RESERVED				BIOZ_ADC_PERIOD_A[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_A[1:0]		BIOZ_AVRGNUM_A		BIOZ_AVRGEN_A	BIOZ_SINC3BYP_A	BIOZ_SINC3OSR_A			
0x2AE	BIOZ_DFT_CON_A	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_A	BIOZ_DFT_TYPE_A	BIOZ_WG_DFT_DIFF_PHASE_EN_A	BIOZ_HANNINGEN_A	BIOZ_DFTNUM_A					
0x2AF	BIOZ_ADC_CONV_DLY_A	[15:8]	BIOZ_PRE_WIDTH_A			BIOZ_PRECON_SEL_A		BIOZ_SUBSAMPLE_RATIO_A[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_A[3:0]				BIOZ_PRECON_RES_A	BIOZ_ADC_CONV_DLY_A				
0x2B0	BIOZ_AFE_CON_B	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_B	BIOZ_REFNORM_B	BIOZ_TIMESLOT_OFFSET_B[9:6]				0x0000	R/W

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[7:0]	BIOZ_TIMESLOT_OFFSET_B[5:0]						BIOZ_TIAE_N_B	BIOZ_EXCITATION_TYPE_B		
0x2B1	BIOZ_WGFCW_LOW_B	[15:8]	BIOZ_SINEFCW_L_B[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_B[7:0]									
0x2B2	BIOZ_WGFCW_HI_B	[15:8]	BIOZ_DATA_SELECTION_B	BIOZ_NCHAN_ALT_B			BIOZ_PCHAN_ALT_B			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_B					
0x2B3	BIOZ_WGPHASE_B	[15:8]	BIOZ_SINE_PHASE_OFFSET_B[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_B[7:0]									
0x2B4	BIOZ_DFTPHASE_B	[15:8]	BIOZ_DFT_PHASE_OFFSET_B[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_B[7:0]									
0x2B5	BIOZ_WGOFFSET_B	[15:8]	RESERVED				BIOZ_SINE_OFFSET_B[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_B[7:0]									
0x2B6	BIOZ_WGAMPLITUDE_B	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_B[10:8]			0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_B[7:0]									
0x2B7	BIOZ_DACCON_B	[15:8]	RESERVED		BIOZ_EXBUFEN_B	BIOZ_DACBUFBW_B			BIOZ_BW20KEN_B	BIOZ_BW50KEN_B	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_B									
0x2B8	BIOZ_ADC_LEVEL_B	[15:8]	BIOZ_ADC_LEVEL_H_B								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_B									
0x2B9	BIOZ_DC_EXCITATION_B	[15:8]	BIOZ_DCLO_POLARITY_IP_B	BIOZ_DCLO_POLARITY_IN_B	BIOZ_DCLO_L_EN_B	BIOZ_DCLO_L_MAG_B				BIOZ_DCLO_M_EN_B	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_B			BIOZ_DCLO_H_EN_B	BIOZ_DCLO_H_MAG_B					
0x2BA	BIOZ_ANA_CTRL1_B	[15:8]	BIOZ_TIA_RGAIN_B				BIOZ_TIA_CGAIN_B				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_B		BIOZ_CHOP_OFF_IN_B		BIOZ_TIA_LPMODE_B		BIOZ_RX_LPMODE_B	BIOZ_DACRCF_LOWBW_EN_B		
0x2BB	BIOZ_ANA_CTRL2_B	[15:8]	BIOZ_TIA_VREF_SE_L_B	BIOZ_CM_SW_B	BIOZ_NCHAN_B			BIOZ_PCHAN_B			0x0000	R/W
		[7:0]	BIOZ_TSW_B				BIOZ_DSW_B					
0x2BC	BIOZ_ANA_CTRL3_B	[15:8]	BIOZ_CHOP_OFF_EXC_B		BIOZ_PGA_GAIN_B		BIOZ_TIA_ECG_B			BIOZ_EXCBUF_ECG_B, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_B[1:0]		BIOZ_DCLO_IP_EN_B	BIOZ_DCLO_IN_EN_B	BIOZ_CURRENT_LIMIT_B		BIOZ_RINT_SW_B			

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x2BD	BIOZ_ADC_FILTERCON_B	[15:8]	RESERVED					BIOZ_ADC_PERIOD_B[5:2]			0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_B[1:0]		BIOZ_AVRGNUM_B		BIOZ_AVRGEN_B	BIOZ_SINC3BYP_B	BIOZ_SINC3OSR_B				
0x2BE	BIOZ_DFTCON_B	[15:8]	RESERVED									0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_B	BIOZ_DFT_TYPE_B	BIOZ_WG_DFT_DIFF_PHASE_EN_B	BIOZ_HANNINGEN_B	BIOZ_DFTNUM_B						
0x2BF	BIOZ_ADC_CONV_DLY_B	[15:8]	BIOZ_PRE_WIDTH_B			BIOZ_PRECON_SEL_B		BIOZ_SUBSAMPLE_RATIO_B[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_B[3:0]				BIOZ_PRECON_RES_B	BIOZ_ADC_CONV_DLY_B					
0x2C0	BIOZ_AFECON_C	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_C	BIOZ_REFNORM_C	BIOZ_TIMESLOT_OFFSET_C[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_C[5:0]						BIOZ_TIAEN_C	BIOZ_EXCITATION_TYPE_C			
0x2C1	BIOZ_WGFCW_LOW_C	[15:8]	BIOZ_SINEFCW_L_C[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_C[7:0]										
0x2C2	BIOZ_WGFCW_HI_C	[15:8]	BIOZ_DATA_SELECTION_C	BIOZ_NCHAN_ALT_C			BIOZ_PCHAN_ALT_C			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_C						
0x2C3	BIOZ_WGPHASE_C	[15:8]	BIOZ_SINE_PHASE_OFFSET_C[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_C[7:0]										
0x2C4	BIOZ_DFTPHASE_C	[15:8]	BIOZ_DFT_PHASE_OFFSET_C[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_C[7:0]										
0x2C5	BIOZ_WGOFFSET_C	[15:8]	RESERVED				BIOZ_SINE_OFFSET_C[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_C[7:0]										
0x2C6	BIOZ_WGAMPLITUDE_C	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_C[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_C[7:0]										
0x2C7	BIOZ_DACCON_C	[15:8]	RESERVED		BIOZ_EXBUFEN_C	BIOZ_DACBUFBW_C			BIOZ_BW20KEN_C	BIOZ_BW50KEN_C	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_C										
0x2C8	BIOZ_ADC_LEVEL_C	[15:8]	BIOZ_ADC_LEVEL_H_C									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_C										

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x2C9	BIOZ_DC_EXCITATION_C	[15:8]	BIOZ_DCL_O_POLARITY_IP_C	BIOZ_DCLO_POLARITY_IN_C	BIOZ_DCLO_L_EN_C	BIOZ_DCLO_L_MAG_C				BIOZ_DCLO_M_EN_C	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_C			BIOZ_DCLO_H_EN_C	BIOZ_DCLO_H_MAG_C					
0x2CA	BIOZ_ANA_CTRL1_C	[15:8]	BIOZ_TIA_RGAIN_C				BIOZ_TIA_CGAIN_C				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_C		BIOZ_CHOP_OFF_IN_C		BIOZ_TIA_LPMODE_C		BIOZ_RX_LPMODE_C	BIOZ_DAC_RCF_LOWBW_EN_C		
0x2CB	BIOZ_ANA_CTRL2_C	[15:8]	BIOZ_TIA_VREF_SE_L_C	BIOZ_CM_SW_C	BIOZ_NCHAN_C			BIOZ_PCHAN_C			0x0000	R/W
		[7:0]	BIOZ_TSW_C				BIOZ_DSW_C					
0x2CC	BIOZ_ANA_CTRL3_C	[15:8]	BIOZ_CHOP_OFF_EXC_C		BIOZ_PGA_GAIN_C		BIOZ_TIA_ECG_C			BIOZ_EXCBUF_ECG_C, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_C[1:0]		BIOZ_DCLO_IP_EN_C	BIOZ_DCLO_IN_EN_C	BIOZ_CURRENT_LIMIT_C		BIOZ_RINT_SW_C			
0x2CD	BIOZ_ADC_FILTERCON_C	[15:8]	RESERVED				BIOZ_ADC_PERIOD_C[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_C[1:0]		BIOZ_AVRGNUM_C		BIOZ_AVRG_EN_C	BIOZ_SINC3BYP_C	BIOZ_SINC3OSR_C			
0x2CE	BIOZ_DFT_CON_C	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_C	BIOZ_DFT_TYPE_C	BIOZ_WG_DFT_DIFF_PHASE_EN_C	BIOZ_HANNINGEN_C	BIOZ_DFTNUM_C					
0x2CF	BIOZ_ADC_CONV_DLY_C	[15:8]	BIOZ_PRE_WIDTH_C			BIOZ_PRECON_SEL_C		BIOZ_SUBSAMPLE_RATIO_C[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_C[3:0]				BIOZ_PRECON_RES_C	BIOZ_ADC_CONV_DLY_C				
0x2D0	BIOZ_AFE_CON_D	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_D	BIOZ_REFNORM_D	BIOZ_TIMESLOT_OFFSET_D[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_D[5:0]						BIOZ_TIAEN_D	BIOZ_EXCITATION_TYPE_D		
0x2D1	BIOZ_WGFCW_LOW_D	[15:8]	BIOZ_SINEFCW_L_D[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_D[7:0]									
0x2D2	BIOZ_WGFCW_HI_D	[15:8]	BIOZ_DATA_SELECTION_D	BIOZ_NCHAN_ALT_D			BIOZ_PCHAN_ALT_D			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_D					
0x2D3	BIOZ_WGPHASE_D	[15:8]	BIOZ_SINE_PHASE_OFFSET_D[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_D[7:0]									

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x2D4	BIOZ_DFT_PHASE_D	[15:8]	BIOZ_DFT_PHASE_OFFSET_D[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_D[7:0]									
0x2D5	BIOZ_WG_OFFSET_D	[15:8]	RESERVED					BIOZ_SINE_OFFSET_D[11:8]			0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_D[7:0]									
0x2D6	BIOZ_WG_AMPLITUDE_D	[15:8]	RESERVED						BIOZ_SINEAMPLITUDE_D[10:8]		0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_D[7:0]									
0x2D7	BIOZ_DAC_CON_D	[15:8]	RESERVED		BIOZ_EXBUFEN_D	BIOZ_DACBUFBW_D			BIOZ_BW200KEN_D	BIOZ_BW50KEN_D	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_D									
0x2D8	BIOZ_ADC_LEVEL_D	[15:8]	BIOZ_ADC_LEVEL_H_D								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_D									
0x2D9	BIOZ_DC_EXCITATION_D	[15:8]	BIOZ_DCL_O_POLARITY_IP_D	BIOZ_DCLO_POLARITY_IN_D	BIOZ_DCLO_L_EN_D	BIOZ_DCLO_L_MAG_D				BIOZ_DCLO_M_EN_D	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_D			BIOZ_DCLO_H_EN_D	BIOZ_DCLO_H_MAG_D					
0x2DA	BIOZ_ANA_CTRL1_D	[15:8]	BIOZ_TIA_RGAIN_D					BIOZ_TIA_CGAIN_D			0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_D		BIOZ_CHOP_OFF_IN_D		BIOZ_TIA_LPMODE_D		BIOZ_RX_LPMODE_D	BIOZ_DAC_RCF_LOWBW_EN_D		
0x2DB	BIOZ_ANA_CTRL2_D	[15:8]	BIOZ_TIA_VREF_SE_L_D	BIOZ_CM_SW_D	BIOZ_NCHAN_D			BIOZ_PCHAN_D			0x0000	R/W
		[7:0]	BIOZ_TSW_D					BIOZ_DSW_D				
0x2DC	BIOZ_ANA_CTRL3_D	[15:8]	BIOZ_CHOP_OFF_EXC_D		BIOZ_PGA_GAIN_D		BIOZ_TIA_ECG_D			BIOZ_EXCBUF_ECG_D[2]	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_D[1:0]		BIOZ_DCLO_IP_EN_D	BIOZ_DCLO_IN_EN_D	BIOZ_CURRENT_LIMIT_D		BIOZ_RINT_SW_D			
0x2DD	BIOZ_ADC_FILTERCON_D	[15:8]	RESERVED					BIOZ_ADC_PERIOD_D[5:2]			0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_D[1:0]		BIOZ_AVRGNUM_D		BIOZ_AVRGEN_D	BIOZ_SINC3BYP_D	BIOZ_SINC3OSR_D			
0x2DE	BIOZ_DFT_CON_D	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_D	BIOZ_DFT_TYPE_D	BIOZ_WG_DFT_DIFF_PHASE_EN_D	BIOZ_HANNINGEN_D	BIOZ_DFTNUM_D					
0x2DF	BIOZ_ADC_CONV_DLY_D	[15:8]	BIOZ_PRE_WIDTH_D			BIOZ_PRECON_SEL_D		BIOZ_SUBSAMPLE_RATIO_D[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_D[3:0]				BIOZ_PRECON_RES_D	BIOZ_ADC_CONV_DLY_D				

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x2E0	BIOZ_AFECON_E	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_E	BIOZ_REFNORM_E	BIOZ_TIMESLOT_OFFSET_E[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_E[5:0]							BIOZ_TIAEN_E			BIOZ_EXCITATION_TYPE_E
0x2E1	BIOZ_WGFCW_LOW_E	[15:8]	BIOZ_SINEFCW_L_E[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_E[7:0]										
0x2E2	BIOZ_WGFCW_HI_E	[15:8]	BIOZ_DATA_SELECTION_E	BIOZ_NCHAN_ALT_E			BIOZ_PCHAN_ALT_E			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_E						
0x2E3	BIOZ_WGPHASE_E	[15:8]	BIOZ_SINE_PHASE_OFFSET_E[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_E[7:0]										
0x2E4	BIOZ_DFTPHASE_E	[15:8]	BIOZ_DFT_PHASE_OFFSET_E[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_E[7:0]										
0x2E5	BIOZ_WGOFFSET_E	[15:8]	RESERVED				BIOZ_SINE_OFFSET_E[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_E[7:0]										
0x2E6	BIOZ_WGAMPLITUDE_E	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_E[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_E[7:0]										
0x2E7	BIOZ_DACCON_E	[15:8]	RESERVED		BIOZ_EXBUFEN_E	BIOZ_DACBUFBW_E			BIOZ_BW20OKEN_E	BIOZ_BW50KEN_E	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_E										
0x2E8	BIOZ_ADC_LEVEL_E	[15:8]	BIOZ_ADC_LEVEL_H_E									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_E										
0x2E9	BIOZ_DC_EXCITATION_E	[15:8]	BIOZ_DCL_O_POLARITY_IP_E	BIOZ_DCLO_POLARITY_IN_E	BIOZ_DCLO_LEN_E	BIOZ_DCLO_L_MAG_E				BIOZ_DCLO_M_EN_E	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_E			BIOZ_DCLO_H_EN_E	BIOZ_DCLO_H_MAG_E						
0x2EA	BIOZ_ANA_CTRL1_E	[15:8]	BIOZ_TIA_RGAIN_E				BIOZ_TIA_CGAIN_E				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE_E		BIOZ_CHOP_OFF_IN_E		BIOZ_TIA_LPMODE_E		BIOZ_RX_LPMODE_E	BIOZ_DACRCF_LOWBW_EN_E			
0x2EB	BIOZ_ANA_CTRL2_E	[15:8]	BIOZ_TIA_VREF_SELE_E	BIOZ_CM_SW_E	BIOZ_NCHAN_E			BIOZ_PCHAN_E			0x0000	R/W	
		[7:0]	BIOZ_TSW_E				BIOZ_DSW_E						
0x2EC	BIOZ_ANA_CTRL3_E	[15:8]	BIOZ_CHOP_OFF_EXC_E		BIOZ_PGA_GAIN_E		BIOZ_TIA_ECG_E			BIOZ_EXCBUF_ECG_E, Bit 2	0xC000	R/W	

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	BIOZ_EXCBUF_ECG_E[1:0]	BIOZ_DCLO_IP_EN_E	BIOZ_DCLO_IN_EN_E	BIOZ_CURRENT_LIMIT_E	BIOZ_RINT_SW_E						
0x2ED	BIOZ_ADC_FILTERCON_E	[15:8]	RESERVED					BIOZ_ADC_PERIOD_E[5:2]			0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_E[1:0]	BIOZ_AVRGNUM_E		BIOZ_AVRG_EN_E	BIOZ_SINC3BYP_E	BIOZ_SINC3OSR_E					
0x2EE	BIOZ_DFT_CON_E	[15:8]	RESERVED									0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_E	BIOZ_DFT_TYPE_E	BIOZ_WGDFT_DIFF_PHASE_EN_E	BIOZ_HANNINGEN_E	BIOZ_DFTNUM_E						
0x2EF	BIOZ_ADC_CONV_DLY_E	[15:8]	BIOZ_PRE_WIDTH_E			BIOZ_PRECON_SEL_E		BIOZ_SUBSAMPLE_RATIO_E[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_E[3:0]				BIOZ_PRECON_RES_E	BIOZ_ADC_CONV_DLY_E					
0x2F0	BIOZ_AFE_CON_F	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_F	BIOZ_REFNORM_F	BIOZ_TIMESLOT_OFFSET_F[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_F[5:0]						BIOZ_TIAEN_F	BIOZ_EXCITATION_TYPE_F			
0x2F1	BIOZ_WGFCW_LOW_F	[15:8]	BIOZ_SINEFCW_L_F[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_F[7:0]										
0x2F2	BIOZ_WGFCW_HI_F	[15:8]	BIOZ_DATA_SELECTION_F	BIOZ_NCHAN_ALT_F			BIOZ_PCHAN_ALT_F			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_F						
0x2F3	BIOZ_WGPHASE_F	[15:8]	BIOZ_SINE_PHASE_OFFSET_F[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_F[7:0]										
0x2F4	BIOZ_DFT_PHASE_F	[15:8]	BIOZ_DFT_PHASE_OFFSET_F[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_F[7:0]										
0x2F5	BIOZ_WGOFFSET_F	[15:8]	RESERVED				BIOZ_SINE_OFFSET_F[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_F[7:0]										
0x2F6	BIOZ_WGAMPLITUDE_F	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_F[10:8]			0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_F[7:0]										
0x2F7	BIOZ_DACCON_F	[15:8]	RESERVED		BIOZ_EXBUFEN_F	BIOZ_DACBUFBW_F			BIOZ_BW20KEN_F	BIOZ_BW50KEN_F	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_F										
0x2F8	BIOZ_ADC_LEVEL_F	[15:8]	BIOZ_ADC_LEVEL_H_F									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_F										

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x2F9	BIOZ_DC_EXCITATION_F	[15:8]	BIOZ_DCL_O_POLARITY_IP_F	BIOZ_DCLO_POLARITY_IN_F	BIOZ_DCLO_L_EN_F	BIOZ_DCLO_L_MAG_F				BIOZ_DCLO_M_EN_F	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_F			BIOZ_DCLO_H_EN_F	BIOZ_DCLO_H_MAG_F						
0x2FA	BIOZ_ANA_CTRL1_F	[15:8]	BIOZ_TIA_RGAIN_F				BIOZ_TIA_CGAIN_F				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE_F		BIOZ_CHOP_OFF_IN_F		BIOZ_TIA_LPMODE_F		BIOZ_RX_LPMODE_F	BIOZ_DAC_RCF_LOWBW_EN_F			
0x2FB	BIOZ_ANA_CTRL2_F	[15:8]	BIOZ_TIA_VREF_SE_L_F	BIOZ_CM_SW_F	BIOZ_NCHAN_F			BIOZ_PCHAN_F			0x0000	R/W	
		[7:0]	BIOZ_TSW_F				BIOZ_DSW_F						
0x2FC	BIOZ_ANA_CTRL3_F	[15:8]	BIOZ_CHOP_OFF_EXC_F		BIOZ_PGA_GAIN_F		BIOZ_TIA_ECG_F			BIOZ_EXCBUF_ECG_F, Bit 2	0xC000	R/W	
		[7:0]	BIOZ_EXCBUF_ECG_F[1:0]		BIOZ_DCLO_IP_EN_F	BIOZ_DCLO_IN_EN_F	BIOZ_CURRENT_LIMIT_F		BIOZ_RINT_SW_F				
0x2FD	BIOZ_ADC_FILTERCON_F	[15:8]	RESERVED				BIOZ_ADC_PERIOD_F[5:2]				0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_F[1:0]		BIOZ_AVRGNUM_F		BIOZ_AVRG_EN_F	BIOZ_SINC3BYP_F	BIOZ_SINC3OSR_F				
0x2FE	BIOZ_DFTCON_F	[15:8]	RESERVED								0x0009	R/W	
		[7:0]	BIOZ_DATA_SIZE_F	BIOZ_DFT_TYPE_F	BIOZ_WG_DFT_DIFF_PHASE_EN_F	BIOZ_HANNINGEN_F	BIOZ_DFTNUM_F						
0x2FF	BIOZ_ADC_CONV_DLY_F	[15:8]	BIOZ_PRE_WIDTH_F			BIOZ_PRECON_SEL_F		BIOZ_SUBSAMPLE_RATIO_F[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_F[3:0]				BIOZ_PRECON_RES_F	BIOZ_ADC_CONV_DLY_F					
0x300	BIOZ_AFECON_G	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_G	BIOZ_REFNORM_G	BIOZ_TIMESLOT_OFFSET_G[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_G[5:0]						BIOZ_TIAEN_G	BIOZ_EXCITATION_TYPE_G			
0x301	BIOZ_WGFCW_LOW_G	[15:8]	BIOZ_SINEFCW_L_G[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_G[7:0]										
0x302	BIOZ_WGFCW_HI_G	[15:8]	BIOZ_DATA_SELECTION_G	BIOZ_NCHAN_ALT_G			BIOZ_PCHAN_ALT_G			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_G						
0x303	BIOZ_WGPHASE_G	[15:8]	BIOZ_SINE_PHASE_OFFSET_G[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_G[7:0]										

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x304	BIOZ_DFT_PHASE_G	[15:8]	BIOZ_DFT_PHASE_OFFSET_G[15:8]								0x0000	R/W	
		[7:0]	BIOZ_DFT_PHASE_OFFSET_G[7:0]										
0x305	BIOZ_WG_OFFSET_G	[15:8]	RESERVED				BIOZ_SINE_OFFSET_G[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_G[7:0]										
0x306	BIOZ_WG_AMPLITUDE_G	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_G[10:8]			0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_G[7:0]										
0x307	BIOZ_DAC_CON_G	[15:8]	RESERVED		BIOZ_EXBUFEN_G	BIOZ_DACBUFBW_G			BIOZ_BW200KEN_G	BIOZ_BW50KEN_G	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_G										
0x308	BIOZ_ADC_LEVEL_G	[15:8]	BIOZ_ADC_LEVEL_H_G									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_G										
0x309	BIOZ_DC_EXCITATION_G	[15:8]	BIOZ_DCLO_POLARITY_IP_G	BIOZ_DCLO_POLARITY_IN_G	BIOZ_DCLO_L_EN_G	BIOZ_DCLO_L_MAG_G				BIOZ_DCLO_M_EN_G	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_G			BIOZ_DCLO_H_EN_G	BIOZ_DCLO_H_MAG_G						
0x30A	BIOZ_ANA_CTRL1_G	[15:8]	BIOZ_TIA_RGAIN_G				BIOZ_TIA_CGAIN_G				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE_G		BIOZ_CHOP_OFF_IN_G		BIOZ_TIA_LPMODE_G		BIOZ_RX_LPMODE_G	BIOZ_DAC_RCF_LOWBW_EN_G			
0x30B	BIOZ_ANA_CTRL2_G	[15:8]	BIOZ_TIA_VREF_SEL_G	BIOZ_CM_SW_G	BIOZ_NCHAN_G			BIOZ_PCHAN_G			0x0000	R/W	
		[7:0]	BIOZ_TSW_G				BIOZ_DSW_G						
0x30C	BIOZ_ANA_CTRL3_G	[15:8]	BIOZ_CHOP_OFF_EXC_G		BIOZ_PGA_GAIN_G		BIOZ_TIA_ECG_G			BIOZ_EXCBUF_ECG_G, Bit 2	0xC000	R/W	
		[7:0]	BIOZ_EXCBUF_ECG_G[1:0]		BIOZ_DCLO_IP_EN_G	BIOZ_DCLO_IN_EN_G	BIOZ_CURRENT_LIMIT_G		BIOZ_RINT_SW_G				
0x30D	BIOZ_ADC_FILTERCON_G	[15:8]	RESERVED				BIOZ_ADC_PERIOD_G[5:2]				0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_G[1:0]		BIOZ_AVRGNUM_G		BIOZ_AVRGEN_G	BIOZ_SINC3BYP_G	BIOZ_SINC3OSR_G				
0x30E	BIOZ_DFT_CON_G	[15:8]	RESERVED									0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_G	BIOZ_DFT_TYPE_G	BIOZ_WG_DFT_DIFF_PHASE_EN_G	BIOZ_HANNINGEN_G	BIOZ_DFTNUM_G						
0x30F	BIOZ_ADC_CONV_DELAY_G	[15:8]	BIOZ_PRE_WIDTH_G			BIOZ_PRECON_SEL_G		BIOZ_SUBSAMPLE_RATIO_G[6:4]			0x0011	R/W	

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_G[3:0]				BIOZ_PREC ON_RES_G	BIOZ_ADC_CONV_DLY_G					
0x310	BIOZ_AFE CON_H	[15:8]	RESERVED		BIOZ_DACR EF_LPMOD E_H	BIOZ_REFN ORM_H	BIOZ_TIMESLOT_OFFSET_H[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_H[5:0]						BIOZ_TIAE N_H	BIOZ_EXCI TATION_TY PE_H			
0x311	BIOZ_WG FCW_LO W_H	[15:8]	BIOZ_SINEFCW_L_H[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_H[7:0]										
0x312	BIOZ_WG FCW_HI_ H	[15:8]	BIOZ_DAT A_SELEC TION_H	BIOZ_NCHAN_ALT_H			BIOZ_PCHAN_ALT_H			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_H						
0x313	BIOZ_WG PHASE_H	[15:8]	BIOZ_SINE_PHASE_OFFSET_H[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_H[7:0]										
0x314	BIOZ_DFT PHASE_H	[15:8]	BIOZ_DFT_PHASE_OFFSET_H[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_H[7:0]										
0x315	BIOZ_WG OFFSET_ H	[15:8]	RESERVED				BIOZ_SINE_OFFSET_H[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_H[7:0]										
0x316	BIOZ_WG AMPLITU DE_H	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_H[10:8]			0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_H[7:0]										
0x317	BIOZ_DAC CON_H	[15:8]	RESERVED		BIOZ_EXBU FEN_H	BIOZ_DACBUFBW_H			BIOZ_BW20 0KEN_H	BIOZ_BW50 KEN_H	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_H										
0x318	BIOZ_ADC _LEVEL_H	[15:8]	BIOZ_ADC_LEVEL_H_H									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_H										
0x319	BIOZ_DC_ EXCITATI ON_H	[15:8]	BIOZ_DCL O_POLARI TY_IP_H	BIOZ_DCLO _POLARITY _IN_H	BIOZ_DCLO _L_EN_H	BIOZ_DCLO_L_MAG_H				BIOZ_DCLO _M_EN_H	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_H			BIOZ_DCLO _H_EN_H	BIOZ_DCLO_H_MAG_H						
0x31A	BIOZ_ANA _CTRL1_H	[15:8]	BIOZ_TIA_RGAIN_H				BIOZ_TIA_CGAIN_H				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE _H		BIOZ_CHOP_OFF_IN_H		BIOZ_TIA_LPMODE_H		BIOZ_RX_L PMODE_H	BIOZ_DAC_ RCF_LOWB W_EN_H			
0x31B	BIOZ_ANA _CTRL2_H	[15:8]	BIOZ_TIA VREF_SE L_H	BIOZ_CM_S W_H	BIOZ_NCHAN_H			BIOZ_PCHAN_H			0x0000	R/W	
		[7:0]	BIOZ_TSW_H				BIOZ_DSW_H						

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x31C	BIOZ_ANA_CTRL3_H	[15:8]	BIOZ_CHOP_OFF_EXC_H		BIOZ_PGA_GAIN_H		BIOZ_TIA_ECG_H			BIOZ_EXCBUF_ECG_H, Bit 2	0xC000	R/W	
		[7:0]	BIOZ_EXCBUF_ECG_H[1:0]		BIOZ_DCLO_IP_EN_H	BIOZ_DCLO_IN_EN_H	BIOZ_CURRENT_LIMIT_H		BIOZ_RINT_SW_H				
0x31D	BIOZ_ADC_FILTERCON_H	[15:8]	RESERVED				BIOZ_ADC_PERIOD_H[5:2]				0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_H[1:0]		BIOZ_AVRGNUM_H		BIOZ_AVRG_EN_H	BIOZ_SINC3BYP_H	BIOZ_SINC3OSR_H				
0x31E	BIOZ_DFTCON_H	[15:8]	RESERVED									0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_H	BIOZ_DFT_TYPE_H	BIOZ_WGDFT_DIFF_PHASE_EN_H	BIOZ_HANNINGEN_H	BIOZ_DFTNUM_H						
0x31F	BIOZ_ADC_CONV_DLY_H	[15:8]	BIOZ_PRE_WIDTH_H			BIOZ_PRECON_SEL_H		BIOZ_SUBSAMPLE_RATIO_H[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_H[3:0]				BIOZ_PRECON_RES_H	BIOZ_ADC_CONV_DLY_H					
0x320	BIOZ_AFECON_I	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_I	BIOZ_REFNORM_I	BIOZ_TIMESLOT_OFFSET_I[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_I[5:0]						BIOZ_TIAEN_I	BIOZ_EXCITATION_TYPE_I			
0x321	BIOZ_WGFCW_LOW_I	[15:8]	BIOZ_SINEFCW_L_I[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_I[7:0]										
0x322	BIOZ_WGFCW_HI_I	[15:8]	BIOZ_DATA_SELECTION_I	BIOZ_NCHAN_ALT_I			BIOZ_PCHAN_ALT_I			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_I						
0x323	BIOZ_WGPHASE_I	[15:8]	BIOZ_SINE_PHASE_OFFSET_I[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_I[7:0]										
0x324	BIOZ_DFTPHASE_I	[15:8]	BIOZ_DFT_PHASE_OFFSET_I[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_I[7:0]										
0x325	BIOZ_WGOFFSET_I	[15:8]	RESERVED				BIOZ_SINE_OFFSET_I[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_I[7:0]										
0x326	BIOZ_WGAMPLITUDE_I	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_I[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_I[7:0]										
0x327	BIOZ_DACCON_I	[15:8]	RESERVED		BIOZ_EXBUFEN_I	BIOZ_DACBUFBW_I			BIOZ_BW200KEN_I	BIOZ_BW50KEN_I	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_I										

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x328	BIOZ_ADC_LEVEL_I	[15:8]	BIOZ_ADC_LEVEL_H_I								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_I									
0x329	BIOZ_DC_EXCITATION_I	[15:8]	BIOZ_DCL_O_POLARITY_IP_I	BIOZ_DCLO_POLARITY_IN_I	BIOZ_DCLO_L_EN_I	BIOZ_DCLO_L_MAG_I				BIOZ_DCLO_M_EN_I	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_I			BIOZ_DCLO_H_EN_I	BIOZ_DCLO_H_MAG_I					
0x32A	BIOZ_ANA_CTRL1_I	[15:8]	BIOZ_TIA_RGAIN_I				BIOZ_TIA_CGAIN_I				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_I		BIOZ_CHOP_OFF_IN_I		BIOZ_TIA_LPMODE_I		BIOZ_RX_L_PMODE_I	BIOZ_DAC_RCF_LOWBW_EN_I		
0x32B	BIOZ_ANA_CTRL2_I	[15:8]	BIOZ_TIA_VREF_SE_L_I	BIOZ_CM_SW_I	BIOZ_NCHAN_I			BIOZ_PCHAN_I			0x0000	R/W
		[7:0]	BIOZ_TSW_I				BIOZ_DSW_I					
0x32C	BIOZ_ANA_CTRL3_I	[15:8]	BIOZ_CHOP_OFF_EXC_I		BIOZ_PGA_GAIN_I		BIOZ_TIA_ECG_I			BIOZ_EXCBUF_ECG_I, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_I[1:0]		BIOZ_DCLO_IP_EN_I	BIOZ_DCLO_IN_EN_I	BIOZ_CURRENT_LIMIT_I		BIOZ_RINT_SW_I			
0x32D	BIOZ_ADC_FILTERCON_I	[15:8]	RESERVED				BIOZ_ADC_PERIOD_I[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_I[1:0]		BIOZ_AVRGNUM_I		BIOZ_AVRG_EN_I	BIOZ_SINC3BYP_I	BIOZ_SINC3OSR_I			
0x32E	BIOZ_DFTCON_I	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_I	BIOZ_DFT_TYPE_I	BIOZ_WG_DFT_DIFF_PHASE_EN_I	BIOZ_HANNINGEN_I	BIOZ_DFTNUM_I					
0x32F	BIOZ_ADC_CONV_DLY_I	[15:8]	BIOZ_PRE_WIDTH_I			BIOZ_PRECON_SEL_I		BIOZ_SUBSAMPLE_RATIO_I[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_I[3:0]				BIOZ_PRECON_RES_I	BIOZ_ADC_CONV_DLY_I				
0x330	BIOZ_AFECON_J	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_J	BIOZ_REFNORM_J	BIOZ_TIMESLOT_OFFSET_J[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_J[5:0]						BIOZ_TIAEN_J	BIOZ_EXCITATION_TYPE_J		
0x331	BIOZ_WGFCW_LOW_J	[15:8]	BIOZ_SINEFCW_L_J[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_J[7:0]									
0x332	BIOZ_WGFCW_HI_J	[15:8]	BIOZ_DATA_SELECTION_J	BIOZ_NCHAN_ALT_J			BIOZ_PCHAN_ALT_J			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_J					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x333	BIOZ_WG PHASE_J	[15:8]	BIOZ_SINE_PHASE_OFFSET_J[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_J[7:0]									
0x334	BIOZ_DFT PHASE_J	[15:8]	BIOZ_DFT_PHASE_OFFSET_J[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_J[7:0]									
0x335	BIOZ_WG OFFSET_J	[15:8]	RESERVED				BIOZ_SINE_OFFSET_J[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_J[7:0]									
0x336	BIOZ_WG AMPLITU DE_J	[15:8]	RESERVED				BIOZ_SINEAMPLITUDE_J[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_J[7:0]									
0x337	BIOZ_DAC CON_J	[15:8]	RESERVED		BIOZ_EXBU FEN_J	BIOZ_DACBUFBW_J			BIOZ_BW20 OKEN_J	BIOZ_BW50 KEN_J	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_J									
0x338	BIOZ_ADC _LEVEL_J	[15:8]	BIOZ_ADC_LEVEL_H_J								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_J									
0x339	BIOZ_DC_ EXCITATI ON_J	[15:8]	BIOZ_DCL O_POLARI TY_IP_J	BIOZ_DCLO _POLARITY _IN_J	BIOZ_DCLO _L_EN_J	BIOZ_DCLO_L_MAG_J				BIOZ_DCLO _M_EN_J	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_J			BIOZ_DCLO _H_EN_J	BIOZ_DCLO_H_MAG_J					
0x33A	BIOZ_ANA _CTRL1_J	[15:8]	BIOZ_TIA_RGAIN_J				BIOZ_TIA_CGAIN_J				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE _J		BIOZ_CHOP_OFF_IN_J		BIOZ_TIA_LPMODE_J		BIOZ_RX_L PMODE_J	BIOZ_DAC_ RCF_LOWB W_EN_J		
0x33B	BIOZ_ANA _CTRL2_J	[15:8]	BIOZ_TIA VREF_SE L_J	BIOZ_CM_S W_J	BIOZ_NCHAN_J			BIOZ_PCHAN_J			0x0000	R/W
		[7:0]	BIOZ_TSW_J				BIOZ_DSW_J					
0x33C	BIOZ_ANA _CTRL3_J	[15:8]	BIOZ_CHOP_OFF_EXC _J		BIOZ_PGA_GAIN_J		BIOZ_TIA_ECG_J			BIOZ_EXCB UF_ECG_J, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_J[1 :0]		BIOZ_DCLO _IP_EN_J	BIOZ_DCLO _IN_EN_J	BIOZ_CURRENT_LIMIT_J		BIOZ_RINT_SW_J			
0x33D	BIOZ_ADC FILTERCO N_J	[15:8]	RESERVED				BIOZ_ADC_PERIOD_J[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_J[1: 0]		BIOZ_AVRGNUM_J		BIOZ_AVRG EN_J	BIOZ_SINC 3BYP_J	BIOZ_SINC3OSR_J			
0x33E	BIOZ_DFT CON_J	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DAT A_SIZE_J	BIOZ_DFT_ TYPE_J	BIOZ_WG_ DFT_DIFF_ PHASE_EN _J	BIOZ_HANN INGEN_J	BIOZ_DFTNUM_J					
0x33F	BIOZ_ADC _CONV_D LY_J	[15:8]	BIOZ_PRE_WIDTH_J			BIOZ_PRECON_SEL_J		BIOZ_SUBSAMPLE_RATIO_J[6:4]			0x0011	R/W

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[7:0]	BIOZ_SUBSAMPLE_RATIO_J[3:0]				BIOZ_PRECON_RES_J	BIOZ_ADC_CONV_DLY_J				
0x340	BIOZ_AFECON_K	[15:8]	RESERVED	BIOZ_DACREF_LPMODE_K	BIOZ_REFNORM_K	BIOZ_TIMESLOT_OFFSET_K[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_K[5:0]						BIOZ_TIAEN_K	BIOZ_EXCITATION_TYPE_K		
0x341	BIOZ_WGFCW_LOW_K	[15:8]	BIOZ_SINEFCW_L_K[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_K[7:0]									
0x342	BIOZ_WGFCW_HI_K	[15:8]	BIOZ_DATA_SELECTION_K	BIOZ_NCHAN_ALT_K			BIOZ_PCHAN_ALT_K			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_K					
0x343	BIOZ_WGPHASE_K	[15:8]	BIOZ_SINE_PHASE_OFFSET_K[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_K[7:0]									
0x344	BIOZ_DFTPHASE_K	[15:8]	BIOZ_DFT_PHASE_OFFSET_K[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_K[7:0]									
0x345	BIOZ_WGOFFSET_K	[15:8]	RESERVED				BIOZ_SINE_OFFSET_K[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_K[7:0]									
0x346	BIOZ_WGAMPLITUDE_K	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_K[10:8]			0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_K[7:0]									
0x347	BIOZ_DACCON_K	[15:8]	RESERVED	BIOZ_EXBUFEN_K	BIOZ_DACBUFBW_K			BIOZ_BW200KEN_K	BIOZ_BW500KEN_K	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_K									
0x348	BIOZ_ADC_LEVEL_K	[15:8]	BIOZ_ADC_LEVEL_H_K								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_K									
0x349	BIOZ_DC_EXCITATION_K	[15:8]	BIOZ_DCLO_POLARITY_IP_K	BIOZ_DCLO_POLARITY_IN_K	BIOZ_DCLO_L_EN_K	BIOZ_DCLO_L_MAG_K			BIOZ_DCLO_M_EN_K	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_K			BIOZ_DCLO_H_EN_K	BIOZ_DCLO_H_MAG_K					
0x34A	BIOZ_ANA_CTRL1_K	[15:8]	BIOZ_TIA_RGAIN_K				BIOZ_TIA_CGAIN_K				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_K		BIOZ_CHOP_OFF_IN_K		BIOZ_TIA_LPMODE_K		BIOZ_RX_LPMODE_K	BIOZ_DACRCF_LOWBW_EN_K		
0x34B	BIOZ_ANA_CTRL2_K	[15:8]	BIOZ_TIA_VREF_SE_L_K	BIOZ_CM_SW_K	BIOZ_NCHAN_K			BIOZ_PCHAN_K			0x0000	R/W
		[7:0]	BIOZ_TSW_K				BIOZ_DSW_K					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x34C	BIOZ_ANA_CTRL3_K	[15:8]	BIOZ_CHOP_OFF_EXC_K		BIOZ_PGA_GAIN_K		BIOZ_TIA_ECG_K			BIOZ_EXCBUF_ECG_K, Bit 2	0xC000	R/W		
		[7:0]	BIOZ_EXCBUF_ECG_K[1:0]		BIOZ_DCLO_IP_EN_K	BIOZ_DCLO_IN_EN_K	BIOZ_CURRENT_LIMIT_K		BIOZ_RINT_SW_K					
0x34D	BIOZ_ADC_FILTERCON_K	[15:8]	RESERVED				BIOZ_ADC_PERIOD_K[5:2]				0x0004	R/W		
		[7:0]	BIOZ_ADC_PERIOD_K[1:0]		BIOZ_AVRGNUM_K		BIOZ_AVRGEN_K	BIOZ_SINC3BYP_K	BIOZ_SINC3OSR_K					
0x34E	BIOZ_DFTCON_K	[15:8]	RESERVED									0x0009	R/W	
		[7:0]	BIOZ_DATA_SIZE_K	BIOZ_DFT_TYPE_K	BIOZ_WG_DFT_DIFF_PHASE_EN_K	BIOZ_HANNINGEN_K	BIOZ_DFTNUM_K							
0x34F	BIOZ_ADC_CONV_DLY_K	[15:8]	BIOZ_PRE_WIDTH_K			BIOZ_PRECON_SEL_K		BIOZ_SUBSAMPLE_RATIO_K[6:4]			0x0011	R/W		
		[7:0]	BIOZ_SUBSAMPLE_RATIO_K[3:0]				BIOZ_PRECON_RES_K	BIOZ_ADC_CONV_DLY_K						
0x350	BIOZ_AFECON_L	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_L	BIOZ_REFNORM_L	BIOZ_TIMESLOT_OFFSET_L[9:6]				0x0000	R/W		
		[7:0]	BIOZ_TIMESLOT_OFFSET_L[5:0]						BIOZ_TIAEN_L	BIOZ_EXCITATION_TYPE_L				
0x351	BIOZ_WGFCW_LOW_L	[15:8]	BIOZ_SINEFCW_L_L[15:8]										0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_L[7:0]											
0x352	BIOZ_WGFCW_HI_L	[15:8]	BIOZ_DATA_SELECTION_L	BIOZ_NCHAN_ALT_L			BIOZ_PCHAN_ALT_L			RESERVED	0x0000	R/W		
		[7:0]	RESERVED				BIOZ_SINEFCW_H_L							
0x353	BIOZ_WGPHASE_L	[15:8]	BIOZ_SINE_PHASE_OFFSET_L[15:8]										0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L[7:0]											
0x354	BIOZ_DFTPHASE_L	[15:8]	BIOZ_DFT_PHASE_OFFSET_L[15:8]										0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L[7:0]											
0x355	BIOZ_WGOFFSET_L	[15:8]	RESERVED				BIOZ_SINE_OFFSET_L[11:8]				0x0000	R/W		
		[7:0]	BIOZ_SINE_OFFSET_L[7:0]											
0x356	BIOZ_WGAMPLITUDE_L	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_L[10:8]				0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_L[7:0]											
0x357	BIOZ_DACCON_L	[15:8]	RESERVED		BIOZ_EXBUFEN_L	BIOZ_DACBUFBW_L			BIOZ_BW200KEN_L	BIOZ_BW500KEN_L	0x120D	R/W		
		[7:0]	BIOZ_RATE_DIV_L											

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x358	BIOZ_ADC_LEVEL_L	[15:8]	BIOZ_ADC_LEVEL_H_L								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_L									
0x359	BIOZ_DC_EXCITATION_L	[15:8]	BIOZ_DCL_O_POLARITY_IP_L	BIOZ_DCLO_POLARITY_IN_L	BIOZ_DCLO_L_EN_L	BIOZ_DCLO_L_MAG_L			BIOZ_DCLO_M_EN_L		0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_L			BIOZ_DCLO_H_EN_L	BIOZ_DCLO_H_MAG_L					
0x35A	BIOZ_ANA_CTRL1_L	[15:8]	BIOZ_TIA_RGAIN_L				BIOZ_TIA_CGAIN_L				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_L		BIOZ_CHOP_OFF_IN_L		BIOZ_TIA_LPMODE_L		BIOZ_RX_LPMODE_L	BIOZ_DAC_RCF_LOWBW_EN_L		
0x35B	BIOZ_ANA_CTRL2_L	[15:8]	BIOZ_TIA_VREF_SE_L_L	BIOZ_CM_SW_L	BIOZ_NCHAN_L			BIOZ_PCHAN_L			0x0000	R/W
		[7:0]	BIOZ_TSW_L				BIOZ_DSW_L					
0x35C	BIOZ_ANA_CTRL3_L	[15:8]	BIOZ_CHOP_OFF_EXC_L		BIOZ_PGA_GAIN_L		BIOZ_TIA_ECG_L			BIOZ_EXCBUF_ECG_L, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_L[1:0]		BIOZ_DCLO_IP_EN_L	BIOZ_DCLO_IN_EN_L	BIOZ_CURRENT_LIMIT_L		BIOZ_RINT_SW_L			
0x35D	BIOZ_ADC_FILTERCON_L	[15:8]	RESERVED				BIOZ_ADC_PERIOD_L[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_L[1:0]		BIOZ_AVRGNUM_L		BIOZ_AVRG_EN_L	BIOZ_SINC3BYP_L	BIOZ_SINC3OSR_L			
0x35E	BIOZ_DFTCON_L	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_L	BIOZ_DFT_TYPE_L	BIOZ_WG_DFT_DIFF_PHASE_EN_L	BIOZ_HANNINGEN_L	BIOZ_DFTNUM_L					
0x35F	BIOZ_ADC_CONV_DLY_L	[15:8]	BIOZ_PRE_WIDTH_L			BIOZ_PRECON_SEL_L		BIOZ_SUBSAMPLE_RATIO_L[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_L[3:0]				BIOZ_PRECON_RES_L	BIOZ_ADC_CONV_DLY_L				
0x360	BIOZ_AFECON_M	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_M	BIOZ_REFNORM_M	BIOZ_TIMESLOT_OFFSET_M[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_M[5:0]						BIOZ_TIAEN_M	BIOZ_EXCITATION_TYPE_M		
0x361	BIOZ_WGFCW_LOW_M	[15:8]	BIOZ_SINEFCW_L_M[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_M[7:0]									
0x362	BIOZ_WGFCW_HI_M	[15:8]	BIOZ_DATA_SELECTION_M	BIOZ_NCHAN_ALT_M			BIOZ_PCHAN_ALT_M			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_M					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x363	BIOZ_WG PHASE_M	[15:8]	BIOZ_SINE_PHASE_OFFSET_M[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_M[7:0]									
0x364	BIOZ_DFT PHASE_M	[15:8]	BIOZ_DFT_PHASE_OFFSET_M[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_M[7:0]									
0x365	BIOZ_WG OFFSET_ M	[15:8]	RESERVED				BIOZ_SINE_OFFSET_M[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_M[7:0]									
0x366	BIOZ_WG AMPLITU DE_M	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_M[10:8]			0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_M[7:0]									
0x367	BIOZ_DAC CON_M	[15:8]	RESERVED		BIOZ_EXBU FEN_M	BIOZ_DACBUFBW_M			BIOZ_BW20 0KEN_M	BIOZ_BW50 KEN_M	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_M									
0x368	BIOZ_ADC _LEVEL_ M	[15:8]	BIOZ_ADC_LEVEL_H_M								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_M									
0x369	BIOZ_DC_ EXCITATI ON_M	[15:8]	BIOZ_DCL O_POLARI TY_IP_M	BIOZ_DCLO _POLARITY _IN_M	BIOZ_DCLO _L_EN_M	BIOZ_DCLO_L_MAG_M				BIOZ_DCLO _M_EN_M	0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_M			BIOZ_DCLO _H_EN_M	BIOZ_DCLO_H_MAG_M					
0x36A	BIOZ_ANA _CTRL1_ M	[15:8]	BIOZ_TIA_RGAIN_M					BIOZ_TIA_CGAIN_M			0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE _M		BIOZ_CHOP_OFF_IN_M		BIOZ_TIA_LPMODE_M		BIOZ_RX_L PMODE_M	BIOZ_DAC_ RCF_LOWB W_EN_M		
0x36B	BIOZ_ANA _CTRL2_ M	[15:8]	BIOZ_TIA_ VREF_SE L_M	BIOZ_CM_S W_M	BIOZ_NCHAN_M			BIOZ_PCHAN_M			0x0000	R/W
		[7:0]	BIOZ_TSW_M				BIOZ_DSW_M					
0x36C	BIOZ_ANA _CTRL3_ M	[15:8]	BIOZ_CHOP_OFF_EXC_ M		BIOZ_PGA_GAIN_M		BIOZ_TIA_ECG_M			BIOZ_EXCB UF_ECG_M, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_M[1:0]		BIOZ_DCLO _IP_EN_M	BIOZ_DCLO _IN_EN_M	BIOZ_CURRENT_LIMIT_M		BIOZ_RINT_SW_M			
0x36D	BIOZ_ADC FILTERCO N_M	[15:8]	RESERVED					BIOZ_ADC_PERIOD_M[5:2]			0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_M[1 :0]		BIOZ_AVRGNUM_M		BIOZ_AVRG EN_M	BIOZ_SINC 3BYP_M	BIOZ_SINC3OSR_M			
0x36E	BIOZ_DFT CON_M	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DAT A_SIZE_M	BIOZ_DFT_ TYPE_M	BIOZ_WG_ DFT_DIFF_ PHASE_EN M	BIOZ_HANN INGEN_M	BIOZ_DFTNUM_M					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x36F	BIOZ_ADC_CONV_DLY_M	[15:8]	BIOZ_PRE_WIDTH_M			BIOZ_PRECON_SEL_M		BIOZ_SUBSAMPLE_RATIO_M[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_M[3:0]				BIOZ_PRECON_RES_M	BIOZ_ADC_CONV_DLY_M					
0x370	BIOZ_AFE_CON_N	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_N	BIOZ_REFNORM_N	BIOZ_TIMESLOT_OFFSET_N[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_N[5:0]							BIOZ_TIAEN_N			BIOZ_EXCITATION_TYPE_N
0x371	BIOZ_WGFCW_LOW_N	[15:8]	BIOZ_SINEFCW_L_N[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_N[7:0]										
0x372	BIOZ_WGFCW_HI_N	[15:8]	BIOZ_DATA_SELECTION_N	BIOZ_NCHAN_ALT_N			BIOZ_PCHAN_ALT_N			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_N						
0x373	BIOZ_WGPHASE_N	[15:8]	BIOZ_SINE_PHASE_OFFSET_N[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_N[7:0]										
0x374	BIOZ_DFTPHASE_N	[15:8]	BIOZ_DFT_PHASE_OFFSET_N[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_N[7:0]										
0x375	BIOZ_WGOFFSET_N	[15:8]	RESERVED				BIOZ_SINE_OFFSET_N[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_N[7:0]										
0x376	BIOZ_WGAMPLITUDE_N	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_N[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_N[7:0]										
0x377	BIOZ_DACCON_N	[15:8]	RESERVED		BIOZ_EXBUFEN_N	BIOZ_DACBUFBW_N			BIOZ_BW200KEN_N	BIOZ_BW50KEN_N	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_N										
0x378	BIOZ_ADC_LEVEL_N	[15:8]	BIOZ_ADC_LEVEL_H_N									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_N										
0x379	BIOZ_DC_EXCITATION_N	[15:8]	BIOZ_DCLO_POLARITY_IP_N	BIOZ_DCLO_POLARITY_IN_N	BIOZ_DCLO_L_EN_N	BIOZ_DCLO_L_MAG_N				BIOZ_DCLO_M_EN_N	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_N			BIOZ_DCLO_H_EN_N	BIOZ_DCLO_H_MAG_N						
0x37A	BIOZ_ANA_CTRL1_N	[15:8]	BIOZ_TIA_RGAIN_N				BIOZ_TIA_CGAIN_N				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE_N		BIOZ_CHOP_OFF_IN_N		BIOZ_TIA_LPMODE_N		BIOZ_RX_LPMODE_N	BIOZ_DACRCF_LOWBW_EN_N			
0x37B	BIOZ_ANA_CTRL2_N	[15:8]	BIOZ_TIA_VREF_SE_L_N	BIOZ_CM_SW_N	BIOZ_NCHAN_N			BIOZ_PCHAN_N			0x0000	R/W	

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
		[7:0]	BIOZ_TSW_N					BIOZ_DSW_N						
0x37C	BIOZ_ANA_CTRL3_N	[15:8]	BIOZ_CHOP_OFF_EXC_N		BIOZ_PGA_GAIN_N		BIOZ_TIA_ECG_N			BIOZ_EXCBUF_ECG_N, Bit 2	0xC000	R/W		
		[7:0]	BIOZ_EXCBUF_ECG_N[1:0]		BIOZ_DCLO_IP_EN_N	BIOZ_DCLO_IN_EN_N	BIOZ_CURRENT_LIMIT_N		BIOZ_RINT_SW_N					
0x37D	BIOZ_ADC_FILTERCON_N	[15:8]	RESERVED					BIOZ_ADC_PERIOD_N[5:2]				0x0004	R/W	
		[7:0]	BIOZ_ADC_PERIOD_N[1:0]		BIOZ_AVRGNUM_N		BIOZ_AVRGEN_N	BIOZ_SINC3BYP_N	BIOZ_SINC3OSR_N					
0x37E	BIOZ_DFTCON_N	[15:8]	RESERVED									0x0009	R/W	
		[7:0]	BIOZ_DATA_SIZE_N	BIOZ_DFT_TYPE_N	BIOZ_WGDFT_DIFF_PHASE_EN_N	BIOZ_HANNINGEN_N	BIOZ_DFTNUM_N							
0x37F	BIOZ_ADC_CONV_DLY_N	[15:8]	BIOZ_PRE_WIDTH_N			BIOZ_PRECON_SEL_N		BIOZ_SUBSAMPLE_RATIO_N[6:4]			0x0011	R/W		
		[7:0]	BIOZ_SUBSAMPLE_RATIO_N[3:0]					BIOZ_PRECON_RES_N	BIOZ_ADC_CONV_DLY_N					
0x380	BIOZ_AFECON_O	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_O	BIOZ_REFNORM_O	BIOZ_TIMESLOT_OFFSET_O[9:6]				0x0000	R/W		
		[7:0]	BIOZ_TIMESLOT_OFFSET_O[5:0]							BIOZ_TIAEN_O	BIOZ_EXCITATION_TYPE_O			
0x381	BIOZ_WGFCW_LOW_O	[15:8]	BIOZ_SINEFCW_L_O[15:8]										0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_O[7:0]											
0x382	BIOZ_WGFCW_HI_O	[15:8]	BIOZ_DATA_SELECTION_O	BIOZ_NCHAN_ALT_O			BIOZ_PCHAN_ALT_O			RESERVED	0x0000	R/W		
		[7:0]	RESERVED					BIOZ_SINEFCW_H_O						
0x383	BIOZ_WGPHASE_O	[15:8]	BIOZ_SINE_PHASE_OFFSET_O[15:8]										0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_O[7:0]											
0x384	BIOZ_DFTPHASE_O	[15:8]	BIOZ_DFT_PHASE_OFFSET_O[15:8]										0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_O[7:0]											
0x385	BIOZ_WGOFFSET_O	[15:8]	RESERVED					BIOZ_SINE_OFFSET_O[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_O[7:0]											
0x386	BIOZ_WGAMPLITUDE_O	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_O[10:8]				0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_O[7:0]											
0x387	BIOZ_DACCON_O	[15:8]	RESERVED		BIOZ_EXBUFEN_O	BIOZ_DACBUFBW_O			BIOZ_BW200KEN_O	BIOZ_BW500KEN_O	0x120D	R/W		

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x388	BIOZ_ADC_LEVEL_O	[7:0]	BIOZ_RATE_DIV_O								0xFF00	R/W
		[15:8]	BIOZ_ADC_LEVEL_H_O									
		[7:0]	BIOZ_ADC_LEVEL_L_O									
0x389	BIOZ_DC_EXCITATION_O	[15:8]	BIOZ_DCL_O_POLARITY_IP_O	BIOZ_DCLO_POLARITY_IN_O	BIOZ_DCLO_L_EN_O	BIOZ_DCLO_L_MAG_O			BIOZ_DCLO_M_EN_O	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_O			BIOZ_DCLO_H_EN_O	BIOZ_DCLO_H_MAG_O					
0x38A	BIOZ_ANA_CTRL1_O	[15:8]	BIOZ_TIA_RGAIN_O				BIOZ_TIA_CGAIN_O				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_O		BIOZ_CHOP_OFF_IN_O		BIOZ_TIA_LPMODE_O		BIOZ_RX_LPMODE_O	BIOZ_DAC_RCF_LOWBW_EN_O		
0x38B	BIOZ_ANA_CTRL2_O	[15:8]	BIOZ_TIA_VREF_SE_L_O	BIOZ_CM_SW_O	BIOZ_NCHAN_O			BIOZ_PCHAN_O			0x0000	R/W
		[7:0]	BIOZ_TSW_O				BIOZ_DSW_O					
0x38C	BIOZ_ANA_CTRL3_O	[15:8]	BIOZ_CHOP_OFF_EXC_O		BIOZ_PGA_GAIN_O		BIOZ_TIA_ECG_O			BIOZ_EXCBUF_ECG_O, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_O[1:0]		BIOZ_DCLO_IP_EN_O	BIOZ_DCLO_IN_EN_O	BIOZ_CURRENT_LIMIT_O		BIOZ_RINT_SW_O			
0x38D	BIOZ_ADC_FILTERCON_O	[15:8]	RESERVED				BIOZ_ADC_PERIOD_O[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_O[1:0]		BIOZ_AVRGNUM_O		BIOZ_AVRG_EN_O	BIOZ_SINC3BYP_O	BIOZ_SINC3OSR_O			
0x38E	BIOZ_DFTCON_O	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_O	BIOZ_DFT_TYPE_O	BIOZ_WG_DFT_DIFF_PHASE_EN_O	BIOZ_HANNINGEN_O	BIOZ_DFTNUM_O					
0x38F	BIOZ_ADC_CONV_DLY_O	[15:8]	BIOZ_PRE_WIDTH_O			BIOZ_PRECON_SEL_O		BIOZ_SUBSAMPLE_RATIO_O[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_O[3:0]				BIOZ_PRECON_RES_O	BIOZ_ADC_CONV_DLY_O				
0x390	BIOZ_AFECON_P	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_P	BIOZ_REFNORM_P	BIOZ_TIMESLOT_OFFSET_P[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_P[5:0]						BIOZ_TIAEN_P	BIOZ_EXCITATION_TYPE_P		
0x391	BIOZ_WGFCW_LOWP	[15:8]	BIOZ_SINEFCW_L_P[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_P[7:0]									
0x392	BIOZ_WGFCW_HI_P	[15:8]	BIOZ_DATA_SELECTION_P	BIOZ_NCHAN_ALT_P			BIOZ_PCHAN_ALT_P			RESERVED	0x0000	R/W

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
		[7:0]	RESERVED					BIOZ_SINEFCW_H_P				
0x393	BIOZ_WG PHASE_P	[15:8]	BIOZ_SINE_PHASE_OFFSET_P[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_P[7:0]									
0x394	BIOZ_DFT PHASE_P	[15:8]	BIOZ_DFT_PHASE_OFFSET_P[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_P[7:0]									
0x395	BIOZ_WG OFFSET_P	[15:8]	RESERVED					BIOZ_SINE_OFFSET_P[11:8]			0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_P[7:0]									
0x396	BIOZ_WG AMPLITU DE_P	[15:8]	RESERVED						BIOZ_SINEAMPLITUDE_P[10:8]		0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_P[7:0]									
0x397	BIOZ_DAC CON_P	[15:8]	RESERVED		BIOZ_EXBU FEN_P	BIOZ_DACBUFBW_P			BIOZ_BW20 0KEN_P	BIOZ_BW50 KEN_P	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_P									
0x398	BIOZ_ADC _LEVEL_P	[15:8]	BIOZ_ADC_LEVEL_H_P								0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_P									
0x399	BIOZ_DC_ EXCITATI ON_P	[15:8]	BIOZ_DCL O_POLARI TY_IP_P	BIOZ_DCLO _POLARITY _IN_P	BIOZ_DCLO _L_EN_P	BIOZ_DCLO_L_MAG_P			BIOZ_DCLO _M_EN_P		0x0000	R/W
		[7:0]	BIOZ_DCLO_M_MAG_P			BIOZ_DCLO _H_EN_P	BIOZ_DCLO_H_MAG_P					
0x39A	BIOZ_ANA _CTRL1_P	[15:8]	BIOZ_TIA_RGAIN_P					BIOZ_TIA_CGAIN_P			0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE _P		BIOZ_CHOP_OFF_IN_P		BIOZ_TIA_LPMODE_P		BIOZ_RX_L PMODE_P	BIOZ_DAC_ RCF_LOWB W_EN_P		
0x39B	BIOZ_ANA _CTRL2_P	[15:8]	BIOZ_TIA_ VREF_SE L_P	BIOZ_CM_S W_P	BIOZ_NCHAN_P			BIOZ_PCHAN_P			0x0000	R/W
		[7:0]	BIOZ_TSW_P					BIOZ_DSW_P				
0x39C	BIOZ_ANA _CTRL3_P	[15:8]	BIOZ_CHOP_OFF_EXC_ P		BIOZ_PGA_GAIN_P		BIOZ_TIA_ECG_P			BIOZ_EXCB UF_ECG_P[2]	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_P[1 :0]		BIOZ_DCLO _IP_EN_P	BIOZ_DCLO _IN_EN_P	BIOZ_CURRENT_LIMIT_P		BIOZ_RINT_SW_P			
0x39D	BIOZ_ADC FILTERCO N_P	[15:8]	RESERVED					BIOZ_ADC_PERIOD_P[5:2]			0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_P[1: 0]		BIOZ_AVRGNUM_P		BIOZ_AVRG EN_P	BIOZ_SINC 3BYP_P	BIOZ_SINC3OSR_P			
0x39E	BIOZ_DFT CON_P	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DAT A_SIZE_P	BIOZ_DFT TYPE_P	BIOZ_WG_ DFT_DIFF_ PHASE_EN _P	BIOZ_HANN INGEN_P	BIOZ_DFTNUM_P					

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x39F	BIOZ_ADC_CONV_DLY_P	[15:8]	BIOZ_PRE_WIDTH_P			BIOZ_PRECON_SEL_P		BIOZ_SUBSAMPLE_RATIO_P[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_P[3:0]				BIOZ_PRECON_RES_P	BIOZ_ADC_CONV_DLY_P					
0x3A0	BIOZ_AFE_CON_Q	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_Q	BIOZ_REFNORM_Q	BIOZ_TIMESLOT_OFFSET_Q[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_Q[5:0]						BIOZ_TIAEN_Q	BIOZ_EXCITATION_TYPE_Q			
0x3A1	BIOZ_WGFCW_LOW_Q	[15:8]	BIOZ_SINEFCW_L_Q[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_Q[7:0]										
0x3A2	BIOZ_WGFCW_HI_Q	[15:8]	BIOZ_DATA_SELECTION_Q	BIOZ_NCHAN_ALT_Q			BIOZ_PCHAN_ALT_Q			RESERVED	0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_Q						
0x3A3	BIOZ_WGPHASE_Q	[15:8]	BIOZ_SINE_PHASE_OFFSET_Q[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_Q[7:0]										
0x3A4	BIOZ_DFTPHASE_Q	[15:8]	BIOZ_DFT_PHASE_OFFSET_Q[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_Q[7:0]										
0x3A5	BIOZ_WGOFFSET_Q	[15:8]	RESERVED				BIOZ_SINE_OFFSET_Q[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_Q[7:0]										
0x3A6	BIOZ_WGAMPLITUDE_Q	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_Q[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_Q[7:0]										
0x3A7	BIOZ_DACCON_Q	[15:8]	RESERVED		BIOZ_EXBUFEN_Q	BIOZ_DACBUFBW_Q			BIOZ_BW20KEN_Q	BIOZ_BW50KEN_Q	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_Q										
0x3A8	BIOZ_ADC_LEVEL_Q	[15:8]	BIOZ_ADC_LEVEL_H_Q									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_Q										
0x3A9	BIOZ_DC_EXCITATION_Q	[15:8]	BIOZ_DCL_O_POLARITY_IP_Q	BIOZ_DCLO_POLARITY_IN_Q	BIOZ_DCLO_L_EN_Q	BIOZ_DCLO_L_MAG_Q				BIOZ_DCLO_M_EN_Q	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_Q			BIOZ_DCLO_H_EN_Q	BIOZ_DCLO_H_MAG_Q						
0x3AA	BIOZ_ANA_CTRL1_Q	[15:8]	BIOZ_TIA_RGAIN_Q				BIOZ_TIA_CGAIN_Q				0x1730	R/W	
		[7:0]	BIOZ_EXCBUF_LPMODE_Q		BIOZ_CHOP_OFF_IN_Q		BIOZ_TIA_LPMODE_Q		BIOZ_RX_LPMODE_Q	BIOZ_DAC_RCF_LOWBW_EN_Q			

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x3AB	BIOZ_ANA_CTRL2_Q	[15:8]	BIOZ_TIA_VREF_SEL_Q	BIOZ_CM_SW_Q	BIOZ_NCHAN_Q			BIOZ_PCHAN_Q			0x0000	R/W
		[7:0]	BIOZ_TSW_Q				BIOZ_DSW_Q					
0x3AC	BIOZ_ANA_CTRL3_Q	[15:8]	BIOZ_CHOP_OFF_EXC_Q		BIOZ_PGA_GAIN_Q		BIOZ_TIA_ECG_Q			BIOZ_EXCBUF_ECG_Q, Bit 2	0xC000	R/W
		[7:0]	BIOZ_EXCBUF_ECG_Q[1:0]	BIOZ_DCLO_IP_EN_Q	BIOZ_DCLO_IN_EN_Q	BIOZ_CURRENT_LIMIT_Q		BIOZ_RINT_SW_Q				
0x3AD	BIOZ_ADC_FILTERCON_Q	[15:8]	RESERVED				BIOZ_ADC_PERIOD_Q[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_Q[1:0]		BIOZ_AVRGNUM_Q		BIOZ_AVRGEN_Q	BIOZ_SINC3BYP_Q	BIOZ_SINC3OSR_Q			
0x3AE	BIOZ_DFTCON_Q	[15:8]	RESERVED								0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_Q	BIOZ_DFT_TYPE_Q	BIOZ_WGDFT_DIFF_PHASE_EN_Q	BIOZ_HANNINGEN_Q	BIOZ_DFTNUM_Q					
0x3AF	BIOZ_ADC_CONV_DLY_Q	[15:8]	BIOZ_PRE_WIDTH_Q			BIOZ_PRECON_SEL_Q		BIOZ_SUBSAMPLE_RATIO_Q[6:4]			0x0011	R/W
		[7:0]	BIOZ_SUBSAMPLE_RATIO_Q[3:0]				BIOZ_PRECON_RES_Q	BIOZ_ADC_CONV_DLY_Q				
0x3B0	BIOZ_AFECON_R	[15:8]	RESERVED		BIOZ_DACREF_LPMODE_R	BIOZ_REFNORM_R	BIOZ_TIMESLOT_OFFSET_R[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_R[5:0]						BIOZ_TIAEN_R	BIOZ_EXCITATION_TYPE_R		
0x3B1	BIOZ_WGFCW_LOW_R	[15:8]	BIOZ_SINEFCW_L_R[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_R[7:0]									
0x3B2	BIOZ_WGFCW_HI_R	[15:8]	BIOZ_DATA_SELECTION_R	BIOZ_NCHAN_ALT_R			BIOZ_PCHAN_ALT_R			RESERVED	0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_R					
0x3B3	BIOZ_WGPHASE_R	[15:8]	BIOZ_SINE_PHASE_OFFSET_R[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_R[7:0]									
0x3B4	BIOZ_DFTPHASE_R	[15:8]	BIOZ_DFT_PHASE_OFFSET_R[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_R[7:0]									
0x3B5	BIOZ_WGOFFSET_R	[15:8]	RESERVED				BIOZ_SINE_OFFSET_R[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_R[7:0]									
0x3B6	BIOZ_WGAMPLITUDE_R	[15:8]	RESERVED				BIOZ_SINEAMPLITUDE_R[10:8]				0x0600	R/W

レジスタの一覧

表 23. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	BIOZ_SINEAMPLITUDE_R[7:0]										
0x3B7	BIOZ_DAC_CON_R	[15:8]	RESERVED		BIOZ_EXBUFEN_R	BIOZ_DACBUFBW_R			BIOZ_BW200KEN_R	BIOZ_BW50KEN_R	0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_R										
0x3B8	BIOZ_ADC_LEVEL_R	[15:8]	BIOZ_ADC_LEVEL_H_R									0xFF00	R/W
		[7:0]	BIOZ_ADC_LEVEL_L_R										
0x3B9	BIOZ_DC_EXCITATION_R	[15:8]	BIOZ_DCL_O_POLARITY_IP_R	BIOZ_DCLO_POLARITY_IN_R	BIOZ_DCLO_L_EN_R	BIOZ_DCLO_L_MAG_R				BIOZ_DCLO_M_EN_R	0x0000	R/W	
		[7:0]	BIOZ_DCLO_M_MAG_R			BIOZ_DCLO_H_EN_R	BIOZ_DCLO_H_MAG_R						
0x3BA	BIOZ_ANA_CTRL1_R	[15:8]	BIOZ_TIA_RGAIN_R					BIOZ_TIA_CGAIN_R				0x1730	R/W
		[7:0]	BIOZ_EXCBUF_LPMODE_R		BIOZ_CHOP_OFF_IN_R		BIOZ_TIA_LPMODE_R		BIOZ_RX_LPMODE_R	BIOZ_DAC_RCF_LOWBW_EN_R			
0x3BB	BIOZ_ANA_CTRL2_R	[15:8]	BIOZ_TIA_VREF_SE_L_R	BIOZ_CM_SW_R	BIOZ_NCHAN_R			BIOZ_PCHAN_R			0x0000	R/W	
		[7:0]	BIOZ_TSW_R					BIOZ_DSW_R					
0x3BC	BIOZ_ANA_CTRL3_R	[15:8]	BIOZ_CHOP_OFF_EXC_R		BIOZ_PGA_GAIN_R		BIOZ_TIA_ECG_R			BIOZ_EXCBUF_ECG_R, Bit 2	0xC000	R/W	
		[7:0]	BIOZ_EXCBUF_ECG_R[1:0]		BIOZ_DCLO_IP_EN_R	BIOZ_DCLO_IN_EN_R	BIOZ_CURRENT_LIMIT_R		BIOZ_RINT_SW_R				
0x3BD	BIOZ_ADC_FILTERCON_R	[15:8]	RESERVED					BIOZ_ADC_PERIOD_R[5:2]				0x0004	R/W
		[7:0]	BIOZ_ADC_PERIOD_R[1:0]		BIOZ_AVRGNUM_R		BIOZ_AVRGEN_R	BIOZ_SINC3BYP_R	BIOZ_SINC3OSR_R				
0x3BE	BIOZ_DFT_CON_R	[15:8]	RESERVED									0x0009	R/W
		[7:0]	BIOZ_DATA_SIZE_R	BIOZ_DFT_TYPE_R	BIOZ_WG_DFT_DIFF_PHASE_EN_R	BIOZ_HANNINGEN_R	BIOZ_DFTNUM_R						
0x3BF	BIOZ_ADC_CONV_DLY_R	[15:8]	BIOZ_PRE_WIDTH_R			BIOZ_PRECON_SEL_R		BIOZ_SUBSAMPLE_RATIO_R[6:4]			0x0011	R/W	
		[7:0]	BIOZ_SUBSAMPLE_RATIO_R[3:0]				BIOZ_PRECON_RES_R	BIOZ_ADC_CONV_DLY_R					

レジスタの詳細

表 24. レジスタの詳細

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x000	FIFO_STATUS	15	CLEAR_FIFO	FIFO のクリア。1 を書き込むと、FIFO が動作していないときに FIFO を空にします。これにより FIFO_BYTE_COUNT がリセットされ、FIFO オーバーフロー、FIFO アンダーフロー、および FIFO 閾値割込みのステータス・ビットもクリアされます。	0x0	R0/W
		14	INT_FIFO_UFLOW	FIFO のアンダーフロー・エラー。FIFO が空のときに読み出すと、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO レジスタを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		13	INT_FIFO_OFLOW	FIFO のオーバーフロー・エラー。FIFO に空きスペースがないためにデータが書き込まれなかったとき、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO レジスタ・ビットを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		12	INT_FIFO_TH	FIFO_TH 割込みステータス。FIFO 書き込み時に FIFO 内のバイト数が FIFO_TH レジスタの値を超えると、このビットがセットされます。このビットに 1 を書き込むと、この割込みはクリアされます。また、INT_ACLEAR_FIFO ビットがセットされているときに FIFO_DATA レジスタが読み出されると、このビットは自動的にクリアされます。	0x0	R/W1C
		11	FIFO_INIT_DONE_STATUS	FIFO の初期化プロセスが終了。このフィールドはステータス・ビットであり、割込みのために送信されるものではないことに注意してください。このビットがセットされるのは FIFO の自己初期化プロセス後です。	0x0	R
		[10:0]	FIFO_BYTE_COUNT	FIFO 内のバイト数。このフィールドは FIFO 内のバイト数を示します。	0x0	R
0x001	INT_STATUS_TS1	[15:12]	RESERVED	予備。	0x0	R
		11	INT_PPG_LEV0_L	PPG タイム・スロット L のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット L の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		10	INT_PPG_LEV0_K	PPG タイム・スロット K のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット K の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		9	INT_PPG_LEV0_J	PPG タイム・スロット J のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット J の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		8	INT_PPG_LEV0_I	PPG タイム・スロット I のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット I の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		7	INT_PPG_LEV0_H	PPG タイム・スロット H のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット H の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		6	INT_PPG_LEV0_G	PPG タイム・スロット G のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット G の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		5	INT_PPG_LEV0_F	PPG タイム・スロット F のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット F の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		4	INT_PPG_LEV0_E	PPG タイム・スロット E のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット E の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		3	INT_PPG_LEV0_D	PPG タイム・スロット D のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット D の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		2	INT_PPG_LEV0_C	PPG タイム・スロット C のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット C の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		1	INT_PPG_LEV0_B	PPG タイム・スロット B のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット B の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		0	INT_PPG_LEV0_A	PPG タイム・スロット A のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット A の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
0x002	INT_STATUS_TS2	[15:12]	RESERVED	予備。	0x0	R
		11	INT_PPG_LEV1_L	PPG タイム・スロット L のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット L の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		10	INT_PPG_LEV1_K	PPG タイム・スロット K のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット K の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		9	INT_PPG_LEV1_J	PPG タイム・スロット J のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット J の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		8	INT_PPG_LEV1_I	PPG タイム・スロット I のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット I の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		7	INT_PPG_LEV1_H	PPG タイム・スロット H のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット H の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		6	INT_PPG_LEV1_G	PPG タイム・スロット G のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット G の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		5	INT_PPG_LEV1_F	PPG タイム・スロット F のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット F の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		4	INT_PPG_LEV1_E	PPG タイム・スロット E のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット E の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		3	INT_PPG_LEV1_D	PPG タイム・スロット D のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット D の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		2	INT_PPG_LEV1_C	PPG タイム・スロット C のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット C の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		1	INT_PPG_LEV1_B	PPG タイム・スロット B のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット B の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		0	INT_PPG_LEV1_A	PPG タイム・スロット A のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット A の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
0x003	INT_STATUS_BIOZ	15	INT_BIOZ_SAT_P	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		14	INT_BIOZ_SAT_O	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		13	INT_BIOZ_SAT_N	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		12	INT_BIOZ_SAT_M	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		11	INT_BIOZ_SAT_L	タイム・スロット L の BIOZ ADC 飽和割込み。	0x0	R/W1C
		10	INT_BIOZ_SAT_K	タイム・スロット K の BIOZ ADC 飽和割込み。	0x0	R/W1C
		9	INT_BIOZ_SAT_J	タイム・スロット J の BIOZ ADC 飽和割込み。	0x0	R/W1C
		8	INT_BIOZ_SAT_I	タイム・スロット I の BIOZ ADC 飽和割込み。	0x0	R/W1C
		7	INT_BIOZ_SAT_H	タイム・スロット H の BIOZ ADC 飽和割込み。	0x0	R/W1C
		6	INT_BIOZ_SAT_G	タイム・スロット G の BIOZ ADC 飽和割込み。	0x0	R/W1C
		5	INT_BIOZ_SAT_F	タイム・スロット F の BIOZ ADC 飽和割込み。	0x0	R/W1C
		4	INT_BIOZ_SAT_E	タイム・スロット E の BIOZ ADC 飽和割込み。	0x0	R/W1C
		3	INT_BIOZ_SAT_D	タイム・スロット D の BIOZ ADC 飽和割込み。	0x0	R/W1C
		2	INT_BIOZ_SAT_C	タイム・スロット C の BIOZ ADC 飽和割込み。	0x0	R/W1C
		1	INT_BIOZ_SAT_B	タイム・スロット B の BIOZ ADC 飽和割込み。	0x0	R/W1C
		0	INT_BIOZ_SAT_A	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
0x004	ECG_STATUS	15	INT_BIOZ_SAT_R	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		14	INT_BIOZ_SAT_Q	タイム・スロット A の BIOZ ADC 飽和割込み。	0x0	R/W1C
		[13:8]	RESERVED	予備。	0x0	R
		7	ECG_ACLO_STATUS	ECG ACLO ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C
		6	ECGIN_DCLO_HI_STATUS	ECGIN DCLO ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C
		5	ECGIP_DCLO_HI_STATUS	ECGIP DCLO ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C
		4	ECG_RLD_DCLO_HI_STATUS	ECG RLD DCLO ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C
		3	ECG_RLD_DCLO_LO_STATUS	ECG RLD DCLO ロー・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C
		2	ECG_DCLO_STATUS	ECG DCLO ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x1	R/W1C

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		1	ECG_PGA_SAT_STATUS	ECG PGA 飽和ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
		0	ECG_ADC_SAT_STATUS	ECG ADC 飽和ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
0x005	GLOBAL_STATUS	[15:12]	RESERVED	予備。	0x0	R
		11	ECG_RLD_LEADON_HI_STATUS	ECG RLD リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
		10	ECG_RLD_LEADON_LO_STATUS	ECG RLD リードオン・ロー・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
		9	ECGIN_LEADON_HI_STATUS	ECGIN リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
		8	ECGIP_LEADON_HI_STATUS	ECGIP リードオン・ハイ・ステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
		[7:1]	RESERVED	予備。	0x0	R
		0	INVALID_CFG_STATUS	TIMESLOT_PERIOD_x が正しい設定されていないことを示すステータス・ビット。このビットに 1 を書き込むと、このステータスはクリアされます。	0x0	R/W1C
0x006	FIFO_TH	[15:10]	RESERVED	予備。	0x0	R
		[9:0]	FIFO_TH	FIFO 割込みを生成する閾値。FIFO 書き込み時に FIFO 内のバイト数がこの値を超えると、FIFO 割込みを生成します。	0xC	R/W
0x007	INT_ACLEAR	15	INT_ACLEAR_FIFO	FIFO 閾値割込みの自動クリア・イネーブル。このビットをセットすると、FIFO が読み出されるたびに FIFO_TH 割込みが自動的にクリアされます。	0x1	R/W
		[14:0]	RESERVED	予備。	0x0	R
0x008	CHIP_ID	[15:8]	VERSION	マスクのバージョン。R0 = 0x0。	0x0	R
		[7:0]	CHIP_ID	チップ ID。	0xC6	R
0x009	OSC32M	[15:9]	RESERVED	予備。	0x0	R
		8	OSC_32M_EFUSE_CTRL	eFuse ビットを使用して高周波発振器の周波数制御をイネーブルします。このビットに 0 を書き込むと、OSC_32M_FREQ_ADJ ビットによる周波数の制御がイネーブルされます。	0x0	R/W
		[7:0]	OSC_32M_FREQ_ADJ	高周波発振器の周波数制御。最小周波数は 0x000、最大周波数は 0x0FF です。	0x80	R/W
0x00A	OSC32M_CAL	15	OSC_32M_CAL_START	高周波発振器のキャリブレーション・サイクルを開始。このビットに 1 を書き込むと、高周波発振器のキャリブレーション・サイクルを開始します。発振器をイネーブルして開始するのを待ちます。そして、低周波数の 128 サイクル (1MHz)、または 4 サイクル (32kHz) のいずれかを選択したほうのサイクルの間に発生する 32MHz のサイクル数をカウントします。そして、このカウント数を OSC_32M_CAL_COUNT ビットに更新します。キャリブレーション・サイクルが完了すると、キャリブレーション回路が OSC_32M_CAL_START ビットをクリアします。32kHz の低周波発振器を使用している場合は、シリコン・バージョン 0 が低周波の 32 サイクルをカウントします。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[14:0]	OSC_32M_CAL_COUNT	高周波発振器のキャリブレーション・カウンタ。このレジスタには、最後に行われた高周波発振器のキャリブレーション・サイクルにおける 32MHz サイクルのカウント数の合計が格納されます。	0x0	R
0x00B	OSC960K	15	CAPTURE_TIMESTAMP	タイム・スタンプの取得をイネーブル。このビットを使用して、タイム・スタンプ取得機能を有効にします。このビット・フィールドが設定されている場合、タイム・スタンプ入力（デフォルトで GPIO0）の次の立上がりエッジでタイム・スタンプを取得します。タイム・スタンプが生成されるとこのビットはクリアされます。	0x0	R/W
		[14:12]	RESERVED	予備。	0x0	R
		11	OSC_960K_EFUSE_CTRL	eFuse ビットから周波数制御をイネーブル。このビットに 0 を書き込むと、OSC_960K_FREQ_ADJ ビットによる周波数の制御がイネーブルされます。	0x1	R/W
		10	OSC_CAL_ENABLE	クロック・キャリブレーション・クロッキングをイネーブル。このビットに 1 を書き込むと、低周波数および高周波数のキャリブレーション回路のクロッキングがイネーブルされます。	0x0	R/W
		[9:0]	OSC_960K_FREQ_ADJ	低周波発振器の周波数制御。最小周波数は 0x000、最大周波数は 0x3FF です。	0x2B2	R/W
0x00D	TS_FREQ	[15:0]	TIMESLOT_PERIOD_L	低周波発振器サイクルでのタイム・スロット周期の下位 16 ビット。タイム・スロット・レートは(タイマー・クロック周波数)/(TIMESLOT_PERIOD_x) です。960kHz のクロックを使用したときのデフォルト値は 100Hz です。タイマー・クロックが GPIO からの外部ソースに設定されている場合、960kHz または 32kHz のどちらであっても、TM_CLK_GPIO_SEL は実際のクロック周波数に一致するよう設定する必要があります。	0x2580	R/W
0x00E	TS_FREQH	[15:7]	RESERVED	予備。	0x0	R
		[6:0]	TIMESLOT_PERIOD_H	低周波発振器サイクルでのタイム・スロット周期の上位 7 ビット。タイム・スロット・レートは(タイマー・クロック周波数)/(TIMESLOT_PERIOD_x) です。960kHz のクロックを使用したときのデフォルト値は 100Hz です。タイマー・クロックが GPIO からの外部ソースに設定されている場合、960kHz または 32kHz のどちらであっても、TM_CLK_GPIO_SEL は実際のクロック周波数に一致するよう設定する必要があります。	0x0	R/W
0x00F	SYS_CTL	15	SW_RESET	ソフトウェア・リセット。ソフトウェア・リセットをアサートするには、このビットに 1 を書き込みます。これにより、チップはデフォルト値にリセットされ、すべてのアナログ・フロント・エンド動作が停止します。これにより、SPI（またはオプションの I ² C）ポートはリセットされません。このレジスタへの書き込みは正常に完了します。	0x0	R0/W
		[14:12]	RESERVED	予備。	0x0	R
		11	LEAD_ON_MODE	リードオン検出モードを有効化。このモードは超低消費電力動作モードで、OP_MODE をスタンバイ・モード、または PPG のみのモードに設定すると有効になります。この OP_MODE が、いずれかの ECG または BIOZ タイム・スロットがイネーブルされた状態で設定された場合には、リードオン検出回路の一部が ECG および BIOZ タイム・スロット動作によって制御されるため、リードオン検出モードは無視されます。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[10:8]	ALT_CLOCKS	外部クロックの選択。 000：内部クロックを使用。 001：低周波発振器（960kHz）にGPIOを使用。タイマー・クロックもソースにこれを使用します。 010：高周波発振器（32MHz）にGPIOを使用。 011：高周波発振器（32MHz）にGPIOを使用し、高周波発振器で低周波発振器（1MHz）を生成。ECGがイネーブルされている場合は、この機能を無効化する必要があります。 100：タイマー・クロック（32kHz または 960kHz）にGPIOを使用。	0x0	R/W
		[7:6]	ALT_CLK_GPIO	代替クロック用GPIOの選択。 00：代替クロックにGPIO0を使用。 01：代替クロックにGPIO1を使用。 10：予備。 11：予備。	0x0	R/W
		5	LP_MODE_SLEEP	スリープ状態での低消費電力モードを有効化。出力データレートが低い場合、これを使用して消費電力を削減できます。	0x0	R/W
		4	GO_SLEEP	最初のタイム・スロット・グループが実行される前にスリープ。このビットを設定することで、デバイスを実行するときに最初のサンプリング前に強制的にスリープ期間を入れることができます。これは外部サンプリング・トリガを使用する場合に特に便利です。 0：最初のタイム・スロット・シーケンスを実行。 1：最初のタイム・スロット・シーケンスが実行される前にスリープ。	0x0	R/W
		3	RANDOM_SLEEP	ランダム・スリープ用リニア・フィードバック・シフト・レジスタ（LFSR）をイネーブル。これをイネーブルすると、タイム・スロットのウェイクアップは±7 のサイクル（平均すると 0）で変化します。	0x0	R/W
		2	TM_CLK_GPIO_SEL	低周波クロックを960kHzまたは32kHzの間で選択。このビットはALT_CLOCKSが3'b100の場合に使用します。 0：タイマー・クロックとしてGPIOから32kHzの外部ソースを使用。 1：タイマー・クロックとしてGPIOから960kHzの外部ソースを使用。	0x0	R/W
		1	OSC_960K_EN	低周波発振器をイネーブル。このビットは、960kHz の低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンにしておく必要があります。	0x0	R/W
		0	LOWPOWER_BIAS_EN	リードオン検出モードでは低消費電力バイアス回路をイネーブルします。低周波数のBIOZモードではリードオフ回路がイネーブルされます。このビットをテスト・ビットとして使用して、低消費電力バイアス回路を強制的にイネーブルすることができます。このビットは、960kHz の低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンにしておく必要があります。	0x0	R/W
0x010	OPMODE	15	ECG_TIMESLOTT_EN	ECGタイム・スロットのイネーブル制御。 0：ECGタイム・スロットをディスエーブル。 1：ECGタイム・スロットをイネーブル。	0x0	R/W
		14	RESERVED	予備。	0x0	R

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		13	BIOZ_TIMESLOT_MODE	BIOZ タイム・スロットでの動作モードの選択。 0 : 32MHz クロックを使用した高周波数 BIOZ モード。 1 : 960kHz クロックを使用した低周波数 BIOZ モード。	0x0	R/W
		[12:8]	BIOZ_TIMESLOT_EN	BIOZ タイム・スロットのイネーブル制御。 0 : BIOZ タイム・スロットなし。 1 : BIOZ タイム・スロット・シーケンス A のみ。 10 : BIOZ タイム・スロット・シーケンス AB。 11 : BIOZ タイム・スロット・シーケンス ABC。 100 : BIOZ タイム・スロット・シーケンス ABCD。 101 : BIOZ タイム・スロット・シーケンス ABCDE。 110 : BIOZ タイム・スロット・シーケンス ABCDEF。 111 : BIOZ タイム・スロット・シーケンス ABCDEFG。 1000 : BIOZ タイム・スロット・シーケンス ABCDEFGH。 1001 : BIOZ タイム・スロット・シーケンス ABCDEFGHI。 1010 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJ。 1011 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJK。 1100 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKL。 1101 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLM。 1110 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLMN。 1111 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLMNO。 10000 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLMNOP。 10001 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLMNOPQ。 10010 : BIOZ タイム・スロット・シーケンス ABCDEFGHIJKLMNOPQR。	0x0	R/W
		[7:4]	PPG_TIMESLOT_EN	PPG タイム・スロットのイネーブル制御。 0000 : PPG タイム・スロットなし。 0001 : PPG タイム・スロット・シーケンス A。 0010 : PPG タイム・スロット・シーケンス AB。 0011 : PPG タイム・スロット・シーケンス ABC。 0100 : PPG タイム・スロット・シーケンス ABCD。 0101 : PPG タイム・スロット・シーケンス ABCDE。 0110 : PPG タイム・スロット・シーケンス ABCDEF。 0111 : PPG タイム・スロット・シーケンス ABCDEFG。 1000 : PPG タイム・スロット・シーケンス ABCDEFGH。 1001 : PPG タイム・スロット・シーケンス ABCDEFGHI。 1010 : PPG タイム・スロット・シーケンス ABCDEFGHIJ。 1011 : PPG タイム・スロット・シーケンス ABCDEFGHIJK。 1100 : PPG タイム・スロット・シーケンス ABCDEFGHIJKL。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	OP_MODE	動作モード。動作モードの選択。 000 : スタンバイ。 001 : 選択したタイム・スロットで動作。 011 : ADC テスト・モード。このモードは、通常のウェイクアップ・シーケンスを経て、PPG タイム・スロット A の設定に基づく連続 ADC サイクルを実行します。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				101：選択したタイム・スロットをスリープ無しで繰り返し。このモードは、通常のウェイクアップ・シーケンスを1回実行した後、イネーブルされたタイム・スロットのシーケンスのサイクルを、スリープに入ることなく実行します。 111：DAC テスト・モード。このモードは、通常のウェイクアップ・シーケンスを経て、BIOZ タイム・スロット A の設定に基づく連続 DAC サイクルを実行します。BIOZ タイム・スロット A は、DAC テスト・モードを開始する前にイネーブルされている必要があります。		
0x011	STAMP_L	[15:0]	TIMESTAMP_COUNT_L	前のタイム・スタンプのカウンタ。	0x0	R
0x012	STAMP_H	[15:0]	TIMESTAMP_COUNT_H	前のタイム・スタンプのカウンタ。	0x0	R
0x013	STAMPDELTA	[15:0]	TIMESTAMP_SLOT_DELTA	カウンタは次のウェイクアップが開始されるまで保持されます。	0x0	R
0x014	INT_ENABLE_XD	15	INTX_EN_FIFO_TH	FIFO 閾値割込みのイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTX_EN_FIFO_UFLOW	割込みチャンネル X 用に FIFO アンダーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTX_EN_FIFO_OFLOW	割込みチャンネル X 用に FIFO オーバーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		[12:0]	RESERVED	予備。	0x0	R
0x015	INT_ENABLE_YD	15	INTY_EN_FIFO_TH	FIFO 閾値割込みのイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTY_EN_FIFO_UFLOW	割込みチャンネル Y 用に FIFO アンダーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTY_EN_FIFO_OFLOW	割込みチャンネル Y 用に FIFO オーバーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		[12:0]	RESERVED	予備。	0x0	R
0x01E	FIFO_STATUS_BYTES	[15:10]	RESERVED	予備。	0x0	R
		9	ENA_STAT_ECG	ECG 飽和ステータス・バイトをイネーブル。	0x1	R/W
		8	ENA_STAT_LEVX	レベル 0 およびレベル 1 の割込みステータス・バイトの上位バイトをイネーブル。このバイトには、PPG タイム・スロット I からタイム・スロット L までのレベル割込み 0 およびレベル割込み 1 の割込みステータスが格納されます。	0x0	R/W
		7	ENA_STAT_LEV1	レベル 1 の割込みステータス・バイトの下位バイトをイネーブル。このバイトには、PPG タイム・スロット A からタイム・スロット H までのレベル割込み 1 の割込みステータスが格納されます。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		6	ENA_STAT_LEV0	レベル 0 の割込みステータス・バイトの下位バイトをイネーブル。このバイトには、PPG タイム・スロット A からタイム・スロット H までのレベル割込み 0 の割込みステータスが格納されます。	0x0	R/W
		5	ENA_SEQ_NUM	タイム・スロット・シーケンスの 4 ビットのシーケンス数をイネーブル。このシーケンス数は、0 から 15 のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。	0x0	R/W
		[4:0]	RESERVED	予備。	0x0	R
0x020	INPUT_SLEEP	[15:8]	RESERVED	予備。	0x0	R
		[7:4]	INP_SLEEP_34	入力ペア（入力 3 および入力 4）のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：偶数と奇数を互いに短絡（フロート状態で差動を短絡）。PAIR34 が 1 の場合は短絡のみ。 0x2：両方の入力をカソード 1 に接続（差動ペアに設定されている場合は互いに短絡して接続）。 0x4：奇数側の入力をカソード 1 に接続。偶数側はフロート状態。 0x8：奇数側の入力をフロート状態。偶数側はカソード 1 に接続。	0x0	R/W
		[3:0]	INP_SLEEP_12	入力ペア（入力 1 および入力 2）のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：偶数と奇数を互いに短絡（フロート状態で差動を短絡）。PAIR12 が 1 の場合は短絡のみ。 0x2：両方の入力をカソード 1 に接続（差動ペアに設定されている場合は互いに短絡して接続）。 0x4：奇数側の入力をカソード 1 に接続。偶数側はフロート状態。 0x8：奇数側の入力をフロート状態。偶数側はカソード 1 に接続。	0x0	R/W
0x021	INPUT_CFG	[15:6]	RESERVED	予備。	0x0	R
		[5:4]	VC1_SLEEP	カソード 1 のスリープ・ステート。 0：スリープ期間中、カソードを AVDD に設定します。 1：スリープ期間中、カソードを GND に設定します。 10：スリープ期間中、カソードをフロート状態にします。	0x0	R/W
		[3:2]	RESERVED	予備。	0x0	R
		1	PAIR34	入力ペアの設定。 0：2 個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W
		0	PAIR12	入力ペアの設定。 0：2 個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W
0x022	GPIO_CFG	[15:14]	GPIO_SLEW	GPIO ピンのスルー制御。 0：最も遅い。 1：遅い。 10：最も速い。 11：速い。	0x0	R/W
		[13:12]	GPIO_DRV	GPIO ピンの駆動制御。 0：中程度。 1：弱い。 10：強い。 11：強い。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[11:9]	RESERVED	予備。	0x0	R
		[8:6]	RESERVED	予備。	0x0	R
		[5:3]	GPIO_PIN_CFG1	GPIO1ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力—通常。 011：出力—反転。 100：プルダウンのみ—通常。 101：プルダウンのみ—反転。 110：プルアップのみ—通常。 111：プルアップのみ—反転。	0x0	R/W
		[2:0]	GPIO_PIN_CFG0	GPIO0ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力—通常。 011：出力—反転。 100：プルダウンのみ—通常。 101：プルダウンのみ—反転。 110：プルアップのみ—通常。 111：プルアップのみ—反転。	0x0	R/W
0x023	GPIO01	[15:8]	GPIOOUT1	GPIOピン1出力の選択。 0x00：出力0。 0x01：出力1。 0x02：Interrupt X。 0x03：Interrupt Y。 0x08：LED1xアンプをイネーブル。 0x09：LED2xアンプをイネーブル。 0x0C：任意のLEDアンプをイネーブル。 0x0F：32MHz発振器を64分周した出力（500kHz）。 0x10：GOUT_xビットとGOUT_SLEEPビットで定義されたタイム・スロット固有の出力パターン。 0x16：低周波発振器の出力。 0x17：32MHz発振器の出力。 0x18：32MHz発振器を32分周した出力（1MHz）。 0x20：タイム・スロットAをアクティブ。 0x21：タイム・スロットBをアクティブ。 0x22：タイム・スロットCをアクティブ。 0x23：タイム・スロットDをアクティブ。 0x24：タイム・スロットEをアクティブ。 0x25：タイム・スロットFをアクティブ。 0x26：タイム・スロットGをアクティブ。 0x27：タイム・スロットHをアクティブ。 0x28：タイム・スロットIをアクティブ。 0x29：タイム・スロットJをアクティブ。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0x2A : タイム・スロットKをアクティブ。 0x2B : タイム・スロットLをアクティブ。 0x31 : タイム・スロットAのLEDパルス。 0x32 : タイム・スロットBのLEDパルス。 0x33 : タイム・スロットCのLEDパルス。 0x34 : タイム・スロットDのLEDパルス。 0x35 : タイム・スロットEのLEDパルス。 0x36 : タイム・スロットFのLEDパルス。 0x37 : タイム・スロットGのLEDパルス。 0x38 : タイム・スロットHのLEDパルス。 0x39 : タイム・スロットIのLEDパルス。 0x3A : タイム・スロットJのLEDパルス。 0x3B : タイム・スロットKのLEDパルス。 0x3C : タイム・スロットLのLEDパルス。 0x3F : タイム・スロットxのLEDパルス。 0x40 : タイム・スロットAの変調パルス。 0x41 : タイム・スロットBの変調パルス。 0x42 : タイム・スロットCの変調パルス。 0x43 : タイム・スロットDの変調パルス。 0x44 : タイム・スロットEの変調パルス。 0x45 : タイム・スロットFの変調パルス。 0x46 : タイム・スロットGの変調パルス。 0x47 : タイム・スロットHの変調パルス。 0x48 : タイム・スロットIの変調パルス。 0x49 : タイム・スロットJの変調パルス。 0x4A : タイム・スロットKの変調パルス。 0x4B : タイム・スロットLの変調パルス。 0x4F : タイム・スロットxの変調パルス。 0x50 : タイム・スロットAで発生したデータ・サイクルを出力。 0x51 : タイム・スロットBで発生したデータ・サイクルを出力。 0x52 : タイム・スロットCで発生したデータ・サイクルを出力。 0x53 : タイム・スロットDで発生したデータ・サイクルを出力。 0x54 : タイム・スロットEで発生したデータ・サイクルを出力。 0x55 : タイム・スロットFで発生したデータ・サイクルを出力。 0x56 : タイム・スロットGで発生したデータ・サイクルを出力。 0x57 : タイム・スロットHで発生したデータ・サイクルを出力。 0x58 : タイム・スロットIで発生したデータ・サイクルを出力。 0x59 : タイム・スロットJで発生したデータ・サイクルを出力。 0x5A : タイム・スロットKで発生したデータ・サイクルを出力。 0x5B : タイム・スロット L で発生したデータ・サイクルを出力。 0x5F : 任意のタイム・スロットで発生したデータ・サイクルを出力。		
		[7:0]	GPIOOUT0	GPIO ビン 0 出力の選択。出力の選択肢は GPIOOUT1 ビットで説明した内容と同じです。	0x0	R/W
0x025	GPIO_IN	[15:4]	RESERVED	予備。	0x0	R
		[3:0]	GPIO_INPUT	GPIO 入力の値（イネーブルの場合）。	0x0	R
0x026	GPIO_EXT	[15:9]	RESERVED	予備。	0x0	R
		8	GOUT_SLEEP	タイム・スロット固有 GPIO 信号のスリープ値。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		7	TIMESTAMP_INV	タイム・スタンプ・トリガの反転。 0：タイム・スタンプ・トリガは立上がりエッジです。 1：タイム・スタンプ・トリガは立下がりエッジです。	0x0	R/W
		6	TIMESTAMP_ALWAYS_EN	タイム・スタンプの常オンをイネーブル。このビットが設定されている場合、CAPTURE_TIMESTAMP は自動的にクリアされません。このビットによって、タイム・スタンプは常にオンになります。	0x0	R/W
		[5:4]	TIMESTAMP_GPIO	タイム・スタンプに使用するGPIOの選択。 00：タイム・スタンプにGPIO0を使用（デフォルト）。 01：タイム・スタンプにGPIO1を使用。 10：予備。 11：予備。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		2	EXT_SYNC_EN	外部同期をイネーブル。イネーブルされた場合、時間カウンタではなく、EXT_SYNC_GPIO で選択したGPIOを使用してサンプルをトリガします。	0x0	R/W
		[1:0]	EXT_SYNC_GPIO	外部同期用GPIOの選択。 00：外部同期にGPIO0を使用（デフォルト）。 01：外部同期にGPIO1を使用。 10：予備。 11：予備。	0x0	R/W
0x02F	FIFO_DATA	[15:0]	FIFO_DATA	FIFO データ・ポート。	0x0	R
0x044	EFUSE	15	EFUSE_REFRESH	シャドウ・レジスタのリセットをアサートするには、このビットに1を書き込みます。このビットは、eFuseの自動リフレッシュ動作をイネーブルし、ヒューズによってシャドウ・レジスタを更新します。このレジスタへの書き込みは正常に完了します。	0x0	R0/W
		[14:3]	RESERVED	予備。	0x0	R
		[2:1]	EFUSE_EN	eFuseをイネーブル。 00：オフ（eFuseをリセット状態に保ち、シャドウ・レジスタもリセットされます）。 01：予備。 10：スタンバイ（eFuseは低消費電力状態、シャドウ・レジスタは使用可能）。 11：オン。32MHz の高周波発振器が動作している必要があります。00 から 11 に遷移すると、ヒューズによってシャドウ・レジスタが更新されます。リフレッシュ、内蔵セルフ・テスト（BIST）、またはプログラムを行うには、オン状態になっている必要があります。オフ、およびスタンバイ状態が最も低消費電力です。eFuse ブロックを動作させるには、32MHz の高周波発振器が動作している必要があります。	0x2	R/W
		0	EFUSE_REG_EN	eFuse レジスタのアクセスをイネーブル。	0x1	R/W
0x057	IO_ADJUST	[15:7]	RESERVED	予備。	0x0	R
		6	LOW_IOVDD_EN	3V 以上の IOVDD を使用する場合は 0x0 に設定します。IOVDD の代表値は 1.8V であるため、デフォルト値の 1 は 3V 未満の IOVDD で使用します。	0x1	R/W
		[5:4]	RESERVED	予備。	0x1	R/W
		[3:2]	SPI_SLEW	SPI ピンのスルー制御。 0：最も遅い。 1：遅い。 10：最も速い。 11：速い。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[1:0]	SPI_DRV	SPI ピンの駆動制御。 0：中程度。 1：弱い。 10：強い。 11：強い。	0x0	R/W
0x100	ECG_ANA_CTRL	[15:13]	RESERVED	予備。	0x0	R
		12	ECG_SHORT_IN_RLD	ECG 入力短絡の切り替え。1 に設定すると、ECG の負側入力を RLD 出力に内部で短絡します。この機能は ECG のノイズ測定に使用できます。	0x0	R/W
		11	ECG_SHORT_IP_RLD	ECG 入力短絡の切り替え。1 に設定すると、ECG の正側入力を RLD 出力に内部で短絡します。この機能は ECG のノイズ測定に使用できます。	0x0	R/W
		10	RESERVED	予備。	0x0	R
		9	ECG_CGA_PREBUF_ALWAYSON	CGA プリバッファを常時オン。	0x0	R/W
		8	ECG_CGA_GAIN	CGAゲイン値の選択。 0：ゲイン= 32。 1：ゲイン= 16。	0x0	R/W
		7	ECG_RLD_VCM_EN	RLD 回路の V_{CM} (=AVDD3/2) ジェネレータのイネーブル。	0x0	R/W
		6	ECG_RLD_OUT_DISCONNECT	RLD 出力の切断。	0x1	R/W
		[5:4]	ECG_RLD_OUT_SEL	RLD出力の選択。 0：AGND。 1：AVDD3。 10：AVDD3/2（RLDアンプがイネーブルされているか否かに応じ、バッファ出力は不要）。 11：レギュレーションされた共通モード入力。	0x3	R/W
		3	ECG_RLD_SAT_EN	RLDピンのDCLOをイネーブル。 0：RLDのDCLOをディスエーブル。 1：RLD の DCLO をイネーブル。	0x0	R/W
		[2:1]	ECG_RLD_SAT_THRES_HOLD	RLDのDCLO閾値の選択。 0：上限閾値= AVDD3 - 0.2Vおよび下限閾値= +0.2V。 1：上限閾値= AVDD3 - 0.4Vおよび下限閾値= +0.4V。 10：上限閾値= AVDD3 - 0.6Vおよび下限閾値= +0.6V。 11：上限閾値= AVDD3 - 0.8V および下限閾値= +0.8V。	0x0	R/W
		0	ECG_RLD_EN	RLD アンプをイネーブル。	0x0	R/W
0x101	ECG_LEADOFF_CTRL	15	ECG_ACLO_EN	ECG 入力の ACLO 検出器をイネーブル。	0x0	R/W
		[14:12]	ECG_ACLO_MAG	ACLO励起電流の大きさ。 0：0nA。 1：10nA。 10：20nA。 11：30nA。 100：40nA。 101：50nA。 110：60nA。 111：70nA。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[11:9]	ECG_ACLO_THRESHOLD	ECG 入力 の ACLO 閾値 の 選択。	0x0	R/W
		8	ECG_DCLO_L_EN	ECG 入力 の 低レンジ DCLO 検出回路をイネーブル。	0x0	R/W
		[7:4]	ECG_DCLO_MAG	DCLO 励起電流の大きさ。 0 : 0nA。 1 : 予備。 10 : 予備。 11 : 予備。 100 : 予備。 101 : 予備。 110 : 予備。 111 : 予備。 1000 : 2nA。 1001 : 4nA。 1010 : 6nA。 1011 : 8nA。 1100 : 10nA。 1101 : 12nA。 1110 : 14nA。 1111 : 16nA。	0x0	R/W
		3	ECG_DCLO_POLARITY_IN	ECGIN での DCLO 出力電流の極性。 0 : シンク電流。 1 : ソース電流。	0x0	R/W
		2	ECG_DCLO_POLARITY_IP	ECGIP での DCLO 出力電流の極性。 0 : シンク電流。 1 : ソース電流。	0x1	R/W
		[1:0]	ECG_DCLO_THRESHOLD	ECG 入力 の DCLO 閾値 の 選択。 0 : 上限閾値 = AVDD3 - 0.2V。 1 : 上限閾値 = AVDD3 - 0.4V。 10 : 上限閾値 = AVDD3 - 0.6V。 11 : 上限閾値 = AVDD3 - 0.8V。	0x0	R/W
0x102	ECG_DIG_CTRL1	[15:11]	RESERVED	予備。	0x0	R
		10	ECG_DEBOUNCER_INIT	DCLO および ACLO の バウンス防止機能がイネーブルされた後のセトリング時間の選択。 0 : DCLO および ACLO の バウンス防止の遅延時間と同じ。 1 : DCLO および ACLO の バウンス防止の遅延時間の半分。	0x0	R/W
		9	ECG_DEBOUNCER_SEL	DCLO および ACLO の バウンス防止の遅延時間の選択。 0 : 128ms。 1 : 64ms。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[8:3]	ECG_OVERSAMPLING_RATIO	このフィールドは、内部低周波発振器を用いる場合は、比 = $\text{ECG_ODR_SEL}/(960\text{kHz}/\text{TIMESLOT_PERIOD_x})$ 、外部トリガを用いる場合は、比 = $\text{ECG_ODR_SEL}/(\text{外部同期レート})$ となるよう設定する必要があります。結果は最も近い整数に切り上げられます。	0x3	R/W
		[2:0]	ECG_ODR_SEL	ECG ODR。 0 : 250Ω。 1 : 500Ω。 10 : 1kΩ。 11 : 2kΩ。 100 : 4kΩ。	0x0	R/W
0x103	ECG_DIG_CTRL2	15	ECG_DCLO_H_EN	ECG 入力の高レンジ DCLO 電流回路のイネーブル。電流の極性は、ECG_DCLO_POLARITY_IN ビットと ECG_DCLO_POLARITY_IP ビットによって設定されたレジスタに従います。電流出力ピンの選択は、ECG_DCLO_IP_EN ビットと ECG_DCLO_IN_EN ビットによって設定されたレジスタに従います。	0x0	R/W
		[14:11]	ECG_DCLO_H_MAG	高レンジ DCLO 励起電流の大きさ。 0 : 0nA。 1 : 100nA。 10 : 200nA。 11 : 300nA。 100 : 400nA。 101 : 500nA。 110 : 600nA。 111 : 700nA。 1000 : 予備。 1001 : 予備。 1010 : 予備。 1011 : 予備。 1100 : 800nA。 1101 : 900nA。 1110 : 1μA。 1111 : 1.1μA。	0x0	R/W
		10	ECG_DCLO_IP_EN	ECGIP での DCLO 電流出力のイネーブル。	0x0	R/W
		9	ECG_DCLO_IN_EN	ECGIN での DCLO 電流出力のイネーブル。	0x0	R/W
		8	ECG_DCLO_DET_IN_EN	ECGIN での DCLO 検出コンパレータのイネーブル。	0x0	R/W
		7	ECG_DCLO_DET_IP_EN	ECGIP での DCLO 検出コンパレータのイネーブル。	0x0	R/W
		6	ECG_DCLO_M_EN	ACLO 電流回路の DC モードの有効化。1 に設定すると、ACLO の電流遷移を止め、DC の定電流出力を生成します。電流の極性は、ECG_DCLO_POLARITY_IN ビットと ECG_DCLO_POLARITY_IP ビットによって設定されたレジスタに従います。電流出力ピンの選択は、ECG_DCLO_IP_EN ビットと ECG_DCLO_IN_EN ビットによって設定されたレジスタに従います。電流の大きさは、ECG_DCLO_MAG ビットによって設定されたレジスタに従います。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		5	ECG_ACLO_INV	ACLO 信号の極性は反転可能です。これを使用してチャンネルの信号を 1 つおきに反転させることができます。1 に設定すると ACLO は反転し、クリア（0 に設定）すると ACLO は反転しません。	0x0	R/W
		4	ECG_BYPASS_EQLZR	ECG 後処理バスのイコライザ・フィルタをバイパス。	0x0	R/W
		[3:0]	ECG_CAL_GAIN	ECG のキャリブレーション済みゲイン。 0 : 1.0000 に設定されます。 1 : 1.0039 に設定されます。 10 : 1.0078 に設定されます。 11 : 1.0117 に設定されます。 100 : 1.0156 に設定されます。 101 : 1.0195 に設定されます。 110 : 1.0234 に設定されます。 111 : 1.0273 に設定されます。 1000 : 0.9688 に設定されます。 1001 : 0.9727 に設定されます。 1010 : 0.9766 に設定されます。 1011 : 0.9805 に設定されます。 1100 : 0.9844 に設定されます。 1101 : 0.9883 に設定されます。 1110 : 0.9922 に設定されます。 1111 : 0.9961 に設定されます。	0x0	R/W
0x104	ECG_MATRIX	[15:10]	RESERVED	予備。	0x0	R
		9	ECG_SWAP_POLARITY	1 に設定すると、ECG 信号バスの極性を入れ替えます。	0x0	R/W
		8	ECG_PINS_CON_BIOZ	1 に設定すると、選択した ECGx ピンを BIOZ バスに接続します。	0x0	R/W
		7	ECG_E1_CON_ECGIP	1 に設定すると、ECG1 ピンを ECGIP に接続します。	0x0	R/W
		6	ECG_E1_CON_RLD	1 に設定すると、ECG1 ピンを RLD に接続します。	0x0	R/W
		5	ECG_E2_CON_ECGIP	1 に設定すると、ECG2 ピンを ECGIP に接続します。	0x0	R/W
		4	ECG_E2_CON_RLD	1 に設定すると、ECG2 ピンを RLD に接続します。	0x0	R/W
		3	ECG_E3_CON_ECGIN	1 に設定すると、ECG3 ピンを ECGIN に接続します。	0x0	R/W
		2	ECG_E3_CON_RLD	1 に設定すると、ECG3 ピンを RLD に接続します。	0x0	R/W
		1	ECG_E4_CON_ECGIN	1 に設定すると、ECG4 ピンを ECGIN に接続します。	0x0	R/W
		0	ECG_E4_CON_RLD	1 に設定すると、ECG4 ピンを RLD に接続します。	0x0	R/W
0x120 0x140 0x160 0x180 0x1A0 0x1C0 0x1E0 0x200 0x220 0x240 0x260 0x280	TS_CTRL_A TS_CTRL_B TS_CTRL_C TS_CTRL_D TS_CTRL_E TS_CTRL_F TS_CTRL_G TS_CTRL_H TS_CTRL_I TS_CTRL_J TS_CTRL_K TS_CTRL_L	[15:14]	RESERVED	予備。	0x0	R
		[13:11]	SAMPLE_TYPE_x	タイム・スロットのサンプリング・タイプ。 000 : マルチプレクスされた 1 領域のデジタル積分モード。 001 : マルチプレクスされた 2 領域のデジタル積分モード。 010 : 1 領域のデジタル積分モード。 011 : 2 領域のデジタル積分モード。 100 : 直接サンプリング・モード。 101 : 予備。 110 : 予備。 111 : 予備。	0x2	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		10	RESERVED	予備。	0x0	R
		[9:0]	TIMESLOT_OFFSET_x	64 × 960kHz または 64 × (外部 960kHz) サイクルでのタイム・スロット x のオフセット。	0x0	R/W
0x121 0x141 0x161 0x181 0x1A1 0x1C1 0x1E1 0x201 0x221 0x241 0x261 0x281	TS_PATH_A TS_PATH_B TS_PATH_C TS_PATH_D TS_PATH_E TS_PATH_F TS_PATH_G TS_PATH_H TS_PATH_I TS_PATH_J TS_PATH_K TS_PATH_L	[15:12]	PRE_WIDTH_x	このタイム・スロットの前処理期間。この値は 2μs 刻みで設定します。値を 0 にすると前処理状態をスキップします。	0x4	R/W
		[11:10]	AMBIENT_CANCELLATION_x	周辺光キャンセルDACの制御タイプを選択。 0：周辺光キャンセル・ループをディスエーブル。 1：粗調整と微調整ループをイネーブル。 10：粗調整ループのみをイネーブル。 11：MCU 制御をイネーブル。	0x0	R/W
		9	GOUT_x	このタイム・スロットのタイム・スロット固有 GPIO 値。	0x0	R/W
		[8:7]	RESERVED	予備。	0x0	R
		[6:0]	AFE_PATH_CFG_x	バイパスおよび入力マルチプレクサの選択。積分器は、アクティブなタイム・スロットのモードおよび AFE_INT_C_BUF に基づいて、積分器またはバッファのいずれかになります。 0x20：TIA、バッファ、およびADC（2× TIAゲイン）。 0x28：TIAバッファ、およびADC（1× TIAゲイン）。 0x35：バッファ、ADC。 0x41：ADC。	0x20	R/W
0x122 0x142 0x162 0x182 0x1A2 0x1C2 0x1E2 0x202 0x222 0x242 0x262 0x282	INPUTS_A INPUTS_B INPUTS_C INPUTS_D INPUTS_E INPUTS_F INPUTS_G INPUTS_H INPUTS_I INPUTS_J INPUTS_K INPUTS_L	[15:14]	INP4_SEL_x	チャンネル 3 およびチャンネル 4 と入力 4 のイネーブル。ビット 0 を 1 に設定すると入力 4 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると入力 4 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
		[13:12]	INP3_SEL_x	チャンネル 3 およびチャンネル 4 と IN3 のイネーブル。ビット 0 を 1 に設定すると IN3 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN3 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
		[11:10]	INP2_SEL_x	チャンネル 3 およびチャンネル 4 と IN2 のイネーブル。ビット 0 を 1 に設定すると IN2 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN2 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
		[9:8]	INP1_SEL_x	チャンネル 3 およびチャンネル 4 と IN1 のイネーブル。ビット 0 を 1 に設定すると IN1 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN1 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
		[7:4]	INP34_x	IN3とIN4の入力ペアのイネーブル。 0000：入力ペアをディスエーブルします。IN3とIN4はどちらも接続されません。 0001：IN3をチャンネル1に接続します。IN4は接続されません。 0010：IN3をチャンネル2に接続します。IN4は接続されません。 0011：IN4をチャンネル1に接続します。IN3は接続されません。 0100：IN4をチャンネル2に接続します。IN3は接続されません。 0101：IN3をチャンネル1に、IN4をチャンネル2に接続します。 0110：IN4をチャンネル1に、IN3をチャンネル2に接続します。 0111：IN3とIN4をチャンネル1に接続します。シングルエンド入力か差動入力かはPAIR34に基づいて決定します。チャンネル2には何も接続されません。 1000：IN3 と IN4 をチャンネル 2 に接続します。シングルエンド入力か差動入力かはPAIR34に基づいて決定します。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[3:0]	INP12_x	IN1とIN2の入カペアのイネーブル。 0000 : 入力ペアをディスエーブルします。IN1とIN2はどちらも接続されません。 0001 : IN1をチャンネル1に接続します。IN2は接続されません。 0010 : IN1をチャンネル2に接続します。IN2は接続されません。 0011 : IN2をチャンネル1に接続します。IN1は接続されません。 0100 : IN2をチャンネル2に接続します。IN1は接続されません。 0101 : IN1をチャンネル1に、IN2をチャンネル2に接続します。 0110 : IN2をチャンネル1に、IN1をチャンネル2に接続します。 0111 : IN1とIN2をチャンネル1に接続します。シングルエンド入力か差動入力かはPAIR12に基づいて決定します。 1000 : IN1とIN2をチャンネル2に接続します。 シングルエンド入力か差動入力かはPAIR12に基づいて決定します。	0x0	R/W
0x123	CATHODE_A	15	RESERVED	予備。	0x0	R
0x143	CATHODE_B	[14:12]	PRECON_x	このタイム・スロットでイネーブルされた入力の前処理値。 000 : 入力はフロート状態。 001 : VC1に前処理を行います。 010 : 予備。 011 : 予備。 100 : TIA入力を使用して前処理を行います。 101 : TIA_VREFを使用して前処理を行います。 110 : 差動ペアを短絡させることによって前処理を行います。	0x0	R/W
0x163	CATHODE_C					
0x183	CATHODE_D	[11:10]	RESERVED	予備。	0x0	R
0x1A3	CATHODE_E					
0x1C3	CATHODE_F	[9:8]	AFE_VREF_AMB_SEL_x	周辺光の粗調整フェーズにおけるリファレンス・バッファの電圧調整。 0 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 600mV。 1 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 400mV。 10 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 200mV。 11 : TIA_VREF = 1.265V。	0x2	R/W
0x1E3	CATHODE_G					
0x203	CATHODE_H	[7:6]	VC1_AMB_SEL_x	周辺光の粗調整フェーズにおけるVC1の状態。 0 : AVDD。 1 : TIA_VREF。 10 : V_DELTA (TIA_VREF + フォト・ダイオードの逆バイアス)。 11 : GND。	0x0	R/W
0x223	CATHODE_I					
0x243	CATHODE_J					
0x263	CATHODE_K					
0x283	CATHODE_L					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[5:4]	VC1_PULSE_x	VC1パルスの制御。 0：パルスなし。 1：奇数／偶数のタイム・スロットを切り替え。 10：変調パルスを使用してオルタネート値にパルスを出力。 11：VC1はフロート状態のまま。	0x0	R/W
		[3:2]	VC1_ALT_x	このタイム・スロットにおけるVC1のオルタネート・パルス・ステート。 0：AVDD。 1：TIA_VREF。 10：V_DELTA。 11：GND。	0x0	R/W
		[1:0]	VC1_SEL_x	このタイム・スロットにおけるVC1のアクティブ・ステート。 0：AVDD。 1：TIA_VREF。 10：V_DELTA。 11：GND。	0x0	R/W
0x124 0x144 0x164 0x184 0x1A4 0x1C4 0x1E4 0x204 0x224 0x244 0x264 0x284	AFE_TRIM1_A AFE_TRIM1_B AFE_TRIM1_C AFE_TRIM1_D AFE_TRIM1_E AFE_TRIM1_F AFE_TRIM1_G AFE_TRIM1_H AFE_TRIM1_I AFE_TRIM1_J AFE_TRIM1_K AFE_TRIM1_L	15	AFE_TIA_SAT_DETECT_EN_x	TIA 飽和検出をイネーブル。1に設定すると、TIA の飽和検出回路をイネーブルします。チャンネル 1 の TIA 飽和検出回路と共に、チャンネル 2 がイネーブルされている場合はチャンネル 2 の TIA 飽和検出回路もイネーブルされます。	0x0	R/W
		[14:13]	RESERVED	予備。	0x0	R
		[12:11]	AFE_BUFFER_GAIN_x	バッファ・ゲインの選択。 0：バッファ・ゲイン= 1 ($R_{FB}/R_{IN} = 200k\Omega/200k\Omega$)。 1：バッファ・ゲイン= 2 ($R_{FB}/R_{IN} = 200k\Omega/100k\Omega$)。 10：バッファ・ゲイン= 1 ($R_{FB}/R_{IN} = 100k\Omega/100k\Omega$)。 11：バッファ・ゲイン= 2 ($R_{FB}/R_{IN} = 100k\Omega/50k\Omega$)。	0x0	R/W
		10	VREF_PULSE_x	リファレンス電圧 (V_{REF}) のパルス制御。 0：パルスなし。 1： V_{REF} に変調パルスをベースにしたパルスを印加。	0x0	R/W
		[9:8]	AFE_TRIM_VREF_x	リファレンス・バッファの電圧調整。 00：TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス= 600mV。 01：TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス= 400mV。 10：TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス= 200mV。 11：TIA_VREF = 1.265V。	0x2	R/W
		[7:6]	VREF_PULSE_VAL_x	V_{REF} パルスのオルタネート値。 00：TIA_VREF = 0.8855Vに変調、フォト・ダイオードへの逆バイアス= 600mV。 01：TIA_VREF = 0.8855Vに変調、フォト・ダイオードへの逆バイアス= 400mV。 10：TIA_VREF = 0.8855Vに変調、フォト・ダイオードへの逆バイアス= 200 mV。 11：TIA_VREF = 1.265Vに変調。	0x3	R/W
		[5:3]	TIA_GAIN_CH2_x	チャンネル2のTIA抵抗のゲイン設定 0：400k Ω 。 1：200k Ω 。 10：100k Ω 。 11：50k Ω 。 100：25k Ω 。 101：12.5k Ω 。	0x1	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[2:0]	TIA_GAIN_CH1_x	チャンネル1のTIA抵抗のゲイン設定 0 : 400kΩ。 1 : 200kΩ。 10 : 100kΩ。 11 : 50kΩ。 100 : 25kΩ。 101 : 12.5kΩ。	0x1	R/W
0x125	AFE_TRIM2_A	[15:13]	RESERVED	予備。	0x0	R
0x145	AFE_TRIM2_B	12	AFE_BUFFER_CAP_x	バッファ・フィードバック・コンデンサの選択。 0 : 6.3pF。 1 : 12.6pF。	0x0	R/W
0x165	AFE_TRIM2_C					
0x185	AFE_TRIM2_D	[11:6]	RESERVED	予備。	0x0	R
0x1A5	AFE_TRIM2_E					
0x1C5	AFE_TRIM2_F	[5:3]	TIA_GAIN_CH4_x	チャンネル4のTIA抵抗のゲイン設定 000 : 400kΩ。 001 : 200kΩ。 010 : 100kΩ。 011 : 50kΩ。 100 : 25kΩ。 101 : 12.5kΩ。	0x0	R/W
0x1E5	AFE_TRIM2_G					
0x205	AFE_TRIM2_H	[2:0]	TIA_GAIN_CH3_x	チャンネル3のTIA抵抗のゲイン設定 000 : 400kΩ。 001 : 200kΩ。 010 : 100kΩ。 011 : 50kΩ。 100 : 25kΩ。 101 : 12.5kΩ。	0x0	R/W
0x225	AFE_TRIM2_I					
0x245	AFE_TRIM2_J	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x265	AFE_TRIM2_K					
0x285	AFE_TRIM2_L	[15:7]	DAC_AMBIENT_CH1_x	チャンネル1の周辺光キャンセル DAC コード、0μA～300μAの範囲で 0.6μA/LSB。	0x0	R/W
0x126	AFE_DAC1_A					
0x146	AFE_DAC1_B	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x166	AFE_DAC1_C					
0x186	AFE_DAC1_D	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x1A6	AFE_DAC1_E					
0x1C6	AFE_DAC1_F	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x1E6	AFE_DAC1_G					
0x206	AFE_DAC1_H	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x226	AFE_DAC1_I					
0x246	AFE_DAC1_J	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W
0x266	AFE_DAC1_K					
0x286	AFE_DAC1_L	[6:0]	DAC_LED_DC_CH1_x	チャンネル1のLED DC オフセット・キャンセル DAC コード、0μA～190μAの範囲で 1.5μA/LSB。0に設定するとディスエーブルされます。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x127 0x147 0x167 0x187 0x1A7 0x1C7 0x1E7 0x207 0x227 0x247 0x267 0x287	AFE_DAC2_A AFE_DAC2_B AFE_DAC2_C AFE_DAC2_D AFE_DAC2_E AFE_DAC2_F AFE_DAC2_G AFE_DAC2_H AFE_DAC2_I AFE_DAC2_J AFE_DAC2_K AFE_DAC2_L	[15:7] [6:0]	DAC_AMBIENT_CH2_x DAC_LED_DC_CH2_x	チャンネル 2 の周辺光キャンセル DAC コード、0 μ A～300 μ A の範囲で 0.6 μ A/LSB。 チャンネル 2 の LED DC オフセット・キャンセル DAC コード、0 μ A～190 μ A の範囲で 1.5 μ A/LSB。0 に設定するとディスエーブルされます。	0x0 0x0	R/W R/W
0x128 0x148 0x168 0x188 0x1A8 0x1C8 0x1E8 0x208 0x228 0x248 0x268 0x288	LED_POW12_A LED_POW12_B LED_POW12_C LED_POW12_D LED_POW12_E LED_POW12_F LED_POW12_G LED_POW12_H LED_POW12_I LED_POW12_J LED_POW12_K LED_POW12_L	15 [14:8] 7 [6:0]	RESERVED LED_CURRENT2_x RESERVED LED_CURRENT1_x	予備。 LED2A、LED2B、LED2C、または LED2D 出力の LED 電流の設定。0 に設定するとディスエーブルされます。出力電流は、0x01～0x7F の範囲で設定することにより単調増加で 1.57mA から 200mA まで変化します。 予備。 LED1A、LED1B、LED1C、または LED1D 出力の LED 電流の設定。0 に設定するとディスエーブルされます。出力電流は、0x01～0x7F の範囲で設定することにより単調増加で 1.57mA から 200mA まで変化します。	0x0 0x0 0x0	R R/W R/W
0x129 0x149 0x169 0x189 0x1A9 0x1C9 0x1E9 0x209 0x229 0x249 0x269 0x289	LED_MODE_A LED_MODE_B LED_MODE_C LED_MODE_D LED_MODE_E LED_MODE_F LED_MODE_G LED_MODE_H LED_MODE_I LED_MODE_J LED_MODE_K LED_MODE_L	[15:8] [7:6] [5:4] [3:2] 1 0	RESERVED LED_DRIVESIDE2_x LED_DRIVESIDE1_x RESERVED LED_MODE2_x LED_MODE1_x	予備。 LED2x の LED 出力選択。 00：出力 LED2A の LED を駆動。 01：出力 LED2B の LED を駆動。 10：出力 LED2C の LED を駆動。 11：出力 LED2D の LED を駆動。 LED1x の LED 出力選択。 00：出力 LED1A の LED を駆動。 01：出力 LED1B の LED を駆動。 10：出力 LED1C の LED を駆動。 11：出力 LED1D の LED を駆動。 予備。 LED2x の動作モードの選択。 0：高S/N比モード。 1：低コンプライアンス・モード。 LED1x の動作モードの選択。 0：高S/N比モード。 1：低コンプライアンス・モード。	0x0 0x0 0x0 0x0 0x0	R R/W R/W R R/W R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x12A 0x14A 0x16A 0x18A 0x1AA 0x1CA 0x1EA 0x20A 0x22A 0x24A 0x26A 0x28A	COUNTS_A COUNTS_B COUNTS_C COUNTS_D COUNTS_E COUNTS_F COUNTS_G COUNTS_H COUNTS_I COUNTS_J COUNTS_K COUNTS_L	[15:8]	NUM_INT_x	ADC サイクル数またはアキュイジション幅。ADC 変換ごとのアナログ積分サイクル数、またはデジタル積分でのアキュイジション幅です。0 に設定することはできません。	0x1	R/W
		[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。パルスの総数 = NUM_INT_x × NUM_REPEAT_x。0 に設定することはできません。	0x1	R/W
0x12B 0x14B 0x16B 0x18B 0x1AB 0x1CB 0x1EB 0x20B 0x22B 0x24B 0x26B 0x28B	PERIOD_A PERIOD_B PERIOD_C PERIOD_D PERIOD_E PERIOD_F PERIOD_G PERIOD_H PERIOD_I PERIOD_J PERIOD_K PERIOD_L	15	RESERVED	予備。	0x0	R
		14	COARSE_LOOP_WIDTH_x	周辺光の粗調整キャンセル・ループの時間。 0 : 10μs。 1 : 20μs。	0x0	R/W
		[13:12]	MOD_TYPE_x	変調接続タイプ。 00 : TIA は、前処理の後、常に入力と接続し続けます。接続の変調はありません。 01 : フロート・タイプの動作。変調パルスを使用して入力から TIA にパルス接続します。パルスとパルスの間はフロート状態です。 10 : 非フロート・タイプの接続変調。入力から TIA にパルス接続します。パルスとパルスの間は前処理値に接続します。	0x0	R/W
		[11:10]	RESERVED	予備。	0x0	R
		[9:0]	MIN_PERIOD_x	パルス繰り返しの最小周期。自動計算の周期にオーバーライドします。フロート・タイプ動作で使用し、 フロート = MIN_PERIOD_x - MOD_WIDTH_x の式を使用して 2 番目以降のフロートのフロート時間を設定します。	0x0	R/W
0x12C 0x14C 0x16C 0x18C 0x1AC 0x1CC 0x1EC 0x20C 0x22C 0x24C 0x26C 0x28C	LED_PULSE1_A LED_PULSE1_B LED_PULSE1_C LED_PULSE1_D LED_PULSE1_E LED_PULSE1_F LED_PULSE1_G LED_PULSE1_H LED_PULSE1_I LED_PULSE1_J LED_PULSE1_K LED_PULSE1_L	[15:8]	LED_WIDTH_A	LED のパルス幅。	0x2	R/W
		[7:0]	LED_OFFSET_A	LED パルスのオフセット。	0x10	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x12D	AFE_DAC3_A	[15:7]	DAC_AMBIENT_CH3_x	チャンネル 3 の周辺光キャンセル DAC コード、0 μ A～300 μ A の範囲で 0.6 μ A/LSB。	0x0	R/W
0x14D	AFE_DAC3_B					
0x16D	AFE_DAC3_C	[6:0]	DAC_LED_DC_CH3_x	チャンネル 3 の LED DC オフセット・キャンセル DAC コード、0 μ A～190 μ A の範囲で 1.5 μ A/LSB。0 に設定するとディスエーブルされます。	0x0	R/W
0x18D	AFE_DAC3_D					
0x1AD	AFE_DAC3_E					
0x1CD	AFE_DAC3_F					
0x1ED	AFE_DAC3_G					
0x20D	AFE_DAC3_H					
0x22D	AFE_DAC3_I					
0x24D	AFE_DAC3_J					
0x26D	AFE_DAC3_K					
0x28D	AFE_DAC3_L					
0x12E	AFE_DAC4_A	[15:7]	DAC_AMBIENT_CH4_x	チャンネル 4 の周辺光キャンセル DAC コード、0 μ A～300 μ A の範囲で 0.6 μ A/LSB。	0x0	R/W
0x14E	AFE_DAC4_B					
0x16E	AFE_DAC4_C	[6:0]	DAC_LED_DC_CH4_x	チャンネル 4 の LED DC オフセット・キャンセル DAC コード、0 μ A～190 μ A の範囲で 1.5 μ A/LSB。0 に設定するとディスエーブルされます。	0x0	R/W
0x18E	AFE_DAC4_D					
0x1AE	AFE_DAC4_E					
0x1CE	AFE_DAC4_F					
0x1EE	AFE_DAC4_G					
0x20E	AFE_DAC4_H					
0x22E	AFE_DAC4_I					
0x24E	AFE_DAC4_J					
0x26E	AFE_DAC4_K					
0x28E	AFE_DAC4_L					
0x12F	THRESH0_A	[15:13]	RESERVED	予備。	0x0	R
0x14F	THRESH0_B	[12:8]	THRESH0_SHIFT_x	閾値比較のレベル割込み 0 におけるシフト。比較する前に、ここで設定した量だけ THRESH0_VALUE_x をシフトします。	0x0	R/W
0x16F	THRESH0_C					
0x18F	THRESH0_D	[7:0]	THRESH0_VALUE_x	閾値比較のレベル割込み 0 における値。	0x0	R/W
0x1AF	THRESH0_E					
0x1CF	THRESH0_F					
0x1EF	THRESH0_G					
0x20F	THRESH0_H					
0x22F	THRESH0_I					
0x24F	THRESH0_J					
0x26F	THRESH0_K					
0x28F	THRESH0_L					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x130 0x150 0x170 0x190 0x1B0 0x1D0 0x1F0 0x210 0x230 0x250 0x270 0x290	MOD_PULSE_A MOD_PULSE_B MOD_PULSE_C MOD_PULSE_D MOD_PULSE_E MOD_PULSE_F MOD_PULSE_G MOD_PULSE_H MOD_PULSE_I MOD_PULSE_J MOD_PULSE_K MOD_PULSE_L	[15:8]	MOD_WIDTH_x	変調パルス幅。 0 = ディスエーブル。	0x0	R/W
		[7:0]	MOD_OFFSET_x	変調パルス・オフセット。	0x1	R/W
0x131 0x151 0x171 0x191 0x1B1 0x1D1 0x1F1 0x211 0x231 0x251 0x271 0x291	PATTERN1_A PATTERN1_B PATTERN1_C PATTERN1_D PATTERN1_E PATTERN1_F PATTERN1_G PATTERN1_H PATTERN1_I PATTERN1_J PATTERN1_K PATTERN1_L	[15:12]	LED_DISABLE_x	4パルスのLED ディスエーブル・パターン。1に設定すると、マッチング位置での 4 パルス・グループによる LED パルスがディスエーブルされます。LSB は最初のパルスにマップされます。	0x0	R/W
		[11:8]	MOD_DISABLE_x	4パルスの変調ディスエーブル・パターン。1に設定すると、マッチング位置での 4 パルス・グループによる変調パルスをディスエーブルします。LSB は最初のパルスにマップされます。	0x0	R/W
		[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における 4 パルス・グループでの計算を無効にします。LSB は最初のパルスにマップされます。	0x0	R/W
		[3:0]	AFE_SWAP_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の 4 パルス・グループ内の正と負の順序を逆にします。LSB は最初のパルスにマップされます。	0x0	R/W
0x132 0x152 0x172 0x192 0x1B2 0x1D2 0x1F2 0x212 0x232 0x252 0x272 0x292	THRESH_CFG_A THRESH_CFG_B THRESH_CFG_C THRESH_CFG_D THRESH_CFG_E THRESH_CFG_F THRESH_CFG_G THRESH_CFG_H THRESH_CFG_I THRESH_CFG_J THRESH_CFG_K THRESH_CFG_L	[15:11]	RESERVED	予備。	0x0	R
		10	THRESH1_DIR_x	レベル割込み1で比較するタイプ。 0：閾値未満時にセット。 1：閾値を超えたときにセット。	0x0	R/W
		[9:8]	THRESH1_TYPE_x	レベル割込み1で比較するタイプ。 0：オフ（比較しない）。 1：信号と比較。 10：明値と比較。 11：暗値と比較。	0x0	R/W
		[7:3]	RESERVED	予備。	0x0	R
		2	THRESH0_DIR_x	レベル割込み0で比較するタイプ。 0：閾値未満時にセット。 1：閾値を超えたときにセット。	0x0	R/W
		[1:0]	THRESH0_TYPE_x	レベル割込み0で比較するタイプ。 0：オフ（比較しない）。 1：信号と比較。 10：明値と比較。 11：暗値と比較。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x133	ADC_OFF1_A	[15:14]	RESERVED	予備。	0x0	R
0x153	ADC_OFF1_B	[13:0]	CH1_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 1 の ADC の値から減算されます。	0x0	R/W
0x173	ADC_OFF1_C					
0x193	ADC_OFF1_D					
0x1B3	ADC_OFF1_E					
0x1D3	ADC_OFF1_F					
0x1F3	ADC_OFF1_G					
0x213	ADC_OFF1_H					
0x233	ADC_OFF1_I					
0x253	ADC_OFF1_J					
0x273	ADC_OFF1_K					
0x293	ADC_OFF1_L					
0x134	ADC_OFF2_A	[15:14]	RESERVED	予備。	0x0	R/W
0x154	ADC_OFF2_B	[13:0]	CH2_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 2 の ADC の値から減算されます。	0x0	R/W
0x174	ADC_OFF2_C					
0x194	ADC_OFF2_D					
0x1B4	ADC_OFF2_E					
0x1D4	ADC_OFF2_F					
0x1F4	ADC_OFF2_G					
0x214	ADC_OFF2_H					
0x234	ADC_OFF2_I					
0x254	ADC_OFF2_J					
0x274	ADC_OFF2_K					
0x294	ADC_OFF2_L					
0x135	DATA1_A	[15:11]	DARK_SHIFT_x	暗データのシフト。	0x0	R/W
0x155	DATA1_B	[10:8]	DARK_SIZE_x	暗データのサイズ。	0x0	R/W
0x175	DATA1_C					
0x195	DATA1_D	[7:3]	SIGNAL_SHIFT_x	信号データのシフト。	0x0	R/W
0x1B5	DATA1_E	[2:0]	SIGNAL_SIZE_x	信号データのサイズ。	0x3	R/W
0x1D5	DATA1_F					
0x1F5	DATA1_G					
0x215	DATA1_H					
0x235	DATA1_I					
0x255	DATA1_J					
0x275	DATA1_K					
0x295	DATA1_L					
0x136	DATA2_A	[15:8]	RESERVED	予備。	0x0	R
0x156	DATA2_B	[7:3]	LIT_SHIFT_x	明データのシフト。	0x0	R/W
0x176	DATA2_C					
0x196	DATA2_D					
0x1B6	DATA2_E					
0x1D6	DATA2_F					
0x1F6	DATA2_G					
0x216	DATA2_H					
0x236	DATA2_I					
0x256	DATA2_J					
0x276	DATA2_K					
0x296	DATA2_L					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[2:0]	LIT_SIZE_x	明データのサイズ。	0x0	R/W
0x137	DECIMATE_A	[15:14]	CHANNEL_EN_x	チャンネルのイネーブル。 00：チャンネル 1 のみをイネーブルします。 01：チャンネル 1 とチャンネル 2 をイネーブルします。 10：チャンネル 1、チャンネル 2 およびチャンネル 3 をイネーブルします。 11：チャンネル 1、チャンネル 2、チャンネル 3 およびチャンネル 4 をイネーブルします。	0x0	R/W
0x157	DECIMATE_B					
0x177	DECIMATE_C					
0x197	DECIMATE_D					
0x1B7	DECIMATE_E					
0x1D7	DECIMATE_F					
0x1F7	DECIMATE_G					
0x217	DECIMATE_H					
0x237	DECIMATE_I					
0x257	DECIMATE_J					
0x277	DECIMATE_K	[13:11]	RESERVED	予備。	0x0	R
0x297	DECIMATE_L	[10:4]	SUBSAMPLE_RATIO_x	出力データレートを (タイマー・クロック周波数)/(TIMESLOT_PERIOD_x)/(SUBSAMPLE_RATIO_x) に等しくなるよう減少させます。このビットが 1 より大きい場合は、タイム・スロットをタイム・スロット・シーケンスの (SUBSAMPLE_RATIO_x) ごとに 1 回だけ動作させます。このサブサンプリングは、同じ SUBSAMPLE_RATIO_x を用いて他のタイム・スロットに揃えることができます。(SUBSAMPLE_RATIO_x - 1) 回スキップした後、そのタイム・スロットが実行されます。出力データレートは、サンプリング・レート/(SUBSAMPLE_RATIO_x)です。	0x1	R/W
		[3:0]	RESERVED	予備。	0x0	R
0x138	DIGINT_LIT_A	[15:9]	RESERVED	予備。	0x0	R
0x158	DIGINT_LIT_B	[8:0]	LIT_OFFSET_x	タイム・スロット x におけるアクイジション・ウィンドウの明オフセット。	0x26	R/W
0x178	DIGINT_LIT_C					
0x198	DIGINT_LIT_D					
0x1B8	DIGINT_LIT_E					
0x1D8	DIGINT_LIT_F					
0x1F8	DIGINT_LIT_G					
0x218	DIGINT_LIT_H					
0x238	DIGINT_LIT_I					
0x258	DIGINT_LIT_J					
0x278	DIGINT_LIT_K					
0x298	DIGINT_LIT_L					
0x139	DIGINT_DARK_A	[15:7]	DARK2_OFFSET_x	タイム・スロット x におけるアクイジション・ウィンドウの暗オフセット 2。	0x1	R/W
0x159	DIGINT_DARK_B	[6:0]	DARK1_OFFSET_x	タイム・スロット x におけるアクイジション・ウィンドウの暗オフセット 1。	0x6	R/W
0x179	DIGINT_DARK_C					
0x199	DIGINT_DARK_D					
0x1B9	DIGINT_DARK_E					
0x1D9	DIGINT_DARK_F					
0x1F9	DIGINT_DARK_G					
0x219	DIGINT_DARK_H					
0x239	DIGINT_DARK_I					
0x259	DIGINT_DARK_J					
0x279	DIGINT_DARK_K					
0x299	DIGINT_DARK_L					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x13A	ADC_OFF3_A	[15:14]	RESERVED	予備。	0x0	R
0x15A	ADC_OFF3_B	[13:0]	CH3_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 3 の ADC の値から減算されます。	0x0	R/W
0x17A	ADC_OFF3_C					
0x19A	ADC_OFF3_D					
0x1BA	ADC_OFF3_E					
0x1DA	ADC_OFF3_F					
0x1FA	ADC_OFF3_G					
0x21A	ADC_OFF3_H					
0x23A	ADC_OFF3_I					
0x25A	ADC_OFF3_J					
0x27A	ADC_OFF3_K					
0x29A	ADC_OFF3_L					
0x13B	ADC_OFF4_A	[15:14]	RESERVED	予備。	0x0	R
0x15B	ADC_OFF4_B	[13:0]	CH4_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 4 の ADC の値から減算されます。	0x0	R/W
0x17B	ADC_OFF4_C					
0x19B	ADC_OFF4_D					
0x1BB	ADC_OFF4_E					
0x1DB	ADC_OFF4_F					
0x1FB	ADC_OFF4_G					
0x21B	ADC_OFF4_H					
0x23B	ADC_OFF4_I					
0x25B	ADC_OFF4_J					
0x27B	ADC_OFF4_K					
0x29B	ADC_OFF4_L					
0x13C	THRESH1_A	[15:13]	RESERVED	予備。	0x0	R
0x15C	THRESH1_B	[12:8]	THRESH1_SHIFT_x	閾値比較のレベル割込み1におけるシフト。比較する前に、ここで設定した量だけ THRESH0_VALUE_x をシフトします。	0x0	R/W
0x17C	THRESH1_C					
0x19C	THRESH1_D	[7:0]	THRESH1_VALUE_x	閾値比較のレベル割込み 1 における値。	0x0	R/W
0x1BC	THRESH1_E					
0x1DC	THRESH1_F					
0x1FC	THRESH1_G					
0x21C	THRESH1_H					
0x23C	THRESH1_I					
0x25C	THRESH1_J					
0x27C	THRESH1_K					
0x29C	THRESH1_L					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x2A0	BIOZ_AFECON_A	[15:14]	RESERVED	予備。	0x0	R
0x2B0	BIOZ_AFECON_B	13	BIOZ_DACREF_LPMODE_x	DAC リファレンス・ブロックの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
0x2C0	BIOZ_AFECON_C					
0x2D0	BIOZ_AFECON_D					
0x2E0	BIOZ_AFECON_E					
0x2F0	BIOZ_AFECON_F	12	BIOZ_REFNORM_x	DAC の消費電力モードを設定。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
0x300	BIOZ_AFECON_G					
0x310	BIOZ_AFECON_H					
0x320	BIOZ_AFECON_I					
0x330	BIOZ_AFECON_J	[11:2]	BIOZ_TIMESLOT_OFFSET_x	64 × 960kHz または 64 × (外部 960kHz)サイクルでの BIOZ タイム・スロット x のオフセット。	0x0	R/W
0x340	BIOZ_AFECON_K	1	BIOZ_TIAEN_x	高出力 TIA イネーブル。高出力 TIA をイネーブルします。	0x0	R/W
0x350	BIOZ_AFECON_L					
0x360	BIOZ_AFECON_M					
0x370	BIOZ_AFECON_N					
0x380	BIOZ_AFECON_O	0	BIOZ_EXCITATION_TYPE_x	励起源タイプの選択。 0：BIOZ DAC の電圧。 1：DCLO 回路の電流。	0x0	R/W
0x390	BIOZ_AFECON_P					
0x3A0	BIOZ_AFECON_Q					
0x3B0	BIOZ_AFECON_R					
0x2A1	BIOZ_WGFCW_LOW_A	[15:0]	BIOZ_SINEFCW_L_x	サイン波発生器周波数制御ワード。 BIOZ_SINEFCW_H_x および BIOZ_SINEFCW_L_x が BIOZ_SINEFCW_x_x のビット[19:0]を構成します。 BIOZ_SINEFCW_x_x のビット[19:0] = $2^{26} \times f/32^6$ または $2^{26} \times f/960\text{kHz}$ 、f はサイン波の周波数の値。正確な DFT 結果を得、スペクトルの漏れを回避するには、 $f/(DFT_FS/N)$ を整数として用いることを推奨します（N は DFT の入力データ数、DFT_FS は DFT の入力データレート）。DFT_FS は入力データ・ソースに応じて異なる可能性があります。	0x0	R/W
0x2B1	BIOZ_WGFCW_LOW_B					
0x2C1	BIOZ_WGFCW_LOW_C					
0x2D1	BIOZ_WGFCW_LOW_D					
0x2E1	BIOZ_WGFCW_LOW_E					
0x2F1	BIOZ_WGFCW_LOW_F					
0x301	BIOZ_WGFCW_LOW_G					
0x311	BIOZ_WGFCW_LOW_H					
0x321	BIOZ_WGFCW_LOW_I					
0x331	BIOZ_WGFCW_LOW_J					
0x341	BIOZ_WGFCW_LOW_K					
0x351	BIOZ_WGFCW_LOW_L					
0x361	BIOZ_WGFCW_LOW_M					
0x371	BIOZ_WGFCW_LOW_N					
0x381	BIOZ_WGFCW_LOW_O					
0x391	BIOZ_WGFCW_LOW_P					
0x3A1	BIOZ_WGFCW_LOW_Q					
0x3B1	BIOZ_WGFCW_LOW_R					
0x2A2	BIOZ_WGFCW_HI_A	15	BIOZ_DATA_SELECTION_x	32 ビット BIOZ 出力データの選択。 0：1 バイトの BIOZ ADC 飽和ステータス+ 3 バイトの BIOZ データ。 1：4 バイトの 32 ビット BIOZ 生データ。	0x0	R/W
0x2B2	BIOZ_WGFCW_HI_B					
0x2C2	BIOZ_WGFCW_HI_C					
0x2D2	BIOZ_WGFCW_HI_D					
0x2E2	BIOZ_WGFCW_HI_E					
0x2F2	BIOZ_WGFCW_HI_F					
0x302	BIOZ_WGFCW_HI_G					
0x312	BIOZ_WGFCW_HI_H					
0x322	BIOZ_WGFCW_HI_I					
0x332	BIOZ_WGFCW_HI_J					
0x342	BIOZ_WGFCW_HI_K					
0x352	BIOZ_WGFCW_HI_L					
0x362	BIOZ_WGFCW_HI_M					
0x372	BIOZ_WGFCW_HI_N					
0x382	BIOZ_WGFCW_HI_O					
0x392	BIOZ_WGFCW_HI_P					
0x3A2	BIOZ_WGFCW_HI_Q					
0x3B2	BIOZ_WGFCW_HI_R					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[14:12]	BIOZ_NCHAN_ALT_x	N チャンネル・オルタネート入力の選択。 0 : HPTIA_n を BUFFER_N（バッファの負入力）に接続します。 1 : IMPIN を BUFFER_N に接続します。 10 : EXCP を BUFFER_N に接続します。 11 : RINT_SN を BUFFER_N に接続します。 100 : IMPIP を BUFFER_N に接続します。 101 : EXCN を BUFFER_N に接続します。 110 : ECG RLD を BUFFER_N に接続します。 111 : ECGIP を BUFFER_N に接続します。	0x0	R/W
		[11:9]	BIOZ_PCHAN_ALT_x	P チャンネル・オルタネート入力の選択。 0 : HPTIA_p を BUFFER_P（バッファの正入力）に接続します。 1 : IMPIP を BUFFER_P に接続します。 10 : EXCN を BUFFER_P に接続します。 11 : RINT_SP を BUFFER_P に接続します。 100 : IMPIN を BUFFER_P に接続します。 101 : EXCP を BUFFER_P に接続します。 110 : ECGIN を BUFFER_P に接続します。 111 : ECGIP を BUFFER_P に接続します。	0x0	R/W
		[8:4]	RESERVED	予備。	0x0	R
		[3:0]	BIOZ_SINEFCW_H_x	サイン波発生器周波数制御ワード。 BIOZ_SINEFCW_H_x および BIOZ_SINEFCW_L_x が BIOZ_SINEFCW_x_x のビット[19:0]を構成します。 $\text{BIOZ_SINEFCW_x_x のビット}[19:0] = 2^{26} \times f/32^6$ または $2^{26} \times f/960\text{kHz}$ 、f はサイン波の周波数の値。正確な DFT 結果を得、スペクトルの漏れを回避するには、 $f/(\text{DFT_FS}/N)$ を整数として用いることを推奨します（N は DFT の入力データ数、DFT_FS は DFT の入力データレート）。DFT_FS は入力データ・ソースに応じて異なる可能性があります。	0x0	R/W
0x2A3 0x2B3 0x2C3 0x2D3 0x2E3 0x2F3 0x303 0x313 0x323 0x333 0x343 0x353 0x363 0x373 0x383 0x393 0x3A3 0x3B3	BIOZ_WGPHASE_A BIOZ_WGPHASE_B BIOZ_WGPHASE_C BIOZ_WGPHASE_D BIOZ_WGPHASE_E BIOZ_WGPHASE_F BIOZ_WGPHASE_G BIOZ_WGPHASE_H BIOZ_WGPHASE_I BIOZ_WGPHASE_J BIOZ_WGPHASE_K BIOZ_WGPHASE_L BIOZ_WGPHASE_M BIOZ_WGPHASE_N BIOZ_WGPHASE_O BIOZ_WGPHASE_P BIOZ_WGPHASE_Q BIOZ_WGPHASE_R	[15:0]	BIOZ_SINE_PHASE_OFFSET_x	サイン波位相オフセット。 BIOZ_SINE_PHASE_OFFSET_x のビット[15:0] = 位相 (°) / 360×2^{16} です。例えば、位相オフセットを 45° にするには、BIOZ_SINE_PHASE_OFFSET_x のビット[15:0] = $45^\circ/360 \times 2^{16}$ となります。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x2A4 0x2B4 0x2C4 0x2D4 0x2E4 0x2F4 0x304 0x314 0x324 0x334 0x344 0x354 0x364 0x374 0x384 0x394 0x3A4 0x3B4	BIOZ_DFTPHASE_A BIOZ_DFTPHASE_B BIOZ_DFTPHASE_C BIOZ_DFTPHASE_D BIOZ_DFTPHASE_E BIOZ_DFTPHASE_F BIOZ_DFTPHASE_G BIOZ_DFTPHASE_H BIOZ_DFTPHASE_I BIOZ_DFTPHASE_J BIOZ_DFTPHASE_K BIOZ_DFTPHASE_L BIOZ_DFTPHASE_M BIOZ_DFTPHASE_N BIOZ_DFTPHASE_O BIOZ_DFTPHASE_P BIOZ_DFTPHASE_Q BIOZ_DFTPHASE_R	[15:0]	BIOZ_DFT_PHASE_OFFSET_x	BIOZ_DFT_PHASE_OFFSET_x のビット[15:0] = 位相 (°) / 360×2^{16} です。例えば、位相オフセットを 45° にするには、BIOZ_DFT_PHASE_OFFSET_x のビット [15:0] = $45^\circ / 360 \times 2^{16}$ となります。	0x0	R/W
0x2A5 0x2B5 0x2C5 0x2D5 0x2E5 0x2F5 0x305 0x315 0x325 0x335 0x345 0x355 0x365 0x375 0x385 0x395 0x3A5 0x3B5	BIOZ_WGOFFSET_A BIOZ_WGOFFSET_B BIOZ_WGOFFSET_C BIOZ_WGOFFSET_D BIOZ_WGOFFSET_E BIOZ_WGOFFSET_F BIOZ_WGOFFSET_G BIOZ_WGOFFSET_H BIOZ_WGOFFSET_I BIOZ_WGOFFSET_J BIOZ_WGOFFSET_K BIOZ_WGOFFSET_L BIOZ_WGOFFSET_M BIOZ_WGOFFSET_N BIOZ_WGOFFSET_O BIOZ_WGOFFSET_P BIOZ_WGOFFSET_Q BIOZ_WGOFFSET_R	[15:12] [11:0]	RESERVED BIOZ_SINE_OFFSET_x	予備。 サイン波のオフセット。サイン波モードの波形発生器出力に加えられます。2 の補数フォーマットで表した符号付きの数です。	0x0 0x0	R R/W
0x2A6 0x2B6 0x2C6 0x2D6 0x2E6 0x2F6 0x306 0x316 0x326 0x336 0x346 0x356 0x366 0x376 0x386 0x396 0x3A6 0x3B6	BIOZ_WGAMPLITUDE_A BIOZ_WGAMPLITUDE_B BIOZ_WGAMPLITUDE_C BIOZ_WGAMPLITUDE_D BIOZ_WGAMPLITUDE_E BIOZ_WGAMPLITUDE_F BIOZ_WGAMPLITUDE_G BIOZ_WGAMPLITUDE_H BIOZ_WGAMPLITUDE_I BIOZ_WGAMPLITUDE_J BIOZ_WGAMPLITUDE_K BIOZ_WGAMPLITUDE_L BIOZ_WGAMPLITUDE_M BIOZ_WGAMPLITUDE_N BIOZ_WGAMPLITUDE_O BIOZ_WGAMPLITUDE_P BIOZ_WGAMPLITUDE_Q BIOZ_WGAMPLITUDE_R	[15:11]	RESERVED	予備。	0x0	R

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[10:0]	BIOZ_SINEAMPLITUDE_x	サイン波の振幅。符号なしの数値。サイン波モードの波形発生器をスケールリングします。ゲイン係数 = $\text{BIOZ_SINEAMPLITUDE_x}$ のビット[10:0]/(2 ¹¹)。最大出力は 800mV です。	0x600	R/W
0x2A7	BIOZ_DACCON_A	[15:14]	RESERVED	予備。	0x0	R
0x2B7	BIOZ_DACCON_B		BIOZ_EXBUFEN_x	励起バッファのイネーブル。励起バッファをイネーブルして測定時の抵抗を発生させます。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
0x2C7	BIOZ_DACCON_C	[12:10]	BIOZ_DACBUF BW_x	DAC 再構成フィルタの消費電力調整。 0 : 再構成フィルタをバイパスします。 1 : 30μA。 10 : 40μA。 100 : 111μA。	0x4	R/W
0x2D7	BIOZ_DACCON_D					
0x2E7	BIOZ_DACCON_E	9	BIOZ_BW200KEN_x	再構成フィルタの 200kHz のカットオフ周波数。 0 : 200kHz のカットオフ周波数をディスエーブル。 1 : 200kHz のカットオフ周波数をイネーブル。	0x1	R/W
0x2F7	BIOZ_DACCON_F					
0x307	BIOZ_DACCON_G	8	BIOZ_BW50KEN_x	再構成フィルタの 50kHz のカットオフ周波数。 0 : 50kHz のカットオフ周波数をディスエーブル。 1 : 50kHz のカットオフ周波数をイネーブル。	0x0	R/W
0x317	BIOZ_DACCON_H					
0x327	BIOZ_DACCON_I	[7:0]	BIOZ_RATE_DIV_x	DAC 更新レート。DAC 更新レート = $32\text{MHz}/\text{BIOZ_RATE_DIV_x}$ または $960\text{kHz}/\text{BIOZ_RATE_DIV_x}$ 。	0xD	R/W
0x337	BIOZ_DACCON_J					
0x347	BIOZ_DACCON_K	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x357	BIOZ_DACCON_L					
0x367	BIOZ_DACCON_M	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x377	BIOZ_DACCON_N					
0x387	BIOZ_DACCON_O	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x397	BIOZ_DACCON_P					
0x3A7	BIOZ_DACCON_Q	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x3B7	BIOZ_DACCON_R					
0x2A8	BIOZ_ADC_LEVEL_A	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x2B8	BIOZ_ADC_LEVEL_B					
0x2C8	BIOZ_ADC_LEVEL_C	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x2D8	BIOZ_ADC_LEVEL_D					
0x2E8	BIOZ_ADC_LEVEL_E	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x2F8	BIOZ_ADC_LEVEL_F					
0x308	BIOZ_ADC_LEVEL_G	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x318	BIOZ_ADC_LEVEL_H					
0x328	BIOZ_ADC_LEVEL_I	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x338	BIOZ_ADC_LEVEL_J					
0x348	BIOZ_ADC_LEVEL_K	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x358	BIOZ_ADC_LEVEL_L					
0x368	BIOZ_ADC_LEVEL_M	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x378	BIOZ_ADC_LEVEL_N					
0x388	BIOZ_ADC_LEVEL_O	[7:0]	BIOZ_ADC_LEVEL_L_x	ADC 飽和検出のローの閾値レベル。LSB は ADC LSB × 64 に相当します。	0x0	R/W
0x398	BIOZ_ADC_LEVEL_P					
0x3A8	BIOZ_ADC_LEVEL_Q	[15:8]	BIOZ_ADC_LEVEL_H_x	ADC 飽和検出のハイの閾値レベル。LSB は ADC LSB × 64 に相当します。	0xFF	R/W
0x3B8	BIOZ_ADC_LEVEL_R					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x2A9 0x2B9 0x2C9 0x2D9 0x2E9 0x2F9 0x309 0x319 0x329 0x339 0x349 0x359 0x369 0x379 0x389 0x399 0x3A9 0x3B9	BIOZ_DC_EXCITATION_A BIOZ_DC_EXCITATION_B BIOZ_DC_EXCITATION_C BIOZ_DC_EXCITATION_D BIOZ_DC_EXCITATION_E BIOZ_DC_EXCITATION_F BIOZ_DC_EXCITATION_G BIOZ_DC_EXCITATION_H BIOZ_DC_EXCITATION_I BIOZ_DC_EXCITATION_J BIOZ_DC_EXCITATION_K BIOZ_DC_EXCITATION_L BIOZ_DC_EXCITATION_M BIOZ_DC_EXCITATION_N BIOZ_DC_EXCITATION_O BIOZ_DC_EXCITATION_P BIOZ_DC_EXCITATION_Q BIOZ_DC_EXCITATION_R	15	BIOZ_DCLO_POLARITY_IP_x	ECGIP での DCLO 出力電流の極性。 0 : シンク電流 1 : ソース電流	0x0	R/W
		14	BIOZ_DCLO_POLARITY_IN_x	ECGIN での DCLO 出力電流の極性。 0 : シンク電流 1 : ソース電流	0x0	R/W
		13	BIOZ_DCLO_L_EN_x	ECGx 入力の低レンジ DCLO 電流のイネーブル。電流レンジは、1 ステップあたり 2nA で 0nA~16nA。	0x0	R/W
		[12:9]	BIOZ_DCLO_L_MAG_x	低レンジ DCLO 励起電流の大きさ。 0 : 0nA。 0001 : 予備。 0010 : 予備。 0011 : 予備。 0100 : 予備。 0101 : 予備。 0110 : 予備。 0111 : 予備。 1000 : 2nA。 1001 : 4nA。 1010 : 6nA。 1011 : 8nA。 1100 : 10nA。 1101 : 12nA。 1110 : 14nA。 1111 : 16nA。	0x0	R/W
		8	BIOZ_DCLO_M_EN_x	ECGx 入力の中レンジ DCLO 電流のイネーブル。電流レンジは、1 ステップあたり 10nA で 0nA~70nA。	0x0	R/W
		[7:5]	BIOZ_DCLO_M_MAG_x	中レンジ DCLO 励起電流の大きさ。 0 : 0nA。 001 : 10nA。 010 : 20nA。 011 : 30nA。 100 : 40nA。 101 : 50nA。 110 : 60nA。 111 : 70nA。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		4	BIOZ_DCLO_H_EN_x	ECGx 入力の高レンジ DCLO 電流のイネーブル。電流レンジは、1 ステップあたり 100nA で 0μA~1μA。	0x0	R/W
		[3:0]	BIOZ_DCLO_H_MAG_x	高レンジDCLO励起電流の大きさ。 0 : 0nA。 1 : 100nA。 10 : 200nA。 11 : 300nA。 100 : 400nA。 101 : 500nA。 110 : 600nA。 111 : 700nA。 1000 : 予備。 1001 : 予備。 1010 : 予備。 1011 : 予備。 1100 : 800nA。 1101 : 900nA。 1110 : 1μA。 1111 : 1.1μA。	0x0	R/W
0x2AA 0x2BA 0x2CA 0x2DA 0x2EA 0x2FA 0x30A 0x31A 0x32A 0x33A 0x34A 0x35A 0x36A 0x37A 0x38A 0x39A 0x3AA 0x3BA	BIOZ_ANA_CTRL1_A BIOZ_ANA_CTRL1_B BIOZ_ANA_CTRL1_C BIOZ_ANA_CTRL1_D BIOZ_ANA_CTRL1_E BIOZ_ANA_CTRL1_F BIOZ_ANA_CTRL1_G BIOZ_ANA_CTRL1_H BIOZ_ANA_CTRL1_I BIOZ_ANA_CTRL1_J BIOZ_ANA_CTRL1_K BIOZ_ANA_CTRL1_L BIOZ_ANA_CTRL1_M BIOZ_ANA_CTRL1_N BIOZ_ANA_CTRL1_O BIOZ_ANA_CTRL1_P BIOZ_ANA_CTRL1_Q BIOZ_ANA_CTRL1_R	[15:12]	BIOZ_TIA_RGAIN_x	高出力 TIA 帰還抵抗の制御信号。 0 : 1kΩ。 1 : 2kΩ。 10 : 3kΩ。 11 : 4kΩ。 100 : 6kΩ。 101 : 8kΩ。 110 : 10kΩ。 111 : 15kΩ。 1000 : 30kΩ。 1001 : 60kΩ。 1010 : 125kΩ。 1011 : 250kΩ。 1100 : 500kΩ。 1101 : 1MΩ。	0x1	R/W
		[11:8]	BIOZ_TIA_CGAIN_x	高出力 TIA 帰還コンデンサの制御信号。 0 : オフ。 1 : 1pF。 10 : 2pF。 11 : 3pF。 100 : 4pF（低消費電力時のデフォルト値）。 101 : 5pF。 110 : 6pF。 111 : 7pF（高消費電力時のデフォルト値）。 1000 : 8pF。 1001 : 9pF。 1010 : 10pF。 1011 : 11pF。 1100 : 12pF。 1101 : 13pF。 1110 : 14pF。 1111 : 15pF。	0x7	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[7:6]	BIOZ_EXCBUF_LPMODE_x	励起パルファの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。 11：超低消費電力モード。	0x0	R/W
		[5:4]	BIOZ_CHOP_OFF_IN_x	フロント・パルファおよび PGA のチョップ・オフのデイスエーブル。 0：フロント・パルファおよび PGA のチョッピングをイネーブル。 1：PGA チョッピングのみをイネーブル。 10：フロント・パルファ・チョッピングのみをイネーブル。 11：フロント・パルファおよび PGA のチョッピングをデイスエーブル。	0x3	R/W
		[3:2]	BIOZ_TIA_LPMODE_x	TIA の低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。 11：超低消費電力モード。	0x0	R/W
		1	BIOZ_RX_LPMODE_x	ADC レシーバー・チャンネルの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
		0	BIOZ_DAC_RCF_LOWBW_EN_x	DAC RC フィルタの帯域幅調整。ハイに設定すると帯域幅が元の値の 80%に減少します。 0：デイスエーブル。 1：イネーブル。	0x0	R/W
0x2AB 0x2BB 0x2CB 0x2DB 0x2EB 0x2FB 0x30B 0x31B 0x31B 0x32B 0x33B 0x34B 0x35B 0x36B 0x37B 0x38B 0x39B 0x3AB 0x3BB	BIOZ_ANA_CTRL2_A BIOZ_ANA_CTRL2_B BIOZ_ANA_CTRL2_C BIOZ_ANA_CTRL2_D BIOZ_ANA_CTRL2_E BIOZ_ANA_CTRL2_F BIOZ_ANA_CTRL2_G BIOZ_ANA_CTRL2_H BIOZ_ANA_CTRL2_I BIOZ_ANA_CTRL2_J BIOZ_ANA_CTRL2_K BIOZ_ANA_CTRL2_L BIOZ_ANA_CTRL2_M BIOZ_ANA_CTRL2_N BIOZ_ANA_CTRL2_O BIOZ_ANA_CTRL2_P BIOZ_ANA_CTRL2_Q BIOZ_ANA_CTRL2_R	15 14 [13:11] [10:8]	BIOZ_TIA_VREF_SEL_x BIOZ_CM_SW_x BIOZ_NCHAN_x BIOZ_PCHAN_x	TIA_VREF 電圧の選択。 0：0.9V。 1：1.2V。 IMPIP および IMPIN 用の弱い V _{CM} 駆動。 0：弱い V _{CM} 駆動をデイスエーブル。 1：弱い V _{CM} 駆動。 N チャンネルの選択。 0：HPTIA_n を BUFFER_N（パルファの負入力）に接続します。 1：IMPIN を BUFFER_N に接続します。 010：EXCP を BUFFER_N に接続します。 011：R _{INT_SN} を BUFFER_N に接続します。 100：IMPIP を BUFFER_N に接続します。 101：EXCN を BUFFER_N に接続します。 110：ECG RLD を BUFFER_N に接続します。 111：ECGIP を BUFFER_N に接続します。 P チャンネルの選択。 0：HPTIA_p を BUFFER_P に接続します。 1：IMPIP を BUFFER_P に接続します。 010：EXCN を BUFFER_P に接続します。 011：R _{INT_SP} を BUFFER_P に接続します。 100：IMPIN を BUFFER_P に接続します。 101：EXCP を BUFFER_P に接続します。 110：ECGIN を BUFFER_P に接続します。 111：ECGIP を BUFFER_P に接続します。	0x0 0x0 0x0	R/W R/W R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[7:4]	BIOZ_TSW_x	IMPIP、IMPIN、EXCP、および EXCN のマルチプレクサの T スイッチ。 1：高出力 TIA を IMPIP に接続します。 10：高出力 TIA を IMPIN に接続します。 100：高出力 TIA を EXCP に接続します。 1000：高出力 TIA を EXCN に接続します。	0x0	R/W
		[3:0]	BIOZ_DSW_x	IMPIP、IMPIN、EXCP、および EXCN のマルチプレクサの D スイッチ。 1：EXCBUF を IMPIP に接続します。 10：EXCBUF を IMPIN に接続します。 100：EXCBUF を EXCP に接続します。 1000：EXCBUF を EXCN に接続します。	0x0	R/W
0x2AC 0x2BC 0x2CC 0x2DC 0x2EC 0x2FC 0x30C 0x31C 0x32C 0x33C 0x34C 0x35C 0x36C 0x37C 0x38C 0x39C 0x3AC 0x3BC	BIOZ_ANA_CTRL3_A BIOZ_ANA_CTRL3_B BIOZ_ANA_CTRL3_C BIOZ_ANA_CTRL3_D BIOZ_ANA_CTRL3_E BIOZ_ANA_CTRL3_F BIOZ_ANA_CTRL3_G BIOZ_ANA_CTRL3_H BIOZ_ANA_CTRL3_I BIOZ_ANA_CTRL3_J BIOZ_ANA_CTRL3_K BIOZ_ANA_CTRL3_L BIOZ_ANA_CTRL3_M BIOZ_ANA_CTRL3_N BIOZ_ANA_CTRL3_O BIOZ_ANA_CTRL3_P BIOZ_ANA_CTRL3_Q BIOZ_ANA_CTRL3_R	[15:14]	BIOZ_CHOP_OFF_EXC_x	EXCBUF および TIA のチョッピングのディスエーブル。 0：EXCBUF および TIA のチョッピングをイネーブル。 1：TIA チョッピングのみをイネーブル。 10：EXCBUF チョッピングのみをイネーブル。 11：EXCBUF および TIA のチョッピングをディスエーブル。	0x3	R/W
		[13:12]	BIOZ_PGA_GAIN_x	PGA ゲインの選択。 0：1.5V/V。 1：2V/V。 10：3V/V。 11：6V/V。	0x0	R/W
		[11:9]	BIOZ_TIA_ECG_x	ECGIN、ECGIP、および RLD のレシーバー・スイッチのマルチプレクサ。 1：高出力 TIA を ECGIN に接続します。 010：高出力 TIA を ECGIP に接続します。 100：高出力 TIA を ECG RLD に接続します。	0x0	R/W
		[8:6]	BIOZ_EXCBUF_ECG_x	ECGIN、ECGIP、および RLD の励起スイッチのマルチプレクサ。 1：EXCBUF を ECGIN に接続します。 10：EXCBUF を ECGIP に接続します。 100：EXCBUF を ECG RLD に接続します。	0x0	R/W
		5	BIOZ_DCLO_IP_EN_x	ECGIP の DC 励起電流出力カインェーブル。低、中、および高電流レンジの DCLO 回路を再利用します。	0x0	R/W
		4	BIOZ_DCLO_IN_EN_x	ECGIN の DC 励起電流出力カインェーブル。低、中、および高電流レンジの DCLO 回路を再利用します。	0x0	R/W
		[3:2]	BIOZ_CURRENT_LIMIT_x	内部電流制限抵抗の選択。 00：電流制限なし。 01：650Ω を使用。 10：1.3kΩ を使用。 11：予備。	0x0	R/W

レジスタの詳細

表 24. レジスタの詳細 (続き)

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[1:0]	BIOZ_RINT_SW_x	内部キャリブレーション抵抗をサポート。0x11 に設定すると、内部キャリブレーション抵抗がイネーブルされます。 0：内部キャリブレーション抵抗がフロート状態。 11：内部キャリブレーション抵抗を EXCBUF と高出力 TIA に接続。	0x0	R/W
0x2AD	BIOZ_ADCFILTERCON_A	[15:12]	RESERVED	予備。	0x0	R
0x2BD	BIOZ_ADCFILTERCON_B	[11:6]	BIOZ_ADC_PERIOD_x	ADC サンプリング・クロック周期の選択。32MHz の制御クロック・モードでは、ADC サンプリング・クロック周期 = $1\mu\text{s} \times (\text{BIOZ_ADC_PERIOD_x のビット}[5:0] + 1)$ 。960kHz の制御クロック・モードでは、ADC サンプリング・クロック周期 = $8.333\mu\text{s} \times (\text{BIOZ_ADC_PERIOD_x のビット}[5:0] + 1)$ 。	0x0	R/W
0x2CD	BIOZ_ADCFILTERCON_C					
0x2DD	BIOZ_ADCFILTERCON_D					
0x2ED	BIOZ_ADCFILTERCON_E					
0x2FD	BIOZ_ADCFILTERCON_F					
0x30D	BIOZ_ADCFILTERCON_G	[5:4]	BIOZ_AVRGNUM_x	平均化関数で使用するサンプル数の設定。 0：2 個の ADC サンプル。 1：4 個の ADC サンプル。1 回の平均化で使用する入力データ数は 4 個です。 10：8 個の ADC サンプル。1 回の平均化で使用する入力データ数は 8 個です。 11：16 個の ADC サンプル。1 回の平均化で使用する入力データ数は 16 個です。	0x0	R/W
0x31D	BIOZ_ADCFILTERCON_H					
0x32D	BIOZ_ADCFILTERCON_I					
0x33D	BIOZ_ADCFILTERCON_J					
0x34D	BIOZ_ADCFILTERCON_K					
0x35D	BIOZ_ADCFILTERCON_L					
0x36D	BIOZ_ADCFILTERCON_M					
0x37D	BIOZ_ADCFILTERCON_N					
0x38D	BIOZ_ADCFILTERCON_O					
0x39D	BIOZ_ADCFILTERCON_P					
0x3AD	BIOZ_ADCFILTERCON_Q	3	BIOZ_AVRGEN_x	平均化関数のイネーブル。sinc3 フィルタ出力結果の平均化動作をイネーブルします。 0：ディスエーブル。sinc3 の結果を次段に送ります。 1：イネーブル。平均化された結果を次段に送ります。	0x0	R/W
0x3BD	BIOZ_ADCFILTERCON_R					
		2	BIOZ_SINC3BYP_x	sinc3 フィルタをバイパス。 0：sinc3 フィルタをイネーブルします。 1：sinc3 フィルタをバイパスします。	0x1	R/W
		[1:0]	BIOZ_SINC3OSR_x	sinc3 フィルタのオーバーサンプリング・レート。 0：オーバーサンプリング・レートは 5。 1：オーバーサンプリング・レートは 4。 10：オーバーサンプリング・レートは 2。 11：オーバーサンプリング・レートは 5。	0x0	R/W
0x2AE	BIOZ_DFTCON_A	[15:8]	RESERVED	予備。	0x0	R
0x2BE	BIOZ_DFTCON_B	7	BIOZ_DATA_SIZE_x	BIOZ 出力データ・サイズ。 0：3 バイト。 1：4 バイト。	0x0	R/W
0x2CE	BIOZ_DFTCON_C					
0x2DE	BIOZ_DFTCON_D	6	BIOZ_DFT_TYPE_x	BIOZ DFT 出力データ・タイプの選択。 0：実部と虚部。 1：実部と、ADC サンプルをオルタネートした実部。	0x0	R/W
0x2EE	BIOZ_DFTCON_E					
0x2FE	BIOZ_DFTCON_F	5	BIOZ_WG_DFT_DIFF_PHASE_EN_x	波形発生器ブロックのサイン波と DFT ブロックのサイン波が異なるオフセットを使用。 0：同じオフセットを使用。 1：異なるオフセットを使用。	0x0	R/W
0x30E	BIOZ_DFTCON_G					
0x31E	BIOZ_DFTCON_H					
0x32E	BIOZ_DFTCON_I					
0x33E	BIOZ_DFTCON_J					
0x34E	BIOZ_DFTCON_K	4	BIOZ_HANNINGEN_x	ハニング・ウィンドウをイネーブル。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
0x35E	BIOZ_DFTCON_L					
0x36E	BIOZ_DFTCON_M	[3:0]	BIOZ_DFTNUM_x	使用する ADC サンプル。DFT 数は 4~8192 です。	0x9	R/W
0x37E	BIOZ_DFTCON_N					
0x38E	BIOZ_DFTCON_O					
0x39E	BIOZ_DFTCON_P					
0x3AE	BIOZ_DFTCON_Q					
0x3BE	BIOZ_DFTCON_R					

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0 : DFT のポイント数は 4。 1 : DFT のポイント数は 8。 10 : DFT のポイント数は 16。 11 : DFT のポイント数は 32。 100 : DFT のポイント数は 64。 101 : DFT のポイント数は 128。 110 : DFT のポイント数は 256。 111 : DFT のポイント数は 512。 1000 : DFT のポイント数は 1024。 1001 : DFT のポイント数は 2048。 1010 : DFT のポイント数は 4096。 1011 : DFT のポイント数は 8192。		
0x2AF 0x2BF 0x2CF 0x2DF 0x2EF 0x2FF 0x30F 0x31F 0x32F 0x33F 0x34F 0x35F 0x36F 0x37F 0x38F 0x39F 0x3AF 0x3BF	BIOZ_ADC_CONV_DLY_A BIOZ_ADC_CONV_DLY_B BIOZ_ADC_CONV_DLY_C BIOZ_ADC_CONV_DLY_D BIOZ_ADC_CONV_DLY_E BIOZ_ADC_CONV_DLY_F BIOZ_ADC_CONV_DLY_G BIOZ_ADC_CONV_DLY_H BIOZ_ADC_CONV_DLY_I BIOZ_ADC_CONV_DLY_J BIOZ_ADC_CONV_DLY_K BIOZ_ADC_CONV_DLY_L BIOZ_ADC_CONV_DLY_M BIOZ_ADC_CONV_DLY_N BIOZ_ADC_CONV_DLY_O BIOZ_ADC_CONV_DLY_P BIOZ_ADC_CONV_DLY_Q BIOZ_ADC_CONV_DLY_R	[15:13]	BIOZ_PRE_WIDTH_x	このタイム・スロットの前処理時間。これは、このレジスタで定義した ADC クロック・サイクル数と同じになります。デフォルト値は 0 です。 0 : 0。 1 : 25 ADC クロック・サイクル。 10 : 50 ADC クロック・サイクル。 11 : 100 ADC クロック・サイクル。 100 : 200 ADC クロック・サイクル。 101 : 400 ADC クロック・サイクル。 110 : 800 ADC クロック・サイクル。 111 : 1600 ADC クロック・サイクル。	0x0	R/W
		[12:11]	BIOZ_PRECON_SEL_x	前処理のバッファ入力の選択。 0 : なし。 1 : バッファ n 入力。 10 : バッファ p 入力。 11 : バッファ n および バッファ p 入力。	0x0	R/W
		[10:4]	BIOZ_SUBSAMPLE_RATIO_x	出力データレートの減少。(タイマー・クロック周波数)/(TIMSLOT_PERIOD_x)/(BIOZ_SUBSAMPLE_RATIO_x)と等しくなります。このビットを1より大きく設定すると、タイム・スロットを、タイム・スロット・シーケンス (BIOZ_SUBSAMPLE_RATIO_x) 回ごとに1回だけ実行します。このサブサンプリングは、同じ BIOZ_SUBSAMPLE_RATIO_x を用いて他のタイム・スロットに揃えることができます。 (BIOZ_SUBSAMPLE_RATIO_x - 1) 回スキップした後、そのタイム・スロットが実行されます。	0x1	R/W
		3	BIOZ_PRECON_RES_x	前処理で使用する抵抗値の選択。 0 : 1kΩ。 1 : 1MΩ。	0x0	R/W
		[2:0]	BIOZ_ADC_CONV_DLY_x	ADC がイネーブルされてから sinc3 がイネーブルされるまでの遅延。このレジスタは、この遅延時間内に破棄された ADC サンプル数を定義します。破棄される ADC サンプル数のデフォルトは 25 個です。 0 : 10 個の ADC サンプル。 1 : 25 個の ADC サンプル。 10 : 50 個の ADC サンプル。	0x1	R/W

レジスタの詳細

表 24. レジスタの詳細（続き）

レジスタ	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				11 : 100 個の ADC サンプル。 100 : 200 個の ADC サンプル。 101 : 400 個の ADC サンプル。 110 : 800 個の ADC サンプル。 111 : 1600 個の ADC サンプル。		

外形寸法

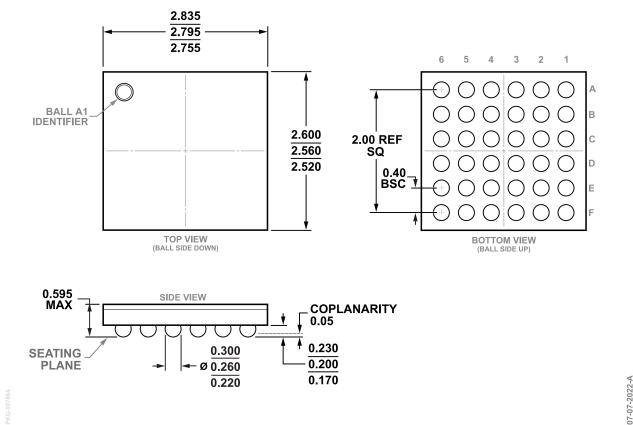


図 54.36 ボール・ウェハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-36-11)
単位：mm

更新：2023 年 4 月 13 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADPD7000BCBZR7	-40°C to +85°C	CHIPS W/SOLDER BUMPS/WLCSP	Reel, 1500	CB-36-11

¹ Z = RoHS 準拠製品。

評価用ボード

表 25. 評価用ボード

Model ¹	Description
EVAL-ADPD7000Z	Evaluation Board

¹ Z = RoHS 準拠製品。